

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年7月28日(28.07.2016)



(10) 国際公開番号
WO 2016/117287 A1

- (51) 国際特許分類:
H01L 21/02 (2006.01) H01L 27/12 (2006.01)
H01L 21/304 (2006.01)
- (21) 国際出願番号: PCT/JP2016/000051
- (22) 国際出願日: 2016年1月7日(07.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-011487 2015年1月23日(23.01.2015) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU HAN-
DOTAI CO., LTD.) [JP/JP]; 〒1000004 東京都千代田
区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 石塚 徹 (ISHIZUKA, Toru); 〒3790196 群
馬県安中市磯部2丁目13番1号信越半導体株
式会社 磯部工場内 Gunma (JP). 小林 徳弘
(KOBAYASHI, Norihiro); 〒3790196 群馬県安中市
磯部2丁目13番1号信越半導体株式会社 磯

部工場内 Gunma (JP). 中野 正剛 (NAKANO,
Masatake); 〒3790196 群馬県安中市磯部2丁目1
3番1号信越半導体株式会社 磯部工場内
Gunma (JP).

(74) 代理人: 好宮 幹夫, 外 (YOSHIMIYA, Mikio et
al.); 〒1100005 東京都台東区上野7丁目6番1
号第一下谷ビル8F Tokyo (JP).

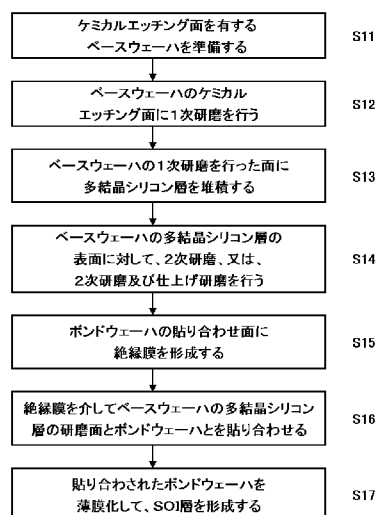
(81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: METHOD FOR MANUFACTURING BONDED SOI WAFER

(54) 発明の名称: 貼り合わせSOIウェーハの製造方法

[図1]



- S11 Prepare base wafer having chemical etching surface
S12 Perform primary polishing on chemical etching surface of base wafer
S13 Deposit polycrystalline silicon layer on surface of base wafer
on which primary polishing was performed
S14 Perform secondary polishing or secondary polishing and
finish polishing on surface of the polycrystalline silicon layer of base wafer
S15 Form insulating film on bonding surface of bond wafer
S16 Bond polished surface of polycrystalline silicon layer of base wafer
with bond wafer, with insulating film therebetween
S17 Thin bonded bond wafer and form SOI layer

(57) Abstract: The present invention is a method for manu-
facturing a bonded SOI wafer by bonding a bond wafer and
a base wafer that are composed of monocrystalline silicon,
with an insulating film interposed therebetween, wherein
the method is characterized in having: a step for depositing a
polycrystalline silicon layer on the bonding surface side of
the base wafer; a step for polishing the surface of the poly-
crystalline silicon layer; a step for forming an insulating film
on the bonding surface of the bond wafer; a step for bonding
the bond wafer to the polished surface of the polycrystalline
silicon layer of the base wafer with the insulating film inter-
posed therebetween; and a step for forming the bonded bond
wafer into a thin film and forming an SOI layer; in the step
for depositing the polycrystalline silicon layer, a wafer hav-
ing a chemical etching surface being used as the base wafer,
and after primary polishing has been performed on the
chemical etching surface, the polycrystalline silicon layer
being deposited on the surface on which the primary polish-
ing was performed; and in the step for polishing the surface
of the polycrystalline silicon layer, secondary polishing or
secondary polishing and finishing polishing being performed
on the surface of the polycrystalline silicon layer. A method
for manufacturing a bonded SOI wafer is thereby provided
in which the method is provided with the minimum polish-
ing step required to obtain, after polishing, a smooth poly-
crystalline silicon surface with which it is possible to sup-
press the occurrence of voids after bonding.

(57) 要約:

[続葉有]

WO 2016/117287 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、いずれもシリコン単結晶からなるボンドウェーハとベースウェーハとを絶縁膜を介して貼り合わせて貼り合わせSOIウェーハを製造する方法であって、ベースウェーハの貼り合わせ面側に多結晶シリコン層を堆積する工程と、多結晶シリコン層の表面を研磨する工程と、ボンドウェーハの貼り合わせ面に絶縁膜を形成する工程と、絶縁膜を介してベースウェーハの前記多結晶シリコン層の研磨面とボンドウェーハを貼り合わせる工程と、貼り合わせられたボンドウェーハを薄膜化してSOI層を形成する工程とを有し、多結晶シリコン層を堆積する工程において、ベースウェーハとして、ケミカルエッチング面を有するウェーハを用い、ケミカルエッチング面に1次研磨を行った後、1次研磨を行った面に多結晶シリコン層を堆積し、多結晶シリコン層の表面を研磨する工程において、多結晶シリコン層の表面に2次研磨、又は、2次研磨及び仕上げ研磨を行うことを特徴とする貼り合わせSOIウェーハの製造方法である。これにより、貼り合わせ後のボイド発生を抑制できるような平滑な多結晶シリコン面を研磨後に得るのに必要最小限な研磨工程を備えた貼り合わせSOIウェーハの製造方法が提供される。

明 細 書

発明の名称：貼り合わせＳＯＩウェーハの製造方法

技術分野

[0001] 本発明は、貼り合わせＳＯＩウェーハの製造方法に関する。

背景技術

[0002] 携帯端末、インターネット通信、等の発達により、無線による情報のやりとりの、情報量や通信速度への要求は、限りなく増大する一方である。近年では、ＲＦスイッチ等の高周波デバイスとして、これまでＳＯＳ（サファイア上シリコン：Silicon On Sapphire）やＧａＡｓの基板等により作製していた単一の素子を、Ｓｉ基板上に集積化されたデバイスに置き換えて、小型化・集積化する技術が、盛んに採用されるようになった。特に、ＳＯＩウェーハを使用して高周波デバイスを作製する方法が、市場を大きく伸ばしている。

[0003] 高周波デバイスの性能として、通信の混線を防止する為に、２次高調波、３次高調波の抑制が、主要な要求項目となっている。この為には、基板が絶縁体であることが必要になる。ＳＯＩウェーハにおいては、埋め込み酸化膜（ＢＯＸ層）の厚さを大きくすることが一つの方法と考えられるが、酸化膜は熱伝導率が悪く、高周波デバイスを動作させる際の発熱が除去できないことが問題になる。そこで、ＳＯＩウェーハの支持基板として、高抵抗Ｓｉ基板を使用する方法が考えられた。これにより、ＢＯＸ層より下での電気の伝導を抑制することができて、高周波デバイスの高調波を抑制することができる。しかし、ＳＯＩ層に電位がかかると、ＢＯＸ層直下のＳｉ基板表面では空乏層が発生して反転層が形成され、この部分での電気伝導が発生する為に、高調波が抑制できなくなる。この問題を解決する為に、ＢＯＸ層の直下にキャリアをトラップする層を内在させる手法が取られる（例えば、特許文献１～３を参照）。

[0004] キャリアをトラップする層としては、多結晶シリコン層が最も一般的であ

る。多結晶シリコン層は結晶粒界でキャリアをトラップし、電気伝導を抑制する。

多結晶シリコン層を内在する方法として、支持基板用ウェーハ（ベースウェーハ）に多結晶シリコン層を積層し、これを酸化膜の付いたウェーハ（ボンドウェーハ）と貼り合わせることで、多結晶シリコン層を内在したSOIウェーハを作製することができる。ただし、この際、ウェーハ貼り合わせを実現するために、多結晶シリコン層の表面は平滑である必要があり、研磨を用いて表面粗さを除去して貼り合わせを行う方法が考えられている。

[0005] ところで、デバイス作製等に用いられる一般的な鏡面研磨されたシリコン単結晶ウェーハ（以下、PWと称する）を製造する場合、例えばチョクラルスキー法でシリコン単結晶インゴットを育成し、このインゴットをスライスして薄い円板状に加工した後、面取り、ラッピング、エッチング、研磨等の種々の工程を経て鏡面状のウェーハ（鏡面ウェーハ）に仕上げられる。

[0006] シリコンウェーハの研磨工程では、通常、粗研磨から仕上げ研磨へと複数の段階を経て研磨が行われる。例えば、ラッピング工程あるいはエッチング工程の後、ウェーハの表面における歪みを除去し、平坦化するため、数 μm 程度の研磨代で1次研磨を行う。次いで、1次研磨で発生したキズ等を除去し、表面粗さを改善するため、1 μm 程度の研磨代で2次研磨を行う。さらに、ヘイズフリーの表面にするため、1 μm 未満の研磨代で仕上げ研磨を行う。このように粗研磨（1次研磨及び2次研磨）と、仕上げ研磨を経てウェーハの表面が鏡面化される（例えば、特許文献4の（0004）段落を参照）。

[0007] この研磨の回を重ねる毎に、研磨砥粒の粒度を細かくしたり、研磨布の硬度を下げる等、研磨条件を緩和させたりしながら、その段階毎に研磨される鏡面部の平坦度や面粗さ等を低い値となるように条件を設定して研磨している（例えば、特許文献5の（0027）段落を参照）。

[0008] 特に直径300mmのシリコンウェーハでは厳しい平坦度の仕様を満足するために両面研磨での一次研磨を行い、その後に表面のキズや面粗さの改善

のために片面での表面二次及び仕上げ研磨を行っている（例えば、特許文献6の（0002）段落を参照）。

先行技術文献

特許文献

- [0009] 特許文献1：特表2007-507093号公報
特許文献2：特表2013-513234号公報
特許文献3：特表2014-509087号公報
特許文献4：特開2007-067179号公報
特許文献5：特開2014-093457号公報
特許文献6：特開2013-166200号公報

発明の概要

発明が解決しようとする課題

- [0010] 上述したように、高周波デバイス用の基板として、SOIウェーハのBOX層の直下にキャリアをトラップする層を内在させる手法が取られるようになり、このキャリアをトラップする層としては、多結晶シリコン層が最も一般的である。ベースウェーハとボンドウェーハとの貼り合わせを実現するために、ベースウェーハ上の多結晶シリコン層の表面は平滑である必要があり、研磨を用いてベースウェーハ上の多結晶シリコン層の表面粗さを除去して貼り合わせを行う方法が考えられている。
- [0011] ベースウェーハに多結晶シリコンを積層する際には、ベースウェーハの表面粗さは、必ずしもデバイス作製に必要な表面粗さ（デバイス作製に用いられるPWと同等の表面粗さ）を必要としない。ケミカルエッチング面（以下、CW面と称する）程度に表面粗さのある基板上にも、多結晶シリコン層を積層することは可能である。
- [0012] しかしながら、CW面上に積層した多結晶シリコン層の表面は、CW面の面粗さやうねりを反映したものであり、貼り合わせを可能とする平滑な面を得るためには、多結晶シリコン積層後の研磨において研磨代を極端に大きく

するなどの対策が必要となり、問題となる。

[0013] しかしその一方で、PW面の上に多結晶シリコン層を積層しても、多結晶シリコン層の表面粗さは、元のPW面の面粗さよりも大きく悪化し、貼り合わせを可能とする平滑な面を得るためには、多結晶シリコン層積層後の研磨を行う必要がある。

[0014] これは、PW面を得るための研磨と同様の工程となり、ベースウェーハに多結晶シリコン層を積層する前と後の両方で研磨を行う工程が重複してしまい、研磨工程の効率（生産性）を著しく落とす結果となるという問題がある。

[0015] 本発明は、上記問題点に鑑みてなされたものであって、貼り合わせ後のボイド発生を抑制できるような平滑な多結晶シリコン面を研磨後に得るのに必要最小限な研磨工程を備えた貼り合わせSOIウェーハの製造方法を提供することを目的とする。

課題を解決するための手段

[0016] 上記目的を達成するために、本発明は、いずれもシリコン単結晶からなるボンドウェーハとベースウェーハとを絶縁膜を介して貼り合わせて貼り合わせSOIウェーハを製造する方法であって、前記ベースウェーハの貼り合わせ面側に多結晶シリコン層を堆積する工程と、該多結晶シリコン層の表面を研磨する工程と、前記ボンドウェーハの貼り合わせ面に前記絶縁膜を形成する工程と、前記絶縁膜を介して前記ベースウェーハの前記多結晶シリコン層の研磨面と前記ボンドウェーハを貼り合わせる工程と、貼り合わせられた前記ボンドウェーハを薄膜化してSOI層を形成する工程とを有し、前記多結晶シリコン層を堆積する工程において、前記ベースウェーハとして、ケミカルエッチング面を有するウェーハを用い、前記ケミカルエッチング面に1次研磨を行った後、該1次研磨を行った面に前記多結晶シリコン層を堆積し、前記多結晶シリコン層の表面を研磨する工程において、前記多結晶シリコン層の表面に2次研磨、又は、2次研磨及び仕上げ研磨を行うことを特徴とする貼り合わせSOIウェーハの製造方法を提供する。

[0017] このように、多結晶シリコン層を堆積する工程において、ケミカルエッチング面に１次研磨を行った後、２次研磨、仕上げ研磨を行うことなく、１次研磨を行った面に多結晶シリコン層を堆積し、多結晶シリコン層の表面を研磨する工程において、多結晶シリコン層の表面に１次研磨を行うことなく、２次研磨、又は、２次研磨及び仕上げ研磨を行うことで、貼り合わせＳＯＩウェーハの製造における研磨工程を、貼り合わせ後のボイド発生を抑制できるような平滑な多結晶シリコン面を研磨後に得るのに必要最小限な研磨工程とすることができる。

[0018] このとき、前記ベースウェーハとして、抵抗率が $100\Omega\cdot\text{cm}$ 以上のものを用いることが好ましい。

このようなベースウェーハを用いれば、高周波デバイス用の基板として好適なＳＯＩウェーハを製造することができる。

[0019] このとき、前記１次研磨を両面研磨で行うことが好ましい。

ベースウェーハの多結晶シリコン層成長前の１次研磨として、両面研磨を好適に用いることができる。

発明の効果

[0020] 以上のように、本発明の貼り合わせＳＯＩウェーハの製造方法によれば、貼り合わせＳＯＩウェーハの製造における研磨工程を、貼り合わせ後のボイド発生を抑制できるような平滑な多結晶シリコン面を研磨後に得るのに必要最小限な研磨工程とすることができる。従って、低コストで高品質の貼り合わせＳＯＩウェーハを高い生産性で得ることができる。

図面の簡単な説明

[0021] [図１]本発明の貼り合わせＳＯＩウェーハの製造方法のフローを示す図である。

[図２]本発明の貼り合わせＳＯＩウェーハの製造方法の実施態様の一例を示す工程断面図である。

発明を実施するための形態

[0022] 以下、本発明について、実施態様の一例として、図を参照しながら詳細に

説明するが、本発明はこれに限定されるものではない。

前述のように、高周波デバイス用の基板として、SOIウェーハのBOX層の直下にキャリアをトラップする層として多結晶シリコン層を内在させる手法が取られるようになってきている。このようなSOIウェーハの製造において、ベースウェーハとボンドウェーハとの貼り合わせを実現するために、ベースウェーハ上の多結晶シリコン層の表面は平滑である必要があり、研磨を用いてベースウェーハ上の多結晶シリコン層の表面粗さを除去して貼り合わせを行う方法が考えられている。

[0023] しかしながら、ベースウェーハのCW面に形成した多結晶層において貼り合わせを可能とする平滑な面を得るためには、多結晶シリコン層積層後の研磨において研磨代を極端に大きくするなどの対策が必要となり問題となる一方で、PW面の上に多結晶シリコン層を積層しても、多結晶シリコン層の表面粗さは、元のPW面の面粗さよりも大きく悪化し、貼り合わせを可能とする平滑な面を得るためには、多結晶シリコン層積層後の研磨を行う必要がある。

これは、PW面を得るための研磨と同様の工程となり、多結晶シリコン層を積層する前と後の両方で研磨を行う工程が重複してしまい、研磨工程の効率を著しく落とす結果となるという問題がある。

[0024] そこで、発明者らは、貼り合わせSOIウェーハの製造における研磨工程を、貼り合わせ後のボイド発生を抑制できるような平滑な多結晶シリコン面を研磨後に得るのに必要最小限な研磨工程とすることができる貼り合わせSOIウェーハの製造方法について鋭意検討を重ねた。

その結果、多結晶シリコン層を堆積する工程において、ケミカルエッチング面に1次研磨を行った後、1次研磨を行った面に多結晶シリコン層を堆積し、多結晶シリコン層の表面を研磨する工程において、多結晶シリコン層の表面に2次研磨、又は、2次研磨及び仕上げ研磨を行うことで、貼り合わせSOIウェーハの製造における研磨工程を、貼り合わせ後のボイド発生を抑制できるような平滑な多結晶シリコン面を研磨後に得るのに必要最小限な研

磨工程とすることができることを見出し、本発明をなすに至った。

[0025] 以下、図1-2を参照しながら、本発明の貼り合わせSOIウェーハの製造方法を説明する。

まず、ケミカルエッチング面を有するベースウェーハを準備する（図1のステップS11を参照）。

具体的には、例えば、シリコン単結晶インゴットをスライスし、ラップ及びレーザーマーク印字、ケミカルエッチングを施して、ケミカルエッチング面を有するベースウェーハ11を準備する（図2（d）を参照）。

[0026] 次に、ベースウェーハのケミカルエッチング面に1次研磨を行う（図1のステップS12を参照）。

具体的には、例えば、ベースウェーハ11の少なくとも一方のケミカルエッチング面（図2では、ベースウェーハ11の少なくとも上面）に対して1次研磨を施し、さらに、鏡面面取り加工を施す（図2（e）を参照）。この状態では、ベースウェーハ11表面の面粗さはAFM測定（1 μ m角）のRMS値で0.3nm程度である。

[0027] 次に、ベースウェーハの1次研磨を行った面に多結晶シリコン層を堆積する（図1のステップS13を参照）。

具体的には、例えば、ベースウェーハ11の1次研磨を行った面（図2（e）のベースウェーハ11の上面）に多結晶シリコン層12を堆積する（図2（f）を参照）。多結晶シリコン層12は、一般にCVD装置により形成される。CVD装置の一形態として、単結晶シリコン層を積層することを目的とするエピリアクターがあるが、この装置においても、堆積温度を低温化する等の条件を選ぶことで、単結晶ではなく多結晶のシリコンを積層することは可能である。多結晶シリコン層を積層した後の表面の面粗さはAFM測定（1 μ m角）のRMS値で15nm程度である。

[0028] 次に、ベースウェーハの多結晶シリコン層の表面に対して、2次研磨、又は、2次研磨及び仕上げ研磨を行う（図1のステップS14を参照）。

具体的には、例えば、ベースウェーハ11の多結晶シリコン層12の表面

を0.5～1 μm 程度の取り代で2次研磨を行い、更に、必要に応じて、2次研磨より少ない取り代で仕上げ研磨をすることにより、AFM測定（1 μm 角）のRMS値で0.15 nm程度の表面粗さを得ることができる（図2（g）を参照）。

2次研磨のみでもAFM測定（1 μm 角）のRMS値で0.20 nm以下の表面粗さを得ることができるので、その表面粗さの状態でボンドウエーハとの貼り合わせを行っても貼り合わせ不良を低減することができるが、2次研磨の後に更に仕上げ研磨を行い、表面粗さを向上させることによって、一層、貼り合わせ不良を低減することができる。

[0029] 一方、ボンドウエーハの貼り合わせ面に絶縁膜を形成する（図1のステップS15を参照）。

具体的には、例えば、ボンドウエーハ10として、シリコン単結晶ウェーハを準備し（図2（a）を参照）、埋め込み酸化膜層（BOX層、絶縁膜）16（図2（i）を参照）となる酸化膜（絶縁膜）13を成長させる酸化膜成長（例えば、熱酸化処理）を施す（図2（b）を参照）。

さらに、酸化膜13の上からイオン注入機により、水素イオン又は希ガスイオンを注入して、イオン注入層17を形成することができる（図2（c）を参照）。この際、目標とする剥離シリコン層（すなわち、SOI層15（図2（i）を参照）の厚さを得ることができるように、イオン注入加速電圧を選択する。

[0030] 次に、絶縁層を介してベースウェーハの多結晶シリコン層の研磨面とボンドウエーハとを貼り合わせる（図1のステップS16を参照）。

具体的には、例えば、多結晶シリコン層12が形成されたベースウェーハ11を、ベースウェーハ11の多結晶シリコン層12が形成された面とボンドウエーハ10の注入面とが接するように、イオン注入層17を形成したボンドウエーハ10と密着させて貼り合わせる（図2（h）を参照）。

[0031] 次に、貼り合わされたボンドウエーハを薄膜化して、SOI層を形成する（図1のステップS17を参照）。

具体的には、例えば、イオン注入層 17 に微小気泡層を発生させる熱処理（剥離熱処理）を貼り合わせたウェーハに施し、発生した微小気泡層にて剥離して、ベースウェーハ 11 上に埋め込み酸化膜層 16 と SOI 層 15 が形成された貼り合わせウェーハ 14 を作製する（図 2（i）を参照）。なお、このときに、剥離面 19 を有する剥離ウェーハ 18 が派生する。

[0032] 上記のように、多結晶シリコン層を堆積する工程において、ケミカルエッチング面に 1 次研磨を行った後、2 次研磨及び仕上げ研磨を行うことなく、1 次研磨を行った面に多結晶シリコン層を堆積し、多結晶シリコン層の表面を研磨する工程において、多結晶シリコン層の表面に 1 次研磨を施すことなく、2 次研磨、又は、2 次研磨及び仕上げ研磨を行うことで、貼り合わせ SOI ウェーハの製造における研磨工程を、貼り合わせ後のボイド発生を抑制できるような平滑な多結晶シリコン面を研磨後に得るのに必要最小限な研磨工程とすることができるので、きわめて高効率である。

[0033] ここで、ベースウェーハ 11 として、抵抗率が $100\ \Omega \cdot \text{cm}$ 以上のものを用いることが好ましい。

このようなベースウェーハを用いれば、高周波デバイス用の基板として好適な SOI ウェーハを製造することができる。

上記において、図 1 の S11～S14 と S15、図 2 の（a）～（c）と（d）～（g）はそれぞれ、いずれの工程を先に行ってもよく、また、同時に進めてもよいことは言うまでもない。

[0034] また、上記の 1 次研磨を両面研磨で行うことが好ましい。

ベースウェーハの多結晶シリコン層成長前の 1 次研磨として、両面研磨を好適に用いることができる。

[0035] なお、多結晶シリコン層を積層する前のベースウェーハの表面に 1 次研磨及び 2 次研磨を行っておき、多結晶シリコン層を積層後にその表面に仕上げ研磨のみを施す工程フローでは、多結晶シリコン表面粗さを十分に低減することができないため、貼り合わせ面に発生するボイドに起因する貼り合わせ不良の増加が避けられない。

実施例

[0036] 以下、実施例及び比較例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

[0037] (実施例)

ボンドウェーハとして、直径300mm、p型、 $10\Omega\cdot\text{cm}$ 、結晶方位 $\langle 100 \rangle$ のCOP (Crystal Oriented Particle) の無いCZシリコン単結晶ウェーハ (PW: 鏡面研磨ウェーハ) を準備し、200nmの酸化膜を熱酸化により成長した後、イオン注入機にて、70keVの加速エネルギーで H^+ イオンを $6 \times 10^{16} \text{ atoms/cm}^2$ 注入した。

また、ベースウェーハとして、酸素濃度が9.6ppma (ASTM' 79)、抵抗率が $5200\Omega\cdot\text{cm}$ のCZシリコン単結晶からスライスし、ラップ及び外周研削、裏面レーザーマーク刻印の工程、及びケミカルエッチングを経て作製されたCWウェーハに対し、両面研磨機で1次研磨を行い、外周部を鏡面面取り研磨した。この時点でウェーハ表面の面粗さは、AFM測定 ($1\mu\text{m}$ 角) のRMS値で0.3nm程度であった。このウェーハに対して、エピタキシャル成長用の反応炉にて、1次研磨面上に900℃の温度で多結晶シリコン層を2.5 μm の厚さで積層を行ったのち、多結晶シリコン層の表面に対して、取代0.5 μm の2次研磨及び仕上げ研磨 (いずれも片面研磨) を施した。ベースウェーハ上に多結晶シリコン層が2 μm 積層された研磨後のウェーハで、表面粗さはAFM測定 ($1\mu\text{m}$ 角) のRMS値で0.15nm程度のウェーハを得ることができた。

上記ボンドウェーハと、多結晶シリコン層を表面にもつ高抵抗ウェーハ (ベースウェーハ) とを貼り合わせ、熱処理をかけると、ボンドウェーハの水素イオン注入層で剥離が生じた。その後、水素雰囲気で1150℃30秒のRTA処理 (平坦化熱処理) を行った後、酸化熱処理及びHF洗浄を行うことにより、SOI層の厚さが150nmである、多結晶シリコン層を内在したSOIウェーハを得ることができた。

[0038] 実施例の貼り合わせＳＯＩウェーハでは、水素イオン注入層で剥離を生じさせる剥離工程後においてＳＯＩ層がベースウェーハ側に転写されないことに起因する直径１ｍｍ以上のボイドの発生はゼロ個であった。

また、実施例の製造工程における、ウェーハ研磨工程は、多結晶シリコン層積層前の１次研磨、多結晶シリコン層積層後の２次研磨及び仕上げ研磨、であり、「２次研磨＋仕上げ研磨」を１回行ったときの生産性を１とすると、実施例の貼り合わせＳＯＩウェーハの研磨工程の生産性は１であった。

[0039] (比較例１)

実施例と同様にして、貼り合わせＳＯＩウェーハを製造した。ただし、ベースウェーハはＣＺシリコン単結晶からスライスし、ラップ及び外周研削、裏面レーザーマーク刻印の工程、及び、ケミカルエッチングを経て作製されたＣＷウェーハに対し、両面研磨機で１次研磨を行い、外周部を鏡面面取り研磨した後、さらに２次研磨及び仕上げ研磨を行ったものを用いた。この時点でウェーハ表面の面粗さは、ＡＦＭ測定（１μｍ角）のＲＭＳ値で０．１ｎｍ程度であった。また、比較例１において、多結晶シリコン層積層後は、実施例と同様に２次研磨と仕上げ研磨を行い、その研磨後の表面粗さは０．１５ｎｍ程度であった。

[0040] 比較例１の貼り合わせＳＯＩウェーハでは、水素イオン注入層で剥離を生じさせる剥離工程後にＳＯＩ層がベースウェーハ側に転写されないことに起因する直径１ｍｍ以上のボイドの発生はゼロ個であった。

しかし、比較例１の製造工程における、ウェーハ研磨工程は、多結晶シリコン層積層前の１次研磨、２次研磨、及び仕上げ研磨、多結晶シリコン層積層後の２次研磨及び仕上げ研磨、であり、「２次研磨＋仕上げ研磨」を１回行ったときの生産性を１とすると、比較例１の貼り合わせＳＯＩウェーハの研磨工程の生産性は０．５であった。

[0041] (比較例２)

[0042] 実施例と同様にして、貼り合わせＳＯＩウェーハを製造した。ただし、ベースウェーハは、ＣＺシリコン単結晶からスライスし、ラップ及び外周研削

、裏面レーザーマーク刻印の工程、及びケミカルエッチングを経て作製されたCWウェーハに対し、1次研磨を行わなかった。この時点でウェーハ表面の面粗さは、AFM測定（1 μ m角）のRMS値で10nm程度であった。また、比較例2において、多結晶シリコン層積層後の研磨後の表面粗さは、AFM測定（1 μ m角）のRMS値で0.25nm程度であった。

[0043] 比較例2では、多結晶シリコン層研磨後の表面粗さが大きいために貼り合わせが十分ではなく、水素イオン注入層で剥離を生じさせる剥離工程後にSOI層がベースウェーハ側に転写されないことに起因する直径1mm以上のボイドが面内に多数発生した。

なお、比較例2では、上記の剥離工程において、ボイドが面内に多数発生し、貼り合わせSOIウェーハの製造を中止したため、研磨工程の生産性の評価は行わなかった。

[0044] 上記の実施例、比較例1、及び比較例2の工程及び結果を表1に示す。

[0045] [表1]

	ベースウェーハ 研磨	ベースウェーハ研磨 後の表面粗さ	多結晶シリコン層 研磨	多結晶シリコン層研 磨後の表面粗さ	直径1mm 以上のボイド	研磨工程 の生産性 ※
実施例	1次研磨	0.3nm程度	2次研磨＋ 仕上げ研磨	0.15nm程度	発生せず	1
比較例1	1次研磨＋ 2次研磨＋ 仕上げ研磨	0.1nm程度	2次研磨＋ 仕上げ研磨	0.15nm程度	発生せず	0.5
比較例2	—	10nm程度 (研磨なし)	2次研磨＋ 仕上げ研磨	0.25nm程度	多数発生	—

※ 「2次研磨＋仕上げ研磨」を1回行ったときの生産性を1とした場合の生産性

[0046] 表1からわかるように、ベースウェーハ研磨工程で1次研磨のみを行った実施例では、多結晶シリコン層研磨後においてベースウェーハ研磨工程で1次研磨、2次研磨、及び仕上げ研磨を行った比較例1と同じ程度の表面粗さが得られ、それにより、比較例1と同様に剥離工程後に直径1mm以上のボイドの発生は起こらずに、しかも、比較例1より高い研磨工程の生産性が得られている。また、ベースウェーハ研磨を行わなかった比較例2では、多結

晶シリコン層研磨後の表面粗さが、実施例、比較例 1 よりも大きくなり、貼り合わせが不十分となったため、剥離工程後に直径 1 mm 以上のボイドが面内に多数発生し、貼り合わせ S O I ウェーハの製造を中止せざるえない状況となった。

[0047] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

請求の範囲

[請求項1]

いずれもシリコン単結晶からなるボンドウエーハとベースウェーハとを絶縁膜を介して貼り合わせて貼り合わせＳＯＩウェーハを製造する方法であって、

前記ベースウェーハの貼り合わせ面側に多結晶シリコン層を堆積する工程と、

該多結晶シリコン層の表面を研磨する工程と、

前記ボンドウエーハの貼り合わせ面に前記絶縁膜を形成する工程と、

、

前記絶縁膜を介して前記ベースウェーハの前記多結晶シリコン層の研磨面と前記ボンドウエーハを貼り合わせる工程と、

貼り合わせられた前記ボンドウエーハを薄膜化してＳＯＩ層を形成する工程と

を有し、

前記多結晶シリコン層を堆積する工程において、前記ベースウェーハとして、ケミカルエッチング面を有するウェーハを用い、前記ケミカルエッチング面に１次研磨を行った後、該１次研磨を行った面に前記多結晶シリコン層を堆積し、

前記多結晶シリコン層の表面を研磨する工程において、前記多結晶シリコン層の表面に２次研磨、又は、２次研磨及び仕上げ研磨を行うことを特徴とする貼り合わせＳＯＩウェーハの製造方法。

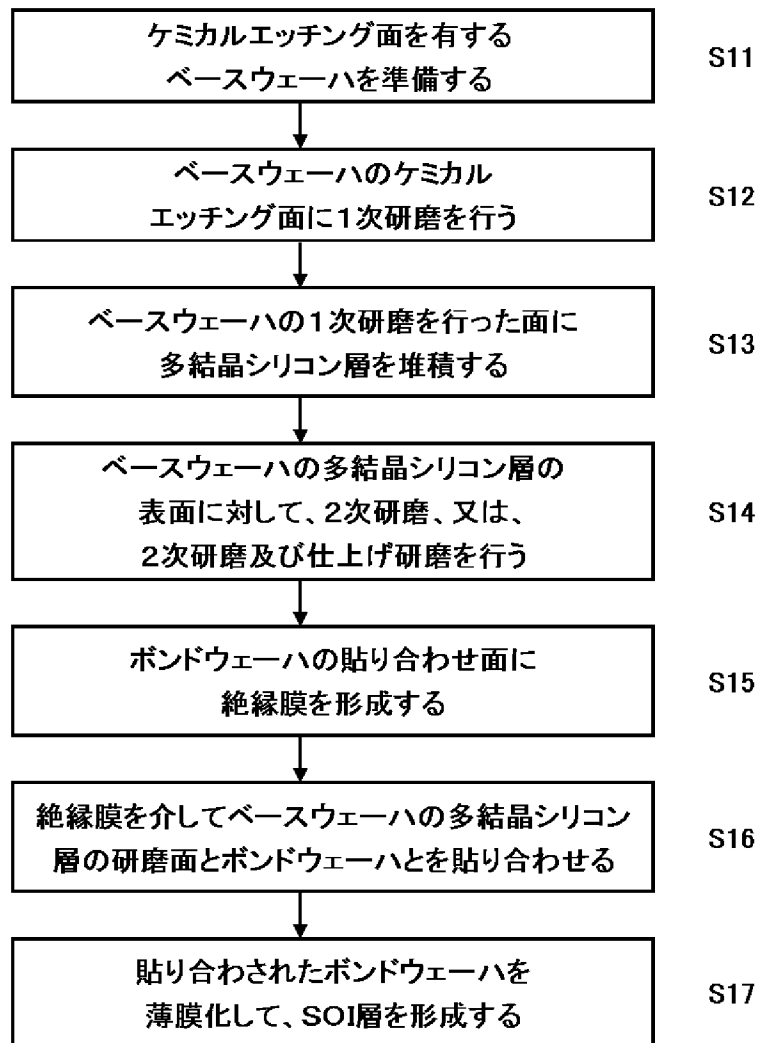
[請求項2]

前記ベースウェーハとして、抵抗率が $100\Omega\cdot\text{cm}$ 以上のものを用いることを特徴とする請求項１に記載の貼り合わせＳＯＩウェーハの製造方法。

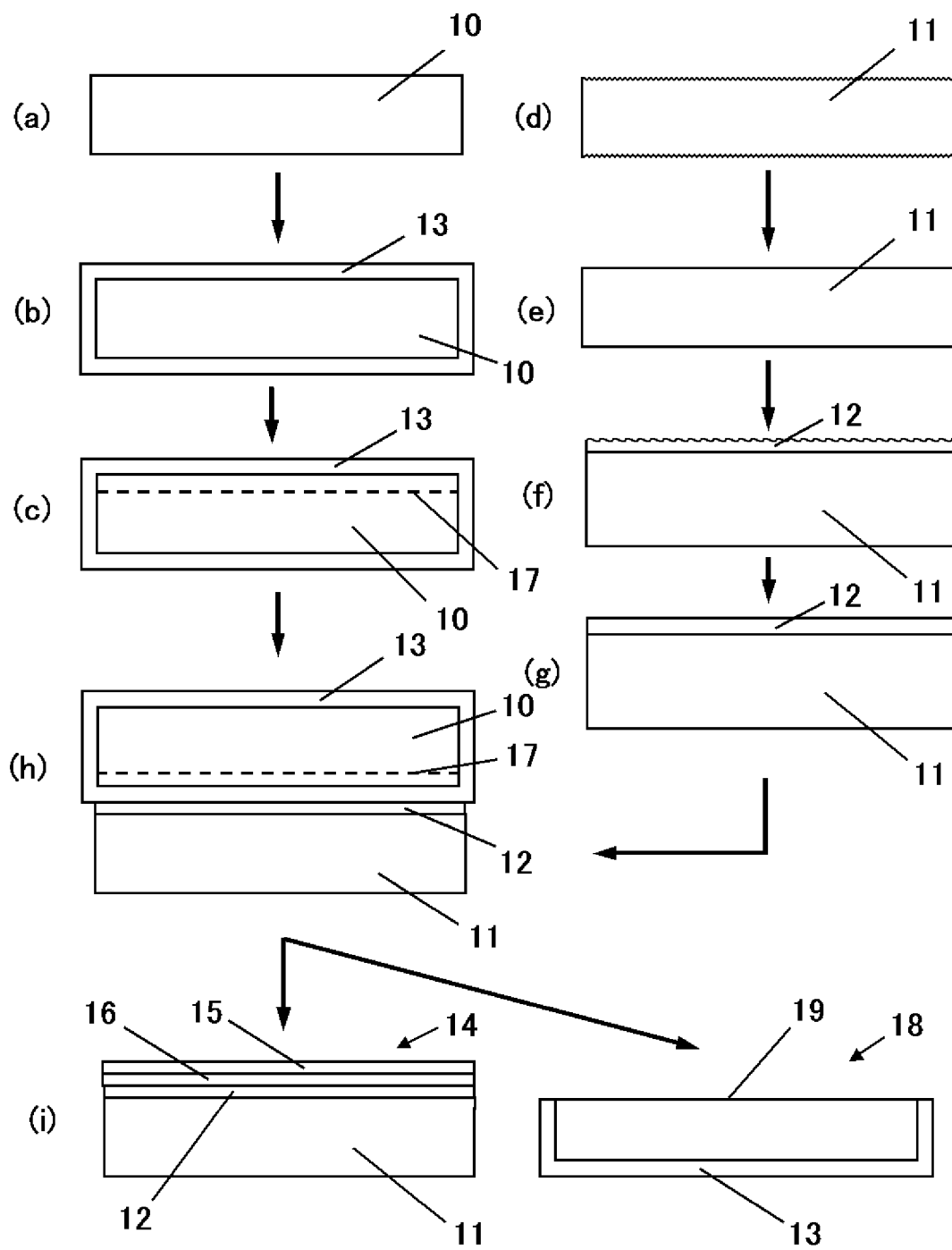
[請求項3]

前記１次研磨を両面研磨で行うことを特徴とする請求項１又は請求項２に記載の貼り合わせＳＯＩウェーハの製造方法。

[図1]



[図2]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/000051

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/02(2006.01)i, H01L21/304(2006.01)i, H01L27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02, H01L21/304, H01L27/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-513234 A (Soitec), 18 April 2013 (18.04.2013), paragraphs [0021] to [0076]; fig. 1 to 3 & US 2012/0319121 A1 paragraphs [0015] to [0101]; fig. 1 to 3 & WO 2011/067394 A1 & EP 2507827 A1 & FR 2953640 A & CN 102640278 A & TW 201140697 A & KR 10-2012-0087188 A	1-3
Y	JP 2010-278160 A (Shin-Etsu Handotai Co., Ltd.), 09 December 2010 (09.12.2010), claim 5; paragraphs [0012] to [0018]; fig. 1 to 3 (Family: none)	1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 April 2016 (01.04.16)

Date of mailing of the international search report
12 April 2016 (12.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/000051

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-507093 A (Universite Catholique de Louvain), 22 March 2007 (22.03.2007), entire text; all drawings & JP 2012-104855 A & US 2007/0032040 A1 & WO 2005/031853 A1 & EP 1665368 A1 & FR 2860341 A1 & KR 10-2006-0118437 A & CN 1860603 A	1-3
A	JP 2014-509087 A (Soitec), 10 April 2014 (10.04.2014), entire text; all drawings & US 2014/0084290 A1 & WO 2012/127006 A1 & EP 2689453 A1 & FR 2973158 A & TW 201308396 A & CN 103460371 A & KR 10-2014-0027153 A	1-3
A	JP 2005-524228 A (S.O.I. Tec Silicon on Insulator Technologies), 11 August 2005 (11.08.2005), entire text; all drawings & US 2005/0112845 A1 & WO 2003/092041 A2 & EP 1497854 A2 & FR 2838865 A1 & KR 10-2004-0102169 A	1-3

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/02(2006.01)i, H01L21/304(2006.01)i, H01L27/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/02, H01L21/304, H01L27/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-513234 A（ソイテック）2013.04.18, [0021]-[0076], 図1-図3 & US 2012/0319121 A1, [0015]-[0101], Figs1-3 & WO 2011/067394 A1 & EP 2507827 A1 & FR 2953640 A & CN 102640278 A & TW 201140697 A & KR 10-2012-0087188 A	1-3
Y	JP 2010-278160 A（信越半導体株式会社）2010.12.09, 請求項5, [0012]-[0018], 図1-3（ファミリーなし）	1-3

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

01.04.2016

国際調査報告の発送日

12.04.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

右田 勝則

50

9173

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-507093 A (ユニベルシテ・カトリック・ドゥ・ルベン) 2007.03.22, 全文、全図 & JP 2012-104855 A & US 2007/0032040 A1 & WO 2005/031853 A1 & EP 1665368 A1 & FR 2860341 A1 & KR 10-2006-0118437 A & CN 1860603 A	1 - 3
A	JP 2014-509087 A (ソイテック) 2014.04.10, 全文、全図 & US 2014/0084290 A1 & WO 2012/127006 A1 & EP 2689453 A1 & FR 2973158 A & TW 201308396 A & CN 103460371 A & KR 10-2014-0027153 A	1 - 3
A	JP 2005-524228 A (エス オー イ テク シリコン オン イン シュレータ テクノロジース) 2005.08.11, 全文、全図 & US 2005/0112845 A1 & WO 2003/092041 A2 & EP 1497854 A2 & FR 2838865 A1 & KR 10-2004-0102169 A	1 - 3