

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7646572号
(P7646572)

(45)発行日 令和7年3月17日(2025.3.17)

(24)登録日 令和7年3月7日(2025.3.7)

(51)国際特許分類	F I
G 0 9 F 9/302(2006.01)	G 0 9 F 9/302 C
G 0 9 F 9/30 (2006.01)	G 0 9 F 9/30 3 6 5
G 0 9 F 9/00 (2006.01)	G 0 9 F 9/30 3 4 9 B
H 1 0 K 50/10 (2023.01)	G 0 9 F 9/30 3 3 9 Z
H 1 0 K 59/121 (2023.01)	G 0 9 F 9/30 3 3 8
請求項の数 12 (全34頁) 最終頁に続く	

(21)出願番号	特願2021-572613(P2021-572613)	(73)特許権者	510280589
(86)(22)出願日	令和2年5月15日(2020.5.15)		京東方科技集團股 ぶん 有限公司
(65)公表番号	特表2023-534083(P2023-534083 A)		BOE TECHNOLOGY GROU P CO., LTD.
(43)公表日	令和5年8月8日(2023.8.8)		中華人民共和國100015北京市朝陽區酒仙橋路10號
(86)国際出願番号	PCT/CN2020/090542		No. 10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2021/227025	(73)特許権者	519401479
(87)国際公開日	令和3年11月18日(2021.11.18)		合肥京東方卓印科技有限公司
審査請求日	令和5年5月10日(2023.5.10)		Hefei BOE Joint Tec hnology Co., Ltd.
前置審査			中華人民共和國安徽省合肥市新站區新站
			最終頁に続く

(54)【発明の名称】 表示パネル及びその製作方法、表示装置

(57)【特許請求の範囲】

【請求項1】

ベースと、前記ベース上に設けられた複数の表示ユニットとを含む表示パネルであって、前記表示ユニットは、表示領域及び透明領域を含み、前記表示領域は、第一方向に沿って順次に配列された複数の画素駆動回路設置エリアを含み、各々の画素駆動回路設置エリアは、何れも第二方向に沿って延在し、前記第二方向と前記第一方向とは交差し、前記表示ユニットは、前記画素駆動回路設置エリアと1対1で対応する複数のサブ画素を含み、各々のサブ画素は何れも、互いに結合されたサブ画素駆動回路及び発光素子を含み、前記サブ画素駆動回路は、対応する画素駆動回路設置エリアに位置し、前記発光素子は、前記サブ画素駆動回路における前記ベースとは反対側に位置し、前記第一方向に沿って、前記発光素子の幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記発光素子の長さは、対応する画素駆動回路設置エリアの長さよりも小さく、前記表示ユニットにおける複数のサブ画素に含まれる発光素子は、アレイをなすように分布され、各々のサブ画素に含まれる発光素子の前記ベース上での正投影は何れも、その位置する表示領域における隣接する少なくとも2つの画素駆動回路設置エリアの前記ベース上での正投影とそれぞれオーバーラップ可能であり、前記少なくとも2つの画素駆動回路設置エリアには、当該サブ画素に対応する画素駆動回路設置エリアが含まれ、前記表示領域は、第一方向に沿って順次に配列された第一画素駆動回路設置エリア、第二画素駆動回路設置エリア、第三画素駆動回路設置エリア及び第四画素駆動回路設置エリアを含み、前記表示ユニットは、第一サブ画素、第二サブ画素、第三サブ画素及び第四サブ

画素を含み、前記第一サブ画素は、第一発光素子を含み、前記第二サブ画素は、第二発光素子を含み、前記第三サブ画素は、第三発光素子を含み、前記第四サブ画素は、第四発光素子を含み、

前記第一発光素子及び前記第二発光素子は、前記第二方向に沿って配列され、前記第一発光素子の前記ベース上での正投影は、それぞれ前記第一画素駆動回路設置エリアの前記ベース上での正投影及び前記第二画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、前記第二発光素子の前記ベース上での正投影は、それぞれ前記第一画素駆動回路設置エリアの前記ベース上での正投影及び前記第二画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、

前記第三発光素子及び前記第四発光素子は、前記第二方向に沿って配列され、前記第三発光素子の前記ベース上での正投影は、それぞれ前記第三画素駆動回路設置エリアの前記ベース上での正投影及び前記第四画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、前記第四発光素子の前記ベース上での正投影は、それぞれ前記第三画素駆動回路設置エリアの前記ベース上での正投影及び前記第四画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、

前記第一サブ画素は、第一サブ画素駆動回路を更に含み、前記第一サブ画素駆動回路は、第一蓄積容量を含み、前記第一発光素子は、第一アノードを含み、前記第一アノードの前記ベース上での正投影は、前記第一蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第一アノードと前記第一蓄積容量の第二極板とは、第一接続孔を介して結合され、

前記第二サブ画素は、第二サブ画素駆動回路を更に含み、前記第二サブ画素駆動回路は、第二蓄積容量を含み、前記第二発光素子は、第二アノードを含み、前記第二アノードの前記ベース上での正投影は、前記第二蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第二アノードと前記第二蓄積容量の第二極板とは、第二接続孔を介して結合され、

前記第三サブ画素は、第三サブ画素駆動回路を更に含み、前記第三サブ画素駆動回路は、第三蓄積容量を含み、前記第三発光素子は、第三アノードを含み、前記第三アノードの前記ベース上での正投影は、前記第三蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第三アノードと前記第三蓄積容量の第二極板とは、第三接続孔を介して結合され、

前記第四サブ画素は、第四サブ画素駆動回路を更に含み、前記第四サブ画素駆動回路は、第四蓄積容量を含み、前記第四発光素子は、第四アノードを含み、前記第四アノードの前記ベース上での正投影は、前記第四蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第四アノードと前記第四蓄積容量の第二極板とは、第四接続孔を介して結合され、

前記第一接続孔と前記第四接続孔とは、前記第一方向に沿って配列され、前記第二接続孔と前記第三接続孔とは、前記第一方向に沿って配列される、表示パネル。

【請求項 2】

前記発光素子は、前記ベースから遠ざかる方向に沿って順次に積層して設けられたアノード、第一発光機能層及びカラーフィルターパターンを含み、前記アノードは、対応するサブ画素駆動回路に結合され、

前記第一方向に沿って、前記アノードの幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記アノードの長さは、対応する画素エリアの長さよりも小さく、前記第一方向に沿って、前記カラーフィルターパターンの幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記カラーフィルターパターンの長さは、対応する画素エリアの長さよりも小さく、又は、

前記発光素子は、前記ベースから遠ざかる方向に沿って順次に積層して設けられたアノード及び第二発光機能層を含み、前記アノードは、対応するサブ画素駆動回路に結合され、前記第一方向に沿って、前記アノードの幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記アノードの長さは、対応する画素エリアの長さよ

10

20

30

40

50

りも小さく、前記第一方向に沿って、前記第二発光機能層の幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記第二発光機能層の長さは、対応する画素エリアの長さよりも小さい、請求項 1 に記載の表示パネル。

【請求項 3】

前記表示ユニットにおける複数のサブ画素に含まれる発光素子は、前記第二方向に沿って順次に配列され、各々のサブ画素に含まれる発光素子の前記ベース上での正投影は何れも、その位置する表示領域における各画素駆動回路設置エリアの前記ベース上での正投影とそれぞれオーバーラップ可能である、請求項 1 に記載の表示パネル。

【請求項 4】

前記表示領域は、第一方向に沿って順次に配列された第五画素駆動回路設置エリア、第六画素駆動回路設置エリア及び第七画素駆動回路設置エリアを含み、前記表示ユニットは、第五サブ画素、第六サブ画素及び第七サブ画素を含み、前記第五サブ画素は、第五発光素子を含み、前記第六サブ画素は、第六発光素子を含み、前記第七サブ画素は、第七発光素子を含み、前記第五発光素子、前記第六発光素子及び前記第七発光素子は、前記第二方向に沿って順次に配列され、

10

前記第五発光素子の前記ベース上での正投影は、それぞれ前記第五画素駆動回路設置エリアの前記ベース上での正投影、前記第六画素駆動回路設置エリアの前記ベース上での正投影及び前記第七画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、前記第六発光素子の前記ベース上での正投影は、それぞれ前記第五画素駆動回路設置エリアの前記ベース上での正投影、前記第六画素駆動回路設置エリアの前記ベース上での正投影及び前記第七画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、前記第七発光素子の前記ベース上での正投影は、それぞれ前記第五画素駆動回路設置エリアの前記ベース上での正投影、前記第六画素駆動回路設置エリアの前記ベース上での正投影及び前記第七画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップする、請求項 3 に記載の表示パネル。

20

【請求項 5】

前記第五サブ画素は、第五サブ画素駆動回路を更に含み、前記第五サブ画素駆動回路は、第五蓄積容量を含み、前記第五発光素子は、第五アノードを含み、前記第五アノードの前記ベース上での正投影は、前記第五蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第五アノードと前記第五蓄積容量の第二極板とは、第五接続孔を介して結合され、

30

前記第六サブ画素は、第六サブ画素駆動回路を更に含み、前記第六サブ画素駆動回路は、第六蓄積容量を含み、前記第六発光素子は、第六アノードを含み、前記第六アノードの前記ベース上での正投影は、前記第六蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第六アノードと前記第六蓄積容量の第二極板とは、第六接続孔を介して結合され、

前記第七サブ画素は、第七サブ画素駆動回路を更に含み、前記第七サブ画素駆動回路は、第七蓄積容量を含み、前記第七発光素子は、第七アノードを含み、前記第七アノードの前記ベース上での正投影は、前記第七蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第七アノードと、前記第七蓄積容量の第二極板とは、第七接続孔を介して結合され、

40

前記第一方向に沿って、前記第五接続孔、前記第六接続孔及び前記第七接続孔は、ずらして分布される、請求項 4 に記載の表示パネル。

【請求項 6】

前記表示ユニットは、

前記第一方向に沿って少なくとも一部が延在する第一走査線と、

前記第一方向に沿って少なくとも一部が延在する第二走査線と、

前記第二方向に沿って少なくとも一部が延在するセンス信号線と、

前記第二方向に沿って少なくとも一部が延在する第一電源信号線とを含み、

前記サブ画素は、データ線を更に含み、前記データ線の少なくとも一部は、第二方向に沿

50

って延在し、

前記サブ画素駆動回路は、第一トランジスタ、第二トランジスタ、第三トランジスタ及び蓄積容量を含み、前記第一トランジスタのゲートは、前記第一走査線に結合され、前記第一トランジスタの第一極は、前記データ線に結合され、前記第一トランジスタの第二極は、前記第二トランジスタのゲートに結合され、前記第二トランジスタの第一極は、前記第一電源信号線に結合され、前記第二トランジスタの第二極は、発光素子のアノードに結合され、前記第三トランジスタのゲートは、前記第二走査線に結合され、前記第三トランジスタの第一極は、前記センス信号線に結合され、前記第三トランジスタの第二極は、前記発光素子のアノードに結合され、前記蓄積容量の第一極板は、前記第二トランジスタのゲートに結合され、前記蓄積容量の第二極板は、前記第二トランジスタの第二極に結合され、及び/又は、

10

前記第一トランジスタ、前記第二トランジスタ、前記蓄積容量及び前記第三トランジスタは、前記第二方向に沿って順次に配列される、請求項 1 に記載の表示パネル。

【請求項 7】

前記サブ画素は、前記ベースと前記サブ画素駆動回路との間に位置する遮光パターンを更に含み、前記遮光パターンは、前記第二方向に沿って延在し、前記サブ画素駆動回路の前記ベース上での正投影は、前記遮光パターンの前記ベース上での正投影の内部に位置する、請求項 6 に記載の表示パネル。

【請求項 8】

前記遮光パターンの前記ベース上での正投影は、前記蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記遮光パターンと前記蓄積容量の第二極板とが結合され、及び/又は、

20

前記表示ユニットは、第一アダプターパターンを更に含み、前記第一アダプターパターンの少なくとも一部は、前記第一方向に沿って延在し、前記第一アダプターパターンの前記ベース上での正投影は、当該表示ユニットにおけるセンス信号線の前記ベース上での正投影とオーバーラップし、前記第一アダプターパターンは、当該オーバーラップ箇所において、前記センス信号線に結合され、前記第一アダプターパターンは、その位置する表示領域における各前記第三トランジスタの第一極にそれぞれ結合され、前記第一アダプターパターンと前記遮光パターンとが同じ層で同じ材料になるように設けられる、請求項 7 に記載の表示パネル。

30

【請求項 9】

前記第一電源信号線は、積層して設けられた第一部分及び第二部分を含み、前記第一部分及び前記第二部分は、何れも前記第二方向に沿って延在し、前記第一部分の前記ベース上での正投影は、前記第二部分の前記ベース上での正投影とオーバーラップし、前記第一部分と前記第二部分とは、当該オーバーラップ箇所に設けられたピアホールを介して結合され、前記第一部分と前記第一走査線とは、同じ層で同じ材料になるように設けられ、前記第二部分と前記データ線とは、同じ層で同じ材料になるように設けられ、及び/又は、前記表示ユニットは、第二アダプターパターンを更に含み、前記第二アダプターパターンの少なくとも一部は、前記第一方向に沿って延在し、前記第二アダプターパターンと前記第一部分とは、一体構造として形成され、前記第二アダプターパターンは、その位置する表示領域における各前記第二トランジスタの第一極にそれぞれ結合される、請求項 6 に記載の表示パネル。

40

【請求項 10】

前記表示ユニットは、第二電源信号線を更に含み、前記第二電源信号線は、積層して設けられた第三部分及び第四部分を含み、前記第三部分及び前記第四部分は、何れも前記第二方向に沿って延在し、前記第三部分の前記ベース上での正投影は、前記第四部分の前記ベース上での正投影とオーバーラップし、前記第三部分と前記第四部分とは、当該オーバーラップ箇所に設けられたピアホールを介して結合され、前記第三部分と前記第一走査線とは、同じ層で同じ材料になるように設けられ、前記第四部分と前記データ線とは、同じ層

50

で同じ材料になるように設けられ、

前記発光素子は、前記アノードにおける前記ベースとは反対側に位置するカソードを更に含み、前記カソードは、前記第二電源信号線に結合され、及び/又は、

1つの表示ユニットにおいて、前記複数のサブ画素に含まれる発光素子の前記ベース上での正投影と、当該表示ユニットに含まれる表示領域の前記ベース上での正投影との間のオーバーラップ面積は、前記表示領域の面積の90%よりも多い、請求項6に記載の表示パネル。

【請求項11】

請求項1～10の何れか一項に記載の表示パネルを含む表示装置。

10

【請求項12】

ベース上に複数の表示ユニットを製作することを含む表示パネルの製作方法であって、前記表示ユニットは、表示領域及び透明領域を含み、前記表示領域は、第一方向に沿って順次に配列された複数の画素駆動回路設置エリアを含み、各々の画素駆動回路設置エリアは、何れも第二方向に沿って延在し、前記第二方向と前記第一方向とは交差し、前記表示ユニットは、前記画素駆動回路設置エリアと1対1で対応する複数のサブ画素を含み、各々のサブ画素は何れも、互いに結合されたサブ画素駆動回路及び発光素子を含み、前記サブ画素駆動回路は、対応する画素駆動回路設置エリアに位置し、前記発光素子は、前記サブ画素駆動回路における前記ベースとは反対側に位置し、前記第一方向に沿って、前記発光素子の幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記発光素子の長さは、対応する画素駆動回路設置エリアの長さよりも小さく、

20

前記表示ユニットにおける複数のサブ画素に含まれる発光素子は、アレイをなすように分布され、各々のサブ画素に含まれる発光素子の前記ベース上での正投影は何れも、その位置する表示領域における隣接する少なくとも2つの画素駆動回路設置エリアの前記ベース上での正投影とそれぞれオーバーラップ可能であり、前記少なくとも2つの画素駆動回路設置エリアには、当該サブ画素に対応する画素駆動回路設置エリアが含まれ、

前記表示領域は、第一方向に沿って順次に配列された第一画素駆動回路設置エリア、第二画素駆動回路設置エリア、第三画素駆動回路設置エリア及び第四画素駆動回路設置エリアを含み、前記表示ユニットは、第一サブ画素、第二サブ画素、第三サブ画素及び第四サブ画素を含み、前記第一サブ画素は、第一発光素子を含み、前記第二サブ画素は、第二発光素子を含み、前記第三サブ画素は、第三発光素子を含み、前記第四サブ画素は、第四発光素子を含み、

30

前記第一発光素子及び前記第二発光素子は、前記第二方向に沿って配列され、前記第一発光素子の前記ベース上での正投影は、それぞれ前記第一画素駆動回路設置エリアの前記ベース上での正投影及び前記第二画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、前記第二発光素子の前記ベース上での正投影は、それぞれ前記第一画素駆動回路設置エリアの前記ベース上での正投影及び前記第二画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、

前記第三発光素子及び前記第四発光素子は、前記第二方向に沿って配列され、前記第三発光素子の前記ベース上での正投影は、それぞれ前記第三画素駆動回路設置エリアの前記ベース上での正投影及び前記第四画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、前記第四発光素子の前記ベース上での正投影は、それぞれ前記第三画素駆動回路設置エリアの前記ベース上での正投影及び前記第四画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、

40

前記第一サブ画素は、第一サブ画素駆動回路を更に含み、前記第一サブ画素駆動回路は、第一蓄積容量を含み、前記第一発光素子は、第一アノードを含み、前記第一アノードの前記ベース上での正投影は、前記第一蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第一アノードと前記第一蓄積容量の第二極板とは、第一接続孔を介して結合され、

前記第二サブ画素は、第二サブ画素駆動回路を更に含み、前記第二サブ画素駆動回路は、

50

第二蓄積容量を含み、前記第二発光素子は、第二アノードを含み、前記第二アノードの前記ベース上での正投影は、前記第二蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第二アノードと前記第二蓄積容量の第二極板とは、第二接続孔を介して結合され、

前記第三サブ画素は、第三サブ画素駆動回路を更に含み、前記第三サブ画素駆動回路は、第三蓄積容量を含み、前記第三発光素子は、第三アノードを含み、前記第三アノードの前記ベース上での正投影は、前記第三蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第三アノードと前記第三蓄積容量の第二極板とは、第三接続孔を介して結合され、

前記第四サブ画素は、第四サブ画素駆動回路を更に含み、前記第四サブ画素駆動回路は、第四蓄積容量を含み、前記第四発光素子は、第四アノードを含み、前記第四アノードの前記ベース上での正投影は、前記第四蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第四アノードと前記第四蓄積容量の第二極板とは、第四接続孔を介して結合され、

前記第一接続孔と前記第四接続孔とは、前記第一方向に沿って配列され、前記第二接続孔と前記第三接続孔とは、前記第一方向に沿って配列される、表示パネルの製作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示の技術分野に関し、特に、表示パネル及びその製作方法、表示装置に関する。

【背景技術】

【0002】

現在、表示分野の発展方向には、高解像度、狭額縁、低消費電力及び個性的な表示等が含まれる。透明表示は、個性的な表示の分野の1つであり、透明表示は、透過率及び表示効果を重要視し、透明表示製品の画素は、透明領域及び表示領域を含むように設計され、表示領域は画素領域となり、完全な画素領域の製作には、アレイ工程、即ち金属配線、トランジスタ構造及び蓄積容量等の形成工程、カラーフィルム工程及び発光機能層工程が含まれる。

【発明の概要】

【0003】

本開示の目的は、表示パネル及びその製作方法、表示装置を提供することにある。

【0004】

本開示の第一局面は、ベースと、前記ベース上に設けられた複数の表示ユニットとを含む表示パネルであって、前記表示ユニットは、表示領域及び透明領域を含み、前記表示領域は、第一方向に沿って順次に配列された複数の画素駆動回路設置エリアを含み、各々の画素駆動回路設置エリアは、何れも第二方向に沿って延在し、前記第二方向と前記第一方向とは交差し、前記表示ユニットは、前記画素駆動回路設置エリアと1対1で対応する複数のサブ画素を含み、各々のサブ画素は何れも、互いに結合されたサブ画素駆動回路及び発光素子を含み、前記サブ画素駆動回路は、対応する画素駆動回路設置エリアに位置し、前記発光素子は、前記サブ画素駆動回路における前記ベースとは反対側に位置し、前記第一方向に沿って、前記発光素子の幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記発光素子の長さは、対応する画素駆動回路設置エリアの長さよりも小さい、表示パネルを提供する。

【0005】

選択的に、前記発光素子は、前記ベースから遠ざかる方向に沿って順次に積層して設けられたアノード、第一発光機能層及びカラーフィルターパターンを含み、前記アノードは、対応するサブ画素駆動回路に結合され、

前記第一方向に沿って、前記アノードの幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記アノードの長さは、対応する画素エリアの長さよ

10

20

30

40

50

りも小さく、前記第一方向に沿って、前記カラーフィルターパターンの幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記カラーフィルターパターンの長さは、対応する画素エリアの長さよりも小さい。

【 0 0 0 6 】

選択的に、前記発光素子は、前記ベースから遠ざかる方向に沿って順次に積層して設けられたアノード及び第二発光機能層を含み、前記アノードは、対応するサブ画素駆動回路に結合され、

前記第一方向に沿って、前記アノードの幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記アノードの長さは、対応する画素エリアの長さよりも小さく、前記第一方向に沿って、前記第二発光機能層の幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記第二発光機能層の長さは、対応する画素エリアの長さよりも小さい。

10

【 0 0 0 7 】

選択的に、前記表示ユニットにおける複数のサブ画素に含まれる発光素子は、アレイをなすように分布され、各々のサブ画素に含まれる発光素子の前記ベース上での正投影は何れも、その位置する表示領域における隣接する少なくとも2つの画素駆動回路設置エリアの前記ベース上での正投影とそれぞれオーバーラップ可能であり、前記少なくとも2つの画素駆動回路設置エリアには、当該サブ画素に対応する画素駆動回路設置エリアが含まれる。

【 0 0 0 8 】

選択的に、前記表示領域は、第一方向に沿って順次に配列された第一画素駆動回路設置エリア、第二画素駆動回路設置エリア、第三画素駆動回路設置エリア及び第四画素駆動回路設置エリアを含み、前記表示ユニットは、第一サブ画素、第二サブ画素、第三サブ画素及び第四サブ画素を含み、前記第一サブ画素は、第一発光素子を含み、前記第二サブ画素は、第二発光素子を含み、前記第三サブ画素は、第三発光素子を含み、前記第四サブ画素は、第四発光素子を含み、

20

前記第一発光素子及び前記第二発光素子は、前記第二方向に沿って配列され、前記第一発光素子の前記ベース上での正投影は、それぞれ前記第一画素駆動回路設置エリアの前記ベース上での正投影及び前記第二画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、前記第二発光素子の前記ベース上での正投影は、それぞれ前記第一画素駆動回路設置エリアの前記ベース上での正投影及び前記第二画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、

30

前記第三発光素子及び前記第四発光素子は、前記第二方向に沿って配列され、前記第三発光素子の前記ベース上での正投影は、それぞれ前記第三画素駆動回路設置エリアの前記ベース上での正投影及び前記第四画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、前記第四発光素子の前記ベース上での正投影は、それぞれ前記第三画素駆動回路設置エリアの前記ベース上での正投影及び前記第四画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップする。

【 0 0 0 9 】

選択的に、前記第一サブ画素は、第一サブ画素駆動回路を更に含み、前記第一サブ画素駆動回路は、第一蓄積容量を含み、前記第一発光素子は、第一アノードを含み、前記第一アノードの前記ベース上での正投影は、前記第一蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第一アノードと前記第一蓄積容量の第二極板とは、第一接続孔を介して結合され、

40

前記第二サブ画素は、第二サブ画素駆動回路を更に含み、前記第二サブ画素駆動回路は、第二蓄積容量を含み、前記第二発光素子は、第二アノードを含み、前記第二アノードの前記ベース上での正投影は、前記第二蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第二アノードと前記第二蓄積容量の第二極板とは、第二接続孔を介して結合され、

前記第三サブ画素は、第三サブ画素駆動回路を更に含み、前記第三サブ画素駆動回路は

50

、第三蓄積容量を含み、前記第三発光素子は、第三アノードを含み、前記第三アノードの前記ベース上での正投影は、前記第三蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第三アノードと前記第三蓄積容量の第二極板とは、第三接続孔を介して結合され、

前記第四サブ画素は、第四サブ画素駆動回路を更に含み、前記第四サブ画素駆動回路は、第四蓄積容量を含み、前記第四発光素子は、第四アノードを含み、前記第四アノードの前記ベース上での正投影は、前記第四蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第四アノードと前記第四蓄積容量の第二極板とは、第四接続孔を介して結合され、

前記第一接続孔と前記第四接続孔とは、前記第一方向に沿って配列され、前記第二接続孔と前記第三接続孔とは、前記第一方向に沿って配列される。

10

【0010】

選択的に、前記第一サブ画素は、青サブ画素を含み、前記第二サブ画素は、白サブ画素を含み、前記第三サブ画素は、緑サブ画素を含み、前記第四サブ画素は、赤サブ画素を含む。

【0011】

選択的に、前記表示ユニットにおける複数のサブ画素に含まれる発光素子は、前記第二方向に沿って順次に配列され、各々のサブ画素に含まれる発光素子の前記ベース上での正投影は何れも、その位置する表示領域における各画素駆動回路設置エリアの前記ベース上での正投影とそれぞれオーバーラップ可能である。

20

【0012】

選択的に、前記表示領域は、第一方向に沿って順次に配列された第五画素駆動回路設置エリア、第六画素駆動回路設置エリア及び第七画素駆動回路設置エリアを含み、前記表示ユニットは、第五サブ画素、第六サブ画素及び第七サブ画素を含み、前記第五サブ画素は、第五発光素子を含み、前記第六サブ画素は、第六発光素子を含み、前記第七サブ画素は、第七発光素子を含み、前記第五発光素子、前記第六発光素子及び前記第七発光素子は、前記第二方向に沿って順次に配列され、

前記第五発光素子の前記ベース上での正投影は、それぞれ前記第五画素駆動回路設置エリアの前記ベース上での正投影、前記第六画素駆動回路設置エリアの前記ベース上での正投影及び前記第七画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、

30

前記第六発光素子の前記ベース上での正投影は、それぞれ前記第五画素駆動回路設置エリアの前記ベース上での正投影、前記第六画素駆動回路設置エリアの前記ベース上での正投影及び前記第七画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、

前記第七発光素子の前記ベース上での正投影は、それぞれ前記第五画素駆動回路設置エリアの前記ベース上での正投影、前記第六画素駆動回路設置エリアの前記ベース上での正投影及び前記第七画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップする。

【0013】

選択的に、前記第五サブ画素は、第五サブ画素駆動回路を更に含み、前記第五サブ画素駆動回路は、第五蓄積容量を含み、前記第五発光素子は、第五アノードを含み、前記第五アノードの前記ベース上での正投影は、前記第五蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第五アノードと前記第五蓄積容量の第二極板とは、第五接続孔を介して結合され、

40

前記第六サブ画素は、第六サブ画素駆動回路を更に含み、前記第六サブ画素駆動回路は、第六蓄積容量を含み、前記第六発光素子は、第六アノードを含み、前記第六アノードの前記ベース上での正投影は、前記第六蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第六アノードと前記第六蓄積容量の第二極板とは、第六接続孔を介して結合され、

前記第七サブ画素は、第七サブ画素駆動回路を更に含み、前記第七サブ画素駆動回路は、第七蓄積容量を含み、前記第七発光素子は、第七アノードを含み、前記第七アノードの

50

前記ベース上での正投影は、前記第七蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第七アノードと、前記第七蓄積容量の第二極板とは、第七接続孔を介して結合され、

前記第一方向に沿って、前記第五接続孔、前記第六接続孔及び前記第七接続孔は、ずらして分布される。

【0014】

選択的に、前記第五サブ画素は、赤サブ画素を含み、前記第六サブ画素は、緑サブ画素を含み、前記第七サブ画素は、青サブ画素を含む。

【0015】

選択的に、前記表示ユニットは、

前記第一方向に沿って少なくとも一部が延在する第一走査線と、

前記第一方向に沿って少なくとも一部が延在する第二走査線と、

前記第二方向に沿って少なくとも一部が延在するセンス信号線と、

前記第二方向に沿って少なくとも一部が延在する第一電源信号線とを含み、

前記サブ画素は、データ線を更に含み、前記データ線の少なくとも一部は、第二方向に沿って延在し、

前記サブ画素駆動回路は、第一トランジスタ、第二トランジスタ、第三トランジスタ及び蓄積容量を含み、前記第一トランジスタのゲートは、前記第一走査線に結合され、前記第一トランジスタの第一極は、前記データ線に結合され、前記第一トランジスタの第二極は、前記第二トランジスタのゲートに結合され、前記第二トランジスタの第一極は、前記第一電源信号線に結合され、前記第二トランジスタの第二極は、発光素子のアノードに結合され、前記第三トランジスタのゲートは、前記第二走査線に結合され、前記第三トランジスタの第一極は、前記センス信号線に結合され、前記第三トランジスタの第二極は、前記発光素子のアノードに結合され、前記蓄積容量の第一極板は、前記第二トランジスタのゲートに結合され、前記蓄積容量の第二極板は、前記第二トランジスタの第二極に結合される。

【0016】

選択的に、前記第一トランジスタ、前記第二トランジスタ、前記蓄積容量及び前記第三トランジスタは、前記第二方向に沿って順次に配列される。

【0017】

選択的に、前記サブ画素は、前記ベースと前記サブ画素駆動回路との間に位置する遮光パターンを更に含み、前記遮光パターンは、前記第二方向に沿って延在し、前記サブ画素駆動回路の前記ベース上での正投影は、前記遮光パターンの前記ベース上での正投影の内部に位置する。

【0018】

選択的に、前記遮光パターンの前記ベース上での正投影は、前記蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記遮光パターンと前記蓄積容量の第二極板とが結合される。

【0019】

選択的に、前記表示ユニットは、第一アダプターパターンを更に含み、前記第一アダプターパターンの少なくとも一部は、前記第一方向に沿って延在し、前記第一アダプターパターンの前記ベース上での正投影は、当該表示ユニットにおけるセンス信号線の前記ベース上での正投影とオーバーラップし、前記第一アダプターパターンは、当該オーバーラップ箇所において、前記センス信号線に結合され、前記第一アダプターパターンは、その位置する表示領域における各前記第三トランジスタの第一極にそれぞれ結合され、前記第一アダプターパターンと前記遮光パターンとは、同じ層で同じ材料になるように設けられる。

【0020】

選択的に、前記第一電源信号線は、積層して設けられた第一部分及び第二部分を含み、前記第一部分及び前記第二部分は、何れも前記第二方向に沿って延在し、前記第一部分の前記ベース上での正投影は、前記第二部分の前記ベース上での正投影とオーバーラップし

10

20

30

40

50

、前記第一部分と前記第二部分とは、当該オーバーラップ箇所に設けられたピアホールを介して結合され、前記第一部分と前記第一走査線とは、同じ層で同じ材料になるように設けられ、前記第二部分と前記データ線とは、同じ層で同じ材料になるように設けられる。

【0021】

選択的に、前記表示ユニットは、第二アダプターパターンを更に含み、前記第二アダプターパターンの少なくとも一部は、前記第一方向に沿って延在し、前記第二アダプターパターンと前記第一部分とは、一体構造として形成され、前記第二アダプターパターンは、その位置する表示領域における各前記第二トランジスタの第一極にそれぞれ結合される。

【0022】

選択的に、前記表示ユニットは、第二電源信号線を更に含み、前記第二電源信号線は、積層して設けられた第三部分及び第四部分を含み、前記第三部分及び前記第四部分は、何れも前記第二方向に沿って延在し、前記第三部分の前記ベース上での正投影は、前記第四部分の前記ベース上での正投影とオーバーラップし、前記第三部分と前記第四部分とは、当該オーバーラップ箇所に設けられたピアホールを介して結合され、前記第三部分と前記第一走査線とは、同じ層で同じ材料になるように設けられ、前記第四部分と前記データ線とは、同じ層で同じ材料になるように設けられ、

10

前記発光素子は、前記アノードにおける前記ベースとは反対側に位置するカソードを更に含み、前記カソードは、前記第二電源信号線に結合される。

【0023】

選択的に、1つの表示ユニットにおいて、前記複数のサブ画素に含まれる発光素子の前記ベース上での正投影と、当該表示ユニットに含まれる表示領域の前記ベース上での正投影との間のオーバーラップ面積は、前記表示領域の面積の90%よりも多い。

20

【0024】

上記表示パネルの技術案に基づいて、本開示の第二局面は、上記表示パネルを含む、表示装置を提供する。

【0025】

上記表示パネルの技術案に基づいて、本開示の第三局面は、ベース上に複数の表示ユニットを製作することを含む表示パネルの製作方法であって、前記表示ユニットは、表示領域及び透明領域を含み、前記表示領域は、第一方向に沿って順次に配列された複数の画素駆動回路設置エリアを含み、各々の画素駆動回路設置エリアは、何れも第二方向に沿って延在し、前記第二方向と前記第一方向とは交差し、前記表示ユニットは、前記画素駆動回路設置エリアと1対1で対応する複数のサブ画素を含み、各々のサブ画素は何れも、互いに結合されたサブ画素駆動回路及び発光素子を含み、前記サブ画素駆動回路は、対応する画素駆動回路設置エリアに位置し、前記発光素子は、前記サブ画素駆動回路における前記ベースとは反対側に位置し、前記第一方向に沿って、前記発光素子の幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記発光素子の長さは、対応する画素駆動回路設置エリアの長さよりも小さい、表示パネルの製作方法を提供する。

30

【0026】

ここで説明される図面は、本開示のさらなる理解を提供するためのものであり、本開示の一部を構成し、本開示の例示的な実施例及びその説明は、本開示を解釈するためのものであり、本開示に対する不適切な制限を構成しない。

40

【図面の簡単な説明】

【0027】

【図1】本開示の実施例による画素駆動回路の等価回路図である。

【図2】本開示の実施例による表示ユニットにおける表示領域及び透明領域の第一模式図である。

【図3】本開示の実施例による表示ユニットにおける発光素子の第一レイアウトの模式図である。

【図4】本開示の実施例による表示ユニットにおける発光素子の第二レイアウトの模式図である。

50

【図 5】本開示の実施例による表示ユニットにおけるサブ画素の第一レイアウトの模式図である。

【図 6】図 5 における A 1 A 2 方向に沿った断面模式図である。

【図 7】図 6 における遮光層のレイアウトの模式図である。

【図 8】図 6 におけるアクティブ層及び第一ゲート金属層のレイアウトの模式図である。

【図 9】図 6 における第一ソースドレイン金属層のレイアウトの模式図である。

【図 10】図 6 におけるアノード及び画素開口のレイアウトの模式図である。

【図 11】本開示の実施例による表示ユニットにおける表示領域及び透明領域の第二模式図である。

【図 12】本開示の実施例による表示ユニットにおける発光素子の第三レイアウトの模式図である。

10

【図 13】本開示の実施例による表示ユニットにおけるサブ画素の第二レイアウトの模式図である。

【図 14】図 13 における遮光層のレイアウトの模式図である。

【図 15】図 13 におけるアクティブ層及び第一ゲート金属層のレイアウトの模式図である。

【図 16】図 13 における第一ソースドレイン金属層のレイアウトの模式図である。

【図 17】図 13 におけるアノードのレイアウトの模式図である。

【発明を実施するための形態】

【0028】

20

本開示の実施例による表示パネル及びその製作方法、表示装置を更に説明するために、以下、明細書図面を参照して詳しく述べる。

【0029】

図 2 及び図 3 に示すように、本開示は、表示パネルを提供し、前記表示パネルは、複数の表示ユニットを含み、前記表示ユニットは、表示領域 30 及び透明領域 31 を含み、前記表示領域 30 は、第一方向に沿って順次に配列された複数の画素駆動回路設置エリア 300 を含み、各々のサブ画素 300 は、何れも第二方向に沿って延在し、前記第二方向と前記第一方向とは交差し、前記表示ユニットは、前記画素駆動回路設置エリアと 1 対 1 で対応する複数のサブ画素を含み、各々のサブ画素は何れも、互いに結合されたサブ画素駆動回路及び発光素子 40 を含み、前記発光素子 40 は、前記サブ画素駆動回路における前記ベースとは反対側に位置し、前記サブ画素駆動回路及び前記発光素子 40 は何れも、対応する画素駆動回路設置エリア 300 に位置する。

30

【0030】

上記構造の表示パネルにおいて、画素駆動回路設置エリアは、前記第二方向に沿って延在する短冊状構造として形成され、サブ画素駆動回路及び発光素子 40 は何れも、対応する画素駆動回路設置エリア 300 内にレイアウトされ、このような構造の表示パネルは、低解像度の透明表示に好適に使用される。しかし、表示パネルの解像度が上がるにつれて、透明領域の占有割合を確保する場合、画素駆動回路設置エリア 300 の前記第一方向に沿った幅が減らされてしまい、その結果、前記画素駆動回路設置エリア 300 が前記第二方向に沿って延在する細短冊構造として形成される。そうすると、当該画素駆動回路設置エリア 300 内に前記サブ画素駆動回路及び前記発光素子 40 をレイアウトするとき、前記サブ画素駆動回路及び前記発光素子 40 の前記第一方向に沿った幅もそれに対応して狭くなるため、前記サブ画素駆動回路及び前記発光素子 40 の製作プロセスの困難度が増加し、表示パネルには表示の混色の問題を生じさせて、表示パネルの表示効果に影響を与え易くなる。

40

【0031】

図 2、図 4 ~ 図 17 を参照して、本開示の実施例は、ベースと、前記ベース上に設けられた複数の表示ユニットとを含む表示パネルであって、前記表示ユニットは、表示領域 30 及び透明領域 31 を含み、前記表示領域 30 は、第一方向に沿って順次に配列された複数の画素駆動回路設置エリア 300 (例えば、図 2 における第一画素駆動回路設置エリア

50

3001、第二画素駆動回路設置エリア3002、第三画素駆動回路設置エリア3003及び第四画素駆動回路設置エリア3004)を含み、各々の画素駆動回路設置エリア3000は、何れも第二方向に沿って延在し、前記第二方向と前記第一方向とは交差し、前記表示ユニットは、前記画素駆動回路設置エリア3000と1対1で対応する複数のサブ画素を含み、各々のサブ画素は何れも、互いに結合されたサブ画素駆動回路及び発光素子(例えば、図4における第一発光素子41、第二発光素子42、第三発光素子43又は第四発光素子44)を含み、前記サブ画素駆動回路は、対応する画素駆動回路設置エリア3000に位置し、前記発光素子は、前記サブ画素駆動回路における前記ベースとは反対側に位置し、前記第一方向に沿って、前記発光素子の幅L3は、対応する画素駆動回路設置エリアの幅L1よりも大きく、前記第二方向に沿って、前記発光素子の長さL4は、対応する画素駆動回路設置エリアの長さL2よりも小さい。

10

【0032】

具体的に、図2、図4、図11及び図12に示すように、前記表示パネルは、アレイをなすように分布された複数の表示ユニットを含み、各々の表示ユニットは、何れも表示領域30及び透明領域31を含み、例示的に、前記透明領域31及び前記表示領域30は、前記第一方向に沿って順次に配列される。前記表示領域30は、表示パネルの表示機能を実現するためのものであり、透明領域31は、表示パネルの透明機能を実現するためのものである。

【0033】

前記表示領域30は、第一方向に沿って順次に配列された複数の画素駆動回路設置エリア300を含み、各々の画素駆動回路設置エリア300は、何れも第二方向に沿って延在し、例示的に、前記画素駆動回路設置エリア300は、第二方向に沿って延在する矩形構造として形成される。例示的に、前記第一方向には、X方向が含まれ、前記第二方向には、Y方向が含まれる。

20

【0034】

前記表示ユニットは、前記画素駆動回路設置エリア300と1対1で対応する複数のサブ画素を含み、各々のサブ画素は何れも、互いに結合されたサブ画素駆動回路及び発光素子を含み、前記サブ画素駆動回路は、対応する画素駆動回路設置エリア300に位置し、例示的に、前記サブ画素駆動回路は、トランジスタ構造及び蓄積容量Cstを含み、前記サブ画素駆動回路は、前記発光素子に駆動信号を供給するためのものである。

30

【0035】

図5及び図6に示すように、前記発光素子は、前記サブ画素駆動回路における前記ベースとは反対側に位置し、前記発光素子は、前記ベースから遠ざかる方向に沿って順次に積層して設けられたアノード801(例えば図5における第一アノード8011、第二アノード8012、第三アノード8013又は第四アノード8014、並びに、例えば図17における第五アノード8015、第六アノード8016又は第七アノード8017)及び発光機能層を含み、前記アノード801の前記ベース上での正投影は、それに結合されたサブ画素駆動回路の前記ベース上での正投影とオーバーラップし、オーバーラップ箇所において、前記アノード801は、ピアホールを介して、前記サブ画素駆動回路内に含まれる第二トランジスタT2の第二極D2に結合されて、前記サブ画素駆動回路から供給された駆動信号を受信することができる。前記発光素子は、カソード層73を更に含み、例示的に、前記カソード層73は、前記発光機能層における前記ベースとは反対側に位置し、前記カソード層73は、前記表示ユニットにおけるマイナス電源信号線に結合されて、前記マイナス電源信号線から供給されたマイナス電源信号を受信する。

40

【0036】

説明すべきなのは、図6には、第一絶縁層61、第三絶縁層63、第四絶縁層64、平坦層65、ベース10、封止層74、第一導電接続部50、第二導電接続部51及び第三導電接続部52が更に示されている。また、表示パネルには、第二絶縁層(不図示)が更に含まれ、例示的に、当該第二絶縁層は、アクティブ層と第一ゲート金属層との間に位置し、第二絶縁層のベース上での正投影は、第一ゲート金属層のベース上での正投影と重な

50

ることができる。

【0037】

例示的に、前記発光機能層は、有機発光材料層72と、電子輸送層(electron transporting layer、ETLと略す)、電子注入層(electron injection layer、EILと略す)、正孔輸送層(hole transporting layer、HTLと略す)及び正孔注入層(hole injection layer、HILと略す)等の全層構造の共通層とを含む。前記有機発光材料層72は、前記アノード801と前記カソード層73との共同作用の下で、対応する色の光を発するためのものである。

【0038】

前記発光素子は、レイアウトの際、前記第一方向に沿って、前記発光素子の幅が、対応する画素駆動回路設置エリア300の幅よりも大きく、前記第二方向に沿って、前記発光素子の長さが、対応する画素駆動回路設置エリア300の長さよりも小さくなるように設けられてもよい。このようなレイアウト方式によれば、前記発光素子の第一方向における幅が増やされ、前記発光素子の前記第二方向における長さが減らされるため、前記発光素子の前記ベース上での正投影は、少なくとも2つの前記画素駆動回路設置エリア300の前記ベース上での正投影とオーバーラップ可能となり、前記発光素子が前記画素駆動回路設置エリア300と同様の細短冊構造として形成されることが回避される。

【0039】

上記表示パネルの具体的な構造から分かるように、本開示の実施例による表示パネルでは、表示領域30が、第一方向に沿って順次に配列された複数の画素駆動回路設置エリア300を含み、各々の画素駆動回路設置エリア300が、何れも第二方向に沿って延在するように構成するとともに、表示ユニットが、前記画素駆動回路設置エリア300と1対1で対応する複数のサブ画素を含み、各々のサブ画素におけるサブ画素駆動回路が、対応する画素駆動回路設置エリア300に位置し、各々のサブ画素における発光素子について、その前記第一方向に沿った幅が、対応する画素駆動回路設置エリア300の幅よりも大きく、その前記第二方向に沿った長さが、対応する画素駆動回路設置エリア300の長さよりも小さくなるように構成している。上記構成方式によれば、前記発光素子の前記ベース上での正投影は、少なくとも2つの前記画素駆動回路設置エリア300の前記ベース上での正投影とオーバーラップ可能となるため、仮に表示パネル解像度が上がるにつれて、画素駆動回路設置エリア300の前記第一方向に沿った幅が減らされることで、前記画素駆動回路設置エリア300が、前記第二方向に沿って延在する細短冊構造として形成されても、前記発光素子は、依然として適切なアスペクト比を有することができ、その結果、前記発光素子の製作プロセスの困難度の増加が回避され、表示パネルにおける表示の混色の問題の発生が回避され、表示パネルの良好な表示効果が保証される。したがって、本開示の実施例による表示パネルは、機能の製作困難度を増加させることなく、高品質、高解像度の透明表示をより好適に実現できる。

【0040】

図2、図5、図10、図11、図13及び図17に示すように、いくつかの実施例において、前記発光素子が、前記ベースから遠ざかる方向に沿って順次に積層して設けられたアノード801、第一発光機能層及びカラーフィルターパターンを含み、前記アノード801が、対応するサブ画素駆動回路に結合され、前記第一方向に沿って、前記アノード801の幅が、対応する画素駆動回路設置エリア300の幅よりも大きく、前記第二方向に沿って、前記アノード801の長さが、対応する画素エリアの長さよりも小さく、前記第一方向に沿って、前記カラーフィルターパターンの幅が、対応する画素駆動回路設置エリア300の幅よりも大きく、前記第二方向に沿って、前記カラーフィルターパターンの長さが、対応する画素エリアの長さよりも小さくなるように構成している。

【0041】

具体的に、前記発光素子は、前記ベースから遠ざかる方向に沿って順次に積層して設けられたアノード801、第一発光機能層及びカラーフィルターパターンを含み、例示的に

、前記第一発光機能層は、白色光を発するものであり、前記第一発光機能層が全層構造として形成される。例示的に、前記表示パネルは、カバープレートを含み、前記カラーフィルターパターンは、前記カバープレートにおける前記ベースに向く側に形成される。例示的に、前記カラーフィルターパターンは、赤カラーフィルターパターン、青カラーフィルターパターン及び緑カラーフィルターパターンを含む。例示的に、前記カラーフィルターパターンは、赤カラーフィルターパターン、青カラーフィルターパターン、白カラーフィルターパターン及び緑カラーフィルターパターンを含む。

【0042】

上述した通りに、前記第一方向に沿って、前記アノード801の幅が、対応する画素駆動回路設置エリア300の幅よりも大きく、前記第二方向に沿って、前記アノード801の長さが、対応する画素エリアの長さよりも小さくなるように構成することにより、前記アノード801の前記ベース上での正投影は、少なくとも2つの画素駆動回路設置エリア300の前記ベース上での正投影とオーバーラップ可能となるため、仮に表示パネル解像度が上がるにつれて、画素駆動回路設置エリア300の前記第一方向に沿った幅が減らされることで、前記画素駆動回路設置エリア300が、前記第二方向に沿って延在する細短冊構造として形成されても、前記アノード801は、依然として適切なアスペクト比を有することができ、その結果、前記アノード801の製作プロセスの困難度の増加が回避され、表示パネルにおける表示の混色の問題の発生が回避され、表示パネルの良好な表示効果が保証される。

【0043】

同様に、上述した通りに、前記第一方向に沿って、前記カラーフィルターパターンの幅が、対応する画素駆動回路設置エリア300の幅よりも大きく、前記第二方向に沿って、前記カラーフィルターパターンの長さが、対応する画素エリアの長さよりも小さくなるように構成することにより、前記カラーフィルターパターンの前記ベース上での正投影は、少なくとも2つの画素駆動回路設置エリア300の前記ベース上での正投影とオーバーラップ可能となるため、仮に表示パネル解像度が上がるにつれて、画素駆動回路設置エリア300の前記第一方向に沿った幅が減らされることで、前記画素駆動回路設置エリア300が、前記第二方向に沿って延在する細短冊構造として形成されても、前記カラーフィルターパターンは、以前として適切なアスペクト比を有することができ、その結果、前記カラーフィルターパターンの製作プロセスの困難度の増加が回避され、表示パネルにおける表示の混色の問題の発生が回避され、表示パネルの良好な表示効果が保証される。

【0044】

図2、図5、図10、図11、図13及び図17に示すように、いくつかの実施例において、前記発光素子は、前記ベースから遠ざかる方向に沿って順次に積層して設けられたアノード801及び第二発光機能層を含み、前記アノード801は、対応するサブ画素駆動回路に結合され、前記第一方向に沿って、前記アノード801の幅は、対応する画素駆動回路設置エリア300の幅よりも大きく、前記第二方向に沿って、前記アノード801の長さは、対応する画素エリアの長さよりも小さく、前記第一方向に沿って、前記第二発光機能層の幅は、対応する画素駆動回路設置エリア300の幅よりも大きく、前記第二方向に沿って、前記第二発光機能層の長さは、対応する画素エリアの長さよりも小さい。

【0045】

具体的に、前記発光素子は、前記ベースから遠ざかる方向に沿って順次に積層して設けられたアノード801及び第二発光機能層を含む。例示的に、前記第二発光機能層は、有機発光材料層を含み、前記有機発光材料層は、赤色光、緑色光、青色光又は白色光を発することができる。前記表示ユニットは、画素規定層71を更に含み、前記画素規定層71には、前記サブ画素と1対1で対応する画素開口802が形成され、前記有機発光材料層は、対応する画素開口802内に位置する。

【0046】

留意されたいのは、前記発光素子が前記アノード801及び前記第二発光機能層を含む場合、前記表示パネルには、カラーフィルターパターンが設けられなくてもよい。

【 0 0 4 7 】

上述した通りに、前記第一方向に沿って、前記アノード 8 0 1 の幅が、対応する画素駆動回路設置エリア 3 0 0 の幅よりも大きく、前記第二方向に沿って、前記アノード 8 0 1 の長さが、対応する画素駆動回路設置エリア 3 0 0 の長さよりも小さくなるように構成することにより、前記アノード 8 0 1 の前記ベース上での正投影は、少なくとも 2 つの画素駆動回路設置エリア 3 0 0 の前記ベース上での正投影とオーバーラップ可能となるため、仮に表示パネル解像度が上がるにつれて、画素駆動回路設置エリア 3 0 0 の前記第一方向に沿った幅が減らされることで、前記画素駆動回路設置エリア 3 0 0 が、前記第二方向に沿って延在する細短冊構造として形成されても、前記アノード 8 0 1 は、依然として適切なアスペクト比を有することができ、その結果、前記アノード 8 0 1 の製作プロセスの困難度の増加が回避され、表示パネルにおける表示の混色の問題の発生が回避され、表示パネルの良好な表示効果が保証される。

10

【 0 0 4 8 】

同様に、上述した通りに、前記第一方向に沿って、前記第二発光機能層の幅が、対応する画素駆動回路設置エリア 3 0 0 の幅よりも大きく、前記第二方向に沿って、前記第二発光機能層の長さが、対応する画素駆動回路設置エリア 3 0 0 の長さよりも小さくなるように構成することにより、前記第二発光機能層の前記ベース上での正投影は、少なくとも 2 つの画素駆動回路設置エリア 3 0 0 の前記ベース上での正投影とオーバーラップ可能となるため、仮に表示パネル解像度が上がるにつれて、画素駆動回路設置エリア 3 0 0 の前記第一方向に沿った幅が減らされることで、前記画素駆動回路設置エリア 3 0 0 が、前記第二方向に沿って延在する細短冊構造として形成されても、前記第二発光機能層は、以前として適切なアスペクト比を有することができ、その結果、前記第二発光機能層の製作プロセスの困難度の増加が回避され、表示パネルにおける表示の混色の問題の発生が回避され、表示パネルの良好な表示効果が保証される。

20

【 0 0 4 9 】

図 4 に示すように、いくつかの実施例において、前記表示ユニットにおける複数のサブ画素に含まれる発光素子（例えば、図 4 における第一発光素子 4 1、第二発光素子 4 2、第三発光素子 4 3 及び第四発光素子 4 4）は、アレイをなすように分布され、各々のサブ画素に含まれる発光素子の前記ベース上での正投影は何れも、その位置する表示領域 3 0 における隣接する少なくとも 2 つの画素駆動回路設置エリア 3 0 0 の前記ベース上での正投影とそれぞれオーバーラップ可能であり、前記少なくとも 2 つの画素駆動回路設置エリア 3 0 0 には、当該サブ画素に対応する画素駆動回路設置エリア 3 0 0 が含まれる。

30

【 0 0 5 0 】

具体的に、前記表示ユニットにおける複数のサブ画素に含まれる発光素子の具体的なレイアウト方式は、多様であり、例示的に、前記表示ユニットにおける複数のサブ画素に含まれる発光素子は、アレイをなすように分布され、複数行の発光素子及び複数列の発光素子に区画可能である。同じ行の発光素子において、発光素子は、前記第一方向に沿って順次に配列され、同じ列の発光素子において、発光素子は、前記第二方向に沿って順次に配列される。

【 0 0 5 1 】

例示的に、サブ画素に含まれる発光素子の前記ベース上での正投影は、その位置する表示領域 3 0 における隣接する少なくとも 2 つの画素駆動回路設置エリア 3 0 0 の前記ベース上での正投影とそれぞれオーバーラップ可能であり、当該少なくとも 2 つの画素駆動回路設置エリア 3 0 0 には、当該サブ画素に対応する画素駆動回路設置エリア 3 0 0 が含まれる。少なくとも 2 つの画素駆動回路設置エリア 3 0 0 には、当該サブ画素に対応する画素駆動回路設置エリア 3 0 0 が含まれるように構成することにより、前記サブ画素に含まれる発光素子は、対応する画素駆動回路設置エリア 3 0 0 におけるサブ画素駆動回路とオーバーラップ可能となるとともに、オーバーラップ箇所において、対応するサブ画素駆動回路に結合されて、当該サブ画素駆動回路から供給された駆動信号を受信することができる。

40

50

【 0 0 5 2 】

上記実施例による表示パネルでは、各々のサブ画素に含まれる発光素子の前記ベース上での正投影が何れも、その位置する表示領域 3 0 における隣接する少なくとも 2 つの画素駆動回路設置エリア 3 0 0 の前記ベース上での正投影とそれぞれオーバーラップ可能であるように構成することにより、各々の発光素子は、何れも適切なアスペクト比を有することができるため、前記第二発光機能層の製作プロセスの困難度の増加が回避され、表示パネルにおける表示の混色の問題の発生が回避され、表示パネルの良好な表示効果が保証される。

【 0 0 5 3 】

図 2、図 4 ~ 図 1 0 に示すように、いくつかの実施例において、前記表示領域 3 0 は、
第一方向に沿って順次に配列された第一画素駆動回路設置エリア 3 0 0 1、第二画素駆動回路設置エリア 3 0 0 2、第三画素駆動回路設置エリア 3 0 0 3 及び第四画素駆動回路設置エリア 3 0 0 4 を含み、前記表示ユニットは、第一サブ画素、第二サブ画素、第三サブ画素及び第四サブ画素を含み、前記第一サブ画素は、第一発光素子 4 1 を含み、前記第二サブ画素は、第二発光素子 4 2 を含み、前記第三サブ画素は、第三発光素子 4 3 を含み、前記第四サブ画素は、第四発光素子 4 4 を含み、

前記第一発光素子 4 1 及び前記第二発光素子 4 2 は、前記第二方向に沿って配列され、前記第一発光素子 4 1 の前記ベース上での正投影は、それぞれ前記第一画素駆動回路設置エリア 3 0 0 1 の前記ベース上での正投影及び前記第二画素駆動回路設置エリア 3 0 0 2 の前記ベース上での正投影とオーバーラップし、前記第二発光素子 4 2 の前記ベース上での正投影は、それぞれ前記第一画素駆動回路設置エリア 3 0 0 1 の前記ベース上での正投影及び前記第二画素駆動回路設置エリア 3 0 0 2 の前記ベース上での正投影とオーバーラップし、

前記第三発光素子 4 3 及び前記第四発光素子 4 4 は、前記第二方向に沿って配列され、前記第三発光素子 4 3 の前記ベース上での正投影は、それぞれ前記第三画素駆動回路設置エリア 3 0 0 3 の前記ベース上での正投影及び前記第四画素駆動回路設置エリア 3 0 0 4 の前記ベース上での正投影とオーバーラップし、前記第四発光素子 4 4 の前記ベース上での正投影は、それぞれ前記第三画素駆動回路設置エリア 3 0 0 3 の前記ベース上での正投影及び前記第四画素駆動回路設置エリア 3 0 0 4 の前記ベース上での正投影とオーバーラップする。

【 0 0 5 4 】

具体的に、図 2 及び図 4 に示すように、前記表示領域 3 0 は、第一方向に沿って順次に配列された第一画素駆動回路設置エリア 3 0 0 1、第二画素駆動回路設置エリア 3 0 0 2、第三画素駆動回路設置エリア 3 0 0 3 及び第四画素駆動回路設置エリア 3 0 0 4 を含む。前記表示ユニットは、第一サブ画素、第二サブ画素、第三サブ画素及び第四サブ画素を含む。前記第一サブ画素は、互いに結合された第一サブ画素駆動回路及び第一発光素子 4 1 を含み、前記第一サブ画素駆動回路は、対応する第一画素駆動回路設置エリア 3 0 0 1 に位置する。前記第二サブ画素は、互いに結合された第二サブ画素駆動回路及び第二発光素子 4 2 を含み、前記第二サブ画素駆動回路は、対応する第二画素駆動回路設置エリア 3 0 0 2 に位置する。前記第三サブ画素は、互いに結合された第三サブ画素駆動回路及び第三発光素子 4 3 を含み、前記第三サブ画素駆動回路は、対応する第三画素駆動回路設置エリア 3 0 0 3 に位置する。前記第四サブ画素は、互いに結合された第四サブ画素駆動回路及び第四発光素子 4 4 を含み、前記第四サブ画素駆動回路は、対応する第四画素駆動回路設置エリア 3 0 0 4 に位置する。

【 0 0 5 5 】

例示的に、前記第一発光素子 4 1、前記第二発光素子 4 2、前記第三発光素子 4 3 及び前記第四発光素子 4 4 は、アレイをなすように分布され、2 行 2 列のレイアウト構造として形成される。第一列の発光素子は、前記第二方向に沿って順次に配列された前記第一発光素子 4 1 及び前記第二発光素子 4 2 を含み、前記第一発光素子 4 1 の前記ベース上での正投影は、それぞれ前記第一画素駆動回路設置エリア 3 0 0 1 の前記ベース上での正投影

及び前記第二画素駆動回路設置エリア 3 0 0 2 の前記ベース上での正投影とオーバーラップし、前記第二発光素子 4 2 の前記ベース上での正投影は、それぞれ前記第一画素駆動回路設置エリア 3 0 0 1 の前記ベース上での正投影及び前記第二画素駆動回路設置エリア 3 0 0 2 の前記ベース上での正投影とオーバーラップする。

【 0 0 5 6 】

第二列発光素子は、前記第二方向に沿って順次に配列された前記第三発光素子 4 3 及び前記第四発光素子 4 4 を含み、前記第三発光素子 4 3 の前記ベース上での正投影は、それぞれ前記第三画素駆動回路設置エリア 3 0 0 3 の前記ベース上での正投影及び前記第四画素駆動回路設置エリア 3 0 0 4 の前記ベース上での正投影とオーバーラップし、前記第四発光素子 4 4 の前記ベース上での正投影は、それぞれ前記第三画素駆動回路設置エリア 3 0 0 3 の前記ベース上での正投影及び前記第四画素駆動回路設置エリア 3 0 0 4 の前記ベース上での正投影とオーバーラップする。

10

【 0 0 5 7 】

留意されたいのは、前記第一発光素子 4 1 と前記第三発光素子 4 3 とは、前記第一方向に沿って配列され、第一行に位置する。前記第二発光素子 4 2 と前記第四発光素子 4 4 とは、前記第二方向に沿って配列され、第二行に位置する。

【 0 0 5 8 】

表示パネルに上記構造が採用された場合、5.5 インチ 4 k 解像度の表示パネルを例とすると、図 2 に示すように、表示領域 3 0 の寸法は、 $314.2 \mu\text{m} \times 314.2 \mu\text{m}$ となる。図 3 に示すように、平均的な計算によれば、図 3 における 1 サブ画素の発光素子 4 0 に対応する寸法は、 $78.55 \mu\text{m} \times 314.2 \mu\text{m}$ となる。図 4 に示すように、平均的な計算によれば、図 4 における 1 サブ画素の発光素子（例えば、4 1 / 4 2 / 4 3 / 4 4）の寸法は、 $157.1 \mu\text{m} \times 157.1 \mu\text{m}$ となり、比較することで分かるように、本開示による実施例の方は、発光素子の製作困難度が小さい。

20

【 0 0 5 9 】

図 4 及び図 5 に示すように、いくつかの実施例において、前記第一サブ画素は、第一サブ画素駆動回路を更に含み、前記第一サブ画素駆動回路は、第一蓄積容量を含み、前記第一発光素子 4 1 は、第一アノード 8 0 1 1 を含み、前記第一アノード 8 0 1 1 の前記ベース上での正投影は、前記第一蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第一アノード 8 0 1 1 と前記第一蓄積容量の第二極板とは、第一接続孔 1 0 1 を介して結合され、

30

前記第二サブ画素は、第二サブ画素駆動回路を更に含み、前記第二サブ画素駆動回路は、第二蓄積容量を含み、前記第二発光素子 4 2 は、第二アノード 8 0 1 2 を含み、前記第二アノード 8 0 1 2 の前記ベース上での正投影は、前記第二蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第二アノード 8 0 1 2 と前記第二蓄積容量の第二極板とは、第二接続孔 1 0 2 を介して結合され、

前記第三サブ画素は、第三サブ画素駆動回路を更に含み、前記第三サブ画素駆動回路は、第三蓄積容量を含み、前記第三発光素子 4 3 は、第三アノード 8 0 1 3 を含み、前記第三アノード 8 0 1 3 の前記ベース上での正投影は、前記第三蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第三アノード 8 0 1 3 と前記第三蓄積容量の第二極板とは、第三接続孔 1 0 3 を介して結合され、

40

前記第四サブ画素は、第四サブ画素駆動回路を更に含み、前記第四サブ画素駆動回路は、第四蓄積容量を含み、前記第四発光素子 4 4 は、第四アノード 8 0 1 4 を含み、前記第四アノード 8 0 1 4 の前記ベース上での正投影は、前記第四蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第四アノード 8 0 1 4 と前記第四蓄積容量の第二極板とは、第四接続孔 1 0 4 を介して結合され、

前記第一接続孔 1 0 1 と前記第四接続孔 1 0 4 とは、前記第一方向に沿って配列され、前記第二接続孔 1 0 2 と前記第三接続孔 1 0 3 とは、前記第一方向に沿って配列される。

【 0 0 6 0 】

具体的に、前記第一接続孔 1 0 1、前記第二接続孔 1 0 2、前記第三接続孔 1 0 3 及び

50

前記第四接続孔 104 の具体的なレイアウト方式は、多様である。

【0061】

例示的に、前記第一接続孔 101 及び前記第四接続孔 104 は何れも、その対応する第三トランジスタ T3 に近い位置にレイアウトされ、前記第二接続孔 102 及び前記第三接続孔 103 は何れも、対応する画素駆動回路設置エリアの中間位置の付近にレイアウトされ、前記中間位置は、第二方向に沿った画素駆動回路設置エリアの中間位置である。

【0062】

例示的に、前記第一接続孔 101 と前記第四接続孔 104 とが、前記第一方向に沿って配列され、前記第二接続孔 102 と前記第三接続孔 103 とが、前記第一方向に沿って配列され、前記第一方向に沿って、前記第一接続孔 101 と前記第二接続孔 102 とがずら

10

【0063】

前記第一接続孔 101、前記第二接続孔 102、前記第三接続孔 103 及び前記第四接続孔 104 を上記の方式に従ってレイアウトすることにより、1つの表示領域 30 において、異なるサブ画素に対応する接続孔は、均一に分布可能となるため、表示パネルの表示品質がより好適に保証される。

【0064】

いくつかの実施例において、可設置前記第一サブ画素が、青サブ画素 B を含み、前記第二サブ画素が、白サブ画素 W を含み、前記第四サブ画素が、赤サブ画素 R を含み、前記第三サブ画素が、緑サブ画素 G を含むように構成してもよい。

20

【0065】

図 11 及び図 12 に示すように、いくつかの実施例において、前記表示ユニットにおける複数のサブ画素に含まれる発光素子（例えば、図 12 における第五発光素子 45、第六発光素子 46、及び第七発光素子 47）は、前記第二方向に沿って順次に配列され、各々のサブ画素に含まれる発光素子の前記ベース上での正投影は何れも、その位置する表示領域 30 における各画素駆動回路設置エリア 300 の前記ベース上での正投影とそれぞれオーバーラップ可能である。

【0066】

具体的に、前記表示ユニットにおける複数のサブ画素に含まれる発光素子の具体的なレイアウト方式は、多様であり、例示的に、前記表示ユニットにおける複数のサブ画素に含まれる発光素子は、前記第二方向に沿って順次に配列され、前記第二方向に沿って延在する一列の発光素子として形成される。

30

【0067】

例示的に、サブ画素に含まれる発光素子の前記ベース上での正投影は、その位置する表示領域 30 における各画素駆動回路設置エリア 300 の前記ベース上での正投影とそれぞれオーバーラップ可能である。前記サブ画素における発光素子は、そのアノードの前記ベース上での正投影が、その対応するサブ画素駆動回路の前記ベース上での正投影とオーバーラップ可能となるとともに、当該オーバーラップ箇所において、対応する前記サブ画素駆動回路に結合されて、当該サブ画素駆動回路から供給された駆動信号を受信することができる。

40

【0068】

上記実施例による表示パネルでは、各々のサブ画素に含まれる発光素子の前記ベース上での正投影は何れも、その位置する表示領域 30 における各画素駆動回路設置エリアの前記ベース上での正投影とそれぞれオーバーラップ可能であるように構成することにより、各々の発光素子が、何れも適切なアスペクト比を有することができるため、前記第二発光機能層の製作プロセスの困難度の増加が回避され、表示パネルにおける表示の混色の問題の発生が回避され、表示パネルの良好な表示効果が保証される。

【0069】

図 11 ~ 図 17 に示すように、いくつかの実施例において、前記表示領域 30 は、第一方向に沿って順次に配列された第五画素駆動回路設置エリア 3005、第六画素駆動回路

50

設置エリア 3006 及び第七画素駆動回路設置エリア 3007 を含み、前記表示ユニットは、第五サブ画素、第六サブ画素及び第七サブ画素を含み、前記第五サブ画素は、第五発光素子 45 を含み、前記第六サブ画素は、第六発光素子 46 を含み、前記第七サブ画素は、第七発光素子 47 を含み、前記第五発光素子 45、前記第六発光素子 46 及び前記第七発光素子 47 は、前記第二方向に沿って順次に配列され、

前記第五発光素子 45 の前記ベース上での正投影は、それぞれ前記第五画素駆動回路設置エリア 3005 の前記ベース上での正投影、前記第六画素駆動回路設置エリア 3006 の前記ベース上での正投影及び前記第七画素駆動回路設置エリア 3007 の前記ベース上での正投影とオーバーラップし、

前記第六発光素子 46 の前記ベース上での正投影は、それぞれ前記第五画素駆動回路設置エリア 3005 の前記ベース上での正投影、前記第六画素駆動回路設置エリア 3006 の前記ベース上での正投影及び前記第七画素駆動回路設置エリア 3007 の前記ベース上での正投影とオーバーラップし、

前記第七発光素子 47 の前記ベース上での正投影は、それぞれ前記第五画素駆動回路設置エリア 3005 の前記ベース上での正投影、前記第六画素駆動回路設置エリア 3006 の前記ベース上での正投影及び前記第七画素駆動回路設置エリア 3007 の前記ベース上での正投影とオーバーラップする。

【0070】

具体的に、前記表示領域 30 は、第一方向に沿って順次に配列された第五画素駆動回路設置エリア 3005、第六画素駆動回路設置エリア 3006 及び第七画素駆動回路設置エリア 3007 を含む。前記表示ユニットは、第五サブ画素、第六サブ画素及び第七サブ画素を含む。前記第五サブ画素は、互いに結合された第五サブ画素駆動回路及び第五発光素子 45 を含み、前記第五サブ画素駆動回路は、対応する第五画素駆動回路設置エリア 3005 に位置する。前記第六サブ画素は、互いに結合された第六サブ画素駆動回路及び第六発光素子 46 を含み、前記第六サブ画素駆動回路は、対応する第六画素駆動回路設置エリア 3006 に位置する。前記第七サブ画素は、互いに結合された第七サブ画素駆動回路及び第七発光素子 47 を含み、前記第七サブ画素駆動回路は、対応する第七画素駆動回路設置エリア 3007 に位置する。

【0071】

例示的に、前記第五発光素子 45 の前記ベース上での正投影は、それぞれ前記第五画素駆動回路設置エリアの前記ベース上での正投影、前記第六画素駆動回路設置エリアの前記ベース上での正投影及び前記第七画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、前記第五発光素子 45 の前記ベース上での正投影は、その対応するサブ画素駆動回路の前記ベース上での正投影とオーバーラップし、前記第五発光素子 45 は、当該オーバーラップ箇所に設けられたピアホールを介して、対応するサブ画素駆動回路に結合されて、当該サブ画素駆動回路から供給された駆動信号を受信することができる。

【0072】

前記第六発光素子 46 の前記ベース上での正投影は、それぞれ前記第五画素駆動回路設置エリアの前記ベース上での正投影、前記第六画素駆動回路設置エリアの前記ベース上での正投影及び前記第七画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップし、前記第六発光素子 46 の前記ベース上での正投影は、その対応するサブ画素駆動回路の前記ベース上での正投影とオーバーラップし、前記第六発光素子 46 は、当該オーバーラップ箇所に設けられたピアホールを介して、対応するサブ画素駆動回路に結合されて、当該サブ画素駆動回路から供給された駆動信号を受信することができる。

【0073】

前記第七発光素子 47 の前記ベース上での正投影は、それぞれ前記第五画素駆動回路設置エリアの前記ベース上での正投影、前記第六画素駆動回路設置エリアの前記ベース上での正投影及び前記第七画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップする。前記第七発光素子 47 の前記ベース上での正投影は、その対応するサブ画素駆動回路の前記ベース上での正投影とオーバーラップし、前記第七発光素子 47 は、当該オー

10

20

30

40

50

オーバーラップ箇所にて設けられたピアホールを介して、対応するサブ画素駆動回路に結合されて、当該サブ画素駆動回路から供給された駆動信号を受信することができる。

【0074】

図12及び図13に示すように、いくつかの実施例において、前記第五サブ画素は、第五サブ画素駆動回路を更に含み、前記第五サブ画素駆動回路は、第五蓄積容量を含み、前記第五発光素子45は、第五アノード8015を含み、前記第五アノード8015の前記ベース上での正投影は、前記第五蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第五アノード8015と前記第五蓄積容量の第二極板とは、第五接続孔105を介して結合され、

前記第六サブ画素は、第六サブ画素駆動回路を更に含み、前記第六サブ画素駆動回路は、第六蓄積容量を含み、前記第六発光素子46は、第六アノード8016を含み、前記第六アノード8016の前記ベース上での正投影は、前記第六蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第六アノード8016と前記第六蓄積容量の第二極板とは、第六接続孔106を介して結合され、

前記第七サブ画素は、第七サブ画素駆動回路を更に含み、前記第七サブ画素駆動回路は、第七蓄積容量を含み、前記第七発光素子47は、第七アノード8017を含み、前記第七アノード8017の前記ベース上での正投影は、前記第七蓄積容量の第二極板の前記ベース上での正投影とオーバーラップし、当該オーバーラップ箇所において、前記第七アノード8017と前記第七蓄積容量の第二極板とは、第七接続孔107を介して結合され、前記第一方向に沿って、前記第五接続孔105、前記第六接続孔106及び前記第七接続孔107は、ずらして分布される。

【0075】

前記第五接続孔105、前記第六接続孔106及び前記第七接続孔107を上記の方式に従ってレイアウトすることにより、1つの表示領域30において、異なるサブ画素に対応する接続孔は、均一に分布可能となるため、表示パネルの表示品質がより好適に保証される。

【0076】

いくつかの実施例において、前記第五サブ画素は、赤サブ画素Rを含み、前記第六サブ画素は、緑サブ画素Gを含み、前記第七サブ画素は、青サブ画素Bを含む。

【0077】

図1、図5、図6及び図13に示すように、いくつかの実施例において、前記表示ユニットは、

前記第一方向に沿って少なくとも一部が延在する第一走査線9021と、
前記第一方向に沿って少なくとも一部が延在する第二走査線9022と、
前記第二方向に沿って少なくとも一部が延在するセンス信号線903と、
前記第二方向に沿って少なくとも一部が延在する第一電源信号線901とを含み、
前記サブ画素は、データ線908を更に含み、前記データ線908の少なくとも一部は、第二方向に沿って延在し、

前記サブ画素駆動回路は、第一トランジスタT1、第二トランジスタT2、第三トランジスタT3及び蓄積容量Cstを含み、前記第一トランジスタT1のゲートG1は、前記第一走査線9021に結合され、前記第一トランジスタT1の第一極S1は、前記データ線908に結合され、前記第一トランジスタT1の第二極D1は、前記第二トランジスタT2のゲートG2に結合され、前記第二トランジスタT2の第一極S2は、前記第一電源信号線901に結合され、前記第二トランジスタT2の第二極D2は、発光素子のアノード801に結合され、前記第三トランジスタT3のゲートG3は、前記第二走査線9022に結合され、前記第三トランジスタT3の第一極S3は、前記センス信号線903に結合され、前記第三トランジスタT3の第二極D3は、前記発光素子のアノード801に結合され、前記蓄積容量Cstの第一極板Cst1は、前記第二トランジスタT2のゲートG2に結合され、前記蓄積容量Cstの第二極板Cst2は、前記第二トランジスタT2の第二極D2に結合される。

10

20

30

40

50

【 0 0 7 8 】

具体的に、前記表示ユニットは、1つの第一走査線 9 0 2 1 及び1つの第二走査線 9 0 2 2 を含み、前記第一走査線 9 0 2 1 と前記第二走査線 9 0 2 2 とは、前記第二方向に沿って配列可能である。前記第一走査線 9 0 2 1 の少なくとも一部及び前記第二走査線 9 0 2 2 の少なくとも一部は、何れも前記第一方向に沿って延在可能である。留意されたいのは、前記第一方向に沿って同じ行に位置する表示ユニットにおいて、各表示ユニットに含まれる前記第一走査線 9 0 2 1 は、順次に結合され、例えば一体構造として形成されてもよい。同様に、前記第一方向に沿って同じ行に位置する表示ユニットにおいて、各表示ユニットに含まれる前記第二走査線 9 0 2 2 は、順次に結合され、例えば一体構造として形成されてもよい。

10

【 0 0 7 9 】

前記表示ユニットは、1つのセンス信号線 9 0 3 及び1つの第一電源信号線 9 0 1 を含み、前記センス信号線 9 0 3 の少なくとも一部及び前記電源信号線の少なくとも一部は、何れも前記第二方向に沿って延在可能である。前記第二方向に沿って同じ列に位置する表示ユニットにおいて、各表示ユニットに含まれる前記センス信号線 9 0 3 は、順次に結合され、例えば一体構造として形成されてもよい。同様に、前記第二方向に沿って同じ列に位置する表示ユニットにおいて、各表示ユニットに含まれる前記第一電源信号線 9 0 1 は、順次に結合され、例えば一体構造として形成されてもよい。

【 0 0 8 0 】

各々のサブ画素は、何れもデータ線 9 0 8 を更に含み、前記データ線 9 0 8 の少なくとも一部は、前記第二方向に沿って延在し、例示的に、前記第二方向に沿って同じ列に位置する表示ユニットにおいて、各表示ユニットに含まれる前記データ線 9 0 8 は、順次に結合され、例えば一体構造として形成されてもよい。

20

【 0 0 8 1 】

例示的に、前記サブ画素駆動回路は、第一トランジスタ T 1、第二トランジスタ T 2、第三トランジスタ T 3 及び蓄積容量 C s t を含み、前記第一トランジスタ T 1 のゲート G 1 は、その位置する表示ユニットに含まれる第一走査線 9 0 2 1 に結合され、前記第一トランジスタ T 1 の第一極 S 1 は、その位置するサブ画素に含まれるデータ線 9 0 8 に結合され、前記第一トランジスタ T 1 の第二極 D 1 は、前記第二トランジスタ T 2 のゲート G 2 に結合される。

30

【 0 0 8 2 】

前記第二トランジスタ T 2 の第一極 S 2 は、その位置する表示ユニットに含まれる第一電源信号線 9 0 1 に結合され、前記第二トランジスタ T 2 の第二極 D 2 は、その位置するサブ画素に含まれる発光素子のアノード 8 0 1 に結合される。

【 0 0 8 3 】

前記第三トランジスタ T 3 のゲート G 3 は、その位置する表示ユニットに含まれる第二走査線 9 0 2 2 に結合され、前記第三トランジスタ T 3 の第一極 S 3 は、その位置する表示ユニットに含まれるセンス信号線 9 0 3 に結合され、前記第三トランジスタ T 3 の第二極 D 3 は、その位置するサブ画素に含まれる発光素子のアノード 8 0 1 に結合される。

【 0 0 8 4 】

前記蓄積容量 C s t は、前記ベースに垂直な方向に沿って対向して設けられた第一極板及び第二極板を含み、前記第一極板は、前記第二トランジスタ T 2 のゲート G 2 に結合され、前記第二極板は、前記第二トランジスタ T 2 の第二極 D 2 に結合される。例示的に、前記第一極板は、表示パネルにおけるアクティブ層を用いて製作され、前記第二極板は、表示パネルにおけるソースドレイン金属層を用いて製作される。

40

【 0 0 8 5 】

いくつかの実施例において、前記第一トランジスタ T 1、前記第二トランジスタ T 2、前記蓄積容量 C s t 及び前記第三トランジスタ T 3 は、前記第二方向に沿って順次に配列される。

【 0 0 8 6 】

50

具体的に、前記第三トランジスタT3、前記蓄積容量Cst、前記第二トランジスタT2及び前記第一トランジスタT1の具体的なレイアウト方式は、多様であり、例示的に、前記第一トランジスタT1、前記第二トランジスタT2、前記蓄積容量Cst及び前記第三トランジスタT3は、前記第二方向に沿って順次に配列される。

【0087】

より具体的に、前記第一トランジスタT1は、第一アクティブパターンを含み、前記第一アクティブパターンの少なくとも一部は、前記第二方向に沿って延在する。前記第二トランジスタT2は、第二アクティブパターンを含み、前記第二アクティブパターンの少なくとも一部は、前記第二方向に沿って延在する。前記第三トランジスタT3は、第三アクティブパターンを含み、前記第三アクティブパターンの少なくとも一部は、前記第二方向

10

【0088】

例示的に、前記蓄積容量Cstの第一極板Cst1及び第二極板は、何れも前記第二方向に沿って延在し、前記第一極板は、前記第一アクティブパターン、第二アクティブパターン、第三アクティブパターンと同じ層で同じ材料になるように製作される。

【0089】

例示的に、前記第二方向に沿って、前記第一アクティブパターン、前記第二アクティブパターン、前記蓄積容量Cstの第一極板Cst1及び前記第三アクティブパターンは、順次に配列される。

20

【0090】

上記実施例による表示パネルでは、前記第一トランジスタT1、前記第二トランジスタT2、前記蓄積容量Cst及び前記第三トランジスタT3が、前記第二方向に沿って順次に配列されるように構成することにより、前記サブ画素駆動回路のレイアウトは、第二方向に沿って延在する帯状構造(Strip構造)とされ、このようなレイアウト方式によれば、前記画素駆動回路設置エリアのレイアウト構造が簡単であり、大量の金属配線の引き回し及び過剰な開孔設計が回避され、表示パネルの歩留まりが効果的に向上される。しかも、上記レイアウト方式によれば、各々のデータ線908に対応して生じるRC(抵抗容量)loading(負荷)は、ほぼ同じとなるため、データ線908に対応して生じるRCloadingの違いによる表示の差異が回避され、表示パネルの表示効果がより好適に保証される。

30

【0091】

図5、図6、図7、図13及び図14に示すように、いくつかの実施例において、前記サブ画素は、前記ベースと前記サブ画素駆動回路との間に位置する遮光パターン701を更に含み、前記遮光パターン701は、前記第二方向に沿って延在し、前記サブ画素駆動回路の前記ベース上での正投影は、前記遮光パターン701の前記ベース上での正投影の内部に位置する。

【0092】

具体的に、前記サブ画素は、前記ベースと前記サブ画素駆動回路との間に位置する遮光パターン701を更に含み、前記遮光パターン701は、前記サブ画素駆動回路に対して遮光の役割を果たすため、前記サブ画素駆動回路におけるトランジスタ構造の動作安定性、及び表示パネルの表示効果がより好適に保証される。

40

【0093】

例示的に、前記遮光パターン701は、前記画素駆動回路設置エリアの面積の90%以上を遮蔽可能であるように構成してもよいが、これに限定されない。

【0094】

図5、図6、図7、図13及び図14に示すように、いくつかの実施例において、前記遮光パターン701の前記ベース10上の正投影が、前記蓄積容量Cstの第二極板Cst2の前記ベース10上の正投影とオーバーラップし、当該オーバーラップ箇所において、前記遮光パターン701と前記蓄積容量Cstの第二極板Cst2とが結合されるよう

50

に構成してもよい。

【 0 0 9 5 】

具体的に、前記遮光パターン 7 0 1 の前記ベース上での正投影と、前記蓄積容量 C s t の第二極板 C s t 2 の前記ベース上での正投影とは、面積の大きなオーバーラップ領域を形成でき、前記遮光パターン 7 0 1 は、前記オーバーラップ領域に設けられたピアホールを介して、前記蓄積容量 C s t の第二極板 C s t 2 に結合可能である。留意されたいのは、前記ピアホールの具体的な設置位置は、実際の必要に応じて設定可能であり、例示的に、前記ピアホールは、サブ画素駆動回路と発光素子のアノード 8 0 1 とが結合されるピアホールの付近に設置されてもよい。

【 0 0 9 6 】

上述した通りに、前記遮光パターン 7 0 1 と前記蓄積容量 C s t の第二極板 C s t 2 とが結合されるように構成することにより、前記遮光パターン 7 0 1 は、前記第二極板と同じ電位を有し、前記遮光パターン 7 0 1 がフローティング状態にあることによる前記サブ画素駆動回路の動作安定性への影響が回避される。

【 0 0 9 7 】

図 5、図 6、図 7、図 1 3 及び図 1 4 に示すように、いくつかの実施例において、前記表示ユニットが、第一アダプターパターン 9 0 5 を更に含み、前記第一アダプターパターン 9 0 5 の少なくとも一部が、前記第一方向に沿って延在し、前記第一アダプターパターン 9 0 5 の前記ベース上での正投影が、当該表示ユニットにおけるセンス信号線 9 0 3 の前記ベース上での正投影とオーバーラップし、前記第一アダプターパターン 9 0 5 が、当該オーバーラップ箇所において、前記センス信号線 9 0 3 に結合され、前記第一アダプターパターン 9 0 5 が、その位置する表示領域 3 0 における各前記第三トランジスタ T 3 の第一極 S 3 にそれぞれ結合され、前記第一アダプターパターン 9 0 5 と前記遮光パターン 7 0 1 とが同じ層で同じ材料になるように設けられる構成であってもよい。

【 0 0 9 8 】

具体的に、前記表示ユニットは、第一アダプターパターン 9 0 5 を更に含み、前記第一アダプターパターン 9 0 5 の少なくとも一部は、前記第一方向に沿って延在し、前記第一アダプターパターン 9 0 5 の前記ベース上での正投影は、その位置する表示ユニットにおけるセンス信号線 9 0 3 の前記ベース上での正投影とオーバーラップするとともに、当該オーバーラップ箇所に設けられたピアホールを介して、前記センス信号線 9 0 3 に結合可能である。

【 0 0 9 9 】

前記第一アダプターパターン 9 0 5 の前記ベース上での正投影は、更に、その位置する表示ユニットに含まれる各第三トランジスタ T 3 の第一極 S 3 の前記ベース上での正投影とそれぞれオーバーラップするとともに、オーバーラップ箇所において、ピアホールを介して、前記第一アダプターパターン 9 0 5 と、その位置する表示ユニットに含まれる各第三トランジスタ T 3 の第一極 S 3 のそれぞれとの結合を実現できる。

【 0 1 0 0 】

上述した通りに、前記第一アダプターパターン 9 0 5 と前記遮光パターン 7 0 1 とを同じ層で同じ材料になるように設けることにより、前記第一アダプターパターン 9 0 5 は、前記遮光パターン 7 0 1 と同一パターンニングプロセスにて形成可能となるため、表示パネルの製作プロセスのフローがより好適に簡素化され、製作コストが節約される。

【 0 1 0 1 】

また、前記第一アダプターパターン 9 0 5 と前記遮光パターン 7 0 1 とを同じ層で同じ材料になるように設けることにより、前記第一アダプターパターン 9 0 5 は、大きなレイアウト空間を有し、前記第一アダプターパターン 9 0 5 のレイアウト困難度をより好適に低減できる。

【 0 1 0 2 】

図 5、図 8、図 9、図 1 3、図 1 5 及び図 1 6 に示すように、いくつかの実施例において、前記第一電源信号線 9 0 1 は、積層して設けられた第一部分 9 0 1 1 及び第二部分 9

10

20

30

40

50

012を含み、前記第一部分9011及び前記第二部分9012は、何れも前記第二方向に沿って延在し、前記第一部分9011の前記ベース上での正投影は、前記第二部分9012の前記ベース上での正投影とオーバーラップし、前記第一部分9011と前記第二部分9012とは、当該オーバーラップ箇所に設けられたビアホールを介して結合され、前記第一部分9011と前記一走査線9021とは、同じ層で同じ材料になるように設けられ、前記第二部分9012と前記データ線908とは、同じ層で同じ材料になるように設けられる。

【0103】

具体的に、前記第一電源信号線901の具体的な構造は多様であり、例示的に、前記第一電源信号線901は、積層して設けられた第一部分9011及び第二部分9012を含み、前記第一部分9011及び前記第二部分9012は、何れも前記第二方向に沿って延在する。前記第二方向に沿って同じ列に位置する表示ユニットにおいて、各表示ユニットにおける第一電源信号線901に含まれる第二部分9012は、順次に結合され、例えば一体構造として形成されてもよい。

10

【0104】

例示的に、前記第一部分9011の前記ベース上での正投影は、前記第二部分9012の前記ベース上での正投影とオーバーラップし、前記第一部分9011と前記第二部分9012とは、当該オーバーラップ箇所に設けられた複数のビアホールを介して結合され、前記複数のビアホールは、前記第二方向に沿って順次に配列されてもよい。

【0105】

説明すべきなのは、前記第一電源信号線901は、選択的に、プラス電源信号を伝送するためのプラス電源信号線であってもよい。

20

【0106】

上述した通りに、前記第一電源信号線901が、積層して設けられた第一部分9011及び第二部分9012を含むように構成することにより、前記第一電源信号線901に生じるRC loadingがより好適に低減されるため、前記表示パネルの表示品質の向上により有利となる。

【0107】

また、上述した通りに、前記第一部分9011と前記一走査線9021とを同じ層で同じ材料になるように設け、前記第二部分9012と前記データ線908とを同じ層で同じ材料になるように設けることにより、前記第一部分9011は、前記一走査線9021と同一パターンングプロセスにて形成可能となり、前記第二部分9012は、前記データ線908と同一パターンングプロセスにて形成可能となるため、表示パネルの製作プロセスのフローがより好適に簡素化され、表示パネルの製作コストが節約される。

30

【0108】

図5、図8、図13及び図15に示すように、いくつかの実施例において、前記表示ユニットが第二アダプターパターン906を更に含み、前記第二アダプターパターン906の少なくとも一部が前記第一方向に沿って延在し、前記第二アダプターパターン906と前記第一部分9011とが一体構造として形成され、前記第二アダプターパターン906がその位置する表示領域30における各前記第二トランジスタT2の第一極S2にそれぞれ結合されるように構成してもよい。

40

【0109】

具体的に、前記表示ユニットは、第二アダプターパターン906を更に含み、前記第二アダプターパターン906の少なくとも一部は、前記第一方向に沿って延在し、前記第二アダプターパターン906は、その前記ベース上での正投影と、その所属する表示ユニットに含まれる各前記第二トランジスタT2の第一極S2の前記ベース上での正投影とがオーバーラップ領域をそれぞれ形成するとともに、各オーバーラップ領域に位置するビアホールを介して、各前記第二トランジスタT2の第一極S2との結合を実現可能である。

【0110】

上述した通りに、前記第二アダプターパターン906と前記第一部分9011とが一体

50

構造として形成されるように構成することにより、各前記第二トランジスタ T2 の第一極 S2 は、前記第二アダプターパターン 906 を介して前記第一電源信号線 901 に結合されて、前記第一電源信号線 901 から供給された電源信号を受信することが可能となる。

【0111】

上述した通りに、前記第二アダプターパターン 906 と前記第一部分 9011 とが一体構造として形成されるように構成することにより、前記第二アダプターパターン 906 は、前記第一部分 9011 と同一パターンニングプロセスにて形成可能となるため、表示パネルの製作プロセスのフローがより好適に簡素化され、表示パネルの製作コストが節約される。

【0112】

図5、図8、図9、図13、図15及び図16に示すように、いくつかの実施例において、前記表示ユニットは、第二電源信号線 904 を更に含み、前記第二電源信号線 904 は、積層して設けられた第三部分 9041 及び第四部分 9042 を含み、前記第三部分 9041 及び前記第四部分 9042 は、何れも前記第二方向に沿って延在し、前記第三部分 9041 の前記ベース上での正投影は、前記第四部分 9042 の前記ベース上での正投影とオーバーラップし、前記第三部分 9041 と前記第四部分 9042 とは、当該オーバーラップ箇所に設けられたビアホールを介して結合され、前記第三部分 9041 と前記一走査線 9021 とは、同じ層で同じ材料になるように設けられ、前記第四部分 9042 と前記データ線 908 とは、同じ層で同じ材料になるように設けられ、前記発光素子は、前記アノード 801 における前記ベースとは反対側に位置するカソードを更に含み、前記カソードは、前記第二電源信号線 904 に結合される。

10

20

【0113】

具体的に、前記第二電源信号線 904 の具体的な構造は多様であり、例示的に、前記第二電源信号線 904 は、積層して設けられた第三部分 9041 及び第四部分 9042 を含み、前記第三部分 9041 及び前記第四部分 9042 は、何れも前記第二方向に沿って延在する。前記第二方向に沿って同じ列に位置する表示ユニットにおいて、各表示ユニットにおける第二電源信号線 904 に含まれる第四部分 9042 は、順次に結合され、例えば一体構造として形成されてもよい。

【0114】

例示的に、前記第三部分 9041 の前記ベース上での正投影は、前記第四部分 9042 の前記ベース上での正投影とオーバーラップし、前記第三部分 9041 と前記第四部分 9042 とは、当該オーバーラップ箇所に設けられた複数のビアホールを介して結合され、前記複数のビアホールは、前記第二方向に沿って順次に配列されてもよい。

30

【0115】

説明すべきなのは、前記第二電源信号線 904 は、選択的に、マイナス電源信号を伝送するためのマイナス電源信号線であってもよい。

【0116】

前記発光素子は、前記アノード 801 における前記ベースとは反対側に位置するカソード層 73 を更に含み、例示的に、前記カソード層 73 は、前記発光機能層における前記ベースとは反対側に位置し、前記カソードは、前記第二電源信号線 904 に結合される。

40

【0117】

上述した通りに、前記第二電源信号線 904 が、積層して設けられた第三部分 9041 及び第四部分 9042 を含むように構成することにより、前記第二電源信号線 904 に生じる RC loading がより好適に低減されるため、前記表示パネルの表示品質の向上により有利となる。

【0118】

また、上述した通りに、前記第三部分 9041 と前記一走査線 9021 とを同じ層で同じ材料になるように設け、前記第四部分 9042 と前記データ線 908 とを同じ層で同じ材料になるように設けることにより、前記第三部分 9041 は、前記一走査線 9021 と同一パターンニングプロセスにて形成可能となり、前記第四部分 9042 は、前記デー

50

タ線 908 と同一パターンニングプロセスにて形成可能となるため、表示パネルの製作プロセスのフローがより好適に簡素化され、表示パネルの製作コストが節約される。

【0119】

いくつかの実施例において、1つの表示ユニットにおいて、前記複数のサブ画素に含まれる発光素子の前記ベース上での正投影と、当該表示ユニットに含まれる表示領域 30 の前記ベース上での正投影との間のオーバーラップ面積は、前記表示領域 30 の面積の 90 % よりも多い。

【0120】

具体的に、前記発光素子がアノード 801、第一発光機能層及びカラーフィルターパターンを含む場合、1つの表示ユニットにおいて、前記複数のサブ画素における発光素子に含まれるアノード 801 の前記ベース上での正投影と、当該表示ユニットに含まれる表示領域 30 の前記ベース上での正投影との間のオーバーラップ面積が、前記表示領域 30 の面積の 90 % よりも多くなるように構成してもよく、1つの表示ユニットにおいて、前記複数のサブ画素における発光素子に含まれるカラーフィルターパターンの前記ベース上での正投影と、当該表示ユニットに含まれる表示領域 30 の前記ベース上での正投影との間のオーバーラップ面積が、前記表示領域 30 の面積の 90 % よりも多くなるように構成してもよい。

【0121】

前記発光素子がアノード 801 及び第二発光機能層を含む場合、1つの表示ユニットにおいて、前記複数のサブ画素における発光素子に含まれるアノード 801 の前記ベース上での正投影と、当該表示ユニットに含まれる表示領域 30 の前記ベース上での正投影との間のオーバーラップ面積が、前記表示領域 30 の面積の 90 % よりも多くなるように構成してもよく、1つの表示ユニットにおいて、前記複数のサブ画素における発光素子に含まれる第二発光機能層の前記ベース上での正投影と、当該表示ユニットに含まれる表示領域 30 の前記ベース上での正投影との間のオーバーラップ面積とが、前記表示領域 30 の面積の 90 % よりも多くなるように構成してもよい。

【0122】

留意されたいのは、前記発光素子のレイアウトの際、異なる発光素子に含まれるアノード 801 の間は、アノード 801 同士の短絡の発生を回避するために、一定の隙間を空ける必要がある。

【0123】

上記構成方式によれば、各々の表示ユニットに含まれる発光素子は、何れもレイアウト空間を最大限に利用できるため、表示パネルの表示品質が効果的に向上される。

【0124】

本開示の実施例は、上記実施例による表示パネルを含む表示装置を更に提供する。

【0125】

上記実施例による表示パネルでは、表示領域 30 が、第一方向に沿って順次に配列された複数の画素駆動回路設置エリアを含み、各々の画素駆動回路設置エリアが、何れも第二方向に沿って延在するように構成するとともに、表示ユニットが、前記画素駆動回路設置エリアと 1対1で対応する複数のサブ画素を含み、各々のサブ画素におけるサブ画素駆動回路が、対応する画素駆動回路設置エリアに位置し、各々のサブ画素における発光素子について、その前記第一方向に沿った幅が、対応する画素駆動回路設置エリアの幅よりも大きく、その前記第二方向に沿った長さが、対応する画素駆動回路設置エリアの長さよりも小さくなるように構成している。上記構成方式によれば、前記発光素子の前記ベース上での正投影は、少なくとも 2つの前記画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップ可能となるため、仮に表示パネル解像度が上がるにつれて、画素駆動回路設置エリアの前記第一方向に沿った幅が減らされることで、前記画素駆動回路設置エリアが、前記第二方向に沿って延在する細短冊構造として形成されても、前記発光素子は、依然として適切なアスペクト比を有することができ、その結果、前記発光素子の製作プロセスの困難度の増加が回避され、表示パネルにおける表示の混色の問題の発生が回避され、

10

20

30

40

50

表示パネルの良好な表示効果が保証される。したがって、上記実施例による表示パネルは、機能の製作困難度を増加させることなく、高品質、高解像度の透明表示をより好適に実現できる。

【0126】

したがって、本開示の実施例による表示装置は、上記表示パネルを含む場合、同様に上記の有益な効果を奏するが、ここで繰り返して述べない。

【0127】

説明すべきなのは、前記表示装置は、テレビ、ディスプレイ、デジタルフォトフレーム、携帯電話、タブレットPC等の表示機能を有するいかなる製品や部品等であってもよい。

【0128】

本開示の実施例は、上記実施例による表示パネルを製作するための表示パネルの製作方法を更に提供し、前記製作方法は、ベース上に複数の表示ユニットを製作することを含み、前記表示ユニットは、表示領域30及び透明領域31を含み、前記表示領域30は、第一方向に沿って順次に配列された複数の画素駆動回路設置エリアを含み、各々の画素駆動回路設置エリアは、何れも第二方向に沿って延在し、前記第二方向と前記第一方向とは交差し、前記表示ユニットは、前記画素駆動回路設置エリアと1対1で対応する複数のサブ画素を含み、各々のサブ画素は何れも、互いに結合されたサブ画素駆動回路及び発光素子を含み、前記サブ画素駆動回路は、対応する画素駆動回路設置エリアに位置し、前記発光素子は、前記サブ画素駆動回路における前記ベースとは反対側に位置し、前記第一方向に沿って、前記発光素子の幅は、対応する画素駆動回路設置エリアの幅よりも大きく、前記第二方向に沿って、前記発光素子の長さは、対応する画素駆動回路設置エリアの長さよりも小さい。

【0129】

上記実施例による製作方法を用いて製作された表示パネルでは、表示領域30が、第一方向に沿って順次に配列された複数の画素駆動回路設置エリアを含み、各々の画素駆動回路設置エリアが、何れも第二方向に沿って延在するように構成するとともに、表示ユニットが、前記画素駆動回路設置エリアと1対1で対応する複数のサブ画素を含み、各々のサブ画素におけるサブ画素駆動回路が、対応する画素駆動回路設置エリアに位置し、各々のサブ画素における発光素子について、その前記第一方向に沿った幅が、対応する画素駆動回路設置エリアの幅よりも大きく、その前記第二方向に沿った長さが、対応する画素駆動回路設置エリアの長さよりも小さくなるように構成している。上記構成方式によれば、前記発光素子の前記ベース上での正投影は、少なくとも2つの前記画素駆動回路設置エリアの前記ベース上での正投影とオーバーラップ可能となるため、仮に表示パネル解像度が上がるにつれて、画素駆動回路設置エリアの前記第一方向に沿った幅が減らされることで、前記画素駆動回路設置エリアが、前記第二方向に沿って延在する細短冊構造として形成されても、前記発光素子は、依然として適切なアスペクト比を有することができ、その結果、前記発光素子の製作プロセスの困難度の増加が回避され、表示パネルにおける表示の混色の問題の発生が回避され、表示パネルの良好な表示効果が保証される。したがって、上記実施例による製作方法を用いて製作された表示パネルは、機能の製作困難度を増加させることなく、高品質、高解像度の透明表示をより好適に実現できる。

【0130】

説明すべきなのは、本明細書における各実施例は何れも、漸進的な方式で説明されており、各実施例の同一部分又は類似部分は互いに参照可能であり、各実施例は、他の実施例との相違点に重点を置いて説明されている。特に、方法の実施例については、基本的に製品の実施例と類似しているため、簡単に説明されているが、関連部分は、製品の実施例の説明部分を参照すればよい。

【0131】

特に定義しない限り、本開示に使用される技術用語又は科学用語は、当業者が理解できる通常の意味を有する。本開示に使用される「第一」、「第二」及び類似する用語は、いかなる順序、数量又は重要性を示すものではなく、異なる構成要素を区別するためのもの

10

20

30

40

50

に過ぎない。「含む」又は「包含」等の類似する用語は、「含む」又は「包含」の前に記載された素子又は部材が、「含む」又は「包含」の後に挙げられる素子又は部材及びその同等物を含むが、他の素子又は部材を排除しないことを意味する。「接続」、「結合」又は「繋がる」等の類似する用語は、物理的又は機械的接続に限定されず、直接接続されるか間接的に接続されるかに関わらず、電気的接続を含んでもよい。「上」、「下」、「左」、「右」等は、相対位置関係を示すだけであり、説明対象の絶対位置が変わると、当該相対位置関係も対応して変化する可能性がある。

【0132】

理解できることは、層、膜、領域又は基板のような素子が別の素子の「上」又は「下」に位置すると言及された場合、当該素子は別の素子の「上」又は「下」に「直接」位置していてもよいし、又は、中間素子が介在してもよい。

10

【0133】

上記実施形態の説明では、具体的な特徴、構造、材料又は特性は、あらゆる1つ又は複数の実施例又は具体例において、適切な方式で組み合わせられてもよい。

【0134】

上述したのは、本開示の具体的な実施形態に過ぎず、本開示の保護範囲は、これに限定されない。当業者であれば、本開示に記載の技術的範囲内で、変形や置換に容易に想到できるが、これらの変形や置換は、全て本開示の保護範囲内とされるべきである。したがって、本開示の保護範囲は、添付された特許請求の範囲に従うべきである。

20

30

40

50

【 図面 】

【 図 1 】

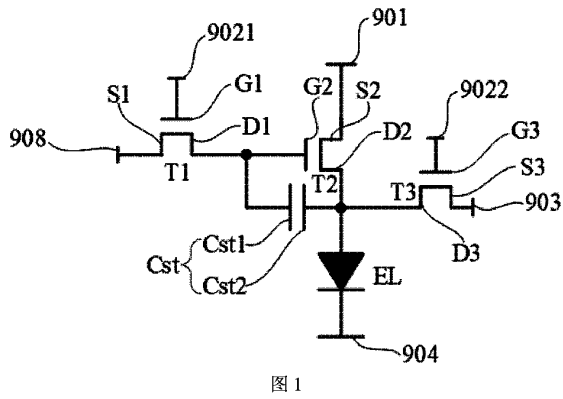


图 1

【 图 2 】

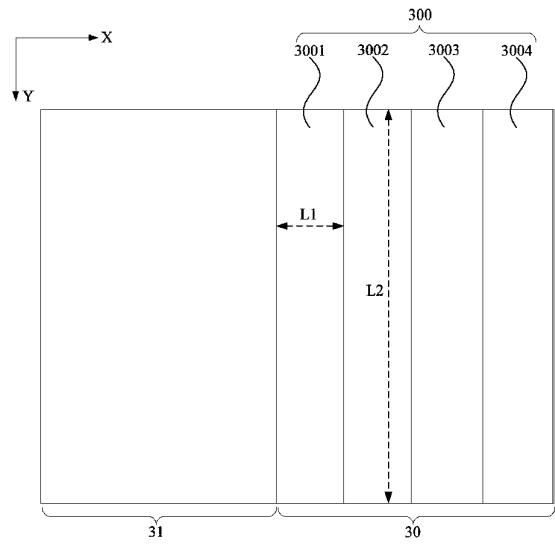


图 2

【 图 3 】

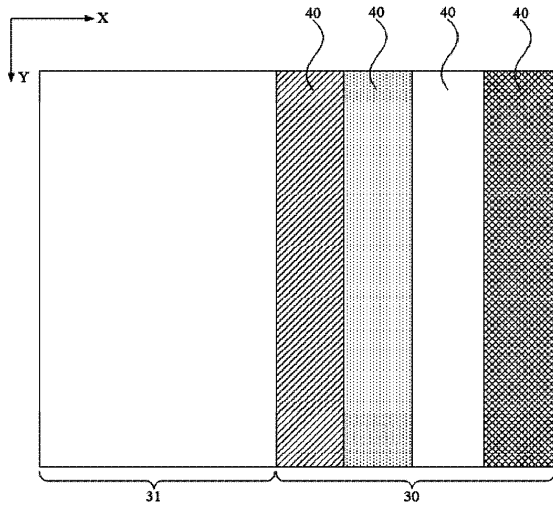


图 3

【 图 4 】

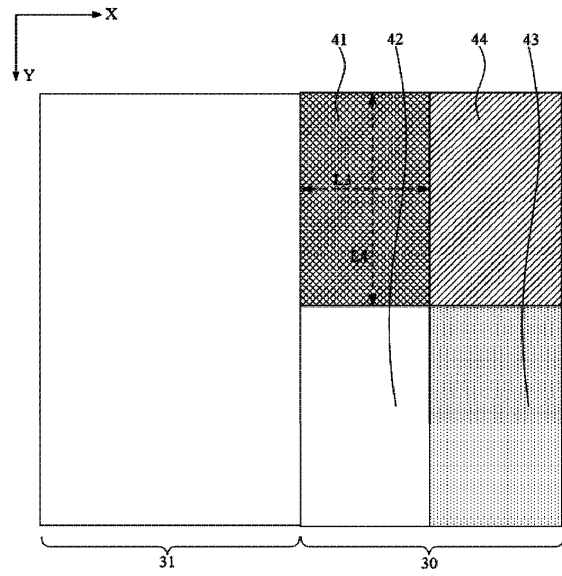


图 4

10

20

30

40

50

【 图 5 】

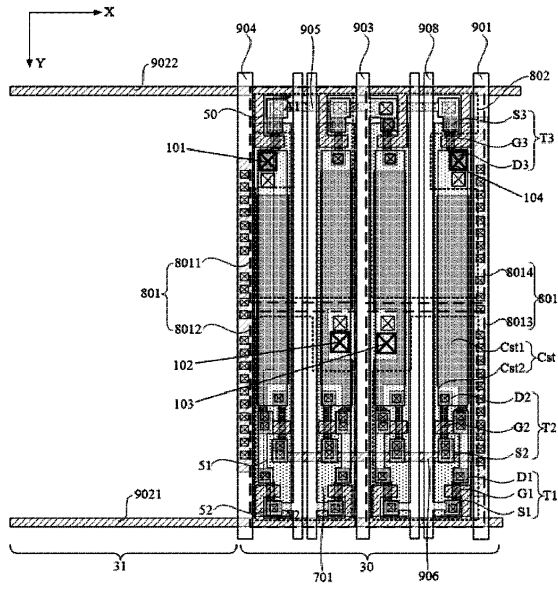


图 5

【 图 6 】

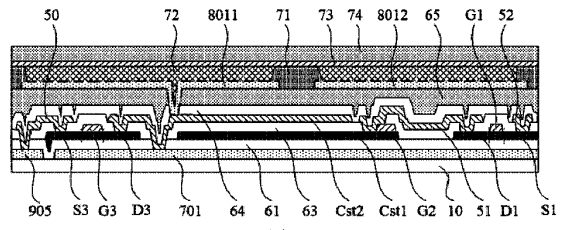


图 6

10

【 图 7 】

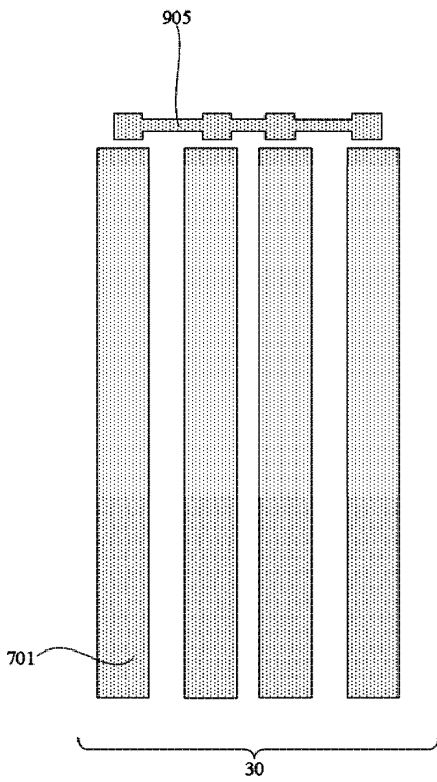


图 7

【 图 8 】

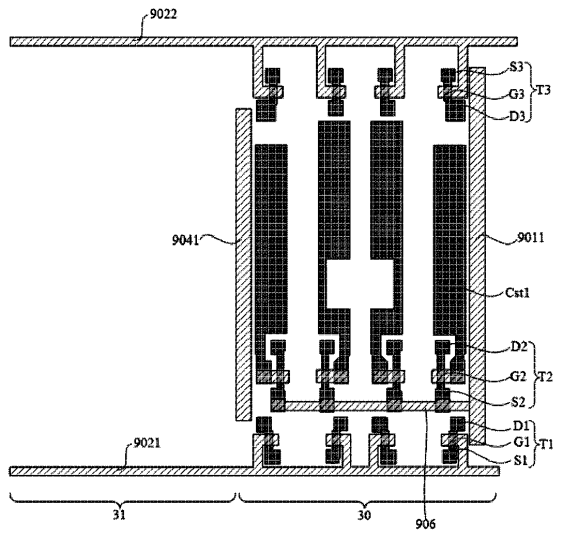


图 8

20

30

40

50

【 图 9 】

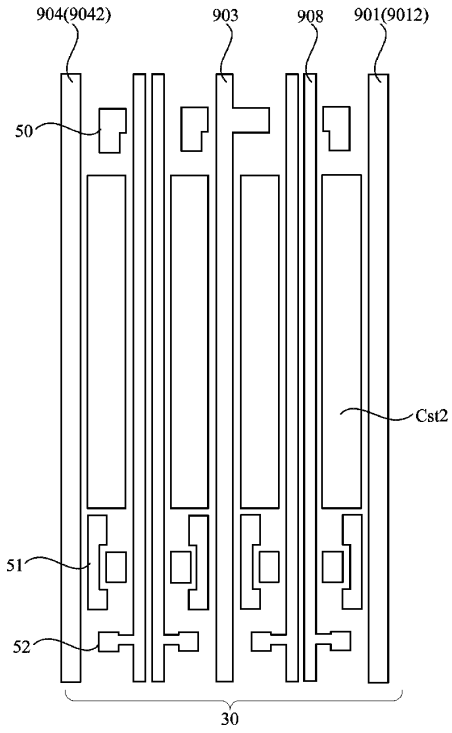


图 9

【 图 1 0 】

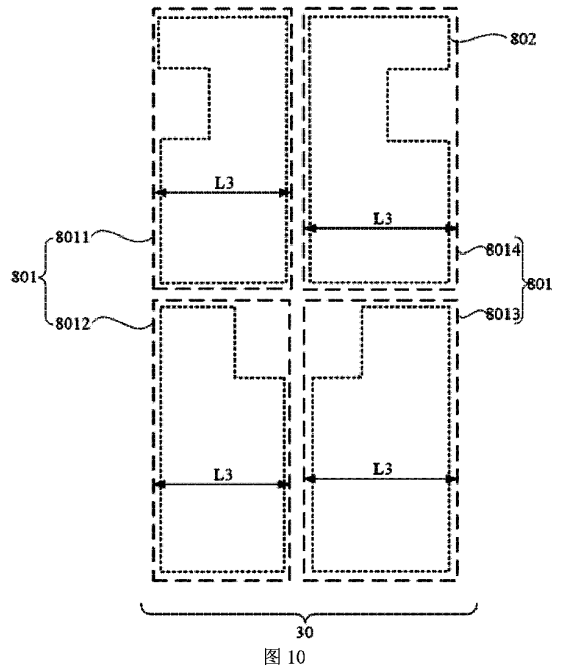


图 10

【 图 1 1 】

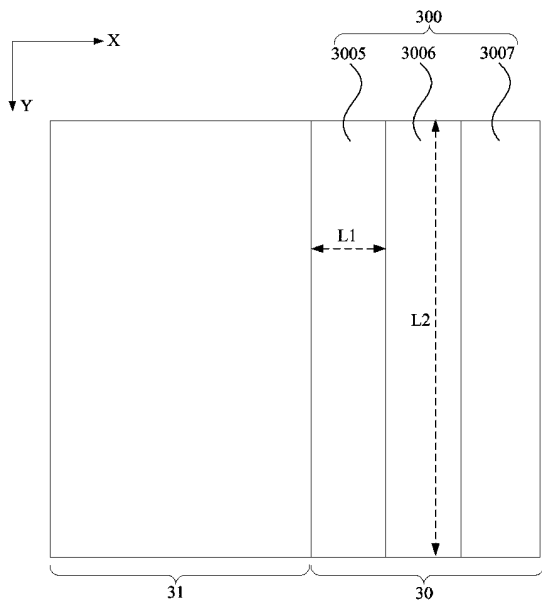


图 11

【 图 1 2 】

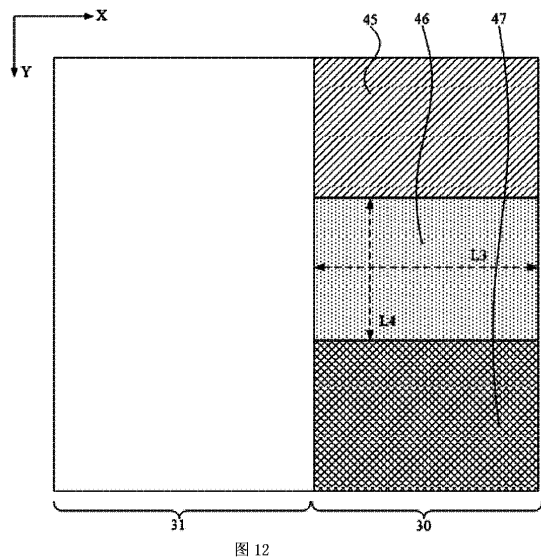


图 12

10

20

30

40

50

【 13 】

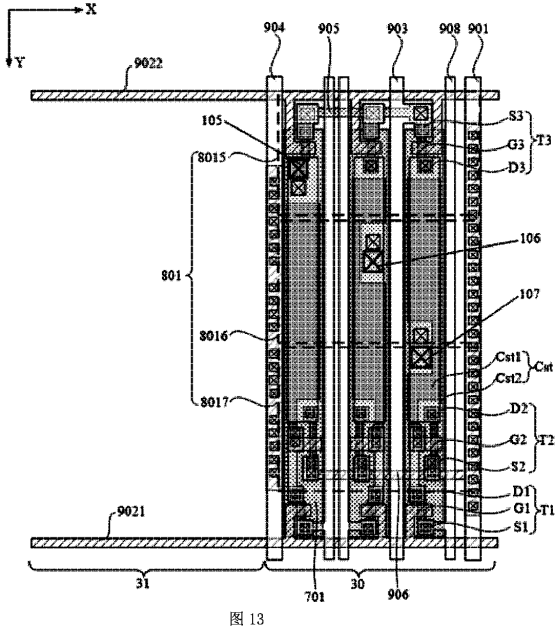


图 13

【 14 】

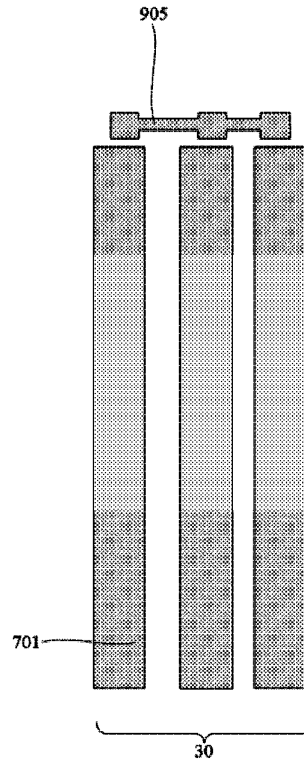


图 14

【 15 】

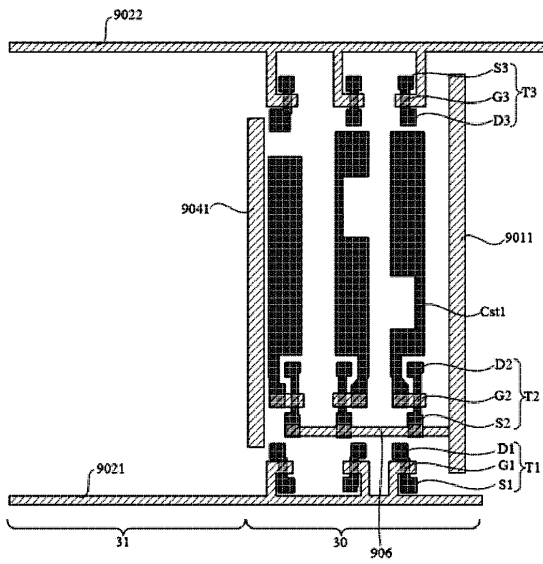


图 15

【 16 】

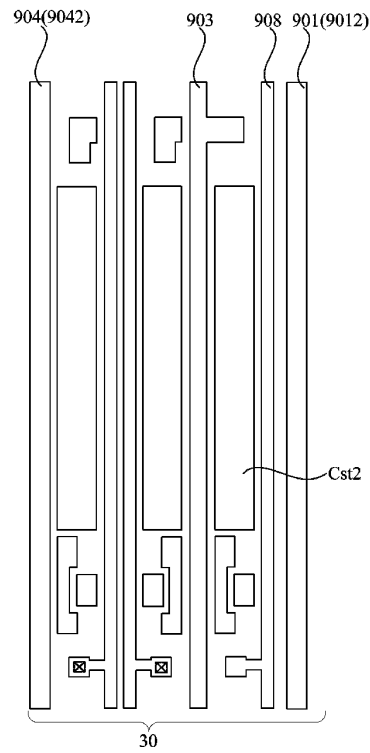


图 16

10

20

30

40

50

【 図 17 】

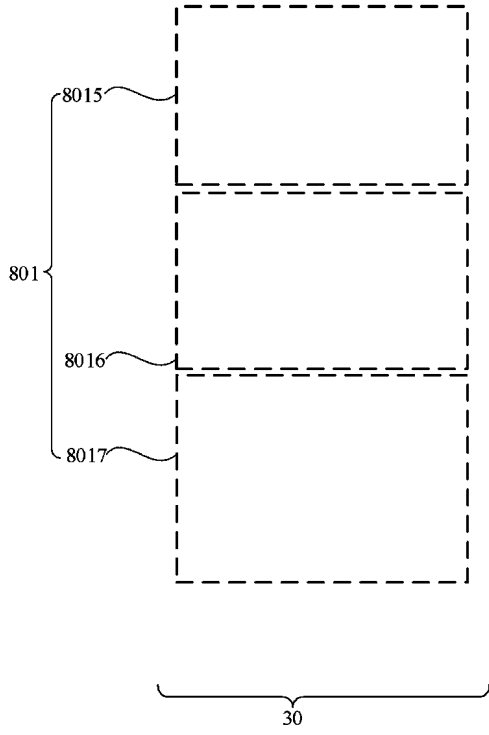


图 17

10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I			
H 1 0 K 50/818(2023.01)	G 0 9 F	9/30	3 4 9 C	
H 1 0 K 59/123(2023.01)	G 0 9 F	9/00	3 3 8	
H 1 0 K 59/124(2023.01)	H 1 0 K	50/10		
H 1 0 K 59/131(2023.01)	H 1 0 K	59/121		
H 1 0 K 59/38 (2023.01)	H 1 0 K	50/818		
G 0 2 B 5/20 (2006.01)	H 1 0 K	59/123		
	H 1 0 K	59/124		
	H 1 0 K	59/131		
	H 1 0 K	59/38		
	G 0 2 B	5/20	1 0 1	

工業物流園内エイ組団イー区宿舍楼15幢

Block 15 Group - A Zone - E of Industrial Park in Hefei New Station, Xinzhan District, Hefei, Anhui, 230012, P.R.China

- (74)代理人 100070024
弁理士 松永 宣行
- (74)代理人 100195257
弁理士 大淵 一志
- (72)発明者 李 蒙
中華人民共和国100176北京市北京經濟技術開發区地澤路9号
- (72)発明者 李 永謙
中華人民共和国100176北京市北京經濟技術開發区地澤路9号
- (72)発明者 王 景泉
中華人民共和国100176北京市北京經濟技術開發区地澤路9号
- (72)発明者 許 晨
中華人民共和国100176北京市北京經濟技術開發区地澤路9号
- (72)発明者 張 大成
中華人民共和国100176北京市北京經濟技術開發区地澤路9号
- (72)発明者 袁 志東
中華人民共和国100176北京市北京經濟技術開發区地澤路9号
- (72)発明者 袁 燦
中華人民共和国100176北京市北京經濟技術開發区地澤路9号
- (72)発明者 馮 雪歆
中華人民共和国100176北京市北京經濟技術開發区地澤路9号

審査官 小野 博之

- (56)参考文献 特開2017-120408(JP,A)
特開2004-356533(JP,A)
特開2019-133166(JP,A)
国際公開第2018/055902(WO,A1)
米国特許出願公開第2020/0083312(US,A1)
中国特許出願公開第110718575(CN,A)

- (58)調査した分野 (Int.Cl., DB名)
- G 0 9 F 9 / 0 0 - 9 / 4 6
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8
4 4 / 0 0
4 5 / 6 0
H 1 0 K 5 0 / 0 0 - 9 9 / 0 0
G 0 2 B 5 / 0 0 - 5 / 3 2