



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0103100
 (43) 공개일자 2015년09월09일

- (51) 국제특허분류(Int. Cl.)
 H01L 27/15 (2006.01) H01L 33/00 (2010.01)
 H05B 37/02 (2006.01)
- (52) CPC특허분류(Coo. Cl.)
 H01L 27/15 (2013.01)
 H01L 33/00 (2013.01)
- (21) 출원번호 10-2015-7020088
- (22) 출원일자(국제) 2013년11월26일
 심사청구일자 없음
- (85) 번역문제출일자 2015년07월23일
- (86) 국제출원번호 PCT/US2013/071787
- (87) 국제공개번호 WO 2014/105329
 국제공개일자 2014년07월03일
- (30) 우선권주장
 13/727,904 2012년12월27일 미국(US)

- (71) 출원인
 지이 라이팅 솔루션스, 엘엘씨
 미국 오하이오주 44112 이스트 클리블랜드 벨라
 파크 노블 로드 1975 빌딩 338
- (72) 발명자
 콜로딘 보리스
 미국 44122 오하이오주 비치우드 브랜트우드 로드
 2634
- (74) 대리인
 김태홍, 김진희

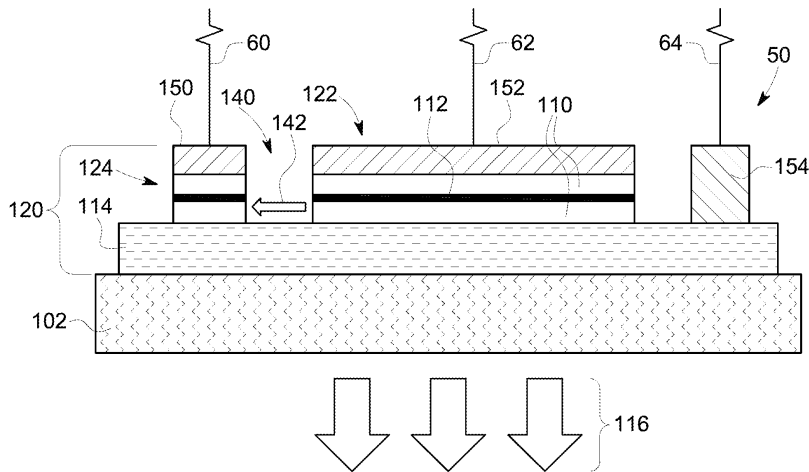
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **발광 다이오드 칩을 위한 시스템 및 방법**

(57) 요약

발광 다이오드(LED) 칩이 제공된다. LED 칩은 기판, 및 기판 상에 성장된 헤테로 구조로부터 형성된 메사 구조물을 포함한다. 메사 구조물은 LED 메사 부분, 및 포토 다이오드(PD) 메사 부분을 포함한다. 채널이 PD 메사 부분으로부터 LED 메사 부분을 분리시킨다.

대표도 - 도3



(52) CPC특허분류(Coo. Cl.)
H05B 37/02 (2013.01)

특허청구의 범위

청구항 1

발광 다이오드(light emitting diode; LED) 칩에 있어서,

기판 ;및

상기 기판 상에 성장된 헤테로 구조로부터 형성된 메사 구조물을 포함하고,

상기 메사 구조물은,

LED 메사 부분; 및

포토 다이오드(photo diode; PD) 메사 부분을 포함하며, 상기 PD 메사 부분으로부터 상기 LED 메사 부분을 채널이 분리시키는 것인, LED 칩.

청구항 2

제 1 항에 있어서, 상기 헤테로 구조는,

n형 층, p형 층; 및

상기 n형 층의 적어도 일부분과 상기 p형 층의 적어도 일부분 사이의 활성층

을 포함하는 것인, LED 칩.

청구항 3

제 2 항에 있어서, 상기 PD 메사 부분의 상기 활성층으로부터 상기 LED 메사 부분의 상기 활성층을 채널이 분리시키는 것인, LED 칩.

청구항 4

제 1 항에 있어서,

상기 LED 메사 부분 상의 제 1 금속 콘택, 및 상기 PD 메사 부분 상의 제 2 금속 콘택을 포함하는 것인, LED 칩.

청구항 5

제 4 항에 있어서, 상기 제 2 금속 콘택은 불투명 금속 콘택인 것인, LED 칩.

청구항 6

제 4 항에 있어서,

상기 LED 칩 상의 제 3 금속 콘택을 포함하는 것인, LED 칩.

청구항 7

제 6 항에 있어서, 상기 제 1 금속 콘택 및 상기 제 2 금속 콘택은 애노드이고, 상기 제 3 금속 콘택은 공통 캐소드인 것인, LED 칩.

청구항 8

제 6 항에 있어서, 상기 제 1 금속 콘택 및 상기 제 2 금속 콘택은 캐소드이고, 상기 제 3 금속 콘택은 공통 애노드인 것인, LED 칩.

청구항 9

제 1 항에 있어서, 상기 LED 메사 부분은 상기 채널을 통해 상기 PD 메사 부분으로 광 에너지를 방출하도록 구

성되는 것인, LED 칩.

청구항 10

제 9 항에 있어서, 상기 PD 메사 부분은 상기 LED 메사 부분으로부터의 광 에너지를 흡수하여 광전류를 발생시키도록 구성되는 것인, LED 칩.

청구항 11

제 1 항에 있어서, 상기 PD 메사 부분은 금속 콘택을 포함하고, 상기 금속 콘택은 상기 PD 메사 부분의 상부 및 바깥쪽 표면을 커버하는 것인, LED 칩.

청구항 12

발광 다이오드(LED) 시스템에 있어서,

LED 칩을 포함하는 제 1 LED 디바이스; 및

제어 유닛을 포함하고,

상기 LED 칩은,

기관 ; 및

상기 기관 상에 성장된 헤테로 구조로부터 형성된 메사 구조물을 포함하고,

상기 메사 구조물은,

LED 메사 부분; 및

포토 다이오드(PD) 메사 부분을 포함하며, 상기 PD 메사 부분으로부터 상기 LED 메사 부분을 채널이 분리시키며,

상기 제어 유닛은, (a) 상기 LED 메사 부분을 통해 제 1 전류를 제공하고, (b) 상기 PD 메사 부분에 의해 발생된 광전류를 측정하도록 구성되는 것인, LED 시스템.

청구항 13

제 12 항에 있어서, 상기 PD 메사 부분에 의해 발생된 상기 광전류는, 상기 제 1 전류가 상기 LED 메사 부분을 통과함에 따라, 상기 제 1 LED 메사 부분에 의해 방출되는 광 에너지에 실질적으로 비례하는 것인, LED 시스템.

청구항 14

제 13 항에 있어서, 상기 제어 유닛은, 상기 PD 메사 부분에 의해 발생된 상기 광전류의 함수로서, 상기 LED 메사 부분을 통한 제 1 전류를 결정하도록 구성되는 것인, LED 시스템.

청구항 15

제 13 항에 있어서,

적어도 하나의 보조 LED 디바이스를 더 포함하고,

상기 제어 유닛은, 상기 제 1 LED 디바이스의 상기 PD 메사 부분에 의해 발생된 상기 광전류의 함수로서 상기 보조 LED 디바이스를 통해 제 2 전류를 제공하도록 구성되는 것인, LED 시스템.

청구항 16

발광 다이오드(LED) 칩을 형성하기 위한 방법에 있어서,

기관 상에 헤테로 구조를 성장시키는 단계; 및

LED 메사 부분 및 포토 다이오드(PD) 메사 부분을 포함하는 메사 구조물을 형성하기 위해 상기 헤테로 구조에 에칭 공정을 적용하는 단계

를 포함하고, 상기 에칭 공정을 적용하는 단계는, 상기 PD 메사 부분으로부터 상기 LED 메사 부분을 분리시키는

채널을 형성하는 단계를 포함하는 것인, LED 칩 형성 방법.

청구항 17

제 16 항에 있어서, 상기 헤테로 구조를 성장시키는 단계는, n형 층, p형 층, 및 활성층을 성장시키는 단계를 포함하는 것인, LED 칩 형성 방법.

청구항 18

제 17 항에 있어서, 상기 에칭 공정을 적용하는 단계는, 상기 PD mesa 부분의 상기 활성층으로부터 상기 LED mesa 부분의 상기 활성층을 분리시키기 위해 상기 채널을 형성하는 단계를 포함하는 것인, LED 칩 형성 방법.

청구항 19

제 18 항에 있어서,

상기 PD mesa 부분 상에 금속 콘택을 제공하는 단계를 더 포함하고,

상기 금속 콘택은 상기 PD mesa 부분의 상부 및 바깥쪽 표면을 커버하는 것인, LED 칩 형성 방법.

청구항 20

제 16 항에 있어서,

상기 LED mesa 부분 상에 제 1 금속 콘택, 상기 PD mesa 부분 상에 제 2 금속 콘택, 및 상기 LED 칩 상에 제 3 금속 콘택을 제공하는 단계를 더 포함하는 LED 칩 형성 방법.

명세서

기술분야

[0001] 기술분야는 일반적으로 발광 다이오드에 관한 것으로, 보다 구체적으로 포토 다이오드 센서를 갖는 발광 다이오드에 관한 것이다.

배경 기술

[0002] 일부 백색 발광 다이오드(light emitting diode; LED)는 능동 컬러 제어를 수행하기 위해 포토 다이오드(photo diode; PD) 센서로부터의 광 에너지 피드백을 이용한다. 예를 들어, 능동 컬러 제어는 레드-그린-블루(RGB) LED 또는 블루-시프트-YAG(blue-shifted-YAG; BSY) 플러스 레드 LED 아키텍처에 기초하여 고체 상태 램프의 컬러 포인트를 안정화시킨다.

[0003] 그러나, 이러한 PD 센서는 이웃하는 LED들로부터의 크로스 토크에 영향을 받는다. 더욱이, PD 센서의 정확도는 일부 애플리케이션에서 충분하지 않다. 이웃하는 LED들로부터의 크로스 토크 및 PD 센서의 부정확도는 단일 LED에 의해 방출된 광 에너지를 결정하는 것을 어렵게 만든다.

[0004] 예를 들어, LED가 저하되어 LED를 통해 흐르는 전류가 적은 광 에너지를 생성하는 때를 결정하는 것이 어렵다. LED가 저하되는 때를 알지 못하면, 능동 컬러 제어는 그 저하를 보상하기 위해서 대응하는 방법을 알지 못한다. 이러한 지식 없는 보상은 하나 이상의 LED들의 저하를 가속화할 수 있다.

발명의 내용

해결하려는 과제

[0005] 기본 LED의 광 에너지의 정확한 측정이 이루어지는 경우, 능동 컬러 제어는 저하를 보상하기 위해서 기본 LED 또는 보조 LED들에 대한 전류를 증가시킬 수 있다. 본 발명개시의 다양한 실시예들은 다른 LED들로부터의 광 에너지에 의한 방해 없이, 하나의 LED로부터의 광 에너지를 정확하게 모니터링하도록 구성된다.

과제의 해결 수단

[0006] 일 예시적인 실시예에 따라, LED 칩은 기판, 및 기판 상에 성장된 헤테로 구조로부터 형성된 mesa 구조물을 포함한다. mesa 구조물은 LED mesa 부분 및 PD mesa 부분을 포함한다. 채널이 PD mesa 부분으로부터 LED mesa

부분을 분리시킨다.

[0007] 다른 예시적인 실시예에 따라, LED 시스템은 제 1 LED 디바이스 및 제어 유닛을 포함한다. LED 디바이스는 LED 칩을 포함한다. LED 칩은 기판, 및 기판 상에 성장된 헤테로 구조로부터 형성된 메사 구조물을 포함한다. 메사 구조물은 LED 메사 부분 및 PD 메사 부분을 포함한다. 채널이 PD 메사 부분으로부터 LED 메사 부분을 분리시킨다. 제어 유닛은 LED 메사 부분을 통해 제 1 전류를 제공하고, PD 메사 부분에 의해 발생된 광전류를 측정하도록 구성된다.

[0008] 또 다른 실시예에 따라, LED 칩을 형성하는 방법은 기판 상에 헤테로 구조를 성장시키는 단계 및 메사 구조물을 형성하기 위해 헤테로 구조에 에칭 공정을 적용하는 단계를 포함한다. 메사 구조물은 LED 메사 부분 및 PD 메사 부분을 포함한다. 에칭 공정을 적용하는 단계는 PD 메사 부분으로부터 LED 메사 부분을 분리시키는 채널을 형성하는 단계를 포함한다.

발명의 효과

[0009] 앞서 말한 것은 다양한 실시예들의 양태들 및 특징들의 일부를 광범위하게 서술한 것으로, 이들은 단지 본 발명 개시의 다양한 잠재적인 애플리케이션들의 예시인 것으로 해석되어야 한다. 다른 유의한 결과가 다른 방식으로 개시된 정보를 적용함으로써 또는 개시된 실시예들의 다양한 양태들을 결합함으로써 획득될 수 있다. 따라서, 다른 양태들 및 더욱 포괄적인 이해는 특허청구범위에 의해 정의된 범위에 더하여 첨부 도면과 함께 취해진 예시적인 실시예들의 상세한 설명을 참조함으로써 획득될 수 있다.

도면의 간단한 설명

[0010] 도 1은 예시적인 실시예에 따라, 기본 LED 디바이스, 보조 LED 디바이스, 및 제어 유닛을 포함하는 LED 시스템의 블록도이다.

도 2는 예시적인 실시예에 따라, 에칭 공정 이전의 도 1의 기본 LED 디바이스의 LED 칩의 횡단면도이다.

도 3은 에칭 공정 이후의 도 2의 LED 칩의 횡단면도이다.

도 4는 제 1 대안적인 예시적인 실시예에 따라, LED 칩의 횡단면도이다.

도 5는 제 2 대안적인 예시적인 실시예에 따라, LED 칩의 횡단면도이다.

도 6은 본 발명의 실시예에 따라 LED 칩을 형성하는 예시적인 방법의 흐름도이다.

도 7은 도 1의 제어 유닛에 의해 수행되는 예시적인 방법의 흐름도이다.

도면은 단지 바람직한 실시예들을 예시하기 위한 것이고, 발명개시를 제한하는 것으로 해석되어서는 안 된다. 다음의 도면들의 가능한 설명을 고려하면, 본 발명개시의 신규한 양태들은 당업자에게 명백해져야 한다. 이러한 구체적인 설명은 도면들에서 특징들을 나타내기 위해 숫자 및 문자 지정을 이용한다. 도면들 및 설명에서 같거나 유사한 지정은 본 발명의 실시예들의 같거나 유사한 부분을 나타내는데 이용되었다.

발명을 실시하기 위한 구체적인 내용

[0011] 필요한 바에 따라, 구체적인 실시예들이 본 명세서에 개시된다. 개시된 실시예들은 단지 예시적인 다양하고 대안적인 형태들인 것으로 이해되어야 한다. 본 명세서에서 이용되는 바와 같이, 단어 "예시적인"은 실례, 표본, 모델, 또는 패턴의 역할을 하는 실시예들은 나타내기 위해 광범위하게 이용된다. 도면들은 반드시 실척도일 필요는 없고, 일부 특징들은 특정 컴포넌트들의 세부 사항을 도시하기 위해 과장되거나 최소화될 수 있다. 다른 경우에, 당업자에게 알려져 있는 잘 공지된 컴포넌트들, 시스템들, 물질들, 또는 방법들은 본 발명개시를 모호하게 하는 것을 방지하기 위해 상세하게 설명되지 않았다. 그러므로, 본 명세서에서 개시된 특정한 구조적 및 기능적 세부 사항들은 제한적인 의미로서 해석되어서는 안 되며, 청구항들에 대한 기초로서 그리고 당업자를 교시하기 위한 대표적 기초로서 해석되어야 한다.

[0012] 도 1은 기본 LED 디바이스(10), 보조 LED 디바이스(90), 및 제어 유닛(80)을 포함하는 LED 시스템(1)의 블록도이다. 보조 LED 디바이스(90)는 기본 LED 디바이스(10)와 유사하다. LED 디바이스들(10, 90)은 함께 LED 어레이로서 본 명세서에서 나타난다. 대안적인 실시예들에서, LED 어레이는 두 개 이상의 LED 디바이스들을 포함한다.

[0013] 기본 LED 디바이스(10)는 케이스(20), 렌즈(30), 및 LED 칩(50)을 포함한다. 리드(lead)(60, 62, 64)가 LED

칩(50)을 제어 유닛(80)에 연결한다. 제어 유닛(80)은 본 명세서에 기술된 방법들을 수행하기 위한 컴퓨터 실행 가능 명령어들을 저장하는 텐저블 컴퓨터 판독 가능 매체 또는 메모리(84) 및 프로세서(82)를 포함한다. 메모리(84)는 제어 애플리케이션(86)을 포함하고, 이는 아래에서 추가로 상세히 논의된다. 제어 애플리케이션(86)의 기술 효과는 개선된 LED 컬러 제어이다.

- [0014] 명세서 및 청구항에서 이용되는 바와 같이, 용어 컴퓨터 판독 가능 매체 및 이의 변형은 저장 매체를 나타낸다. 일부 실시예들에서, 저장 매체는, 예를 들어, 랜덤 액세스 메모리(RAM), 읽기 전용 메모리(ROM), 전기적 소거 및 프로그램 가능 읽기 전용 메모리(EEPROM), 고체 상태 메모리 또는 다른 메모리 기술, CD ROM, DVD, BLU-RAY, 또는 다른 광학 디스크 저장 장치, 자기 테이프, 자기 디스크 저장 장치 또는 다른 자기 저장 디바이스와 같은, 휘발성 및/또는 비휘발성, 분리 가능 및/또는 비분리 가능 매체를 포함한다.
- [0015] LED 칩은 보통 LED 다이 또는 반도체 다이로서 언급된다. LED 칩의 다양한 설계는 측방향 플립 칩 아키텍처, 측방향 아키텍처, 및 수직 아키텍처를 포함한다. 그러나, 본 명세서의 교시는 다른 LED 칩 설계 및 LED 디바이스 설계에 적용 가능하다.
- [0016] 일반적으로, 측방향 아키텍처는 LED 칩의 하부에 위치한 절연 기판(예컨대, 사파이어 또는 실리콘 탄화물)을 포함한다. 측방향 아키텍처의 경우, 콘택이 절연 기판에 대향하는, LED 칩의 상부 표면 상에(아래에서 기술되는 메사 구조물 상에) 배치된다.
- [0017] 일반적으로, 수직 아키텍처는 LED 칩의 하부에 위치한 전도성 기판(예컨대, 구리 또는 실리콘)을 포함한다. 수직 아키텍처의 경우, 콘택이 LED 칩의 메사의 상부 표면 상에 그리고 LED 칩의 전도성 기판의 하부 표면 상에 배치된다.
- [0018] 설명을 위해, 용어 "상부" 및 "하부"가 이용된다. 그러나, 용어는 본 명세서에 기술된 LED 칩의 방향을 제한하지 않는 것으로 이해되어야 한다. 오히려, 용어는 LED 칩의 부분들을 서로 구별하기 위해 이용된다.
- [0019] 도 2는 예시적인 실시예에 따라, 에칭 공정 이전의, 기본 LED 디바이스(10)의 LED 칩(50)의 횡단면도이다. 도 2에서, LED 칩(50)은 측방향 플립 칩 아키텍처를 갖고, 기판(102) 상에 형성된 헤테로 구조(100)를 포함한다.
- [0020] 헤테로 구조(100)는 반도체 물질의 층들을 포함한다. 배경으로, 유사한 반도체 물질의 층들은 단일층 및 요소 번호로 표현된다. 구체적으로, 헤테로 구조(100)의 층들은 층들(110, 112, 114)로 표현된다. 그러나, 각각의 층(110, 112, 114)은 일반적으로 다수의 층들을 포함한다는 것이 이해되어야 한다.
- [0021] LED 칩(50)은 아래에서 더욱 상세하게 기술되는 에칭 공정에 의해, 헤테로 구조(100)로부터 형성된 메사 구조물(120)을 포함한다. 메사 구조물(120)은 LED 메사 부분(122) 및 PD 메사 부분(124)을 포함한다.
- [0022] 예시적인 실시예들에서, 층들(110, 114)의 반도체 물질은 갈륨 질화물이고, 층의 물질(112)은 알루미늄 인듐 갈륨 질화물(AlInGaN)이다. 아래에서 더욱 상세하게 기술되는 실시예들을 포함하는 대안적인 실시예들에서, 예시적인 반도체 물질은 알루미늄 갈륨 인듐 인화물(AlGaInP), 갈륨 인화물(GaP), 이들의 조합 등을 포함한다.
- [0023] 반도체 물질의 층들(110, 114)은 분순물로 도핑된다. 층(110)은 p형 도핑된 반도체 층이고, 층(114)은 n형 도핑된 반도체 층이다. 이하에, 층(110)은 p형 층으로서 언급되고, 층(114)은 n형 층으로서 언급된다.
- [0024] 활성층(112)이 n형 층(114)의 적어도 일부분과 p형 층(110)의 적어도 일부분 사이에(예컨대, p-n 접합에 또는 근처에) 위치된다. 활성층은 또한 보통 발광층으로 언급된다.
- [0025] 대안적인 실시예들에서, 헤테로 구조(100)는 추가의 층들을 포함한다. 이러한 실시예들에서, p형 층(110), 활성층(112), 및 n형 층(114)은 동일한 상대 위치를 유지하지만, 이 층들은 서로 인접하게 직접적으로 적층되지 않을 수 있다.
- [0026] 층들(110, 114)은 활성층(112)을 통해 p형 층(110)(애노드)에서부터 n형 층(114)(캐소드)으로 전류가 흐르도록 도핑된다. 전자가 활성층(112)에서 정공을 만날 경우, 광 에너지가 배출되고, 빛[도 3에서 화살표(116)로 표현됨]이 방출된다. 본 명세서에서 이용되는 바와 같이, 용어 광 에너지가 이용되지만, 광 전력, 방사 전력, 방사 에너지 등과 같은 용어들이 또한 보통 사용된다.
- [0027] 도 3은 에칭 공정 이후의 도 2의 LED 칩(50)의 횡단면도이다. 에칭 공정은 모놀리식 헤테로 구조(100) 중 헤테로 구조 부분들(130, 132, 134)을 제거한다. 에칭 공정에 의해 모놀리식 헤테로 구조(100)에서 제거된 헤테로 구조 부분들(130, 132, 134)은 도 2에서 점선으로 도시된다. 도 3은 헤테로 구조 부분들(130, 132, 134)이 헤

테로 구조(100)에서 제거된 이후의 메사 구조물(120)을 도시한다.

- [0028] 헤테로 구조 부분(132)의 제거는 채널(140)을 정의하고, 이 채널은 LED 메사 부분(122) 및 PD 메사 부분(124)을 서로 분리시키는 공기 간극이다. 채널(140)은 PD 메사 부분(124)의 활성층(112)으로부터 LED 메사 부분(122)의 활성층(112)을 전기적으로 분리시킨다. 헤테로 구조 부분(134)의 제거는 n형 층(144)을 노출하여, 아래에 더욱 완전히 논의되는 금속 콘택(154)이 n형 층(114) 상에 배치될 수 있다.
- [0029] LED 메사 부분(122) 및 PD 메사 부분(124)은 헤테로 구조(100)로부터 유닛으로서 형성된다. LED 메사 부분(122) 및 PD 메사 부분(124)이 모놀리식 헤테로 구조(100)로부터 모두 형성되기 때문에, LED 메사 부분(122)의 헤테로 구조는 PD 메사 부분(124)의 헤테로 구조와 동일하다. 특히, PD 메사 부분(124)의 활성층(112)의 에너지 갭(energy gap)은 LED 메사 부분(122)의 활성층(112)의 에너지 갭과 동일하다.
- [0030] 도 3에서, 기판(102)은 광 투과성 기판으로, 빛(116)이 기판(102)을 통해 방출된다. 예를 들어, 기판(102)은 사파이어, 실리콘 탄화물(SiC), 또는 이들의 조합일 수 있다.
- [0031] 금속 콘택들(150, 152, 154)이 LED 메사 부분(122) 및 PD 메사 부분(124)을 포함하는 LED 칩(50) 상에 배치된다. 구체적으로, PD 애노드 콘택(150)이 PD 메사 부분(124)의 p형 층(110)의 상부에 위치되고, LED 애노드 콘택(152)이 LED 메사 부분(122)의 p형 층(110)의 상부에 위치되며, 캐소드 콘택(154)이 메사 구조물(120)의 n형 층(114)의 상부에 위치된다.
- [0032] 예시적인 실시예들에서, PD 애노드 콘택(150)은 PD 메사 부분(124)의 상부 영역을 커버하는 불투명 금속 콘택(예컨대, 패드 또는 층)이다. PD 애노드 콘택(150)은 이웃하는 LED 디바이스들[예컨대, 보조 LED 디바이스(90)]로부터 방출되는 광 에너지(도시되지 않음)로부터 PD 메사 부분(124)을 차단한다. LED 애노드 콘택(152)은 반사 금속 콘택이고, 캐소드 콘택(154)은 금속 콘택이다.
- [0033] 금속 콘택들(150, 152, 154)은 금속 고착 조성물(metal stuck composition)을 포함할 수 있다. 예를 들어, p-GaN을 위한 금속 고착 조성물은, 은(Ag)이 리플렉터의 역할을 하는 경우, 팔라듐-은-금-티타늄-금(Pd-Ag-Au-Ti-Au) 금속층들을 포함한다. 다른 예로서, n-GaN을 위한 금속 고착층들은 티타늄-알루미늄(Ti-Al) 금속층들을 포함한다.
- [0034] 애노드 콘택들(150, 152)은 리드(60, 62)(도 1에 도시됨)에 연결되고, 캐소드 콘택(154)은 리드(64)(또한 도 1에 도시됨)에 연결된다. 콘택들은 솔더, 와이어, 전극, 또는 이들의 조합 등에 의해 연결될 수 있다.
- [0035] 기본 LED 디바이스(10)는 LED 메사 부분(122)이 LED로서 기능하고 PD 메사 부분(124)이 포토 다이오드 센서로서 기능하도록 구성된다. 리드(62) 및 금속 콘택(152)을 통한 전류가 LED 메사 부분(122)을 통해 흐른다. LED 메사 부분(122)을 통한 전류의 흐름은 광 에너지를 방출하고, 이러한 광 에너지는 채널(140)을 가로질러 PD 메사 부분(124)으로 이동하는 광 에너지(142)를 포함한다. PD 메사 부분(124)은 광 에너지(142)를 흡수하여 광전류를 발생시킨다.
- [0036] LED 메사 부분(122) 및 PD 메사 부분(124)의 헤테로 구조가 동일하기 때문에, LED 메사 부분(122)으로부터 방출되는 광 에너지의 스펙트럼(스펙트럼 전력)은 PD 메사 부분(124)에 의해 흡수되는 광 에너지의 스펙트럼(스펙트럼 전력)과 실질적으로 동일하다. PD 메사 부분(124)은 LED 메사 부분(122)에 의해 방출되는 파장의 광 에너지에 대한 반응성 또는 감도를 갖는다. PD 메사 부분(122)의 감도는 PD 메사 부분(122) 상에 입사하는 광 에너지(와트 단위) 대 암페어 단위의 광전류 출력의 비이다. 광 에너지는 보통 watts/cm²로서 표현되고 광전류는 amps/cm²로서 표현되지만, 이것은 보통 와트 당 암페어 단위의 절대 감도로서 표현된다.
- [0037] 따라서, PD 메사 부분(124)의 활성층(112)이 LED 메사 부분(122)의 활성층(112)으로부터 방출되는 광 에너지(142)의 일부를 흡수할 경우, PD 메사 부분(124)에 의해 발생하는 광전류는 실질적으로 LED 메사 부분(122)의 방출되는 광 에너지에 비례한다.
- [0038] 대안적인 실시예들에서, 메사 부분들(122, 124)의 활성층들(112)의 에너지 갭은 동일하지 않을 수 있다. 예를 들어, LED 메사 부분(122)의 활성층(112)의 에너지 갭이 PD 메사 부분(124)의 활성층(112)의 에너지 갭보다 크면, PD 메사 부분(124)에 의해 발생하는 광전류는 활성층(112)이 동일한 경우보다 클 것이다. 상이한 헤테로 구조를 갖는 메사 부분들(122, 124)은 선택적 에피택시에 의해 달성될 수 있다. 제어 유닛(80)은 활성층들(112)의 상이함을 보상하도록 조정된다.
- [0039] 앞서 언급한 바와 같이, 제어 유닛(80)은 기본 LED 디바이스(10)의 LED 메사 부분(122)을 통한 전류를 결정 및 제공하고, 보조 LED 디바이스(90)를 통한 전류를 결정 및 제공하며, 기본 LED 디바이스(10)의 PD 메사 부분

(124)을 통한(이에 의해 발생된) 전류를 수신, 측정, 및 결정하도록 구성된다.

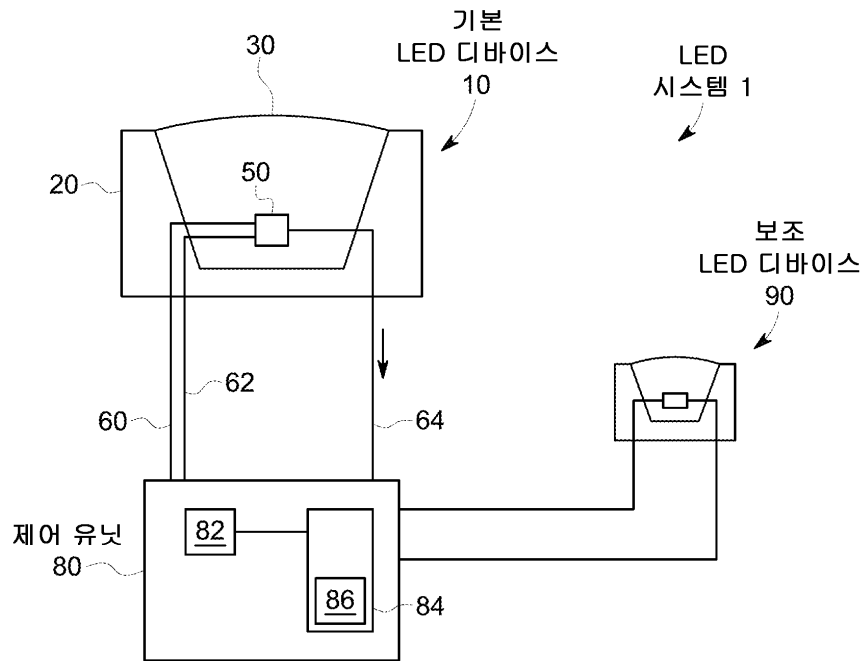
- [0040] 앞서 언급한 제어 애플리케이션(86)은, 기본 LED 디바이스(10)의 PD 메사 부분(124)를 통한 광전류의 함수로서, 보조 LED 디바이스(90) 및 기본 LED 디바이스(10)의 LED 메사 부분(122) 중 적어도 하나를 통한 전류를 조정하도록 구성된다.
- [0041] 제어 유닛(80)은 리드(62)를 통해 LED 메사 부분(122)으로 전류를 공급하도록 구성된다. 전류는 LED 메사 부분(122)을 통해 흐르고, LED 메사 부분(122)의 활성층(112)이 광 에너지(142)를 방출하도록 한다. 제어 유닛(80)은 또한 리드(60)를 통해 PD 메사 부분(124)을 통한(이에 의해 발생된) 광전류를 수신 및 측정한다.
- [0042] 도 4는 본 발명의 대안적인 예시적인 실시예에 따라, LED 칩(200)의 횡단면도이다. LED 칩(200)이 LED 칩(50)(도 2 참조)의 기능들과 실질적으로 유사한 기능들을 포함하는 경우, 유사한 요소 이름 및 참조 부호가 이용된다.
- [0043] 도 4에서, LED 칩(200)은 LED 칩(200)의 상부로부터 빛(216)(위쪽 화살표로서 도시됨)을 방출하도록 구성된다. LED 칩(200)은 LED 칩(200)을 디바이스[예컨대, 디바이스(10)]에 솔더링하기 위한 금속 스택(201), 기판(202)(예컨대, 실리콘), 금속 반사 콘택(204)(예컨대, p형 층에 대해), p형 층(210)(예컨대, GaP), 활성층(212), 및 n형 층(214)(예컨대, AlInGaP)을 포함한다.
- [0044] LED 칩(200)은 채널(240)에 의해 분리된 LED 메사 부분(222) 및 PD 메사 부분(224)을 포함하는 메사 구조물(220)을 포함한다. 메사 부분들(222, 224)은 층들(210, 212, 214)을 포함하는 동일한 헤테로 구조를 갖는다.
- [0045] 게다가, LED 칩(200)은 LED 칩(200)의 상부에 콘택을 포함한다. 구체적으로, 금속 콘택(250)(PD 캐소드)이 PD 메사 부분(224)의 n형 층(214)의 상부에 있고, 금속 콘택 메시(mesh)(252)(LED 캐소드)가 LED 메사 부분(222)의 n형 층(214)의 상부에 있으며, 와이어 본딩 패드(254)(공통 애노드)가 금속 반사 콘택(204)의 상부에 있다.
- [0046] 전류는 LED 메사 부분(222)을 통해 흐르고, LED 메사 부분(222)의 활성층(212)이 PD 메사 부분(224)에 의해 흡수되는 광 에너지(242)를 포함하는 광 에너지를 방출하도록 한다. 금속 콘택 메시(252)는 빛(216)이 LED 메사 부분(222)의 상부로부터 방출되도록 허용한다.
- [0047] 도 5는 제 2 대안적인 예시적인 실시예에 따라, LED 칩(300)의 횡단면도이다. LED 칩(300)이 LED 칩(50)(도 2 참조)의 기능들과 실질적으로 유사한 기능들을 포함하는 경우, 유사한 요소 이름 및 참조 부호가 이용된다.
- [0048] 도 5에서, LED 칩(300)은 LED 칩(300)의 상부로부터 빛(316)(위쪽 화살표로서 도시됨)을 방출하도록 구성된다. LED 칩(300)은 기판(302)(예컨대, 실리콘), n형 층(314)(예컨대, GaN 또는 GaP), 활성층(312)(예컨대, AlInGaP 또는 AlInGaP), 및 p형 층(310)(예컨대, GaN 또는 GaP)을 포함한다.
- [0049] 대안적인 실시예들에서, 헤테로 구조는 추가의 층들을 포함한다. 이러한 실시예들에서, p형 층(310), 활성층(312), 및 n형 층(314)은 동일한 상대 위치를 유지하지만, 이 층들은 서로 인접하게 직접적으로 적층되지 않을 수 있다.
- [0050] LED 칩(300)은 채널(340)에 의해 분리된, LED 메사 부분(322) 및 PD 메사 부분(324)을 갖는 메사 구조물(320)을 포함한다. 메사 부분들(322, 324)은 층들(310, 312, 314)을 포함하는 동일한 헤테로 구조를 갖는다. 전류는 LED 메사 부분(322)을 통해 흐르고, LED 메사 부분(322)의 활성층(312)이 PD 메사 부분(324)에 의해 흡수되는 광 에너지(342)를 포함하는 광 에너지를 방출하도록 한다.
- [0051] LED 칩(300)은 LED 칩(300)의 상부 및 하부에 콘택을 포함한다. 유전체층(348)이 메사 구조물(320)의 상부에서 성장되고, LED 칩(300)의 상부의 금속 콘택들(350, 352)은 유전체층(348)의 공간에서 생성된다.
- [0052] 구체적으로, 금속 콘택(350)(PD 캐소드)이 PD 메사 부분(324)의 n형 층(314)의 상부 및 바깥쪽[채널(340)에 대향함]에 있고, 금속 콘택 메시(352)(LED 캐소드)가 LED 메사 부분(322)의 n형 층(314)의 상부에 있으며, 금속 콘택(354)(공통 애노드)이 기판(302)의 하부에 있다. 금속 콘택(350)은 보조 LED 디바이스[예컨대, 보조 LED 디바이스(90)]으로부터의 광 전력으로부터 추가의 분리를 제공한다.
- [0053] 헤테로 구조는 유기 금속 화학적 기상 증착(metal organic chemical vapor deposition; MOCVD) 에피택시와 같은 다양한 공정들에 따라 기판 상에 형성될 수 있다. 도 6은 이러한 형성 공정의 예시적인 방법을 도시한다.

- [0054] 도 6은 본 발명의 실시예에 따라 LED 칩을 형성하는 예시적인 방법(600)의 흐름도이다. 도 2 및 도 3의 예시에 기초하여, 방법(600)은 헤테로 구조 성장 단계(602)를 포함한다. 성장 단계(602)에서, 헤테로 구조(100)는 기판(102) 상에 층들(110, 112, 114)의 에피택시 성장에 의해 형성된다. n형 층(114)은 기판(102) 상에 형성되고, p형 층(110)은 n형 층(114) 상에 성장되며, 활성층(112)은 p형 층(110)의 층들 간에 성장된다.
- [0055] 예를 들어, p형 층(110)의 층들 중 일부가 n형 층(114) 상에 성장되고, 그런 다음 활성층(112)이 p형 층(110)의 층들 상에 성장되며, 그런 다음, p형 층(110)의 추가의 층들이 활성층(112) 상에 성장된다. 결과적인 헤테로 구조(100)는 단일 피스로 형성된, 모놀리식이다.
- [0056] 방법(600)은 또한 에칭 단계(604)를 포함한다. 단계(604)에서, 에칭 공정은 메사 구조물(120)을 정의하기 위해 모놀리식 헤테로 구조(100)에 적용된다. 예시적인 에칭 공정은, 이온 반응성 에칭과 같은 건식 에칭 기술, 습식 에칭 기술, 화학적 에칭, 레이저 커팅 기술, 기계적 에칭(예컨대, 다이아몬드 인포스 디스크를 이용하는 것), 이들의 조합 등을 포함한다.
- [0057] 콘택 적용 단계(606)에서, 콘택들(150, 152, 154)이 LED 칩(50) 상에 배치되고, 리드(60, 62, 64)가 콘택들(150, 152, 154)에 연결된다. 콘택들(150, 152, 154)은, LED 메사 부분(122)을 통해 보내지는 전류가 PD 메사 부분(124)을 통한(이에 의해 발생됨) 전류로부터 분리되도록 배치된다.
- [0058] 도 7은 제어 애플리케이션(86)의 컴퓨터 실행 가능 명령어에 따라 제어 유닛(80)(도 1 참조)에 의해 수행된 예시적인 방법(700)의 흐름도이다.
- [0059] 방법(700)은 LED 전류 단계(702)를 포함한다. 단계(702)에서, 제어 유닛(80)은 리드(62) 및 LED 메사 부분(122)을 통해 흐르는 전류를 제공한다. LED 메사 부분(122)을 통한 전류의 흐름은 광 에너지를 발생시킨다. 광 에너지의 일부[광 에너지(142)]는 채널(140)을 가로질러 이동하고, PD 메사 부분(124)에 의해 흡수된다. PD 메사 부분(124)은 리드(60)를 통해 흐르는 광전류를 발생시킨다.
- [0060] PD 전류 단계(704)에 따라, 제어 유닛(80)은 광전류를 측정하거나 또는 다른 식으로 결정한다. PD 메사 부분(124)에 의해 발생된 광전류가 실질적으로 LED 메사 부분(122)에 의해 방출되는 광 에너지에 비례하기 때문에, PD 메사 부분(124)으로부터의 광전류는, 예를 들어, 전류가 LED 메사 부분(122)을 통해 흐름에 따라 얼마나 많은 광 에너지가 전류에 의해 발생되는지에 대하여 피드백을 제공한다. 따라서, 제어 유닛(80)은 포토 다이오드 부분(124)에 의해 발생된 광전류의 함수로서 LED 부분(122)의 광 에너지 출력을 결정한다.
- [0061] 조정된 전류 단계(706)에 따라, 제어 유닛(80)은 광전류의 함수로서 조정된 입력 전류를 결정한다. 예를 들어, 광전류가 이전의 광전류 측정치에 비해 감소하면, 제어 유닛(80)은 LED 메사 부분(122)으로부터 실질적으로 일정한 광 에너지 출력을 유지하기 위해[예컨대, LED 메사 부분(122)의 저하를 보상하기 위해] LED 메사 부분(122)에 대한 전류를 증가시킨다.
- [0062] 저하는 동일한 입력 전류를 이용하는 LED 메사 부분(122)에 의해 발생하는 광 에너지의 감소이다. 광전류가 광 에너지에 비례하기 때문에, PD 메사 부분(124)에 의해 발생된 광전류의 하락은 LED 메사 부분(122)에 의해 발생된 광 에너지의 하락을 나타낸다.
- [0063] 대안적으로 또는 부가적으로, 제어 유닛(80)은 LED 어레이[여기서, LED 디바이스들(10, 90)]로부터 전반적으로 일정한 레벨의 광 에너지를 유지하기 위해서, 보조 LED 디바이스(90)와 같은, 하나 이상의 보조 LED 디바이스들을 통한 전류의 증가를 조정함으로써, 기본 LED 디바이스(10)의 LED 메사 부분(122)의 광 에너지 출력의 저하를 보상할 수 있다. 기본 LED 디바이스(10)의 LED 메사 부분(122)에 대해 전류를 증가시키는 것이 기본 LED 디바이스(10)의 LED 메사 부분(122)의 저하를 가속화시키는 경우, 하나 이상의 보조 LED 디바이스들을 통한 전류의 증가는 유리하다.
- [0064] 본 명세서에 기술된 방법은, 때때로, 컴퓨터 실행 가능 명령어들의 일반적인 문맥으로 설명될 수 있지만, 본 발명개시의 방법은 또한 다른 애플리케이션과의 조합으로 및/또는 하드웨어 및 소프트웨어의 조합으로 구현될 수 있다. 용어 애플리케이션, 또는 이의 변형은, 루틴, 프로그램 모듈, 프로그램, 컴포넌트, 데이터 구조, 알고리즘 등을 포함하도록 본 명세서에서 광범위하게 이용된다.
- [0065] 애플리케이션은, 서버, 네트워크 시스템, 단일 프로세서 또는 멀티프로세서 시스템, 미니 컴퓨터, 메인 프레임 컴퓨터, 개인용 컴퓨터, 핸드 헬드 컴퓨팅 디바이스, 모바일 디바이스, 마이크로 프로세서 기반 프로그램 가능한 가전, 이들의 조합 등을 포함하는 다양한 시스템 구성으로 구현될 수 있다.
- [0066] 이 서면의 설명은 최적 모드를 비롯한, 본 발명을 개시하고, 또한 임의의 디바이스 또는 시스템을 제조 및 이용

하고 임의의 통합된 방법을 수행하는 것을 비롯한, 본 발명을 당업자가 실행할 수 있도록 하는 예들을 이용한다. 본 발명의 특허 가능 범위는 특허청구범위에 의해 정의되고, 당업자에게 발생하는 다른 예들을 포함할 수 있다. 이러한 다른 예들은 이들이 특허청구범위의 문자 언어와 다르지 않은 구조적 요소를 갖거나, 또는 이들이 특허청구범위의 문자 언어와 적은 차이를 갖는 등가의 구조적 요소를 포함하면 특허청구범위의 범위 내에 있는 것으로 의도된다.

도면

도면1



도면2

