



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0004351
(43) 공개일자 2014년01월13일

(51) 국제특허분류(Int. Cl.)
H01L 33/48 (2010.01) H01L 33/54 (2010.01)
(21) 출원번호 10-2012-0071746
(22) 출원일자 2012년07월02일
심사청구일자 없음

(71) 출원인
엘지이노텍 주식회사
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
(72) 발명자
조현석
서울특별시 중구 한강대로 416, 서울스퀘어 20층
엘지이노텍(주) (남대문로5가)
(74) 대리인
김성호

전체 청구항 수 : 총 16 항

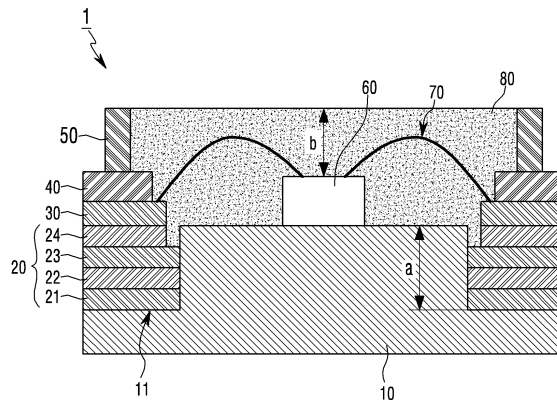
(54) 발명의 명칭 **발광 다이오드 패키지**

(57) 요약

실시 예는 발광 다이오드 패키지에 관한 것으로, 기판(10) 내부에 격벽층(20)을 형성함으로써, 상기 격벽층(20)에 의한 광 흡수 및 산란으로 인해 유발되는 광 손실을 최소화할 수 있고, 발광 칩(60)과 수지물(80) 상단과의 거리(b)를 최소화 하여 광추출 효율을 높일 수 있어 광속을 10% 이상 향상시킬 수 있다.

실시 예에 의한 발광 다이오드 패키지는, 기판과, 상기 기판의 홈 내부에 형성된 격벽층과, 상기 격벽층 상에 형성된 도금층과, 상기 도금층 상에 형성된 댐(Dam)과, 상기 댐 내측의 상기 기판 상에 실장된 발광 칩 및, 상기 격벽층 상에 상기 도금층 및 상기 댐으로 이루어진 구조물 내측의 캐비티 공간에 소정 높이로 형성된 수지물을 포함하고 있다.

대표도 - 도1



특허청구의 범위

청구항 1

기관;

상기 기관의 홈 내부에 형성된 격벽층;

상기 격벽층 상에 형성된 도금층;

상기 도금층 상에 형성된 댐(Dam);

상기 댐 내측의 상기 기관 상에 실장된 발광 칩; 및

상기 격벽층 상에 상기 도금층 및 상기 댐으로 이루어진 구조물 내측의 캐비티 공간에 소정 높이로 형성된 수지물;

을 포함하는 발광 다이오드 패키지.

청구항 2

제 1 항에 있어서,

상기 격벽층은,

제 1 접착 시트층;

상기 제 1 접착 시트 상에 형성된 절연층;

상기 폴리이미드 필름층 상에 형성된 제 2 접착 시트층; 및

상기 제 2 접착 시트층 상에 형성된 금속 박막층;

을 포함하는 발광 다이오드 패키지.

청구항 3

제 2 항에 있어서,

상기 금속 박막층은,

상기 홈의 측면과 비접촉되도록 상기 제 2 접착 시트층 상의 소정 영역에 형성된 발광 다이오드 패키지.

청구항 4

제 2 항에 있어서,

상기 금속 박막층은,

Cu, Ag, Au, Ni, Al, Cr, Ru, Re, Pb, Cr, Sn, In, Zn, Pt, Mo, Ti, Ta, W을 포함하는 군으로부터 선택되는 적어도 1종의 금속 또는 이들 금속을 포함하는 합금으로 구성된 금속 재료의 래미네이트층으로 형성된 발광 다이오드 패키지.

청구항 5

제 2 항에 있어서,

상기 격벽층은,

상기 홈의 측면과 소정 간격으로 이격되어 배치된 발광 다이오드 패키지.

청구항 6

제 2 항에 있어서,

상기 절연층은,

폴리이미드 필름(polyimide film)으로 구성된 발광 다이오드 패키지.

청구항 7

제 1 항에 있어서,

상기 발광 다이오드 패키지는,

상기 도금층과 상기 댐(Dam) 사이에 PSR(Photo Imageable Solder Resist)층이 형성된 발광 다이오드 패키지.

청구항 8

제 1 항 또는 제 7 항에 있어서,

상기 캐비티의 외주면은,

단차진 구조, 바닥면에 대해 수직 구조, 소정 각도로 경사진 구조 중 어느 하나의 구조를 갖는 발광 다이오드 패키지.

청구항 9

제 8 항에 있어서,

상기 캐비티의 형상은,

위에서 바라볼 때, 원형, 타원형, 다각형 중 어느 하나의 형상으로 형성된 발광 다이오드 패키지.

청구항 10

제 1 항에 있어서,

상기 발광 칩은,

청색 LED 칩, 녹색 LED 칩, 적색 LED 칩, 황색 LED 칩을 포함한 유색 LED 칩 중 하나이거나, 또는 자외선(UV) LED 칩인 발광 다이오드 패키지.

청구항 11

제 1 항에 있어서,

상기 발광 칩은,

수직형 구조, 수평형 구조, 플립 칩(Flip chip) 구조 중 어느 하나의 구조를 갖는 발광 다이오드 패키지.

청구항 12

제 1 항에 있어서,
상기 발광 칩은,
단일 칩(chip) 또는 멀티칩(Multi-chip) 구조를 갖는 발광 다이오드 패키지.

청구항 13

제 1 항에 있어서,
상기 수지물은,
적어도 한 개 이상의 형광체가 포함된 발광 다이오드 패키지.

청구항 14

제 1 항 또는 제 13 항에 있어서,
상기 수지물은,
실리콘 수지, 에폭시 수지를 포함한 투광성 재질로 형성된 발광 다이오드 패키지.

청구항 15

제 1 항에 있어서,
상기 기판의 홈은,
100~150 μ m의 깊이를 갖는 발광 다이오드 패키지.

청구항 16

기판;
상기 기판의 홈 내부에 형성된 격벽층;
상기 격벽층 상에 형성된 도금층;
상기 도금층 상에 형성된 PSR(Photo Imageable Solder Resist)층;
상기 PSR층 상에 형성된 댐(Dam);
상기 댐 내측의 상기 기판 상에 실장된 발광 칩; 및
상기 격벽층 상에 상기 도금층 및 상기 댐으로 이루어진 구조물 내측의 캐비티 공간에 소정 높이로 형성된 수지물;을 포함하며,
상기 격벽층은,
제 1 접착 시트층;
상기 제 1 접착 시트 상에 형성된 절연층;
상기 폴리이미드 필름층 상에 형성된 제 2 접착 시트층; 및
상기 제 2 접착 시트층 상에 형성된 금속 박막층;

을 포함하는 발광 다이오드 패키지.

명세서

기술분야

[0001] 실시 예는 광추출 효율 및 광속을 향상시킬 수 있는 발광 다이오드 패키지에 관한 것이다.

배경기술

[0002] 발광 다이오드(Light Emitting Diode: LED)는 반도체의 p-n 접합구조를 이용하여 주입된 소수 캐리어(전자 또는 정공)를 만들어 내고, 이들의 재결합에 의하여 전기 에너지를 빛 에너지로 바꾸어 주어 발광시키는 금속간 화합물 접합 다이오드를 말한다. 즉, 특정 원소의 반도체에 순방향 전압을 가하면 양극과 음극의 접합 부분을 통해 전자와 정공이 이동하면서 서로 재결합하는데 전자와 정공이 떨어져 있을 때보다 작은 에너지가 되므로 이때 발생하는 에너지의 차이로 인해 빛을 방출한다.

[0003] 이러한 LED는 일반적인 표시 장치는 물론이고 조명 장치나 LCD 표시 장치의 백라이트 소자에도 응용되는 등 적용 영역이 점차 다양해지고 있다. 특히 LED는 비교적 낮은 전압으로 구동이 가능하면서도 높은 에너지 효율로 인해 발열이 낮고 수명이 긴 장점을 가지고 있으며, 종래에는 구현이 어려웠던 백색광을 고휘도로 제공할 수 있는 기술이 개발됨에 따라 현재 사용되고 있는 대부분의 광원 장치를 대체할 수 있을 것으로 기대하고 있다.

[0004] 종래의 발광 다이오드 패키지는 기판의 상부에 격벽층을 적층하는 구조로서 LED 칩에 와이어 본딩을 통해 도선을 통전시켜 주며 하부에 히트 싱크를 붙여서 열을 방출할 수 있는 구조로 되어 있다. 하지만, 이러한 구조를 갖는 종래의 발광 다이오드 패키지는 상기 LED 칩에서 방출된 광이 상기 격벽층에 흡수 및 산란되어 광 효율 및 광속이 저하되는 문제점이 있다.

[0005] 따라서, 최근에는 발광 다이오드의 구조를 개선하는 것을 통해 광 효율을 증가시키고자 하는 노력이 계속되고 있으며, 한편으로 발광 소자 패키지의 구조 개선을 통해 광 효율을 증가시키고자 하는 노력도 계속되고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 한국특허공개공보 제10-2006-0135498호 (공개일: 2006년 12월 29일)

발명의 내용

해결하려는 과제

[0007] 전술한 문제점을 해결하기 위하여 실시 예가 이루고자 하는 기술적 과제는, 격벽층에 의한 광 흡수를 최소화하고 광추출 효율을 향상시킬 수 있는 발광 다이오드 패키지를 제시하는 데 있다.

[0008] 또한, 실시 예가 이루고자 하는 다른 기술적 과제는, 격벽층에 의한 광 흡수 및 산란으로 인해 유발되는 광 손실을 최소화할 수 있는 발광 다이오드 패키지를 제시하는 데 있다.

[0009] 또한, 실시 예가 이루고자 하는 또 다른 기술적 과제는, 격벽층의 높이를 줄여 발광 칩과 수지물 상단과의 거리를 최소화 함으로써, 광추출 효율을 높이고 광속을 향상시킬 수 있는 발광 다이오드 패키지를 제시하는 데 있다.

[0010] 본 발명의 해결과제는 이상에서 언급된 것들에 한정되지 않으며, 언급되지 아니한 다른 해결과제들은 아래의 기재로부터 당업자에게 명확하게 이해되어 질 수 있을 것이다.

과제의 해결 수단

- [0011] 전술한 기술적 과제를 해결하기 위한 수단으로서, 실시 예의 발광 다이오드 패키지는, 기판과, 상기 기판의 홈 내부에 형성된 격벽층과, 상기 격벽층 상에 형성된 도금층과, 상기 도금층 상에 형성된 댐(Dam)과, 상기 댐 내측의 상기 기판 상에 실장된 발광 칩 및, 상기 격벽층 상에 상기 도금층 및 상기 댐으로 이루어진 구조물 내측의 캐비티 공간에 소정 높이로 형성된 수지물을 포함하여 구성될 수 있다.
- [0012] 상기 격벽층은, 제 1 접착 시트층과, 상기 제 1 접착 시트 상에 형성된 절연층과, 상기 폴리이미드 필름층 상에 형성된 제 2 접착 시트층 및, 상기 제 2 접착 시트층 상에 형성된 금속 박막층을 포함할 수 있다.
- [0013] 상기 격벽층은, 상기 홈의 측면과 소정 간격으로 이격되어 배치될 수 있다.
- [0014] 상기 절연층은, 폴리이미드 필름(polyimide film)으로 구성될 수 있다.
- [0015] 상기 금속 박막층은, 상기 홈의 측면과 비접촉되도록 상기 제 2 접착 시트층 상의 소정 영역에 형성될 수 있다. 상기 금속 박막층은, Cu, Ag, Au, Ni, Al, Cr, Ru, Re, Pb, Cr, Sn, In, Zn, Pt, Mo, Ti, Ta, W을 포함하는 군으로부터 선택되는 적어도 1종의 금속 또는 이들 금속을 포함하는 합금으로 구성된 금속 재질의 래미네이트층으로 형성될 수 있다.
- [0016] 상기 발광 다이오드 패키지는, 상기 도금층과 상기 댐(Dam) 사이에 PSR(Photo Imageable Solder Resist)층이 형성될 수 있다.
- [0017] 상기 캐비티의 외주면은, 단차진 구조, 바닥면에 대해 수직 구조, 소정 각도로 경사진 구조 중 어느 하나의 구조를 가질 수 있다. 상기 캐비티의 형상은, 위에서 바라볼 때, 원형, 타원형, 다각형 중 어느 하나의 형상으로 형성될 수 있다.
- [0018] 상기 발광 칩은, 청색 LED 칩, 녹색 LED 칩, 적색 LED 칩, 황색 LED 칩을 포함한 유색 LED 칩 중 하나이거나, 또는 자외선(UV) LED 칩으로 구성될 수 있다. 그리고, 상기 발광 칩은, 수직형 구조, 수평형 구조, 플립 칩(Flip chip) 구조 중 어느 하나의 구조를 가질 수 있다. 또한, 상기 발광 칩은, 단일 칩(chip) 또는 멀티칩(Multi-chip) 구조를 가질 수 있다.
- [0019] 상기 수지물은, 적어도 한 개 이상의 형광체가 포함될 수 있다. 상기 수지물은, 실리콘 수지, 에폭시 수지를 포함한 투광성 재료로 형성될 수 있다.
- [0020] 상기 기판의 홈은, 100~150 μ m의 깊이로 형성될 수 있다.
- [0021] 또한, 전술한 기술적 과제를 해결하기 위한 수단으로서, 실시 예의 발광 다이오드 패키지는, 기판과, 상기 기판의 홈 내부에 형성된 격벽층과, 상기 격벽층 상에 형성된 도금층과, 상기 도금층 상에 형성된 PSR(Photo Imageable Solder Resist)층과, 상기 PSR층 상에 형성된 댐(Dam)과, 상기 댐 내측의 상기 기판 상에 실장된 발광 칩 및, 상기 격벽층 상에 상기 도금층 및 상기 댐으로 이루어진 구조물 내측의 캐비티 공간에 소정 높이로 형성된 수지물을 포함하며, 상기 격벽층은, 제 1 접착 시트층과, 상기 제 1 접착 시트 상에 형성된 절연층과, 상기 폴리이미드 필름층 상에 형성된 제 2 접착 시트층 및, 상기 제 2 접착 시트층 상에 형성된 금속 박막층을 포함하여 구성될 수 있다.

발명의 효과

- [0022] 실시 예에 따르면, 기판 내부에 격벽층을 형성하여, 격벽층에 의한 광 흡수 및 산란으로 인해 유발되는 광 손실을 최소화할 수 있다.
- [0023] 또한, 기판 내부에 격벽층을 형성함으로써, 발광 칩과 수지물 상단과의 거리를 최소화 하여 광추출 효율을 높일 수 있고 광속을 10% 이상 향상시킬 수 있다.
- [0024] 본 발명의 효과는 이상에서 언급된 것들에 한정되지 않으며, 언급되지 아니한 다른 효과들은 아래의 기재로부터 당업자에게 명확하게 이해되어 질 수 있을 것이다.

도면의 간단한 설명

- [0025] 도 1은 제 1 실시 예에 의한 발광 다이오드 패키지의 단면도
- 도 2는 제 2 실시 예에 의한 발광 다이오드 패키지의 단면도
- 도 3은 제 3 실시 예에 의한 발광 다이오드 패키지의 단면도
- 도 4는 제 4 실시 예에 의한 발광 다이오드 패키지의 단면도
- 도 5는 종래 기술에 따른 발광 다이오드 패키지의 실험 데이터
- 도 6은 제 1 내지 제 4 실시 예에 의한 발광 다이오드 패키지의 실험 데이터
- 도 7은 종래 및 실시 예에 의한 발광 다이오드 패키지의 광속을 비교한 실험 그래프

발명을 실시하기 위한 구체적인 내용

- [0026] 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.
- [0027] 본 발명에 따른 실시 예의 설명에 있어서, 각 element의 "상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 element가 서로 직접(directly)접촉되거나 하나 이상의 다른 element가 상기 두 element 사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)(on or under)"으로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [0028] 이하, 본 발명에서 실시하고자 하는 구체적인 기술내용에 대해 첨부도면을 참조하여 상세하게 설명하기로 한다.

제 1 실시 예

- [0029] 도 1은 제 1 실시 예에 의한 발광 다이오드 패키지의 단면도이다.
- [0030] 상기 발광 다이오드 패키지(1)의 제 1 실시 예는, 도 1에 도시된 바와 같이, 기판(10)의 홈(11) 내부에 배치된 격벽층(20)과, 상기 격벽층(20) 상에 형성된 도금층(30)과, 상기 도금층(30) 상에 형성된 PSR(Photo Imageable Solder Resist)층(40)과, 상기 PSR층(40) 상에 형성된 댐(Dam)(50)과, 상기 댐(50) 내측의 상기 기판(10) 상에 실장된 발광 칩(60)과, 상기 발광 칩(60)과 상기 도금층(30)을 연결하는 와이어(70)와, 상기 격벽층(20) 상에 상기 도금층(30), 상기 PSR층(40), 상기 댐(Dam)(50)으로 이루어진 구조물 내측의 캐비티 공간에 소정 높이로 형성된 수지물(80)을 포함하고 있다.
- [0031] 상기 기판(10)은 상기 발광 다이오드 패키지(1)의 몸체 역할을 하며, 금속 재질, 폴리머 재질, 수지 재질, 세라믹 재질, 실리콘 재질 등을 사용하여 구성할 수 있다.
- [0032] 상기 발광 다이오드 패키지(1)는 상기 기판(10)으로 사용된 소재에 따라 금속 패키지, 플라스틱 패키지, 세라믹 패키지, 실리콘 패키지 등으로 분류되기도 한다. 상기 기판(10)으로 어떠한 소재를 사용할 것인가에 관하여는 방열 효과, 양산 가능성, 비용, 다른 구성요소의 특성, 제품의 목적·용도 및 기타 제반사항을 고려하여 선택될 수 있다. 예를 들어, 상기 기판(10)이 실리콘을 사용하여 구성된 경우, 다층으로 적층하여 패키지를 제조할 수 있으며, 적층부 사이 사이에 회로를 실장 할 수 있다. 또한, 발광 파장에 의한 반사율 의존도가 낮고 웨이퍼 레벨의 집적화된 형태로도 제작할 수 있어 다품종을 대량 생산할 수 있는 장점이 있다.
- [0033] 상기 기판(10)은 알루미늄(Al)과 같은 고 반사율(High Reflectance)을 갖는 금속 재질로 구성될 수 있다. 또한, 상기 기판(10) 내에는 상기 발광 칩(60)을 구동하기 위한 구동 회로(미도시)가 실장 될 수 있다. 상기 구동 회로는 상기 발광 다이오드 패키지(1)의 목적 및 용도에 따라 원하는 기능을 수행하도록 상기 발광 칩(60)을 구동하는 역할을 한다.
- [0034] 상기 기판(10)은 소정의 깊이를 갖는 홈(groove: 11)이 형성되어 있다. 이때, 상기 홈(11)의 깊이(a)는 대략 100~150 μ m 정도로 형성될 수 있다. 상기 기판(10)의 홈(11) 내부에는 상기 격벽층(20)이 배치될 수 있다.

이때, 상기 격벽층(20)의 상부 높이는 상기 기판(10)의 상부 높이와 동일하게 형성될 수 있다.

- [0036] 상기 격벽층(20)은 도 1에 도시된 바와 같이, 제 1 접착 시트층(21)과, 상기 제 1 접착 시트(21) 상에 형성된 절연층(22)과, 상기 절연층(22) 상에 형성된 제 2 접착 시트층(23)과, 상기 제 2 접착 시트층(23) 상에 형성된 금속 박막층(24)을 포함하여 구성될 수 있다. 여기서, 상기 금속 박막층(24)은 상기 제 2 접착 시트층(23) 상의 소정 영역에 형성되어 있다. 즉, 상기 금속 박막층(24)은 상기 기판(10)과 비접촉되도록 상기 기판(10)의 측벽과 소정 거리로 이격되어 있다.
- [0037] 상기 제 1 접착 시트층(21)은 상기 절연층(22)을 접착하여 고정하기 위한 접착제(Adhesive)로 구성될 수 있으며, 상기 절연층(22)은 폴리이미드 필름(polyimide film)으로 구성될 수 있다. 상기 제 2 접착 시트층(23)은 상기 금속 박막층(24)을 접착하여 고정하기 위한 접착제(Adhesive)로 구성될 수 있으며, 상기 금속 박막층(24)은 Cu, Ag, Au, Ni, Al, Cr, Ru, Re, Pb, Cr, Sn, In, Zn, Pt, Mo, Ti, Ta, W를 포함하는 군으로부터 선택되는 적어도 1종의 금속 또는 이들 금속을 포함하는 합금으로 구성된 금속 재료의 래미네이트층으로 형성될 수 있다.
- [0038] 상기 도금층(30)은 상기 격벽층(20)의 금속 박막층(24) 상에 형성될 수 있다. 상기 도금층(30)은 상기 발광 칩(60)과 전기적으로 연결될 수 있으며, 상기 발광 칩(60)을 구동하기 위한 구동 회로와 전기적으로 연결되도록 패터닝될 수 있다. 즉, 상기 도금층(30)은 상기 발광 다이오드 패키지(1) 내에서 상기 발광 칩(60) 및 각 회로를 연결해 주는 전기 도선의 역할을 한다. 여기서, 상기 도금층(30)은 상기 발광 칩(60)을 구동하기 위한 애노드(Anode), 캐소드(Cathode) 전극으로 구성될 수 있다.
- [0039] 상기 도금층(30)의 애노드(Anode) 및 캐소드(Cathode) 전극은 서로 전기적으로 분리되어 있으며, 상기 발광 칩(60)에 전원을 제공하는 역할을 한다. 또한, 상기 도금층(30)은 상기 발광 칩(60)에서 방출되는 광을 반사시켜 광 효율을 증가시키는 역할을 하며, 상기 발광 칩(60)에서 발생된 열을 외부로 배출시키는 방열 역할도 한다.
- [0040] 상기 도금층(30)은 Cu, Ag, Au, Ni, Al, Cr, Ru, Re, Pb, Cr, Sn, In, Zn, Pt, Mo, Ti, Ta, W를 포함하는 군으로부터 선택되는 적어도 1종의 금속 또는 이들 금속을 합금을 사용하여 구성될 수 있다.
- [0041] 상기 도금층(30) 상에는 상기 PSR(Photo Imageable Solder Resist)층(40)이 배치될 수 있다. 상기 PSR층(40)은 상기 도금층(30)과 상기 발광 칩(60)의 전기적 연결을 위해 상기 도금층(30)의 일부 영역에 형성될 수 있다. 이에 따라, 상기 도금층(30)은 상면의 일부가 노출된 상태가 된다.
- [0042] 상기 PSR층(40) 상에는 상기 댐(Dam)(50)이 형성될 수 있다. 상기 댐(Dam)(50)은 상기 발광 칩(60)로부터 방출되는 빛을 일부 반사하는 기능을 수행한다. 상기 댐(DAM)(50)은 주로 실리콘 계열의 재료로 이루어질 수 있으며, 반사 기능을 수행하기 위해 Ti_2O_3 를 함유할 수 있다. 이때, 상기 Ti_2O_3 의 함유율은 상기 댐(DAM)(50)이 반사체로서 기능해야 하는 정도와 상기 댐(DAM)(50)의 견고성에 따라 정해질 수 있으며, 중량%로 60% 내지 80%가 함유될 수 있다.
- [0043] 상기 격벽층(20) 상에 상기 도금층(30), 상기 PSR(40) 및 상기 댐(50)으로 이루어진 구조물 내측에는 캐비티가 형성된다. 상기 캐비티는 외주면이 도 1과 같이 단차진 구조를 가질 수 있고, 바닥면에 대해 수직하거나 소정 각도로 경사진 구조를 가질 수 있다. 만약, 상기 캐비티가 경사진 구조로 형성된 경우 상기 캐비티는 하부에서 상부로 갈수록 직경이 단계적으로 증가하는 구조로 형성될 수 있다. 상기 캐비티는 위에서 바라볼 때, 원형 형상으로 형성될 수 있으며, 이외에 타원형, 다각형 등의 형상으로 형성될 수도 있다. 또한, 상기 PSR(40) 및 상기 댐(50)으로 이루어진 측벽은 단일 구조체 또는 복수의 구조체의 조합으로 이루어질 수 있으며, 이에 대해 한정하지는 않는다.
- [0044] 상기 캐비티 내부의 상기 기판(10) 상에는 상기 발광 칩(60)이 실장될 수 있다.
- [0045] 상기 발광 칩(60)은 적어도 하나 이상 배치될 수 있으며, 예컨대, 청색 LED 칩, 녹색 LED 칩, 적색 LED 칩, 황색 LED 칩 등의 유색 LED 칩이거나, 자외선(UV) LED 칩 등이 선택적으로 배치될 수 있다. 이러한 발광 소자의 종류나 개수에 대해 한정하지는 않는다. 또한, 상기 발광 칩(60)은 수직형 구조, 수평형 구조, 플립 칩(Flip chip) 구조 중 어느 하나의 구조를 가질 수 있다.
- [0046] 상기 캐비티 내부에 상기 발광 칩(60)을 실장한 후 상기 발광 칩(60)과 상기 도금층(30)을 와이어(wire)(70)로 본딩하여 전기적으로 연결한다. 이때, 와이어(70) 본딩은 상기 발광 칩(60)이 수직형 구조 또는 수평형 구조를 가질 때 구성될 수 있으며, 상기 발광 칩(60)이 플립 칩(Flip chip) 구조를 가질 때에는 상기 와이어(70)를 사용하지 않고 상기 기판(10) 상에 형성된 도금층(미도시) 상에 상기 발광 칩(60)을 직접 실장할 수도 있다.

- [0047] 상기 댐(Dam)(50)으로 둘러싸인 캐비티 내부에 발광면을 형성하는 수지물(80)을 형성할 수 있다. 이때, 상기 수지물(80)은 상기 캐비티의 내측 공간에 소정 높이로 형성될 수 있고, 상기 발광 칩(60)의 둘레에 형성될 수 있다. 그리고 상기 수지물(80)의 상측면은 평평하게 형성될 수 있다. 상기 수지물(80)은 투명한 실리콘 또는 에폭시 재료를 이용할 수 있으며, 상기 수지물(80)에 적어도 한 종류 이상의 형광체를 첨가할 수 있다.
- [0048] 상기 발광 칩(60)이 청색 발광 칩일 경우, 발광면을 구성하는 투광성 수지에 포함된 형광체는 가넷(Garnet)계(YAG, TAG), 실리케이트(Silicate)계, 나이트라이드(Nitride)계 및 옥시나이트라이드(Oxynitride)계 중 적어도 어느 하나 이상을 포함할 수 있다.
- [0049] 한편, 상기 투광성 수지에 황색 계열의 형광체만을 포함되도록 하여 자연광(백색광)을 구현할 수 있지만, 연색 지수의 향상과 색온도의 저감을 위해 녹색 계열의 형광체나 적색 계열의 형광체를 더 포함할 수 있다.
- [0050] 또한, 투광성 수지에 여러 종류의 형광체들이 혼합된 경우, 형광체의 색상에 따른 첨가 비율은 적색 계열의 형광체보다는 녹색 계열의 형광체를, 녹색 계열의 형광체보다는 황색 계열의 형광체를 더 많이 사용할 수 있다.
- [0051] 상기 황색 계열의 형광체로는 가넷계의 YAG, 실리케이트계, 옥시나이트라이드계를 사용하고, 녹색 계열의 형광체로는 실리케이트계, 옥시나이트라이드계를 사용하고, 적색 계열의 형광체는 나이트라이드계를 사용할 수 있다.
- [0052] 상기 투광성 수지에 여러 종류의 형광체들이 혼합된 것 이외에도, 적색 계열의 형광체를 갖는 층, 녹색 계열의 형광체를 갖는 층 및 황색 계열의 형광체를 갖는 층이 각각 별개로 나뉘어 구성될 수도 있다.
- [0053] 또한, 상기 수지물(80) 위에는 렌즈(미도시)가 배치될 수 있으며, 이에 대해 한정하지는 않는다. 상기 렌즈는 상기 수지물(80) 위 또는 상기 측벽 위에 부착되거나, 트랜스퍼 몰딩 방식에 의해 제조될 수 있다.
- [0054] 상기 발광 다이오드 패키지(1)는 상기 발광 칩(60)을 상기 기판(10)에 직접 다이 본딩(Die Bonding)하고 와이어 본딩(Wire Bonding)하여 전기적 연결을 한 COB(Chip On Bonding) 구조를 예시하고 있다.
- [0055] 상기 구조를 갖는 발광 다이오드 패키지(1)의 제 1 실시 예는, 상기 기판(10)의 홈(11) 내부에 상기 격벽층(20)을 형성함으로써, 상기 격벽층(20)에 의한 광 흡수 및 산란으로 인해 유발되는 광 손실을 최소화할 수 있고, 상기 발광 칩(60)과 상기 수지물(80) 상단과의 거리(b)를 최소화 하여 광추출 효율을 높일 수 있어 광속을 10% 이상 향상시킬 수 있다.
- [0056] **제 2 실시 예**
- [0057] 도 2는 제 2 실시 예에 의한 발광 다이오드 패키지의 단면도이다.
- [0058] 상기 발광 다이오드 패키지(100)의 제 2 실시 예는, 도 2에 도시된 바와 같이, 기판(110)의 홈(111) 내부에 배치되며 상기 홈(111)의 측벽과 소정 거리를 두고 이격 배치된 격벽층(120)과, 상기 격벽층(120) 상에 형성된 도금층(130)과, 상기 도금층(130) 상에 형성된 PSR층(140)과, 상기 PSR층(140) 상에 형성된 댐(Dam)(150)과, 상기 댐(150) 내측의 상기 기판(110) 상에 실장된 발광 칩(160)과, 상기 발광 칩(160)과 상기 도금층(130)을 연결하는 와이어(170)와, 상기 격벽층(120) 상에 상기 도금층(130), 상기 PSR층(140), 상기 댐(Dam)(150)으로 이루어진 구조물 내측의 캐비티 공간에 소정 높이로 형성된 수지물(180)을 포함하고 있다.
- [0059] 여기서, 상기 격벽층(120)은 도 2에 도시된 바와 같이, 제 1 접착 시트층(121)과, 상기 제 1 접착 시트(121) 상에 형성된 절연층(122)과, 상기 절연층(122) 상에 형성된 제 2 접착 시트층(123)과, 상기 제 2 접착 시트층(123) 상에 형성된 금속 박막층(124)을 포함하여 구성될 수 있다.
- [0060] 상기 제 2 실시 예의 발광 다이오드 패키지(100)는, 상기 격벽층(120)을 구성하고 있는 상기 제 1 접착 시트층(121), 상기 절연층(122), 상기 제 2 접착 시트층(123), 상기 금속 박막층(124)의 크기가 동일하고, 상기 격벽층(120)이 상기 기판(110)의 홈(111)의 측면과 소정 거리를 두고 이격 배치된 점이 상기 제 1 실시 예의 발광 다이오드 패키지(1)와 다르다.
- [0061] 상기 제 2 실시 예의 상기 격벽층(120), 상기 도금층(130), 상기 PSR층(140), 상기 댐(Dam)(150), 상기 발광 칩(160), 상기 와이어(170), 상기 수지물(180)은 상기 제 1 실시 예의 상기 격벽층(20), 상기 도금층(30), 상기 PSR층(40), 상기 댐(Dam)(50), 상기 발광 칩(60), 상기 와이어(70), 상기 수지물(80)과 그 재질 및 기능이 동일하다.

[0062] 상기 구조를 갖는 발광 다이오드 패키지(100)의 제 2 실시 예는, 상기 기관(110)의 홈(111) 내부에 상기 격벽층(120)을 형성함으로써, 상기 격벽층(120)에 의한 광 흡수 및 산란으로 인해 유발되는 광 손실을 최소화할 수 있고, 상기 발광 칩(160)과 상기 수지물(180) 상단과의 거리(b)를 최소화 하여 광추출 효율을 높일 수 있어 광속을 10% 이상 향상시킬 수 있다.

[0063] **제 3 실시 예**

[0064] 도 3은 제 3 실시 예에 의한 발광 다이오드 패키지의 단면도이다.

[0065] 상기 발광 다이오드 패키지(200)의 제 3 실시 예는, 도 3에 도시된 바와 같이, 기관(210)의 홈(211) 내부에 배치되며 상기 홈(111)의 측면과 소정 거리를 두고 이격 배치된 격벽층(220)과, 상기 격벽층(220)의 측면과 상기 홈(111)의 측면 사이에 형성된 절연층(290)과, 상기 격벽층(220) 상에 형성된 도금층(230)과, 상기 도금층(230) 상에 형성된 PSR층(240)과, 상기 PSR층(240) 상에 형성된 댐(Dam)(250)과, 상기 댐(250) 내측의 상기 기관(210) 상에 실장된 발광 칩(260)과, 상기 발광 칩(260)과 상기 도금층(230)을 연결하는 와이어(270)와, 상기 격벽층(220) 상에 상기 도금층(230), 상기 PSR층(240), 상기 댐(Dam)(250)으로 이루어진 구조물 내측의 캐비티 공간에 소정 높이로 형성된 수지물(280)을 포함하고 있다.

[0066] 여기서, 상기 격벽층(220)은 도 3에 도시된 바와 같이, 제 1 접착 시트층(221)과, 상기 제 1 접착 시트(221) 상에 형성된 절연층(222)과, 상기 절연층(222) 상에 형성된 제 2 접착 시트층(223)과, 상기 제 2 접착 시트층(223) 상에 형성된 금속 박막층(224)을 포함하여 구성될 수 있다.

[0067] 상기 제 3 실시 예의 발광 다이오드 패키지(200)는, 상기 격벽층(220)을 구성하고 있는 상기 제 1 접착 시트층(221), 상기 절연층(222), 상기 제 2 접착 시트층(223), 상기 금속 박막층(224)의 크기가 동일하고, 상기 격벽층(220)이 상기 기관(210)의 홈(211)의 측면과 소정 거리를 두고 이격 배치된 점과, 상기 격벽층(220)의 측면과 상기 홈(111)의 측면 사이에 절연층(290)이 형성된 점이 상기 제 1 및 제 2 실시 예의 발광 다이오드 패키지(1,100)와 다르다.

[0068] 상기 제 3 실시 예의 상기 격벽층(220), 상기 도금층(230), 상기 PSR층(240), 상기 댐(Dam)(250), 상기 발광 칩(260), 상기 와이어(270), 상기 수지물(280)은 상기 제 1 실시 예의 상기 격벽층(20), 상기 도금층(30), 상기 PSR층(40), 상기 댐(Dam)(50), 상기 발광 칩(60), 상기 와이어(70), 상기 수지물(80)과 그 재질 및 기능이 동일하다.

[0069] 상기 구조를 갖는 발광 다이오드 패키지(200)의 제 3 실시 예는, 상기 기관(210)의 홈(211) 내부에 상기 격벽층(220)을 형성함으로써, 상기 격벽층(220)에 의한 광 흡수 및 산란으로 인해 유발되는 광 손실을 최소화할 수 있고, 상기 발광 칩(260)과 상기 수지물(280) 상단과의 거리(b)를 최소화 하여 광추출 효율을 높일 수 있어 광속을 10% 이상 향상시킬 수 있다.

[0070] **제 4 실시 예**

[0071] 도 4는 제 4 실시 예에 의한 발광 다이오드 패키지의 단면도이다.

[0072] 상기 발광 다이오드 패키지(300)의 제 4 실시 예는, 도 4에 도시된 바와 같이, 기관(310)의 홈(311) 내부에 배치된 격벽층(320)과, 상기 격벽층(320) 상에 형성된 도금층(330)과, 상기 도금층(330) 상에 형성된 PSR층(340)과, 상기 PSR층(340) 상에 형성된 댐(Dam)(350)과, 상기 댐(350) 내측의 상기 기관(310) 상에 실장된 발광 칩(360)과, 상기 발광 칩(360)과 상기 도금층(330)을 연결하는 와이어(370)와, 상기 격벽층(320) 상에 상기 도금층(330), 상기 PSR층(340), 상기 댐(Dam)(350)으로 이루어진 구조물 내측의 캐비티 공간에 소정 높이로 형성된 수지물(380)을 포함하고 있다.

[0073] 여기서, 상기 격벽층(320)은 도 4에 도시된 바와 같이, 하나의 구조물로 사출 성형하여 제조될 수 있다. 이때, 상기 격벽층(320)은 절연 재질로 구성될 수 있다.

[0074] 상기 제 4 실시 예의 발광 다이오드 패키지(300)는, 상기 기관(310)의 홈(311) 내부에 하나의 구조물로 사출 성형된 상기 격벽층(320)이 배치된 점이 상기 제 1 내지 제 3 실시 예의 발광 다이오드 패키지(1,100,200)와 다르다.

[0075] 상기 제 4 실시 예의 상기 격벽층(320), 상기 도금층(330), 상기 PSR층(340), 상기 댐(Dam)(350), 상기 발광 칩(360), 상기 와이어(370), 상기 수지물(380)은 상기 제 1 실시 예의 상기 격벽층(20), 상기 도금층(30), 상기 PSR층(40), 상기 댐(Dam)(50), 상기 발광 칩(60), 상기 와이어(70), 상기 수지물(80)과 그 재질 및 기능이 동일하다.

[0076] 상기 구조를 갖는 발광 다이오드 패키지(300)의 제 4 실시 예는, 상기 기관(310)의 홈(311) 내부에 상기 격벽층(320)을 형성함으로써, 상기 격벽층(320)에 의한 광 흡수 및 산란으로 인해 유발되는 광 손실을 최소화할 수 있고, 상기 발광 칩(360)과 상기 수지물(380) 상단과의 거리(b)를 최소화 하여 광추출 효율을 높일 수 있어 광속을 10% 이상 향상시킬 수 있다.

[0077] **실험 예**

[0078] 도 5는 종래 기술에 따른 발광 다이오드 패키지의 실험 데이터이고, 도 6은 제 1 내지 제 4 실시 예에 의한 발광 다이오드 패키지의 실험 데이터이고, 도 7은 종래 및 실시 예에 의한 발광 다이오드 패키지의 광속을 비교한 실험 그래프이다.

[0079] 도 5 및 도 6의 실험 데이터에서도 볼 수 있듯이, 실시 예에 따른 발광 다이오드 패키지가 기존의 제품에 비해, VF, 토탈 플럭스(Total Flux), CRI(color rendering index: 연색지수), 광속(lm/W)이 증가된 반면, CX, CY, CCT는 감소하였다. 이는 기관의 홈 내부에 격벽층을 형성함으로써, 상기 격벽층에 의한 광 흡수 및 산란으로 인해 유발되는 광 손실이 최소화 되었기 때문이다.

[0080] 또한, 격벽층을 기관의 홈 내부에 형성하여 발광 칩과 수지물 상단과의 거리(b)를 최소화 함으로써, 광추출 효율을 높일 수 있어 광속을 향상시킬 수 있다. 도 7의 실험 그래프에서 확인할 수 있듯이, 실시 예에 따른 발광 다이오드 패키지가 기존의 제품에 비해 광속이 10% 이상 향상되었음을 알 수 있다.

[0081] 이와 같이 구성된 실시 예에 따른 발광 다이오드 패키지는, 기관 내부에 격벽층을 형성함으로써, 상기 격벽층에 의한 광 흡수 및 산란으로 인해 유발되는 광 손실을 최소화할 수 있고, 발광 칩과 수지물 상단과의 거리를 최소화 하여 광추출 효율을 높일 수 있어 광속을 10% 이상 향상시킬 수 있기 때문에, 본 발명의 기술적 과제를 해결 할 수가 있다.

[0082] 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시 되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

산업상 이용가능성

[0083] 실시 예에 의한 발광 다이오드 패키지는 조명 장치, 백라이트 유니트(Back Light Unit: BLU), 반도체 장치 등에 동일하게 적용할 수 있다.

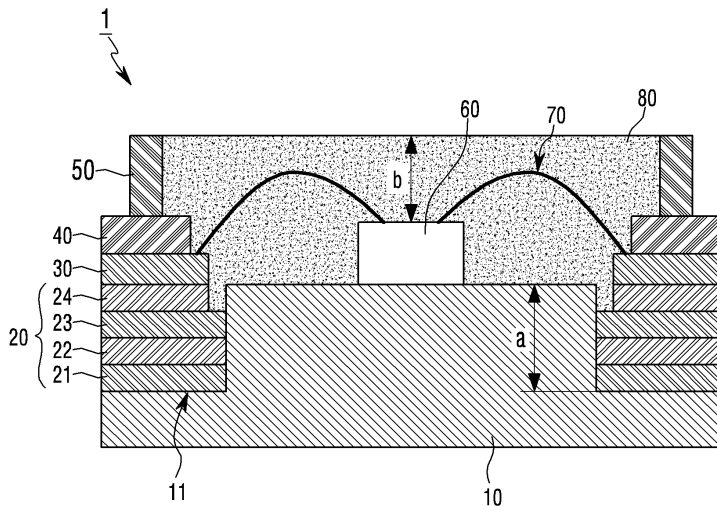
부호의 설명

- [0084] 1, 100, 200, 300 : 발광 다이오드 패키지
- 10, 110, 210, 310 : 기관
- 11, 111, 211, 311 : 홈(groove)
- 20, 120, 220, 320 : 격벽층

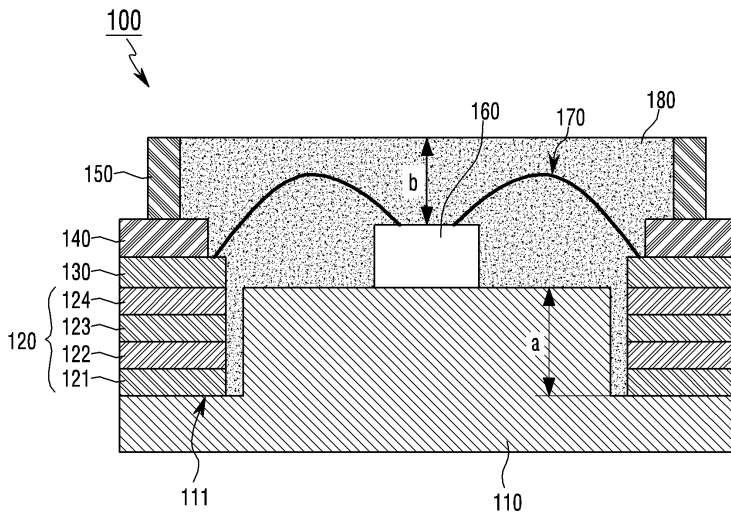
- 21, 121, 221, 321 : 제 1 접착 시트층
- 22, 122, 222, 322 : 절연층
- 23, 123, 223, 323 : 제 2 접착 시트층
- 24, 124, 224, 324 : 금속 박막층
- 30, 130, 230, 330 : 도금층(또는, 전극층)
- 40, 140, 240, 340 : PSR(Photo Imageable Solder Resist)층
- 50, 150, 250, 350 : 댐(Dam)
- 60, 160, 260, 360 : 발광 칩
- 70, 170, 270, 370 : 와이어(wire)
- 80, 180, 280, 380 : 수지물
- 290 : 절연층

도면

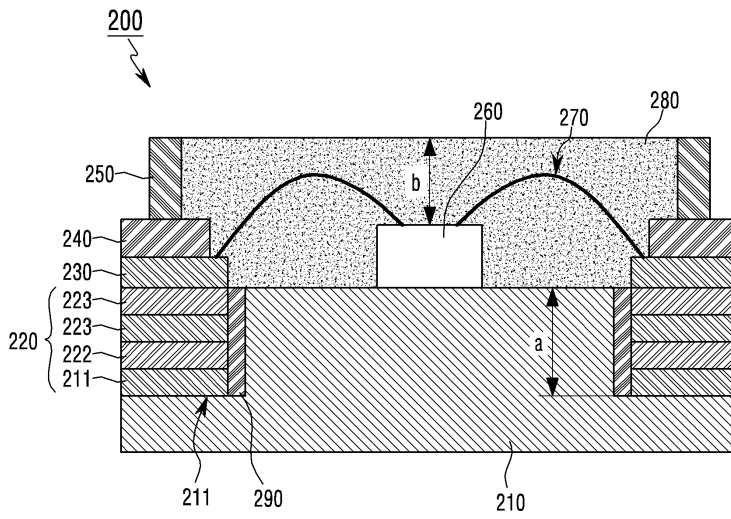
도면1



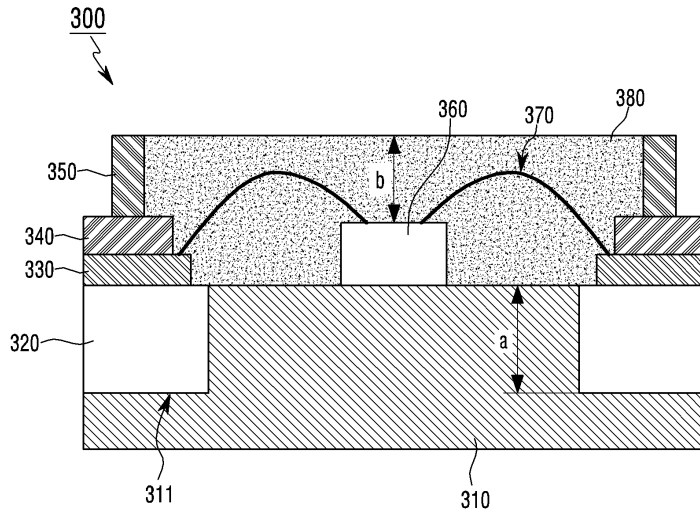
도면2



도면3



도면4



도면5

기준 (계산전) Source: @480mA

No.	VF	total Flu	CX	CY	CCT	CRI	lm/W
1	12.62	554.32	0.4612	0.4145	2717	80	91.53
2	12.62	554.87	0.4610	0.4147	2720	80	91.58
3	12.57	550.68	0.4581	0.4125	2789	80	91.26
4	12.58	547.00	0.4536	0.4124	2803	79	90.59
5	12.61	558.89	0.4610	0.4164	2734	79	92.38
6	12.57	559.88	0.4615	0.4178	2736	79	92.76
7	12.63	557.28	0.4594	0.4146	2741	80	91.90
8	12.62	557.31	0.4617	0.4154	2716	80	91.98
9	12.62	557.98	0.4613	0.4162	2728	79	92.08
10	12.60	546.20	0.4588	0.4133	2739	80	90.12
11	12.56	553.39	0.4635	0.4161	2699	79	91.77
12	12.56	548.55	0.4614	0.4139	2709	79	91.00
13	12.58	560.24	0.4611	0.4164	2731	79	92.93
14	12.58	550.18	0.4586	0.4120	2760	79	91.14
15	12.61	553.35	0.4618	0.4173	2730	79	91.43
16	12.56	552.28	0.4576	0.4146	2764	80	91.64
17	12.57	551.05	0.4569	0.4122	2766	79	91.31
18	12.57	549.14	0.4557	0.4122	2772	80	91.01
19	12.61	558.67	0.4622	0.4156	2711	79	91.95
20	12.56	542.48	0.4590	0.4142	2743	79	90.00
21	12.56	552.73	0.4556	0.4121	2774	80	91.72
22	12.61	556.11	0.4617	0.4157	2719	80	91.87
23	12.60	560.43	0.4613	0.4162	2727	79	92.64
24	12.59	560.41	0.4606	0.4163	2740	79	92.75
25	12.56	556.29	0.4622	0.4167	2720	79	92.63
26	12.61	555.75	0.4612	0.4156	2724	79	91.80
27	12.59	556.69	0.4614	0.4159	2724	79	92.10
28	12.55	538.17	0.4568	0.4155	2755	79	89.33
29	12.54	552.01	0.4571	0.4130	2760	79	91.69
30	12.60	556.70	0.4609	0.4143	2719	80	91.85
31	12.60	553.43	0.4638	0.4162	2695	79	91.51
32	12.56	549.78	0.4581	0.4141	2754	79	91.16
33	12.53	550.77	0.4628	0.4146	2696	79	91.55
34	12.60	556.06	0.4590	0.4152	2750	79	91.94
35	12.60	555.64	0.4607	0.4149	2726	79	91.89
36	12.58	553.18	0.4626	0.4165	2714	80	91.63
37	12.54	540.27	0.4560	0.4126	2771	80	89.74
38	12.60	552.28	0.4628	0.4167	2712	79	91.29
39	12.57	546.86	0.4587	0.4141	2747	79	90.65
40	12.61	556.55	0.4601	0.4150	2735	80	91.98
41	12.59	561.24	0.4600	0.4160	2743	79	92.89
42	12.58	556.96	0.4597	0.4155	2743	79	92.25
43	12.59	556.65	0.4608	0.4161	2734	79	92.41
44	12.60	556.20	0.4614	0.4163	2728	79	91.96
45	12.56	546.58	0.4602	0.4146	2730	80	90.96
min	12.53	538.17	0.4566	0.4120	2695.19	78.94	89.33
average	12.58	553.41	0.4600	0.4149	2735.91	79.44	91.61
max	12.63	561.24	0.4638	0.4178	2802.55	79.97	92.93
stdev	0.03	5.34	0.0024	0.0015	22.76	0.23	0.81
median	12.59	554.32	0.4608	0.4152	2733.89	79.44	91.72

도면6

단차 (개선후) Source: @480mA

No.	VF	Total Flux	CX	CY	CCT	CRI	lm/W
1	12.68	625.70	0.4593	0.4120	2723	80	102.78
2	12.68	630.67	0.4583	0.4106	2726	80	103.64
3	12.67	626.00	0.4589	0.4115	2724	80	102.90
4	12.67	629.89	0.4582	0.4110	2729	80	103.55
5	12.68	626.71	0.4607	0.4123	2706	79	102.94
min	12.67	625.70	0.4582	0.4106	2706.47	79.23	102.78
average	12.68	627.80	0.4591	0.4115	2721.72	79.63	103.16
max	12.68	630.67	0.4607	0.4123	2729.31	79.80	103.64
stdev	0.00	2.32	0.0010	0.0007	8.85	0.23	0.40
median	12.68	626.71	0.4589	0.4115	2724.20	79.71	102.94

도면7

