

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-9511

(P2020-9511A)

(43) 公開日 令和2年1月16日(2020.1.16)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/10 (2006.01)	G 1 1 C 16/10 1 4 0	5 B 2 2 5
G 1 1 C 11/56 (2006.01)	G 1 1 C 11/56 2 1 0	
G 1 1 C 16/04 (2006.01)	G 1 1 C 16/04 1 7 0	

審査請求 未請求 請求項の数 16 O L (全 46 頁)

(21) 出願番号	特願2018-128320 (P2018-128320)	(71) 出願人	318010018 キオクシア株式会社 東京都港区芝浦三丁目1番21号
(22) 出願日	平成30年7月5日(2018.7.5)	(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100103034 弁理士 野河 信久
		(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100153051 弁理士 河野 直樹
		(74) 代理人	100189913 弁理士 鶴飼 健

最終頁に続く

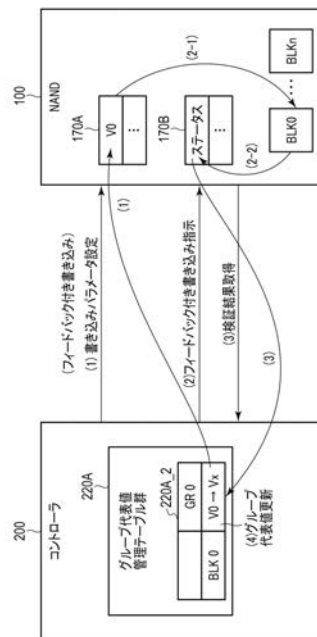
(54) 【発明の名称】 メモリシステム及び不揮発性半導体メモリ

(57) 【要約】

【課題】書き込み性能を向上させることができるメモリシステム及び不揮発性半導体メモリを提供する。

【解決手段】実施形態のメモリシステムは、メモリセルを含むNAND型フラッシュメモリ100と、メモリセルに対する書き込み動作で用いる書き込みパラメータを記憶するメモリを有するコントローラ200とを備える。コントローラ200は、NAND型フラッシュメモリ100にメモリセルに対する書き込みパラメータを用いた書き込み動作を指示し、書き込み動作から得られる書き込みパラメータの検証結果をNAND型フラッシュメモリ100から受け取る。コントローラ200は、書き込みパラメータの検証結果に基づいて、前記メモリに記憶された書き込みパラメータを更新する。

【選択図】 図10



【特許請求の範囲】**【請求項 1】**

メモリセルを含む不揮発性半導体メモリと、
前記メモリセルに対する書き込み動作で用いる書き込みパラメータを記憶するメモリを有するコントローラと、
を具備し、

前記コントローラは、前記不揮発性半導体メモリに、前記メモリセルに対する前記書き込みパラメータを用いた前記書き込み動作を指示し、前記書き込み動作から得られる前記書き込みパラメータの検証結果を前記不揮発性半導体メモリから受け取り、

前記コントローラは、前記書き込みパラメータの前記検証結果に基づいて、前記メモリに記憶された前記書き込みパラメータを更新するメモリシステム。

10

【請求項 2】

前記書き込み動作はプログラム動作とプログラムベリファイ動作とを含み、前記書き込みパラメータは書き込み電圧を含み、

前記プログラム動作は、前記メモリセルに対し前記書き込み電圧を印加して書き込みデータを書き込む動作であり、

前記プログラムベリファイ動作は、前記書き込みデータに対応した第 1 ベリファイ電圧を用いて、前記メモリセルが持つ閾値電圧を検証する第 1 ベリファイ動作と、前記第 1 ベリファイ電圧と異なる第 2 ベリファイ電圧を用いて、前記メモリセルが持つ閾値電圧を検証する第 2 ベリファイ動作とを有する請求項 1 に記載のメモリシステム。

20

【請求項 3】

前記第 2 ベリファイ動作は、複数の前記第 2 ベリファイ電圧を用いた複数のベリファイ動作を有する請求項 2 に記載のメモリシステム。

【請求項 4】

前記書き込みパラメータの検証結果は、前記メモリセルを含む 1 個以上のメモリセルのうち、閾値個数以上のメモリセルが持つ閾値電圧が前記第 2 ベリファイ電圧に達しているか否かの情報を有する請求項 2 または 3 に記載のメモリシステム。

【請求項 5】

前記第 2 ベリファイ動作は、前記書き込み動作における最初のプログラムベリファイ動作で行われる請求項 2 乃至 4 のいずれかに記載のメモリシステム。

30

【請求項 6】

前記第 1 ベリファイ動作は、前記メモリセルが持つ閾値電圧が前記第 1 ベリファイ電圧に達しているか否かを検証し、

前記書き込み動作は、前記メモリセルが持つ閾値電圧が前記第 1 ベリファイ電圧に達していないとき、前記プログラム動作と前記プログラムベリファイ動作とを繰り返す請求項 2 乃至 5 のいずれかに記載のメモリシステム。

【請求項 7】

前記コントローラは、前記書き込みパラメータの前記検証結果に基づいて前記メモリセルにオーバープログラムが発生しているかを判定し、

前記オーバープログラムが発生していると判定したとき、オーバープログラムが発生したメモリセルに書き込まれるべきデータを取得し、前記不揮発性半導体メモリに前記取得したデータを書き込む回復処理を行う請求項 1 乃至 6 のいずれかに記載のメモリシステム。

40

【請求項 8】

前記メモリセルが持つ閾値電圧が前記第 1 ベリファイ電圧に達したとき、前記第 2 ベリファイ動作が行われる請求項 2 に記載のメモリシステム。

【請求項 9】

前記第 2 ベリファイ電圧は前記第 1 ベリファイ電圧より低く、

前記メモリセルが持つ閾値電圧が前記第 2 ベリファイ電圧に達したとき、前記第 1 ベリファイ動作が行われる請求項 2 に記載のメモリシステム。

50

【請求項 10】

前記書き込みパラメータの検証結果は、前記メモリセルが持つ閾値電圧が前記第1ベリファイ電圧に達するまでのプログラム動作とプログラムベリファイ動作を含むループの繰り返し回数と、前記メモリセルが持つ閾値電圧が前記第2ベリファイ電圧に達しているか否かの情報を有する請求項8に記載のメモリシステム。

【請求項 11】

前記第2ベリファイ動作は、前記メモリセルに対する書き込み動作と消去が所定回数に達したときに行われる請求項2乃至6、8、9のいずれかに記載のメモリシステム。

【請求項 12】

前記不揮発性半導体メモリは、前記メモリセルを含む複数のメモリセルを有するグループを備え、前記書き込みパラメータは、前記書き込み動作において前記グループに対して共通に用いられる請求項1乃至11のいずれかに記載のメモリシステム。

10

【請求項 13】

前記書き込みパラメータは、前記コントローラが前記メモリから読み出した第1値、または前記第1値から算出した第2値である請求項1乃至12のいずれかに記載のメモリシステム。

【請求項 14】

前記書き込み動作は、プログラム動作とプログラムベリファイ動作とを含むループを繰り返し、前記メモリセルが持つ閾値電圧が前記第1ベリファイ電圧に達していないとき、次のループのプログラム動作で、前記書き込み電圧を第1電圧分増加して書き込みを行うステップアップ書き込みを含む請求項2に記載のメモリシステム。

20

【請求項 15】

メモリセルと、

前記メモリセルに対する書き込み動作で用いる書き込みパラメータを保持する第1レジスタと、

前記書き込み動作で得られた前記書き込みパラメータの検証結果を格納する第2レジスタと、

を具備し、

前記書き込み動作は、プログラム動作とプログラムベリファイ動作とを含み、

前記プログラム動作は、前記メモリセルに対し前記書き込みパラメータを用いて書き込みデータを書き込む動作であり、

30

前記プログラムベリファイ動作は、前記書き込みデータに対応した第1ベリファイ電圧を用いて、前記メモリセルが持つ閾値電圧を検証する第1ベリファイ動作と、前記第1ベリファイ電圧と異なる第2ベリファイ電圧を用いて、前記メモリセルが持つ閾値電圧を検証する第2ベリファイ動作とを有するメモリシステム。

【請求項 16】

メモリセルを含む不揮発性半導体メモリと、

前記メモリセルに対する書き込み動作で用いる書き込みパラメータを記憶するテーブルを有するコントローラと、

を具備し、

40

前記コントローラは、前記不揮発性半導体メモリに前記メモリセルに対する前記書き込みパラメータを用いた前記書き込み動作を指示し、前記書き込み動作から得られる前記書き込みパラメータの検証結果を前記不揮発性半導体メモリから受け取り、

前記コントローラは、前記書き込みパラメータの前記検証結果に基づいて前記メモリセルにオーバープログラムが発生しているかを判定し、

前記オーバープログラムが発生していると判定したとき、オーバープログラムが発生したメモリセルに書き込まれるべきデータを取得し、前記不揮発性半導体メモリに前記取得したデータを書き込む回復処理を行うメモリシステム。

【発明の詳細な説明】**【技術分野】**

50

【 0 0 0 1 】

実施形態は、メモリシステム及び不揮発性半導体メモリに関するものである。

【 背景技術 】

【 0 0 0 2 】

不揮発性半導体メモリとして、メモリセルが二次元あるいは三次元に配列されたNAND型フラッシュメモリが知られている。NAND型フラッシュメモリと、NAND型フラッシュメモリを制御するコントローラとにより、メモリシステムが構成されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 3 】

【 特許文献 1 】 特開平 1 0 - 5 5 6 9 1 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

書き込み性能を向上させることができるメモリシステム及び不揮発性半導体メモリを提供する。

【 課題を解決するための手段 】

【 0 0 0 5 】

実施形態のメモリシステムは、メモリセルを含む不揮発性半導体メモリと、前記メモリセルに対する書き込み動作で用いる書き込みパラメータを記憶するメモリを有するコントローラとを具備し、前記コントローラは、前記不揮発性半導体メモリに、前記メモリセルに対する前記書き込みパラメータを用いた前記書き込み動作を指示し、前記書き込み動作から得られる前記書き込みパラメータの検証結果を前記不揮発性半導体メモリから受け取り、前記コントローラは、前記書き込みパラメータの前記検証結果に基づいて、前記メモリに記憶された前記書き込みパラメータを更新する。

【 図面の簡単な説明 】

【 0 0 0 6 】

【 図 1 】 図 1 は、実施形態のメモリシステムの全体構成を示すブロック図である。

【 図 2 】 図 2 は、実施形態におけるメモリセルアレイが含むブロックの回路図である。

【 図 3 】 図 3 は、ブロックの一部領域の断面図である。

【 図 4 】 図 4 は、メモリセルトランジスタの閾値電圧分布及びページを示す図である。

【 図 5 】 図 5 は、検知書き込み及び適用書き込みにおける書き込み電圧とメモリセルトランジスタの閾値電圧分布を示す図である。

【 図 6 】 図 6 は、実施形態におけるコントローラとNAND型フラッシュメモリ間で行われる書き込み動作のシーケンスを示す図である。

【 図 7 A 】 図 7 A は、コントローラが有するグループ定義テーブルを示す図である。

【 図 7 B 】 図 7 B は、コントローラが有する書き込みパラメータテーブルを示す図である。

【 図 7 C 】 図 7 C は、コントローラが有するサイクル定義テーブルを示す図である。

【 図 7 D 】 図 7 D は、コントローラが有するスケジュールテーブルを示す図である。

【 図 8 】 図 8 は、実施形態の書き込み動作を示すフローチャートである。

【 図 9 】 図 9 は、図 8 のフローチャートにおいてオーバープログラム発生と判定された場合の回復処理の動作を示すフローチャートである。

【 図 1 0 】 図 1 0 は、フィードバック付き書き込みにおけるコントローラとNAND型フラッシュメモリ間のインターフェースを示す図である。

【 図 1 1 】 図 1 1 は、フィードバック付き書き込みにおけるコントローラとNAND型フラッシュメモリ間のインターフェースを示す図である。

【 図 1 2 】 図 1 2 は、3次元NAND型フラッシュメモリに2ステージプログラムによりデータを書き込む場合の書き込み順序を示す図である。

【 図 1 3 】 図 1 3 は、2ステージプログラムによるメモリセルの閾値電圧分布の推移を示

10

20

30

40

50

す図である。

【図 1 4】図 1 4 は、実施形態（第 1 例）のフィードバック付き書き込みのプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す図である。

【図 1 5】図 1 5 は、プログラム動作によって生じたメモリセルの閾値電圧分布と検証結果を示す図である。

【図 1 6】図 1 6 は、フィードバック付き書き込みの検証結果とグループ代表値更新及びオーバープログラム発生との関係を示す図である。

【図 1 7】図 1 7 は、実施形態（第 2 例）のフィードバック付き書き込みのプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す図である。

【図 1 8】図 1 8 は、実施形態（第 3 例）のフィードバック付き書き込みのプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す図である。

【図 1 9】図 1 9 は、実施形態（第 4 例）のフィードバック付き書き込みのプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す図である。

【図 2 0】図 2 0 は、プログラム動作後のメモリセルの閾値電圧分布を示す図である。

【図 2 1】図 2 1 は、フィードバック付き書き込みの検証結果に基づいて決定されるステータス情報の一例を示す図である。

【図 2 2】図 2 2 は、フィードバック付き書き込みの検証結果に基づいたグループ代表値の更新及び回復処理の有無を示す図である。

【図 2 3】図 2 3 は、実施形態（第 5 例）のフィードバック付き書き込みのプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す図である。

【図 2 4】図 2 4 は、実施形態（第 6 例）のフィードバック付き書き込みのプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す図である。

【図 2 5】図 2 5 は、実施形態（第 7 例）のフィードバック付き書き込みのプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す図である。

【図 2 6】図 2 6 は、プログラム動作後のメモリセルの閾値電圧分布を示す図である。

【図 2 7】図 2 7 は、実施形態（第 8 例）のフィードバック付き書き込みのプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す図である。

【図 2 8】図 2 8 は、実施形態（第 9 例）のフィードバック付き書き込みのプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す図である。

【図 2 9】図 2 9 は、実施形態の書き込み動作におけるページ書き込みのタイミングチャートである。

【図 3 0】図 3 0 は、実施形態のフルシーケンスプログラムによる書き込み動作を指示するコマンドシーケンスを示す図である。

【図 3 1】図 3 1 は、実施形態の 2 ステージプログラムによる書き込み動作を指示するコマンドシーケンスを示す図である。

【図 3 2】図 3 2 は、実施形態の foggy & fine による書き込み動作を指示するコマンドシーケンスを示す図である。

【図 3 3】図 3 3 は、ステータスリードコマンドを用いて検知書き込み及びフィードバック付き書き込みの検証結果を取得する一例を示す図である。

【図 3 4】図 3 4 は、ステータスリードコマンドで出力されるステータス情報の一例を示す図である。

【図 3 5】図 3 5 は、ゲットフィーチャーコマンドを用いて検知書き込み及びフィードバック付き書き込みの検証結果を取得する一例を示す図である。

【図 3 6】図 3 6 は、セットフィーチャーコマンドを用いて検知書き込み及びフィードバック付き書き込みの書き込みパラメータをセットする一例を示す図である。

【発明を実施するための形態】

【0007】

以下、図面を参照して実施形態について説明する。以下の説明において、同一の機能及び構成を有する構成要素については同一符号を付す。また、以下に示す各実施形態は、この実施形態の技術的思想を具体化するための装置や方法を例示するものであって、構成部

10

20

30

40

50

品の材質、形状、構造、配置等を下記のものに特定するものではない。

【0008】

各機能ブロックは、ハードウェア、コンピュータソフトウェアのいずれかまたは両者を組み合わせたものとして実現することができる。各機能ブロックが以下の例のように区別されていることは必須ではない。例えば、一部の機能が例示の機能ブロックとは別の機能ブロックによって実行されてもよい。さらに、例示の機能ブロックがさらに細かい機能サブブロックに分割されていてもよい。ここでは、不揮発性半導体メモリとして、メモリセルトランジスタが半導体基板の上方に積層された三次元積層型のNAND型フラッシュメモリを例に挙げて説明する。

【0009】

1. 実施形態

実施形態のメモリシステムについて説明する。以下では、不揮発性半導体メモリとして、NAND型フラッシュメモリを例に挙げて説明する。

【0010】

1.1 構成

1.1.1 メモリシステムの全体構成

まず、図1を用いて、本実施形態のメモリシステムの全体構成について説明する。図1は、本実施形態のメモリシステムの全体構成を示すブロック図である。メモリシステム1は、NAND型フラッシュメモリ100、及びコントローラ200を備えている。NAND型フラッシュメモリ100とコントローラ200は、例えばそれらの組み合わせにより一つの半導体装置を構成してもよく、その例としてはSD^TMカードのようなメモリカードや、SSD (solid state drive) 等が挙げられる。また、コントローラ200は、例えばSoC (system-on-a-chip) 等であってもよい。

【0011】

NAND型フラッシュメモリ100は、複数のメモリセルを備え、データを不揮発に記憶する。

【0012】

コントローラ200は、NANDバスを介してNAND型フラッシュメモリ100に接続され、ホストバスを介してホストデバイス300に接続される。コントローラ200は、NAND型フラッシュメモリ100を制御し、またホストデバイス300から受信した命令に回答して、NAND型フラッシュメモリ100にアクセスする。

【0013】

ホストデバイス300は、例えばデジタルカメラやパーソナルコンピュータ等であり、ホストバスは、例えばSD^TMインターフェースに従ったバスである。NANDバスは、NANDインターフェースに従った信号の送受信を行う。NANDバスは、例えばチップイネーブル信号/CE、コマンドラッチイネーブル信号CLE、アドレスラッチイネーブル信号ALE、ライトイネーブル信号/WE、リードイネーブル信号/RE、データストローク信号DQS、I/O信号DQx (DQ0~DQ7)、及びレディ/ビジー信号R/Bを通信するバスを含む。I/O信号DQxは、コマンド、アドレス、及びデータ等を通信する。

【0014】

1.1.2 コントローラの構成

次に、図1を用いて、コントローラ200の構成について説明する。コントローラ200は、ホストインターフェース(I/F)回路210、内蔵メモリ(RAM)220、プロセッサ(CPU)230、バッファメモリ240、NANDインターフェース(I/F)回路250、及びECC (Error Checking and Correcting) 回路260を備えている。

【0015】

ホストインターフェース回路210は、ホストバスを介してホストデバイス300と接続される。ホストインターフェース回路210は、ホストデバイス300から受信した命

10

20

30

40

50

令及びデータを、それぞれプロセッサ230及びバッファメモリ240に転送する。また、ホストインターフェース回路210は、プロセッサ230の命令に回答して、バッファメモリ240内のデータをホストデバイス300へ転送する。

【0016】

プロセッサ230は、コントローラ200全体の動作を制御する。例えば、プロセッサ230は、ホストデバイス300から書き込み命令を受信した際には、それに回答して、NANDインターフェース回路250に対して書き込み命令を発行する。読み出し及び消去の際も同様である。また、プロセッサ230は、ウェアレベリング等、NAND型フラッシュメモリ100を管理するための様々な処理を実行する。なお、以下で説明するコントローラ200の動作は、プロセッサ230がソフトウェア（またはファームウェア）を実行することによって実現されてもよいし、またはハードウェアで実現されてもよい。

10

【0017】

NANDインターフェース回路250は、NANDバスを介してNAND型フラッシュメモリ100と接続され、NAND型フラッシュメモリ100との通信を司る。NANDインターフェース回路250は、プロセッサ230から受信した命令に基づき、種々の信号をNAND型フラッシュメモリ100へ送信し、また種々の信号をNAND型フラッシュメモリ100から受信する。

【0018】

バッファメモリ240は、書き込みデータや読み出しデータを一時的に保持する。バッファメモリ240はDRAMやSRAM等から構成してもよい。

20

【0019】

内蔵メモリ220は、例えばDRAMやSRAM等の半導体メモリであり、プロセッサ230の作業領域として使用される。内蔵メモリ220は、NAND型フラッシュメモリ100を管理するためのファームウェアや、各種の管理テーブル等を保持する。

【0020】

ECC回路260は、NAND型フラッシュメモリ100に記憶されるデータに関する誤り検出及び誤り訂正処理を行う。すなわちECC回路260は、データの書き込み時には誤り訂正符号を生成して、これを書き込みデータに付与し、データの読み出し時にはこれを復号する。

【0021】

30

1.1.3 NAND型フラッシュメモリの構成

1.1.3.1 NAND型フラッシュメモリの全体構成

次に、NAND型フラッシュメモリ100の構成について説明する。図1に示すように、NAND型フラッシュメモリ100は、メモリセルアレイ110、ロウデコーダ120、ドライバ130、センスアンプ140、アドレスレジスタ150、コマンドレジスタ160、レジスタ170及びシーケンサ180を備える。

【0022】

メモリセルアレイ110は、ロウ及びカラムに対応付けられた複数の不揮発性メモリセルを含む複数のブロックBLK（BLK0，BLK1，BLK2，BLK3，...）を備えている。メモリセルアレイ110は、コントローラ200から与えられたデータを記憶する。

40

【0023】

ロウデコーダ120は、ブロックBLKのいずれかを選択し、更に選択したブロックBLKにおけるワード線を選択する。

【0024】

ドライバ130は、選択されたブロックBLKに対して、ロウデコーダ120を介して電圧を供給する。

【0025】

センスアンプ140は、データの読み出し時には、メモリセルアレイ110から読み出されたデータDATをセンスし、必要な演算を行う。そして、このデータDATをコント

50

ローラ200に出力する。データの書き込み時には、コントローラ200から受信した書き込みデータDATを、メモリセルアレイ110に転送する。

【0026】

アドレスレジスタ150は、コントローラ200から受信したアドレスADDを保持する。コマンドレジスタ160は、コントローラ200から受信したコマンドCMDを保持する。

【0027】

レジスタ170は複数のレジスタを含む。レジスタ170が含む複数のレジスタは、例えば書き込みパラメータ及び検証結果を記憶する。書き込みパラメータ及び検証結果については後述する。

【0028】

シーケンサ180は、アドレスレジスタ150、コマンドレジスタ160及びレジスタ170に保持された種々の情報に基づいて、NAND型フラッシュメモリ100全体の動作を制御する。

【0029】

1.1.3.2 ブロックBLKの構成

次に、図2を用いて、上記ブロックBLKの構成について説明する。図2は、メモリセルアレイ110が含むブロックBLKの回路図である。図示するように、ブロックBLKは、例えば4つのストリングユニットSU(SU0~SU3)を含む。また各々のストリングユニットSUは、複数のNANDストリング10を含む。

【0030】

NANDストリング10の各々は、例えば8個のメモリセルトランジスタ(MT0~MT7)及び選択トランジスタST1, ST2を含む。メモリセルトランジスタ(以下、メモリセルとも記す)MTは、制御ゲートと電荷蓄積層とを備え、データを不揮発に保持する。メモリセルトランジスタMTは、選択トランジスタST1のソースと選択トランジスタST2のドレインとの間に直列接続されている。

【0031】

ストリングユニットSU0~SU3の各々における選択トランジスタST1のゲートは、それぞれセレクトゲート線SGD0~SGD3に接続される。これに対してストリングユニットSU0~SU3の各々における選択トランジスタST2のゲートは、例えばセレクトゲート線SGSに共通接続される。選択トランジスタST2のゲートは、ストリングユニット毎に異なるセレクトゲート線SGS0~SGS3に接続されてもよい。また、各々のブロックBLK内にあるメモリセルトランジスタMT0~MT7の制御ゲートは、それぞれワード線WL0~WL7に共通接続される。

【0032】

また、メモリセルアレイ110は、複数のブロックBLK間でビット線BL(BL0~BL(L-1)、但しLは2以上の自然数)を共通にする。各々のブロックBLK内の複数のストリングユニットSUにおいて、各ビット線BLは、同一列にあるNANDストリング10の選択トランジスタST1のドレインに共通に接続される。すなわち、各ビット線BLは、同一列の複数のストリングユニットSU間でNANDストリング10を共通に接続する。更に、複数の選択トランジスタST2のソースは、ソース線SLに共通に接続されている。つまり、ストリングユニットSUは、異なるビット線BLに接続され、且つ同一のセレクトゲート線SGDに接続されたNANDストリング10を複数含む。

【0033】

また、ブロックBLKは、ワード線WLを共通にする複数のストリングユニットSUを含む。

【0034】

図3は、ブロックBLKの一部領域の断面図である。図示するように、p型ウェル領域20上に、複数のNANDストリング10が形成されている。すなわち、ウェル領域20上には、セレクトゲート線SGSとして機能する例えば4層の配線層27、ワード線WL

10

20

30

40

50

0 ~ W L 7として機能する8層の配線層23、及びセレクトゲート線S G Dとして機能する例えば4層の配線層25が、順次積層されている。積層された配線層間には、図示しない絶縁膜が形成されている。

【0035】

これらの配線層25、23、27を貫通してウェル領域20に達するピラー状の導電体31が形成されている。導電体31の側面には、ゲート絶縁膜30、電荷蓄積層(絶縁膜)29、及びブロック絶縁膜28が順次形成されている。これらによって、メモリセルトランジスタM T、並びに選択トランジスタS T 1及びS T 2が形成される。導電体31は、N A N Dストリング10の電流経路として機能し、各トランジスタのチャンネルが形成される領域となる。導電体31の上端は、ビット線B Lとして機能する金属配線層32に接続される。

10

【0036】

ウェル領域20の表面領域内には、n +型不純物拡散層33が形成されている。拡散層33上にはコンタクトプラグ35が形成され、コンタクトプラグ35は、ソース線S Lとして機能する金属配線層36に接続される。さらに、ウェル領域20の表面領域内には、p +型不純物拡散層34が形成されている。拡散層34上にはコンタクトプラグ37が形成され、コンタクトプラグ37は、ウェル配線C P W E L Lとして機能する金属配線層38に接続される。ウェル配線C P W E L Lは、ウェル領域20を介して導電体31に電位を印加するための配線である。

【0037】

以上の構成が、図3を記載した紙面に直交する方向(奥行き方向)に複数配列されており、奥行き方向に並ぶ複数のN A N Dストリング10の集合によってストリングユニットS Uが形成される。

20

【0038】

さらに、メモリセルアレイ110の構成についてはその他の構成であってもよい。すなわち、メモリセルアレイ110の構成は、例えば、“THREE DIMENSIONAL STACKED NONVOL ATILE SEMICONDUCTOR MEMORY”という2009年3月19日に出願された米国特許出願12/407,403号に記載されている。また、“THREE DIMENSIONAL STACKED NONVOLATILE SEMICONDUCTOR MEMORY”という2009年3月18日に出願された米国特許出願12/406,524号、“NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE AND METHOD OF MANUFACTURING THE SAME”という2010年3月25日に出願された米国特許出願12/679,991号、及び“SEMICONDUCTOR MEMORY AND METHOD FOR MANUFACTURING SAME”という2009年3月23日に出願された米国特許出願12/532,030号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

30

【0039】

また、データの消去は、ブロックB L K単位、またはブロックB L Kよりも小さい単位で行うことができる。消去方法に関しては、例えば“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE”という2011年9月18日に出願された米国特許出願13/235,389号に記載されている。また、“NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE”という2010年1月27日に出願された米国特許出願12/694,690号に記載されている。さらに、“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA ERASE METHOD THEREOF”という2012年5月30日に出願された米国特許出願13/483,610号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

40

【0040】

1.1.3.3 メモリセルトランジスタの閾値電圧分布

図4は、本実施形態におけるメモリセルトランジスタM Tの取り得るデータとその閾値電圧分布を示す。ここでは、メモリセルが3ビットのデータを記憶するT L C (Triple-Level Cell)方式を有する場合について説明する。

【0041】

図示するように、各々のメモリセルトランジスタM Tは、その閾値電圧に応じて例えば

50

3ビットのデータを保持可能である。この3ビットデータは、閾値電圧の低いものから順番に、例えば“111”、“110”、“100”、“000”、“010”、“011”、“001”、“101”である。これらデータを保持するメモリセルの閾値電圧のステートは、低いものから順番に、例えば“Er”ステート（例えば、電圧VA未満）、“A”ステート（例えば、電圧VA以上、VB未満であり、VA < VB）、“B”ステート（例えば、電圧VB以上、VC未満であり、VB < VC）、“C”ステート（例えば、電圧VC以上、VD未満であり、VC < VD）、“D”ステート（例えば、電圧VD以上、VE未満であり、VD < VE）、“E”ステート（例えば、電圧VE以上、VF未満であり、VE < VF）、“F”ステート（例えば、電圧VF以上、VG未満であり、VF < VG）、“G”ステート（例えば電圧VG以上）である。なお、3ビットデータと閾値電圧との関係はこの関係に限定されるものではなく、両者の関係については適宜選択できる。

【0042】

各々のメモリセルトランジスタMTが保持する3ビットデータを、lower（下位）ビット側からそれぞれlowerビット、middle（中位）ビット、及びupper（上位）ビットと呼ぶ。そして、同一のストリングユニットSUにおいて、同一のワード線に接続された複数のメモリセルを含むセルユニットCUの保持するlowerビットの集合をlowerページと呼び、middleビットの集合をmiddleページと呼び、upperビットの集合をupperページと呼ぶ。つまり、セルユニットCUには3ページが割り当てられる。よって、「ページ」とは、セルユニットCUによって形成されるメモリ空間の一部、と定義することもできる。

【0043】

データの書き込み及び読み出しは、ページ単位もしくはセルユニット単位で行われる。本例の場合、1つのストリングユニットSUは8本のワード線を含むので、各ストリングユニットSUは(3 × 8) = 24ページを含み、1つのブロックBLKは4つのストリングユニットSUを含むので、各ブロックは(24 × 4) = 96ページを含む。

【0044】

1.2 動作

1.2.1 NAND型フラッシュメモリの書き込み

書き込み動作は、プログラム動作（プログラムとも称する）と、プログラムベリファイ動作とを含む。

【0045】

プログラム動作は、メモリセルトランジスタMTのゲート電極に書き込み電圧（プログラム電圧とも称する）を印加することにより、メモリセルトランジスタMTの電荷蓄積層に電荷を注入し、メモリセルトランジスタの閾値電圧を上昇させる動作である。

【0046】

プログラムベリファイ動作は、書き込み電圧の印加によって生じたメモリセルトランジスタの閾値電圧の変化を確認する動作である。プログラムベリファイ動作は、メモリセルトランジスタの閾値電圧が所定の閾値電圧に達したか否かを判定する。

【0047】

プログラムベリファイによる判定において、メモリセルトランジスタの閾値電圧が所定の閾値電圧に達していない、すなわちプログラムベリファイにフェイルした場合、書き込み電圧が一定電圧 V 増加されてプログラム動作が再び実行され、さらにプログラムベリファイ動作が実行される。そして、プログラム動作とプログラムベリファイ動作を1つの書き込みループとし、プログラムベリファイにパスするまで、書き込みループが繰り返される。なお、増加される電圧 V は一定電圧に限らず、任意に変化する電圧でもよい。このように、書き込み電圧を増加しながら書き込み動作を行うことを、ステップアップ書き込みと称する。

【0048】

ここで、メモリセルに書き込みを行った場合の書き込み特性について説明する。メモリセルに書き込みを行ったとき、メモリセルごとに書き込まれ易さは異なる。例えば、書き込みパラメータなどの条件を同一にして、複数のメモリセルにステップアップ書き込みを

行った場合でも、書き込み完了までの書き込みループ数はメモリセルごとに異なる。書き込みパラメータは、例えば、書き込み電圧、増加電圧 V 、及び書き込み電圧の印加時間等を含む。

【0049】

また、メモリセルは消去を繰り返すごとに疲弊していき、疲弊するとメモリセルは書き込まれ易くなる。メモリセルの書き込み特性は、ページなどの書き込み単位内のメモリセル、すなわち同一のワードラインにあるメモリセル、また、消去回数の等しいメモリセルなどで似通っていることが知られている。

【0050】

書き込みに当たって、最も書き込まれ易いメモリセルを基準として書き込みパラメータを決定すると、もっとも書き込まれ難いメモリセルに対しては書き込みループ数が増える傾向にある。その逆に、もっとも書き込まれ難いメモリセルを基準として書き込みパラメータを決定すると、書き込まれ易いメモリセルに対しては、過剰な書き込み、例えばオーバープログラムが発生し、意図したデータを書き込むことができない傾向にある。オーバープログラムとは、意図したデータの閾値電圧より高く、かつ他のデータに対応する閾値電圧、あるいはそれ以上の閾値電圧にメモリセルが書き込まれた状態をいう。

10

【0051】

上述した傾向を鑑みて用いられる書き込み方式に、スマートベリファイがある。スマートベリファイは、全てのメモリセルに対して、同一の書き込みパラメータを設定するのではなく、メモリセルの書き込み特性に合わせて書き込みパラメータを動的に調整することで、書き込みループ数を削減する技術である。さらに、スマートベリファイには、書き込み特性の似通ったメモリセルをグループとし、書き込みパラメータをグループ毎に管理して設定する応用例も有る。例えば、1つあるいは複数のワード線に接続された複数のメモリセルがグループとして定義される。

20

【0052】

前述した応用例のスマートベリファイでは、グループに対して、オーバープログラムが発生せず、かつ、書き込みループ数の削減が期待できる書き込みパラメータを探索する検知書き込みと、検知書き込みにより探索された書き込みパラメータを用いて、書き込みループ数を削減しつつ、意図したデータを書き込む適用書き込みとを行う。適用書き込みを複数回実行する間に、適宜、検知書き込みを実行することにより、適用書き込みで用いる書き込みパラメータを適切に調整することができるが、検知書き込みに要する時間は適用書き込みより長い。一方、適用書き込みに要する時間は、検知書き込みに要する時間よりも短い。よって、スマートベリファイでは、グループ単位で検知書き込みと適用書き込みとを適時使い分けることにより、書き込み動作にかかる平均書き込み時間を削減できる。

30

【0053】

書き込みパラメータは、書き込み電圧以外にも増加電圧 V 及び書き込み電圧の印加時間等も含むが、以下の説明では書き込みパラメータは、プログラム動作時に使用する書き込み電圧とする。

【0054】

1.2.2 スマートベリファイの検知書き込みと適用書き込み

40

次に、スマートベリファイにおける検知書き込みと適用書き込みについて詳述する。複数ビットのデータを保持可能なメモリセルトランジスタに対する書き込み方式は、1つのプログラムコマンドによりメモリセルトランジスタに複数ビットのデータを一括して書き込む方式（例えば、フルシーケンスプログラム）と、複数のプログラムコマンドによりメモリセルトランジスタに複数ビットのデータを多段階に分けて書き込む方式（例えば、2ステージプログラムあるいはfoggy & fine）とがある。2ステージプログラムは、第1ステージの書き込み動作でlowerなどの下位ページを書き、第2ステージの書き込み動作でupperとmiddleなどの上位ページを同時に書く方式である。foggy & fineは、第1ステージの書き込み動作でlower/upper/middleなどの全てのページを荒く書き、第2ステージの書き込み動作で、第1ステージの書き込み動作で書いたページを細かく書く方式である。い

50

ずれの方式においても、検知書き込みと適用書き込みを用いることができる。

【 0 0 5 5 】

以下に、“ E r ”ステートのメモリセルを“ A ”ステートに書き込む場合を例に挙げ、検知書き込み及び適用書き込みを説明する。

【 0 0 5 6 】

図 5 は、検知書き込み及び適用書き込みにおける書き込み電圧とメモリセルトランジスタの閾値電圧分布を示す。図 5 に示す上側のパルス波形は書き込み電圧の変化を示し、下側の波形は書き込み電圧が印加された時のメモリセルトランジスタの閾値電圧分布を示す。

【 0 0 5 7 】

書き込み電圧 V P G M がワード線に印加されてプログラム動作が行われ、続いてメモリセルトランジスタの閾値電圧を判定するプログラムベリファイ動作が行われる。プログラムベリファイがフェイルの場合、書き込み電圧 V P G M が一定電圧 V だけ増加される。メモリセルトランジスタの閾値電圧分布の下裾（最も低い閾値電圧）が書き込みデータに応じたプログラムベリファイ電圧を超えると、プログラムベリファイがパスとなり、書き込み動作が終了する。なお、具体的には、プログラムベリファイによる判定には、書き込み対象のメモリセルであって、閾値電圧がプログラムベリファイ電圧未満であると判定されたメモリセルの数が閾値以下であるか否かという条件が用いられる。閾値電圧がプログラムベリファイ電圧未満であると判定されたメモリセルの数が閾値以下である（0 でなくてもよい）とき、プログラムベリファイがパスと判定される。

【 0 0 5 8 】

図 5 を用いて、スマートベリファイの書き込み動作を説明する。ここでは、例えば“ A ”ステートを書き込む場合を示す。スマートベリファイの検知書き込みでは、少なくともメモリセルの書き込み特性に応じた初回の書き込み電圧が検知されるまでの間、プログラム動作、スマートベリファイ動作、及びプログラムベリファイ動作が 1 つの書き込みループとして実行される。すなわち、検知書き込みでは、プログラムベリファイ電圧 A V を用いたプログラムベリファイ動作以外に、スマートベリファイ電圧 S V を用いたスマートベリファイ動作が行われる。このスマートベリファイ電圧 S V を用いたスマートベリファイ動作では、適用書き込みで用いられる初回の書き込み電圧が検知される。

以下の説明では、スマートベリファイ電圧 S V がプログラムベリファイ電圧 A V より低い場合を説明する。

【 0 0 5 9 】

スマートベリファイ動作では、メモリセルトランジスタの閾値電圧分布の上裾（最も高い閾値電圧）がスマートベリファイ電圧 S V を超えたときの書き込み電圧が、適用書き込みで用いられる初回の書き込み電圧として記憶される。初回の書き込み電圧が記憶される条件は、書き込み対象のメモリセルであって、閾値電圧がスマートベリファイ電圧 S V を超えたときと判定されるメモリセルの数が閾値以上になることである。初回の書き込み電圧が記憶された後、“ A ”ステートに対する初回の書き込み電圧を検知する検知書き込みでは、スマートベリファイ動作は行われず、従来の書き込み動作と同様に、プログラム動作とプログラムベリファイ動作とを含む書き込みループが、メモリセルトランジスタの閾値電圧分布の下裾（最も低い閾値電圧）がプログラムベリファイ電圧 A V を超えるまで繰り返される。

【 0 0 6 0 】

前述したように、検知書き込みは、閾値の数のメモリセルの閾値電圧がスマートベリファイ電圧 S V を超えたときの書き込み電圧を検知する。適用書き込みは、検知された書き込み電圧を、適用書き込みにおける初回の書き込み電圧として用いて、プログラム動作とプログラムベリファイ動作とを繰り返す。検知書き込みで検知された書き込み電圧を適用書き込みの際の初回の書き込み電圧とすることで、適用書き込みにおける書き込みループ数を削減でき、書き込み時間を短縮することができる。

【 0 0 6 1 】

検知書き込みでは、予め設定された既定の書き込み電圧V P G M、または指定された書き込み電圧V P G Mを使用し、徐々に書き込み電圧を昇圧することによって書き込みパラメータを検知する。そのため、適用書き込みよりも、プログラムベリファイがパスするまでの書き込みループ数が多く、また書き込みループ内でスマートベリファイ電圧S Vによるスマートベリファイ動作も行っているため、スマートベリファイ動作を行わない書き込み動作に比べて時間がかかる。

【0062】

しかし、検知書き込みを行わず、適用書き込みだけを行っていると、メモリセルの疲弊によって書き込み特性に変化が生じ、オーバープログラムが発生する危険性が高まる。このため、スマートベリファイでは、適用書き込みにおいて適正な書き込みパラメータ使用するために、ある一定の頻度で検知書き込みを行う必要がある。すなわち、適用書き込みでは、書き込みに要する時間を短くできるが、書き込み特性の変化と共に書き込み電圧の信頼性が低下する。このため、書き込み時間を短縮するために、適用書き込みだけを続けることはできない。検知書き込みでは、書き込み時間が長くなるが、書き込み特性の変化に追従することができるので、書き込み電圧の信頼性が高くなる。しかし、書き込み電圧の信頼性を重視して、検知書き込みを頻繁に行うと、書き込み時間を短縮することができない。したがって、適度に検知書き込みを実行しつつ、適用書き込みを実行する必要がある。

10

【0063】

そこで、本実施形態では、検知書き込み及び適用書き込みと共に、フィードバック付き書き込みを行う。フィードバック付き書き込みは、検知書き込みと適用書き込みの利点を合わせ持つものであり、検知書き込みによる書き込みパラメータの適正の向上と、適用書き込みによる書き込み時間の短縮とを共に可能にする。フィードバック付き書き込みは、書き込みパラメータが適正であるか否かを検知書き込みに比べて短時間で検証し、その検証結果に基づいて書き込みパラメータを調整する書き込み方式である。

20

【0064】

1.2.3 実施形態の書き込み動作

ここで説明する書き込み動作では、検知書き込み、フィードバック付き書き込み、及び適用書き込みが実行される例を述べるが、書き込み動作においてフィードバック付き書き込みだけを実行することも可能である。

30

【0065】

1.2.3.1 コントローラとNAND型フラッシュメモリ間のインターフェース

次に、本実施形態の書き込み動作におけるコントローラ200とNAND型フラッシュメモリ100間のインターフェースについて説明する。図6は、コントローラ200とNAND型フラッシュメモリ100間で行われる書き込み動作のシーケンスを示す図である。

【0066】

NAND型フラッシュメモリ100はレジスタ170を有する。レジスタ170は、書き込みパラメータが設定される第1レジスタ170A、及びフィードバック付き書き込みによる検証結果及び検知書き込みによる検知結果を格納する第2レジスタ170Bを有する。書き込みパラメータは、検知書き込みによって取得される、あるいはフィードバック付き書き込みによって変更される。

40

【0067】

また、例えばメモリセルアレイ110内のメモリセル110Aには、プリセット値が記憶されている。プリセット値は、NAND型フラッシュメモリ100のROM領域に出荷前に記憶された情報であり、例えば検知書き込みで用いる既定の書き込み電圧等を含む。

【0068】

コントローラ200は、グループ代表値に関する情報を管理するグループ代表値管理テーブル群220Aを有する。グループ代表値は、複数のメモリセルを含むグループ毎、例えばページ毎あるいはブロック毎に管理された書き込みパラメータ等を含む。コントロー

50

ラは、グループ毎にグループ代表値を管理する。例えば、グループは、互いに似た書き込み特性を持つことが期待される複数のメモリセルを含むように設定する。なお、コントローラ 200 の代わりに NAND 型フラッシュメモリ 100 がグループ毎に書き込みパラメータを管理してもよい。管理テーブル群 220A は、例えば内蔵メモリ 220 に記憶される。

【0069】

以下に、コントローラ 200 と NAND 型フラッシュメモリ 100 間のシーケンスを述べる。

【0070】

NAND 型フラッシュメモリ 100 では、書き込み動作として、検知書き込み、フィードバック付き書き込み、及び適用書き込みが実行される。

10

【0071】

検知書き込みにおけるシーケンスは以下ようになる。コントローラ 200 は、NAND 型フラッシュメモリ 100 に検知書き込みを指示する。NAND 型フラッシュメモリ 100 は、プリセット値として記憶された既定の書き込み電圧を用いて検知書き込みを実行し、書き込みパラメータを検知する。

【0072】

NAND 型フラッシュメモリ 100 は、検知した書き込みパラメータを第 2 レジスタ 170B に格納する。さらに、NAND 型フラッシュメモリ 100 は、第 2 レジスタ 170B に格納された書き込みパラメータを、コントローラ 200 からの取得コマンドに応じて、コントローラ 200 に送信する。これにより、コントローラ 200 は、検知書き込みで検知された書き込みパラメータを取得し、内蔵メモリ 220 内の管理テーブル群 220A に、書き込みパラメータをグループ代表値として記憶する。取得コマンドとしては、例えば、ステータスリードコマンドあるいはゲットフィーチャーコマンドが用いられる。ステータスリードコマンドあるいはゲットフィーチャーコマンドについては後で詳述する

20

フィードバック付き書き込みにおけるシーケンスは以下ようになる。コントローラ 200 は、内蔵メモリ 220 内の管理テーブル群 220A に記憶されたグループ代表値を書き込みパラメータとして NAND 型フラッシュメモリ 100 に送信する。NAND 型フラッシュメモリ 100 は、受信した書き込みパラメータを第 1 レジスタ 170A に記憶する。

30

【0073】

続いて、コントローラ 200 は、NAND 型フラッシュメモリ 100 にフィードバック付き書き込みを指示する。NAND 型フラッシュメモリ 100 は、第 1 レジスタ 170A に記憶された書き込みパラメータを用いてフィードバック付き書き込みを実行し、フィードバック付き書き込みで得られた検証結果を第 2 レジスタ 170B に格納する。さらに、NAND 型フラッシュメモリ 100 は、コントローラ 200 からの取得コマンドに応じて、第 2 レジスタ 170B に格納された検証結果をコントローラ 200 に送信する。コントローラ 200 は、フィードバック付き書き込みで得られた検証結果を取得し、検証結果に基づいてグループ代表値を更新して管理テーブル群 220A に記憶する。検証結果は、フィードバック付き書き込みによって検証された書き込みパラメータの妥当性を表す情報を含む。さらに、コントローラ 200 は、検証結果からオーバープログラムが発生していると判定した場合、NAND 型フラッシュメモリ 100 に対して回復処理を行う。例えば、コントローラ 200 は、NAND 型フラッシュメモリ 100 に、回復処理を実行させるためのコマンドを送信する。

40

【0074】

適用書き込みにおけるシーケンスは以下ようになる。コントローラ 200 は、内蔵メモリ 220 内の管理テーブル群 220A に記憶されたグループ代表値を書き込みパラメータとして NAND 型フラッシュメモリ 100 に送信する。NAND 型フラッシュメモリ 100 は、書き込みパラメータを第 1 レジスタ 170A に記憶する。続いて、コントローラ 200 は、NAND 型フラッシュメモリ 100 に適用書き込みを指示する。NAND 型フ

50

ラッシュメモリ 100 は、第 1 レジスタ 170 A に記憶された書き込みパラメータを用いて適用書き込みを実行する。

【0075】

1.2.3.2 コントローラの管理テーブル群

次に、コントローラ 200 が有する管理テーブル群 220 A について説明する。図 7 A ~ 図 7 D は、コントローラが有する管理テーブル群の一例を示す図である。管理テーブル群 220 A は、内蔵メモリ 220 に記憶され、例えば、図 7 A に示すグループ定義テーブル 220 A_1、図 7 B に示すグループの書き込みパラメータテーブル 220 A_2、図 7 C に示すフィードバック付き書き込みのサイクル定義テーブル 220 A_3、及び図 7 D に示すフィードバック付き書き込みのスケジュールテーブル 220 A_4 等を含む。

10

【0076】

図 7 A に示すグループ定義テーブル 220 A_1 は、1 つのグループ代表値を共有するメモリセル群 (グループ) に含まれるワード線の集合を定義する。例えば、グループは、1 つのワード線を含んでもよいし、複数のワード線を含んでもよい。グループは、1 つのブロックを含んでもよいし、複数のブロックを含んでもよい。図 7 A では、グループ GR 0 はワード線 WL 0 ~ WL 7 を含み、グループ GR 1 はワード線 WL 8 ~ WL 23 を含む。

【0077】

図 7 B に示すグループの書き込みパラメータテーブル 220 A_2 は、例えば、各ブロック内のグループ毎に、使用する書き込みパラメータを記憶する。例えば、ブロック BLK 1 内のグループ GR 0 には書き込みパラメータ A 10 が対応する。その結果、ブロック BLK 1 内のグループ GR 0 に含まれるメモリセルに対するフィードバック付き書き込み及び適用書き込みには、書き込みパラメータ A 10 が用いられる。例えば、ブロック BLK 1 内のグループ GR 0 に含まれるメモリセルを書き込み対象とするフィードバック付き書き込みでは、書き込みパラメータ A 10 が第 1 レジスタ 170 A に設定され、書き込みパラメータ A 10 を用いたフィードバック付き書き込みが実行される。図 7 B に示すように、ブロック BLK 1 内のグループ GR 1, GR 2, GR 3 には、書き込みパラメータ A 11, A 12, A 13 がそれぞれ対応する。

20

【0078】

図 7 C に示すフィードバック付き書き込みのサイクル定義テーブル 220 A_3 は、フィードバック付き書き込みを行うべき書き込み / 消去 (P / E) のサイクル数を定義する。例えば、書き込み対象グループの書き込み / 消去 (P / E) サイクルが 100, 300, 500, 700 回のいずれかに達したとき、すなわち P / E サイクルが 100 回に達したとき、及びその後 200 回増加する毎に、フィードバック付き書き込みを実行することが定義される。図 7 C のサイクル定義テーブル 220 A_3 は、グループ毎に用意してもよいし、フィードバック付き書き込みが実行されるべきサイクル数の間隔は一定回数であってもよいし、一定回数でなくてもよい。

30

【0079】

図 7 D に示すフィードバック付き書き込みのスケジュールテーブル 220 A_4 は、フィードバック付き書き込みを行うべき書き込み / 消去 (P / E) サイクル数を記憶する。書き込み対象グループの P / E サイクル数がスケジュールテーブル 220 A_4 に記憶されたサイクル数に達したとき、フィードバック付き書き込みが実行される。例えば、ブロック BLK 0 のグループ GR 0 の P / E サイクル数が 100 回に達したとき、フィードバック付き書き込みが実行される。

40

【0080】

さらに、フィードバック付き書き込みが実行されたら、コントローラ 200 は、スケジュールテーブル 220 A_4 内の P / E サイクル数を、サイクル定義テーブル 220 A_3 のタイミング 1 ~ 4 に定義された P / E サイクル数に更新する。例えば、ブロック BLK 2 のグループ GR 0 は、P / E サイクル数が 100 回目でフィードバック付き書き込みが実行され、実行後、図 7 D に示すように、スケジュールテーブル 220 A_4 内の P / E

50

サイクル数が100回から300回に更新される。

【0081】

1.2.3.3 書き込み動作の流れ

次に、図8を用いて、本実施形態における書き込み動作について説明する。図8は、本実施形態の書き込み動作を示すフローチャートである。図8に示す書き込み動作はコントローラ200が実行する。

【0082】

まず、コントローラ200は、書き込み対象の複数のメモリセルを含むグループに対するグループ代表値（例えば、書き込み電圧を含む書き込みパラメータ）を、取得済みか否かを判定する。すなわち、コントローラ200は、書き込み対象グループのグループ代表値が書き込みパラメータテーブル220A_2に記憶されているか否かを判定する（ステップS1）。グループ代表値が記憶されていない場合（No）、コントローラ200から第1レジスタ170Aのリセットを指示することで、あるいはコントローラ200から第1レジスタ170Aに設定すべき書き込みパラメータを指示しないことによって、NAND型フラッシュメモリ100では、NAND型フラッシュメモリ100に記憶されているプリセット値が第1レジスタ170Aに記憶される。これにより、プリセット値としての書き込みパラメータを、検知書き込みに用いる書き込み電圧VPGMとして設定する（ステップS2）。

【0083】

次に、コントローラ200は、NAND型フラッシュメモリ100に検知書き込みを指示する（ステップS3）。これにより、NAND型フラッシュメモリ100は、既定の書き込み電圧VPGMを用いて検知書き込みを実行し、検知結果を得る。コントローラ200は、検知書き込みにて検知された検知結果を取得する（ステップS4）。さらに、コントローラ200は、検知結果に基づいて求められた初回の電圧VPGMを、グループ代表値として書き込みパラメータテーブル220A_2に記憶する（ステップS5）。その後、書き込み動作を終了する。

【0084】

ステップS1において、書き込みパラメータテーブル220A_2に、書き込み対象グループのグループ代表値が既に記憶されている場合（Yes）、コントローラ200は、NAND型フラッシュメモリ100の第1レジスタ170Aにグループ代表値を記憶させることで、グループ代表値を初回の電圧VPGMとして設定する（ステップS6）。

【0085】

次に、コントローラ200は、スケジュールテーブル220A_4を参照し、スケジュールテーブル220A_4に従ってフィードバック付き書き込みを実行するか否かを判定する（ステップS7）。具体的には、P/Eサイクルが100、150、200あるいは250に達したとき、フィードバック付き書き込みの実行が必要であると判定する。

【0086】

ステップS7において、フィードバック付き書き込みを実行すると判定した場合（Yes）、コントローラ200は、NAND型フラッシュメモリ100にフィードバック付き書き込みを指示する（ステップS8）。これにより、NAND型フラッシュメモリ100は、ステップS6で書き込みパラメータとして指示されたグループ代表値を用いてフィードバック付き書き込みを実行し、グループ代表値についての検証結果を得る。コントローラ200は、フィードバック付き書き込みにて検証された検証結果を取得する（ステップS9）。フィードバック付き書き込みの詳細については後述する。

【0087】

次に、コントローラ200は、検証結果を判定し、検証結果に基づいてグループ代表値を更新する（ステップS10）。ステップS10の処理の詳細については図14を用いて後述する。その後、書き込み動作を終了する。

【0088】

また、ステップS7において、フィードバック付き書き込みを実行しないと判定した場

10

20

30

40

50

合 (No)、コントローラ 200 は、NAND 型フラッシュメモリ 100 に適用書き込みを指示する (ステップ S11)。これにより、NAND 型フラッシュメモリ 100 は、ステップ S6 で書き込みパラメータとして指示されたグループ代表値を用いて適用書き込みを実行する。その後、書き込み動作を終了する。

【0089】

なお、ステップ S10 における検証結果の判定において、コントローラ 200 によりオーバープログラムが発生していると判定された場合、以下の回復処理が実行される。図 9 は、オーバープログラムが発生した場合の回復処理の動作を示すフローチャートである。

【0090】

まず、回復処理が起動されると、コントローラ 200 は、オーバープログラムが発生したメモリセルに書き込まれるべきデータ、すなわち書き込みに失敗したメモリセルのデータを特定する (ステップ S41)。

【0091】

続いて、コントローラ 200 は、書き込みに失敗したメモリセルのデータを取得する (ステップ S42)。例えば、書き込みが正常に終了するまで書き込みデータをバッファに保持する構成である場合は、書き込みに失敗したメモリセルのデータをバッファから取得する。また、SLC (single level cell) バッファに書き込みに失敗したメモリセルのデータがある場合は、SLC バッファから取得する。コンパクション実行時であり、コンパクションの対象ブロックに書き込みに失敗したメモリセルのデータがある場合は、そのブロックから取得する。ECC でページ間積符号を構成している場合は、書き込みに失敗したメモリセルのデータを、積符号を用いて回復する。

【0092】

次に、コントローラ 200 は、NAND 型フラッシュメモリ 100 に、取得したデータの書き込みを指示する (ステップ S43)。取得したデータの書き込み先のメモリセルは、書き込みに失敗したメモリセルとは別のメモリセルに対して行ってもよいし、あるいは、消去動作を行った後に、書き込みに失敗したメモリセルに対して行ってもよい。以上により、回復処理が終了する。

【0093】

このように、オーバープログラムが発生していると判定された場合、オーバープログラムが発生したメモリセルに書き込まれるべきデータに対して回復処理を行うことにより、データの損失を防ぐことができる。

【0094】

1.2.3.4 フィードバック付き書き込み

次に、書き込み動作で実行されるフィードバック付き書き込みについて説明する。フィードバック付き書き込みは、前述したように、NAND 型フラッシュメモリにおいて書き込みパラメータが適正であるか否かを検知書き込みに比べて短時間で検証し、その検証結果をコントローラに送信する書き込み方式である。さらに、その応用として、コントローラがその検証結果に基づいて書き込みパラメータを調整するものである。

【0095】

図 10 及び図 11 は、フィードバック付き書き込みにおけるコントローラと NAND 型フラッシュメモリ間のインターフェースを示す図である。図 10 は、プログラム動作によってオーバープログラムが発生しない場合を示し、図 11 は、プログラム動作によってオーバープログラムが発生した場合を示す。

【0096】

コントローラ 200 は、書き込みパラメータテーブル 220 A_2 に記憶されたグループ代表値 V0 を、NAND 型フラッシュメモリ 100 の第 1 レジスタ 170 A に設定する (1)。続いて、コントローラ 200 は、NAND 型フラッシュメモリ 100 にフィードバック付き書き込みを指示する (2)。

【0097】

NAND 型フラッシュメモリ 100 は、コントローラ 200 から指示された書き込み対

10

20

30

40

50

象、例えばブロック B L K 0 のグループ G R 0 に含まれるメモリセルに対して、書き込みパラメータとして指示されたグループ代表値 V 0 を用いてフィードバック付き書き込みを実行する (2 - 1)。そして、N A N D 型フラッシュメモリ 1 0 0 は、フィードバック付き書き込みにより得られた書き込みパラメータの検証結果を、例えばステータス情報として第 2 レジスタ 1 7 0 B に記憶する (2 - 2)。

【 0 0 9 8 】

次に、コントローラ 2 0 0 は、例えば、取得コマンドによって格納レジスタ 1 7 0 B から検証結果 (例えば、ステータス情報) を取得し (3)、検証結果に基づいて、書き込みパラメータテーブル 2 2 0 A _ 2 内に記憶されたグループ代表値 V 0 をグループ代表値 V x に更新する (4)。

10

【 0 0 9 9 】

ここで、コントローラ 2 0 0 は、フィードバック付き書き込みによる検証結果がオーバープログラムの発生を示していないと判定した場合、前述したように、グループ代表値 V 0 を V x に更新して終了する。

【 0 1 0 0 】

一方、フィードバック付き書き込みによる検証結果がオーバープログラムの発生を示していると判定した場合、図 1 1 に示すように、コントローラ 2 0 0 は、オーバープログラムに対する回復処理を起動し、オーバープログラムが発生したメモリセルに書き込むべきデータを復旧し、そのデータの書き込みを N A N D 型フラッシュメモリ 1 0 0 に新たに指示する (5)。

20

【 0 1 0 1 】

前述したように、書き込み方式には、フルシーケンスプログラム、及び多段階で書き込む方式 (例えば、2 ステージプログラムあるいは foggy & fine) がある。

【 0 1 0 2 】

メモリセルが二次元に配列された二次元 N A N D 型フラッシュメモリ、及びメモリセルが三次元に配列された三次元 N A N D 型フラッシュメモリでは、隣接するワード線 W L においてセル間干渉などの影響を受けやすいことが知られている。セル間干渉の影響を緩和するため、二次元 N A N D 型フラッシュメモリ及び三次元 N A N D 型フラッシュメモリでは、多段階で書き込む方式が提案されている。2 ステージプログラムと foggy & fine では、データを入力するページの数、印加する初回の電圧 V P G M 以外に大きな違いは無いので、2 ステージプログラムを例に挙げ説明する。

30

【 0 1 0 3 】

また、三次元 N A N D 型フラッシュメモリでの 2 ステージプログラムは、第 1 ワード線と、第 1 ワード線に隣接する第 2 ワード線がある場合、第 1 ワード線の第 1 ステージの書き込み動作が終了すると、第 2 ワード線の第 1 ステージの書き込み動作を行う。第 2 ワード線の第 1 ステージの書き込み動作が終了すると、第 1 ワード線の第 2 ステージの書き込み動作を行う。三次元 N A N D 型フラッシュメモリでは、ストリングユニットの配列方向にも書き込むページが存在する。

【 0 1 0 4 】

なお、二次元 N A N D 型フラッシュメモリでの 2 ステージプログラムも、三次元 N A N D 型フラッシュメモリの場合と同様に、第 1 ワード線と、第 1 ワード線に隣接する第 2 ワード線がある場合、第 1 ワード線の第 1 ステージの書き込み動作が終了すると、第 2 ワード線の第 1 ステージの書き込み動作を行う。第 2 ワード線の第 1 ステージの書き込み動作が終了すると、第 1 ワード線の第 2 ステージの書き込み動作を行う。すなわち、1 つのストリングユニットしか存在しない以外、三次元 N A N D 型フラッシュメモリの場合と同様であるため、詳細な説明は省略する。

40

【 0 1 0 5 】

以下に、三次元 N A N D 型フラッシュメモリにおける 2 ステージプログラムの書き込み順序の一例を説明する。

【 0 1 0 6 】

50

図12は、2ステージプログラムにより三次元NAND型フラッシュメモリにデータを書き込む場合の書き込み順序の一例を示す。1つのブロックは、4つのストリングユニットSU0～SU3に分割されている。図12に示す例は、4本のワード線WL0～WL3に接続されたストリングユニットSU0～SU3のメモリセル(セルユニット)に、lowerページ(L)、middleページ(M)、及びupperページ(U)のデータを書き込む場合である。2ステージプログラムでは、第1ステージの書き込み動作でlowerページのデータを書き込み、第2ステージの書き込み動作で残りのページ、ここではmiddle及びupperページのデータを書き込む。

【0107】

図示するように、例えば、ワード線WL0に接続されたストリングユニットSU0～SU3のメモリセル(セルユニット)に、lowerページのデータを順に書き込む(0 1 2 3)。続いて、ワード線WL1に接続されたストリングユニットSU0～SU3のメモリセルに、lowerページのデータを順に書き込む(4 5 6 7)。

10

【0108】

次に、ワード線WL0に接続されたストリングユニットSU0～SU3のメモリセルに、middle及びupperページのデータを順に書き込む(8 9 10 11)。続いて、ワード線WL2に接続されたストリングユニットSU0～SU3のメモリセルに、lowerページのデータを順に書き込む(12 13 14 15)。次に、ワード線WL1に接続されたストリングユニットSU0～SU3のメモリセルに、middle及びupperページのデータを順に書き込む(16 17 18 19)。

20

【0109】

次に、ワード線WL3に接続されたストリングユニットSU0～SU3のメモリセルに、lowerページのデータを順に書き込む(20 21 22 23)。続いて、ワード線WL2に接続されたストリングユニットSU0～SU3のメモリセルに、middle及びupperページのデータを順に書き込む(24 25 26 27)。

【0110】

次に、図13(a)、図13(b)及び図13(c)に、2ステージプログラムによるメモリセルの閾値電圧分布の推移を示す。図13(a)に消去状態、すなわち“Er”状態を持つメモリセルの閾値電圧分布を示す。先に“LM”状態を書き込むべきメモリセルの閾値電圧分布を移動させる書き込みを第1ステージで行う。これにより、図13(b)に示すように、メモリセルの一部は“Er”状態から例えば“C”状態と“D”状態との間の“LM”状態にシフトする。続いて、第2ステージの書き込みでは、図13(c)に示すように、メモリセルに書き込むデータに応じて、第1ステージ後の“Er”状態の分布を、“Er”、“A”、“B”、“C”状態と分割するように、及び“LM”状態の分布を、“D”、“E”、“F”、“G”状態に分割するように書き込みを行う。すなわち、第2ステージの書き込みにより、“Er”状態が“A”、“B”、“C”状態となるように書き込み、その後、“LM”状態が“D”、“E”、“F”、“G”状態となるように書き込む。

30

【0111】

以下に、フルシーケンスプログラム、及び2ステージプログラムに、フィードバック付き書き込みを適用した例を説明する。

40

【0112】

<第1実施形態のフィードバック付き書き込み(第1例～第3例)>

次に、第1実施形態のフィードバック付き書き込みを適用した例として、第1例～第3例を説明する。第1例は、フルシーケンスプログラムにおける1回目の書き込みループのプログラムベリファイ動作に、追加のベリファイ動作を設けたものである。

【0113】

図14は、第1例のフィードバック付き書き込みで行われるプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す。なお、第1例、及び以降の例では、メモリセルを“A”状態に書き込む場合を表す。

50

【 0 1 1 4 】

書き込み動作の1回目の書き込みループにおいて、グループ代表値あるいはグループ代表値に補正をかけた値を、初回の電圧V P G Mとして用いたプログラム動作を行う。初回の電圧V P G Mは、検知書き込み、あるいは前回のフィードバック付き書き込みで得られた検証結果に基づいて、更新あるいは補正された書き込み電圧である。非選択ワード線W Lには、電圧V P A S Sを印加する。なお、この非選択ワード線W Lへの電圧V P A S Sの印加は以降の例においても同様である。

【 0 1 1 5 】

次に、選択ワード線W Lに、ベリファイ電圧S V 1 , S V 2を印加して、スマートベリファイ動作をそれぞれ行う。続いて、“ A ”ステートについてのベリファイ電圧A Vを印加して、プログラムベリファイ動作及びスマートベリファイ動作をそれぞれ行う。さらに、ベリファイ電圧S V 3 , S V 4を印加して、スマートベリファイ動作をそれぞれ行う。これらベリファイ電圧の大小関係は、例えば、 $S V 1 < S V 2 < A V < S V 3 < S V 4$ である。非選択ワード線W Lには、電圧V R E A Dを印加する。なお、この非選択ワード線W Lへの電圧V R E A Dの印加は以降の例においても同様である。

10

【 0 1 1 6 】

その後、1回目の書き込みループでプログラムベリファイがパスしない場合、電圧V P G Mに電圧 V が加算されたプログラム動作と、プログラムベリファイ電圧A Vを用いたプログラムベリファイ動作とを含む書き込みループが繰り返される。なお、2回目以降の書き込みループでは、スマートベリファイ動作は行わない。

20

【 0 1 1 7 】

前述した1回目の書き込みループのプログラムベリファイ動作では、選択ワード線W Lにベリファイ電圧S V 1 , S V 2 , A V , S V 3 , S V 4が順に印加され、スマートベリファイ動作がそれぞれ行われる。これらのスマートベリファイ動作により、フィードバック付き書き込みによる初回の電圧V P G Mが書き込み対象のメモリセルに対して適正であるか否かが検証される。

【 0 1 1 8 】

図15は、プログラム動作によって生じたメモリセルの閾値電圧分布と検証結果に基づいたステータス情報を示す。プログラム動作後、ベリファイ電圧S V 1 , S V 2 , A V , S V 3 , S V 4を用いてそれぞれスマートベリファイ動作を行うことで、閾値電圧分布の上裾が電圧S V 1 , S V 2 , A V , S V 3 , S V 4をそれぞれ超えたか否かの情報が得られる。閾値電圧分布の上裾がスマートベリファイ電圧を超えたと、閾値電圧がスマートベリファイ電圧を超えたと判定されるメモリセルの数が第1閾値以上になることである。これら情報に対して検証結果としてのステータス情報を割り当てる。このようにして、電圧V P G Mで書き込みを行った後の閾値電圧分布に応じた検証結果に基づいてステータス情報を生成する。

30

【 0 1 1 9 】

閾値電圧分布の情報をステータス情報に割り当てた場合の例を図15に示す。閾値電圧分布の情報は、5ビットのデータ列で表される。5ビットのデータ列のうち、下位ビット側から順に、閾値電圧分布の上裾がベリファイ電圧S V 1 , S V 2 , A V , S V 3 , S V 4をそれぞれ超えたか否かを示す。0が超えていない場合を示し、1が超えている場合を示す。

40

【 0 1 2 0 】

例えば、メモリセルの閾値電圧分布の上裾がベリファイ電圧S V 1を超えていない場合は、“ 0 0 0 0 0 ”で表される。閾値電圧分布の上裾がベリファイ電圧S V 1を超え、電圧S V 2を超えていない場合は、“ 0 0 0 0 1 ”で表される。閾値電圧分布の上裾がベリファイ電圧S V 2を超え、電圧A Vを超えていない場合は、“ 0 0 0 1 1 ”で表される。閾値電圧分布の上裾がベリファイ電圧A Vを超え、電圧S V 3を超えていない場合は、“ 0 0 1 1 1 ”で表される。閾値電圧分布の上裾がベリファイ電圧S V 3を超え、電圧S V 4を超えていない場合は、“ 0 1 1 1 1 ”で表される。さらに、閾値電圧分布の上裾がベ

50

リファイ電圧 $S V 4$ を超えている場合は、“ 1 1 1 1 1 ” で表される。

【 0 1 2 1 】

また、閾値電圧分布の情報は、3ビットのデータ列で表すことも可能である。ここでは、ステータス情報は6つの状態を記憶できればよい。従って、図 1 5 に示すように、3ビットのデータ列を用いれば6つの各状態を記憶できる。

【 0 1 2 2 】

検証結果としての5ビットまたは3ビットのデータ列は第2レジスタ170Bに格納される。コントローラ200は、例えば、取得コマンドによって格納レジスタ170Bに格納されたデータ列を取得し、データ列に基づいてグループ代表値を更新する。

【 0 1 2 3 】

図 1 6 は、図 8 のステップ S 1 0 で実行されるフィードバック付き書き込みの検証結果に基づいたグループ代表値更新とオーバープログラム発生の判定とを示す図である。コントローラ200は、図 1 6 に示すように、検証結果に基づいて、グループ代表値の更新、及びメモリセルにオーバープログラムが発生しているか否かの判定を行う。

【 0 1 2 4 】

図 1 6 に示すように、フィードバック付き書き込みのスマートベリファイ動作時点において、メモリセルの閾値電圧分布の上裾がベリファイ電圧 $S V 1$ を超えていない場合、すなわち、ベリファイ電圧 $S V 1$ を用いたスマートベリファイ動作でオフ状態となるメモリセルの数が第1閾値未満である場合、コントローラ200は、例えば、書き込みパラメータテーブル 2 2 0 A_2 内のグループ代表値を2段階上げて“電圧 $V P G M + 2 \times V$ ”

【 0 1 2 5 】

メモリセルの閾値電圧分布の上裾がベリファイ電圧 $S V 1$ を超え、電圧 $S V 2$ を超えていない場合、すなわち、ベリファイ電圧 $S V 1$ を用いたスマートベリファイ動作でオフ状態となるメモリセルの数が第1閾値以上であり、電圧 $S V 2$ を用いたスマートベリファイ動作でオフ状態となるメモリセルの数が第1閾値未満である場合、コントローラ200は、例えば、書き込みパラメータテーブル 2 2 0 A_2 内のグループ代表値を1段階上げて“電圧 $V P G M + V$ ”とし、またオーバープログラムの発生がないと判定する。

【 0 1 2 6 】

メモリセルの閾値電圧分布の上裾がベリファイ電圧 $S V 2$ を超え、電圧 $A V$ を超えていない場合、すなわち、ベリファイ電圧 $S V 2$ を用いたスマートベリファイ動作でオフ状態となるメモリセルの数が第1閾値以上であり、ベリファイ電圧 $A V$ を用いたスマートベリファイ動作でオフ状態となるメモリセルの数が第1閾値未満である場合、コントローラ200は、例えば、書き込みパラメータテーブル 2 2 0 A_2 内のグループ代表値をそのまま維持し、またオーバープログラムの発生がないと判定する。

【 0 1 2 7 】

メモリセルの閾値電圧分布の上裾がベリファイ電圧 $A V$ を超え、電圧 $S V 3$ を超えていない場合、すなわち、ベリファイ電圧 $A V$ を用いたスマートベリファイ動作でオフ状態となるメモリセルの数が第1閾値以上であり、電圧 $S V 3$ を用いたスマートベリファイ動作でオフ状態となるメモリセルの数が第1閾値未満である場合、コントローラ200は、例えば、書き込みパラメータテーブル 2 2 0 A_2 内のグループ代表値を1段階下げて“電圧 $V P G M - V$ ”とし、またオーバープログラムの発生がないと判定する。

【 0 1 2 8 】

メモリセルの閾値電圧分布の上裾がベリファイ電圧 $S V 3$ を超え、電圧 $S V 4$ を超えていない場合、すなわち、ベリファイ電圧 $S V 3$ を用いたスマートベリファイ動作でオフ状態となるメモリセルの数が第1閾値以上であり、電圧 $S V 4$ を用いたスマートベリファイ動作でオフ状態となるメモリセルの数が第1閾値未満である場合、コントローラ200は、例えば、書き込みパラメータテーブル 2 2 0 A_2 内のグループ代表値を2段階下げて“電圧 $V P G M - 2 \times V$ ”とし、またオーバープログラムの発生がないと判定する。

【 0 1 2 9 】

10

20

30

40

50

メモリセルの閾値電圧分布の上裾がベリファイ電圧 $S V 4$ を超えている場合、すなわち、ベリファイ電圧 $S V 4$ を用いたスマートベリファイ動作でオフ状態となるメモリセルが第1閾値以上である場合、コントローラ200は、例えば、書き込みパラメータテーブル220A₂内のグループ代表値を3段階下げて“電圧 $V P G M - 3 \times V$ ”とする。さらに、メモリセルにオーバープログラムが発生している疑いがあるため、コントローラ200は、オーバープログラムに対する回復処理を起動し、オーバープログラムが発生したメモリセルに書き込むべきデータを復旧し、そのデータの書き込みをNAND型フラッシュメモリ100に新たに指示する。以上により、処理を終了する。

【0130】

このようにして検証結果に基づいて更新されたグループ代表値は、次の書き込み動作の1回目の書き込みループにおいて初回の電圧 $V P G M$ として用いられる。これにより、オーバープログラムの発生を抑制しつつ、メモリセルの特性変化に応じて書き込み電圧を動的に調整することができ、書き込み動作に要する時間を短縮することができる。

【0131】

次に、2ステージプログラムにおける第1ステージの書き込み動作に、フィードバック付き書き込みを適用した例を、第2例として説明する。第2例は、第1ステージの書き込み動作における1回目の書き込みループのプログラムベリファイ動作に、追加のスマートベリファイ動作を設けたものである。

【0132】

図17は、第2例のフィードバック付き書き込みで行われるプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す。選択ワード線 $W L$ に初回の電圧 $V P G M$ を印加してプログラム動作を行う。次に、プログラムベリファイ動作において、選択ワード線 $W L$ に、ベリファイ電圧 $S V 1$ 、 $S V 2$ を印加して、スマートベリファイ動作をそれぞれ行う。続いて、“ $L M$ ”ステートについてのベリファイ電圧 $L M V$ を印加して、プログラムベリファイ動作及びスマートベリファイ動作をそれぞれ行う。さらに、ベリファイ電圧 $S V 3$ 、 $S V 4$ を印加して、スマートベリファイ動作をそれぞれ行う。これらベリファイ電圧の大小関係は、例えば、 $S V 1 < S V 2 < L M V < S V 3 < S V 4$ である。

【0133】

第2例の図14に示した第1例と異なる点は、ベリファイ電圧 $A V$ がベリファイ電圧 $L M V$ に換わり、ベリファイ電圧 $S V 1$ 、 $S V 2$ 、 $S V 3$ 、 $S V 4$ がベリファイ電圧 $L M V$ に応じた電圧になるだけである。その他の構成及び効果は、前述した第1例と同様である。なお、2ステージプログラムでは、第1ステージの書き込み動作の後、第2ステージの書き込み動作が実行されるが、第1ステージと第2ステージの書き込み動作で設定される書き込みパラメータは異なる。このため、コントローラ200は、第1ステージ及び第2ステージの書き込み動作における書き込みパラメータをそれぞれ管理する。すなわち、コントローラ200は、第1ステージ及び第2ステージの書き込み動作における書き込みパラメータを別々のテーブルで管理する。

【0134】

次に、2ステージプログラムにおける第2ステージの書き込み動作に、フィードバック付き書き込みを適用した例を、第3例として説明する。第3例は、第2ステージの書き込み動作における1回目の書き込みループのプログラムベリファイ動作に、追加のスマートベリファイ動作を設けたものである。

【0135】

図18は、第3例のフィードバック付き書き込みで行われるプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す。第3例では、第2ステージの書き込み動作において8値を書くためにLowerページのデータ、すなわち“ $L M$ ”データの復元が必要である。このため、“ $L M$ ”データの読み出し電圧 $L M R$ を用いて読み出しを行う。その後、選択ワード線 $W L$ に初回の電圧 $V P G M$ を印加してプログラム動作を行う。次に、プログラムベリファイ動作において、選択ワード線 $W L$ に、ベリファイ電圧 $S V 1$ 、 $S V 2$ を印加して、スマートベリファイ動作をそれぞれ行う。続いて、“ A ”ステートについ

10

20

30

40

50

てのベリファイ電圧 $A V$ を印加して、プログラムベリファイ動作及びスマートベリファイ動作をそれぞれ行う。さらに、ベリファイ電圧 $S V 3$, $S V 4$ を印加して、スマートベリファイ動作をそれぞれ行う。これらベリファイ電圧の大小関係は、例えば、 $S V 1 < S V 2 < A V < S V 3 < S V 4$ である。

【 0 1 3 6 】

第 3 例の図 1 4 に示した第 1 例と異なる点は、“ A ” ステートの書き込み動作前に、読み出し電圧 $L M R$ での読み出しがあるだけである。その他の構成及び効果は、前述した第 1 例と同様である。

【 0 1 3 7 】

< 第 2 実施形態のフィードバック付き書き込み (第 4 例 ~ 第 6 例) >

次に、第 2 実施形態のフィードバック付き書き込みを適用した例として、第 4 例 ~ 第 6 例を説明する。第 4 例では、スマートベリファイによる書き込みパラメータの検知を、“ A ” ステートのプログラムベリファイ電圧 $A V$ を用いて行う。スマートベリファイにパスしたら、オーバープログラムが発生したか否かを判定するベリファイ動作を行う。このベリファイ動作には、ベリファイ電圧 $A V$ より高いベリファイ電圧 $A V H$ を用いる。以降、オーバープログラムの発生を判定するベリファイを $O P$ ベリファイ動作と称する。

【 0 1 3 8 】

図 1 9 は、第 4 例のフィードバック付き書き込みで行われるプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す。図 2 0 は、プログラム動作後のメモリセルの閾値電圧分布を示す。第 4 例では、図 1 9 に示すように、プログラム動作の後、プログラムベリファイ電圧 $A V$ をスマートベリファイ電圧として用いてスマートベリファイ動作を行う。閾値電圧がプログラムベリファイ電圧 $A V$ 以上であると判定されたメモリセルの数が第 1 閾値以上であるか否かを判定するスマートベリファイ動作を行い、スマートベリファイにパスしたら、プログラムベリファイ電圧 $A V$ より高いベリファイ電圧 $A V H$ を用いた $O P$ ベリファイ動作を行う。

【 0 1 3 9 】

図 1 9 に示すように、1 回目の書き込みループでは、選択ワード線 $W L$ に初回の電圧 $V P G M$ を印加してプログラム動作を行う。続いて、選択ワード線 $W L$ に、“ A ” ステートのベリファイ電圧 $A V$ を印加して、スマートベリファイ動作を行う。例えばここでは、閾値電圧がプログラムベリファイ電圧 $A V$ 以上であると判定されたメモリセルの数が第 1 閾値以上でなく、スマートベリファイがフェイルであるとして、2 回目の書き込みループに進む。

【 0 1 4 0 】

2 回目の書き込みループでは、選択ワード線 $W L$ に“電圧 $V P G M + V$ ” を印加して、プログラム動作を行う。続いて、選択ワード線 $W L$ に、“ A ” ステートのベリファイ電圧 $A V$ を印加して、スマートベリファイ動作を行う。ここでも、閾値電圧がプログラムベリファイ電圧 $A V$ 以上であると判定されたメモリセルの数が第 1 閾値以上でなく、スマートベリファイがフェイルであるとして、3 回目の書き込みループに進む。

【 0 1 4 1 】

3 回目の書き込みループでは、選択ワード線 $W L$ に“電圧 $V P G M + 2 V$ ” を印加して、プログラム動作を行う。続いて、選択ワード線 $W L$ に、“ A ” ステートのベリファイ電圧 $A V$ を印加して、スマートベリファイ動作を行う。例えばここでは、閾値電圧がプログラムベリファイ電圧 $A V$ 以上であると判定されたメモリセルの数が第 1 閾値以上であり、スマートベリファイにパスしたと判定される。スマートベリファイにパスすると、選択ワード線 $W L$ にベリファイ電圧 $A V$ より高い電圧 $A V H$ を印加して、 $O P$ ベリファイ動作を行う。電圧 $A V H$ は、オーバープログラムを検出するためのベリファイ電圧である。

【 0 1 4 2 】

前述したように、図 1 9 に示す例は、書き込み動作の 3 回目の書き込みループのスマートベリファイ動作において、“ A ” ステートのベリファイ電圧 $A V$ によるスマートベリファイがパスした例である。スマートベリファイにパスすると、追加のベリファイ電圧 $A V$

10

20

30

40

50

HによるOPベリファイ動作が実行される。コントローラ200は、ベリファイ電圧AVHによるOPベリファイ動作によって得られる検証結果に基づいて、オーバープログラムが発生しているか否かを判定する。OPベリファイ動作では、閾値電圧がベリファイ電圧AVHを超えたと判定されるメモリセルの数が第2閾値以上であるとき、オーバープログラムが発生していると判定される。

【0143】

次に、第4例における検証結果に基づいてステータス情報を決定する手法について説明する。図21は、フィードバック付き書き込みによって得られた検証結果に基づいて決定されるステータス情報の一例を示す。

【0144】

この第4例では、NAND型フラッシュメモリ100は、フィードバック付き書き込みの検証結果として、ベリファイ電圧AVを用いたスマートベリファイにパスした書き込みループ数と、OPベリファイ動作によるオーバープログラム発生の有無情報を取得する。なお、OPベリファイ動作によりオーバープログラムの発生有りと判定されるのは、閾値電圧がベリファイ電圧AVHを超えたと判定されるメモリセルの数が第2閾値以上の場合である。

【0145】

NAND型フラッシュメモリ100は、書き込みループ数、及びOPベリファイ動作によるオーバープログラム発生の有無情報に基づいて、図21に示すように、8ビットのステータス情報[7:0]を決定する。ステータス情報[7]がオーバープログラムの発生の有無を表し、ステータス情報[6:0]がベリファイ電圧AVのスマートベリファイにパスした書き込みループ数を表す。

【0146】

図21に示す(a)行は、ベリファイ電圧AVのスマートベリファイにパスした書き込みループ数が1回で、かつスマートベリファイのパス時にオーバープログラムの発生がある場合である。この場合、ステータス情報[7:0]は、“10000001”となる。

【0147】

図21に示す(b)行は、ベリファイ電圧AVのスマートベリファイにパスした書き込みループ数が1回で、かつスマートベリファイのパス時にオーバープログラムの発生が無い場合である。この場合、ステータス情報[7:0]は、“00000001”となる。

【0148】

図21に示す(c)行は、ベリファイ電圧AVのスマートベリファイにパスした書き込みループ数が2回で、かつスマートベリファイのパス時にオーバープログラムの発生がある場合である。この場合、ステータス情報[7:0]は、“10000010”となる。

【0149】

図21に示す(d)行は、ベリファイ電圧AVのスマートベリファイにパスした書き込みループ数が2回で、かつスマートベリファイのパス時にオーバープログラムの発生が無い場合である。この場合、ステータス情報[7:0]は、“00000010”となる。

【0150】

図21に示す(e)行は、ベリファイ電圧AVのスマートベリファイにパスした書き込みループ数が3回で、かつスマートベリファイのパス時にオーバープログラムの発生がある場合である。この場合、ステータス情報[7:0]は、“10000011”となる。

【0151】

図21に示す(f)行は、ベリファイ電圧AVのスマートベリファイにパスした書き込みループ数が3回で、かつスマートベリファイのパス時にオーバープログラムの発生が無い場合である。この場合、ステータス情報[7:0]は、“00000011”となる。

【0152】

図21に示す(g)行は、ベリファイ電圧AVのスマートベリファイにパスした書き込みループ数が4回で、かつスマートベリファイのパス時にオーバープログラムの発生がある場合である。この場合、ステータス情報[7:0]は、“10000100”となる。

10

20

30

40

50

【 0 1 5 3 】

図 2 1 に示す (h) 行は、ベリファイ電圧 A V のスマートベリファイにパスした書き込みループ数が 4 回で、かつスマートベリファイのパス時にオーバープログラムの発生が無い場合である。この場合、ステータス情報 [7 : 0] は、“ 0 0 0 0 0 1 0 0 ” となる。

【 0 1 5 4 】

N A N D 型フラッシュメモリ 1 0 0 は、フィードバック付き書き込みにより得られた検証結果を、ステータス情報 [7 : 0] として第 2 レジスタ 1 7 0 B に記憶する。続いて、コントローラ 2 0 0 は、例えば、取得コマンドによって第 2 レジスタ 1 7 0 B からステータス情報を取得し、検証結果としてのステータス情報に基づいてグループ代表値の更新及び回復処理を行う。例えば、コントローラ 2 0 0 は、回復処理のためのコマンドを N A N D 型フラッシュメモリ 1 0 0 に送信する。

10

【 0 1 5 5 】

次に、第 4 例における検証結果に基づいたグループ代表値の更新及び回復処理の有無について説明する。図 2 2 は、検証結果としてのステータス情報に基づいたグループ代表値の更新及び回復処理の実行の有無を示す。図 2 2 に示す (a) ~ (h) の検証結果は、図 2 1 に示した (a) ~ (h) のそれらと同様である。

【 0 1 5 6 】

コントローラ 2 0 0 は、検証結果が図 2 2 に示す (a) の場合、オーバープログラムが発生している懸念が高いため、グループ代表値として設定される電圧 V P G M を 3 段階下げて “ 電圧 V P G M - 3 × V ” とし、かつ回復処理を行う。図 2 2 に示す (b) の場合、オーバープログラムが発生していないが、他のワード線への適用はできないため、グループ代表値として設定される電圧 V P G M を 2 段階下げて “ 電圧 V P G M - 2 × V ” とし、また回復処理を行わない。図 2 2 に示す (c) の場合、他のワード線への適用はできないため、グループ代表値として設定される電圧 V P G M を 1 段階下げて “ 電圧 V P G M - V ” とし、かつ回復処理を行う。図 2 0 に示す (d) の場合、他のワード線へ適用して良いとし、グループ代表値として設定されている電圧 V P G M をそのまま維持し、回復処理を行わない。図 2 0 に示す (e) の場合、他のワード線への適用が可能であるが、グループ代表値として設定される電圧 V P G M を 1 段階上げて “ 電圧 V P G M + V ” とし、かつ回復処理を行う。図 2 2 に示す (f) の場合、グループ代表値として設定される電圧 V P G M を 1 段階上げて “ 電圧 V P G M + V ” とし、また回復処理を行わない。図 2 2 に示す (g) の場合、グループ代表値として設定される電圧 V P G M を 2 段階上げて “ 電圧 V P G M + 2 × V ” とし、かつ回復処理を行う。さらに、図 2 2 に示す (h) の場合、グループ代表値として設定される電圧 V P G M を 2 段階上げて “ 電圧 V P G M + 2 × V ” とし、また回復処理を行わない。

20

30

【 0 1 5 7 】

第 4 例では、このようにベリファイ電圧 A V を用いたスマートベリファイにパスした後、ベリファイ電圧 A V より高い電圧 A V H を用いた O P ベリファイ動作を行うことにより、オーバープログラムが発生したか否かを判定する。これにより、オーバープログラムが発生したメモリセルに書き込まれるべきデータに対して回復処理を行うことができ、メモリシステムとしてのデータの損失を防ぐことができる。

40

【 0 1 5 8 】

次に、2 ステージプログラムにおける第 1 ステージの書き込み動作に、第 2 実施形態を適用した例を、第 5 例として説明する。第 5 例では、スマートベリファイによる書き込みパラメータの検知を、“ L M ” ステートのプログラムベリファイ電圧 L M V を用いて行う。スマートベリファイにパスしたら、ベリファイ電圧 L M V より高いベリファイ電圧 L M V H を用いた O P ベリファイ動作を行う。

【 0 1 5 9 】

図 2 3 は、第 5 例のフィードバック付き書き込みで行われるプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す。第 5 例では、図 2 3 に示すように、プログラム動作の後、プログラムベリファイ電圧 L M V をスマートベリファイ電圧として用い

50

てスマートベリファイ動作を行う。スマートベリファイ動作では、閾値電圧がプログラムベリファイ電圧LMV以上であると判定されたメモリセルの数が第1閾値以上であるか否かを判定する。スマートベリファイにパスしたら、プログラムベリファイ電圧LMVより高いベリファイ電圧LMVHを用いたOPベリファイ動作によりオーバープログラムが発生しているか否かを判定する。

【0160】

第5例は、書き込み動作の3回目の書き込みループにおいて、“LM”状態のベリファイ電圧LMVによるスマートベリファイがパスした例を示す。スマートベリファイにパスすると、追加のベリファイ電圧LMVHによるOPベリファイ動作が行われる。OPベリファイ動作では、閾値電圧がベリファイ電圧LMVHを超えたと判定されるメモリセルの数が第2閾値以上であるとき、オーバープログラムが発生していると判定される。

10

【0161】

NAND型フラッシュメモリ100は、ベリファイ電圧LMVによるスマートベリファイにパスした書き込みループ数と、OPベリファイ動作によるオーバープログラム発生の有無情報に基づいてステータス情報を決定し、第2レジスタ170Bに記憶する。コントローラ200は、第2レジスタ170Bから検証結果としてのステータス情報を取得し、ステータス情報に基づいてグループ代表値の更新及び回復処理を行う。

【0162】

第4例における図20、図21、及び図22を用いた説明は、電圧AVを電圧LMVに、電圧AVHを電圧LMVHに、“A”を“LM”にそれぞれ置き換えれば、第5例においても同様に適用できるため、それらの説明は省略する。その他の構成及び効果は前述した第4例と同様である。

20

【0163】

次に、2ステージプログラムにおける第2ステージの書き込み動作に、第2実施形態を適用した例を、第6例として説明する。第6例では、スマートベリファイによる書き込みパラメータの検知を、“A”状態のプログラムベリファイ電圧AVを用いて行う。スマートベリファイにパスしたら、ベリファイ電圧AVHを用いたOPベリファイ動作を行う。

【0164】

図24は、第6例のフィードバック付き書き込みで行われるプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す。第6例では、第2ステージにおいて8値を書くためにLowerページのデータ、すなわち“LM”データの復元が必要である。このため、“LM”データの読み出し電圧LMRを用いて読み出しを行う。その後、第4例と同様に、選択ワード線WLに初回の電圧VPGMを印加してプログラム動作を行う。プログラム動作の後、プログラムベリファイ電圧AVをスマートベリファイ電圧として用いてスマートベリファイ動作を行う。スマートベリファイ動作では、閾値電圧がプログラムベリファイ電圧AV以上であると判定されたメモリセルの数が第1閾値以上であるか否かを判定する。スマートベリファイにパスしたら、プログラムベリファイ電圧AVより高いベリファイ電圧AVHを用いたOPベリファイ動作によりオーバープログラムが発生しているか否かを判定する。

30

40

【0165】

図19に示した第4例と異なる点は、“A”状態の書き込み動作前に、読み出し電圧LMRでの読み出しがあるだけである。その他の構成及び効果は、前述した第4例と同様である。

【0166】

<第3実施形態のフィードバック付き書き込み(第7例~第9例)>

次に、第3実施形態のフィードバック付き書き込みを適用した例として、第7例~第9例を説明する。第7例では、スマートベリファイによる書き込みパラメータの検知を、スマートベリファイ電圧SVを用いて行う。スマートベリファイにパスしたら、“A”状態のプログラムベリファイ電圧AVを用いたOPベリファイ動作を行う。スマートベリ

50

ファイ電圧 $S V$ は、“ A ” ステートのプログラムベリファイ電圧 $A V$ より低い。

【 0 1 6 7 】

図 2 5 は、第 7 例のフィードバック付き書き込みで行われるプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す。図 2 6 は、プログラム動作後のメモリセルの閾値電圧分布を示す。第 7 例では、図 2 5 に示すように、プログラム動作の後、スマートベリファイ電圧 $S V$ を用いたスマートベリファイ動作を行い、スマートベリファイにパスしたら、プログラムベリファイ電圧 $A V$ を用いた $O P$ ベリファイ動作を行う。

【 0 1 6 8 】

図 2 5 に示すように、1 回目の書き込みループでは、選択ワード線 $W L$ に初回の電圧 $V P G M$ を印加してプログラム動作を行う。続いて、選択ワード線 $W L$ に、スマートベリファイ電圧 $S V$ を印加して、スマートベリファイ動作を行う。例えばここでは、閾値電圧がスマートベリファイ電圧 $S V$ 以上であると判定されたメモリセルの数が第 1 閾値以上でなく、スマートベリファイがフェイルであるとして、2 回目の書き込みループに進む。

【 0 1 6 9 】

2 回目の書き込みループでは、選択ワード線 $W L$ に“電圧 $V P G M + V$ ” を印加して、プログラム動作を行う。続いて、選択ワード線 $W L$ に、スマートベリファイ電圧 $S V$ を印加して、スマートベリファイ動作を行う。ここでも、閾値電圧がスマートベリファイ電圧 $S V$ 以上であると判定されたメモリセルの数が第 1 閾値以上でなく、スマートベリファイがフェイルであるとして、3 回目の書き込みループに進む。

【 0 1 7 0 】

3 回目の書き込みループでは、選択ワード線 $W L$ に“電圧 $V P G M + 2 V$ ” を印加して、プログラム動作を行う。続いて、選択ワード線 $W L$ に、スマートベリファイ電圧 $S V$ を印加して、スマートベリファイ動作を行う。例えばここでは、閾値電圧がスマートベリファイ電圧 $S V$ 以上であると判定されたメモリセルの数が第 1 閾値以上であり、スマートベリファイにパスしたと判定される。スマートベリファイにパスすると、選択ワード線 $W L$ にスマートベリファイ電圧 $S V$ より高い、“ A ” ステートのプログラムベリファイ電圧 $A V$ を印加して、プログラムベリファイ電圧 $A V$ を用いた $O P$ ベリファイ動作を行う。プログラムベリファイ電圧 $A V$ を用いた $O P$ ベリファイ動作では、閾値電圧がベリファイ電圧 $A V$ を超えたと判定されるメモリセルの数が第 2 閾値以上であるとき、オーバープログラムが発生したと判定される。

【 0 1 7 1 】

第 7 例における検証結果に基づいてステータス情報を決定する手法、及び検証結果に基づいたグループ代表値の更新及び回復処理の有無については、図 2 1 及び図 2 2 における電圧 $A V$ を電圧 $S V$ に置き換えればよく、その他は第 4 例と同様である。

【 0 1 7 2 】

第 7 例では、このようにスマートベリファイ電圧 $S V$ を用いたスマートベリファイにパスした後、スマートベリファイ電圧 $S V$ より高いプログラムベリファイ電圧 $A V$ を用いた $O P$ ベリファイ動作を行うことにより、オーバープログラムが発生したか否かを判定する。これにより、オーバープログラムが発生したメモリセルに書き込まれるべきデータに対して回復処理を行うことができ、メモリシステムとしてのデータの損失を防ぐことができる。

【 0 1 7 3 】

次に、2 ステージプログラムにおける第 1 ステージの書き込み動作に、第 3 実施形態を適用した例を、第 8 例として説明する。第 8 例では、スマートベリファイによる書き込みパラメータの検知を、スマートベリファイ電圧 $S V$ を用いて行う。スマートベリファイにパスしたら、“ $L M$ ” ステートのプログラムベリファイ電圧 $L M V$ を用いた $O P$ ベリファイ動作を行う。スマートベリファイ電圧 $S V$ は、“ $L M$ ” ステートのプログラムベリファイ電圧 $L M V$ より低い。

【 0 1 7 4 】

図 2 7 は、第 8 例のフィードバック付き書き込みで行われるプログラム動作とプログラ

10

20

30

40

50

ムベリファイ動作におけるワード線電圧を示す。第8例は、書き込み動作の3回目の書き込みループにおいて、スマートベリファイ電圧S Vによるスマートベリファイがパスした例を示す。スマートベリファイにパスすると、選択ワード線W Lにスマートベリファイ電圧S Vより高い、“LM”ステートのプログラムベリファイ電圧LM Vを印加して、OPベリファイ動作を行う。OPベリファイ動作では、閾値電圧がプログラムベリファイ電圧LM Vを超えたと判定されるメモリセルの数が第2閾値以上であるとき、オーバープログラムが発生していると判定される。

【0175】

NAND型フラッシュメモリ100は、スマートベリファイ電圧S Vを用いたスマートベリファイにパスした書き込みループ数と、OPベリファイ動作によるオーバープログラム発生の有無情報に基づいてステータス情報を決定し、第2レジスタ170 Bに記憶する。コントローラ200は、例えば、取得コマンドによって第2レジスタ170 Bから検証結果としてのステータス情報を取得し、ステータス情報に基づいてグループ代表値の更新及び回復処理を行う。

10

【0176】

第4例における図20、図21、及び図22を用いた説明は、電圧A Vを電圧S Vに、電圧A V Hを電圧LM Vに、“A”を“LM”にそれぞれ置き換えれば、第8例においても同様に適用できるため、それらの説明は省略する。その他の構成及び効果は前述した第4例と同様である。

【0177】

次に、2ステージプログラムにおける第2ステージの書き込み動作に、第3実施形態を適用した例を、第9例として説明する。第9例では、スマートベリファイによる書き込みパラメータの検知を、スマートベリファイ電圧S Vを用いて行う。スマートベリファイにパスしたら、“A”ステートのプログラムベリファイ電圧A Vを用いたOPベリファイ動作を行う。スマートベリファイ電圧S Vは、“A”ステートのプログラムベリファイ電圧A Vより低い。

20

【0178】

図28は、第9例のフィードバック付き書き込みで行われるプログラム動作とプログラムベリファイ動作におけるワード線電圧を示す。第9例では、第2ステージにおいて8値を書くためにLowerページのデータ、すなわち“LM”データの復元が必要である。このため、“LM”データの読み出し電圧LM Rを用いて読み出しを行う。その後、第7例と同様に、選択ワード線W Lに初回の電圧V P G Mを印加してプログラム動作を行う。プログラム動作の後、スマートベリファイ電圧S Vを用いてスマートベリファイ動作を行う。スマートベリファイにパスしたら、プログラムベリファイ電圧A Vを用いたOPベリファイ動作を行う。

30

【0179】

図25に示した第7例と異なる点は、“A”ステートの書き込み動作前に、読み出し電圧LM Rでの読み出しがあるだけである。その他の構成及び効果は、前述した第7例と同様である。

【0180】

1.3 タイミングチャート及びコマンドシーケンス

次に、図29～図36を用いて、実施形態の検知書き込み、適用書き込み、及びフィードバック付き書き込みのタイミングチャート及びコマンドシーケンスについて説明する。

40

【0181】

図29は、実施形態の検知書き込み、適用書き込み、及びフィードバック付き書き込みによるページ書き込みのタイミングチャートの一例である。このタイミングチャートに従い、コントローラ200がNAND型フラッシュメモリ100に検知書き込み、適用書き込み、あるいはフィードバック付き書き込みを指示する。各信号は、ハイアクティブ信号（あるいは正論理信号）とローアクティブ信号（あるいは負論理信号）のいずれか一方により表す場合と、正論理信号と負論理信号の両方により表す場合がある。ローアクティブ

50

信号は、本明細書及び図中では信号を表す記号の前に / を、あるいは信号を表す記号にオーバーライン（又は上線）を付して表現する。

【 0 1 8 2 】

まず、チップイネーブル信号 / C E が活性化されるとともに、コマンドラッチイネーブル信号 C L E が活性化され、アドレスラッチイネーブル信号 A L E が非活性化され、相補信号であるリードイネーブル信号 / R E 及び R E が非活性化される。さらに、ライトイネーブル信号 / W E が活性化され、I / O 信号 D Q x によるプレフィックスコマンド “ y y h ” が検知書き込みを指示するコマンドとして N A N D 型フラッシュメモリ 1 0 0 に取り込まれる。I / O 信号は、複数ビットの信号、例えば D Q 0 ~ D Q 7 からなるが、複数ビットをまとめて I / O 信号 D Q x と称する。なお、適用書き込みを指示する場合は “ y y h ” と異なる “ y x h ” を用い、フィードバック付き書き込みを指示する場合は “ y y h ” 、 “ y x h ” と異なる “ y z h ” をそれぞれ用いる。あるいは、プレフィックスコマンドを付加しないことによって、適用書き込みを指示してもよい。

10

【 0 1 8 3 】

次に、コマンドラッチイネーブル信号 C L E が非活性化され、アドレスラッチイネーブル信号 A L E が活性化され、ライトイネーブル信号 / W E の活性化に同期して、I / O 信号 D Q x により書き込み先のカラムアドレス (Column Address) とロウアドレス (Row Address) が N A N D 型フラッシュメモリ 1 0 0 に取り込まれる。

【 0 1 8 4 】

この後、アドレスラッチイネーブル信号 A L E が非活性化され、データストロープ信号 D Q S 及び / D Q S のトグルに同期して書き込みデータ D 0 , D 1 , ... , D N が N A N D 型フラッシュメモリ 1 0 0 に取り込まれる。データ D 0 , D 1 , ... , D N は、1 ページ分のデータに相当する。

20

【 0 1 8 5 】

データが取り込まれた後、I / O 信号 D Q x によりチップ内部のプログラム開始コマンド “ 1 0 h ” が N A N D 型フラッシュメモリ 1 0 0 に伝送され、プログラム動作が開始される。書き込み期間 t P R O G は、レディ / ビジー信号 (R / B) が ビジー とされる。

【 0 1 8 6 】

その後、I / O 信号 D Q x によりステータスリードコマンド “ 7 0 h ” が N A N D 型フラッシュメモリ 1 0 0 に伝送される。続いて、例えば I / O 信号 D Q 0 が N A N D 型フラッシュメモリ 1 0 0 からコントローラ 2 0 0 に返信される。コントローラ 2 0 0 は、I / O 信号 D Q 0 によりプログラム動作が成功したか、失敗したかを判定する。例えば、I / O 信号 D Q 0 = 0 ならばプログラム動作が成功と判定され、I / O 信号 D Q 0 = 1 ならばプログラム動作が失敗と判定される。

30

【 0 1 8 7 】

以降の図でも同様であるが、コマンドを示す英数字はあくまでも一例であり、これらの英数字に何ら限定されない。

【 0 1 8 8 】

図 3 0 は、フルシーケンスプログラムによる検知書き込み、適用書き込み、及びフィードバック付き書き込みを指示するコマンドシーケンスを示す。このコマンドシーケンスに従い、コントローラ 2 0 0 が N A N D 型フラッシュメモリ 1 0 0 に検知書き込み、適用書き込み、あるいはフィードバック付き書き込みを指示する。なお、1 行目の時間軸の A 端は 2 行目の時間軸の A 端に続き、2 行目の時間軸の B 端は 3 行目の時間軸の B 端に続く。

40

【 0 1 8 9 】

前述したように、プレフィックスコマンド “ y z h ” は、フィードバック付き書き込みを示し、図示しないプレフィックスコマンド “ y y h ” は検知書き込みを、プレフィックスコマンド “ y x h ” は適用書き込みをそれぞれ示す。このように、プレフィックスコマンドの種類により、検知書き込み、適用書き込み、あるいはフィードバック付き書き込みのいずれかを指示することができる。あるいは、プレフィックスコマンドを付加しないことによって、適用書き込みを指示してもよい。図 3 0 では、フィードバック付き書き込み

50

を指示する場合を示す。

【0190】

I/O信号DQxにより、フィードバック付き書き込みを指示するプレフィックスコマンド“yzh”が伝送され、プレフィックスコマンド“yzh”に後続してデータが伝送される。このデータは、書き込みパラメータを示す情報を含む。NAND型フラッシュメモリ100は、プレフィックスコマンド“yzh”に後続するデータを受け取り、このデータに基づいて第1レジスタ170Aに書き込みパラメータを設定する。ここでは、プレフィックスコマンド“yzh”の伝送直後に、データにより書き込みパラメータを伝送したが、セットフィーチャー(Set feature)コマンドによって書き込みパラメータを伝送してもよい。セットフィーチャーコマンドについては後述する。

10

【0191】

プレフィックスコマンド“yzh”に後続してデータが伝送された後、lowerページを示すコマンド“01h”が伝送され、その後、データ入力を示すコマンド“80h”が伝送される。データ入力コマンド“80h”は、通常書き込みコマンドと同じであってもよい。

【0192】

次に、図29に示したシーケンスと同様にデータ入力コマンド“80h”に続いて、コラムアドレスCA1, CA2、ロウアドレスRA1, RA2, RA3が供給される。ロウアドレスRA3に後続するデータ入力は、図29に示した書き込みデータD0, D1, ..., DNに対応する。データD0, D1, ..., DNは、1ページ(lowerページ)分のデータに相当する。

20

【0193】

lowerページのデータ入力後のコマンド“1Ah”は、例えば、NAND型フラッシュメモリ100内の内部バッファ(図示しない)に書き込みデータを一時的に保持させるコマンドである。書き込みデータの内部バッファへの転送中は、レディ/ビジー信号(R/B)がビジーとされる。

【0194】

その後、lowerページの場合と同様に、middleページを示すコマンド“02h”が伝送された後、middleページの書き込みデータが供給され、さらに、upperページを示すコマンド“03h”が伝送された後、upperページの書き込みデータが供給される。upperページのデータ入力後のコマンド“10h”は、NAND型フラッシュメモリ100内部のプログラム開始コマンドであり、これによりメモリセルアレイ110への書き込みデータの一括書き込みが開始される。書き込み期間tPROGは、レディ/ビジー信号(R/B)がビジーとされる。

30

【0195】

図31(a), (b)は、2ステージプログラムによる検知書き込み、適用書き込み、及びフィードバック付き書き込みを指示するコマンドシーケンスを示す。このコマンドシーケンスに従い、コントローラ200がNAND型フラッシュメモリ100に検知書き込み、適用書き込み、あるいはフィードバック付き書き込みを指示する。

【0196】

図31(a)は第1ステージの書き込みを表し、図31(b)は第2ステージの書き込みを表す。前述したように、プレフィックスコマンド“yzh”は、フィードバック付き書き込みを示し、図示しないプレフィックスコマンド“yyh”は検知書き込みを、プレフィックスコマンド“yxh”は適用書き込みをそれぞれ示す。あるいは、プレフィックスコマンドを付加しないことによって、適用書き込みを指示してもよい。図31(a), (b)では、フィードバック付き書き込みを指示する場合を示す。

40

【0197】

第1ステージの書き込みは、図31(a)に示すように実行される。まず、I/O信号DQxにより、フィードバック付き書き込みを指示するプレフィックスコマンド“yzh”が伝送され、プレフィックスコマンド“yzh”に後続してデータが伝送される。NA

50

NAND型フラッシュメモリ100は、プレフィックスコマンド“y z h”に後続するデータを受け取り、このデータに基づいて第1レジスタ170Aに書き込みパラメータを設定する。データによる書き込みパラメータの伝送に換えて、セットフィーチャーコマンドによって書き込みパラメータを伝送してもよい。

【0198】

プレフィックスコマンド“y z h”に後続してデータが伝送された後、lowerページを示すコマンド“01h”が伝送され、その後、データ入力を示すコマンド“80h”が伝送される。データ入力コマンド“80h”に続いて、カラムアドレスCA1、CA2、及びロウアドレスRA1、RA2、RA3が供給される。さらに、ロウアドレスRA3に後続して、書き込みデータが供給される。

10

【0199】

lowerページの書き込みデータ供給後のコマンド“10h”は、NAND型フラッシュメモリ100内部のプログラム開始コマンドであり、これによりメモリセルアレイ110への書き込みデータの書き込みが開始される。書き込み期間tPROG1は、レディ/ビジー信号(R/B)がビジーとされる。

【0200】

次に、第2ステージの書き込みは、図31(b)に示すように実行される。まず、I/O信号DQxにより、フィードバック付き書き込みを指示するプレフィックスコマンド“y z h”が伝送され、プレフィックスコマンド“y z h”に後続してデータが伝送される。NAND型フラッシュメモリ100は、プレフィックスコマンド“y z h”に後続するデータを受け取り、このデータに基づいて第1レジスタ170Aに書き込みパラメータを設定する。データによる書き込みパラメータの伝送に換えて、セットフィーチャーコマンドによって書き込みパラメータを伝送してもよい。

20

【0201】

プレフィックスコマンド“y z h”に後続してデータが伝送された後、middleページを示すコマンド“02h”が伝送され、その後、データ入力を示すコマンド“80h”が伝送される。データ入力コマンド“80h”に続いて、カラムアドレスCA1、CA2、及びロウアドレスRA1、RA2、RA3が供給される。さらに、ロウアドレスRA3に後続して、書き込みデータが供給される。書き込みデータ供給後のコマンド“1Ah”は、NAND型フラッシュメモリ100内のバッファに書き込みデータを一時的に保持させるコマンドである。

30

【0202】

その後、middleページの場合と同様に、upperページを示すコマンド“03h”が伝送された後、upperページの書き込みデータが供給される。upperページの書き込みデータ供給後のコマンド“10h”は、NAND型フラッシュメモリ100内部のプログラム開始コマンドであり、これによりメモリセルアレイ110への書き込みデータの書き込みが開始される。書き込み期間tPROG2は、レディ/ビジー信号(R/B)がビジーとされる。

【0203】

図32(a)、(b)は、foggy & fineによる検知書き込み、適用書き込み、及びフィードバック付き書き込みを指示するコマンドシーケンスを示す。foggy & fineでは、第1ステージの書き込みで粗く書き込み、第2ステージの書き込みで詳細に書き込む。このコマンドシーケンスに従い、コントローラ200がNAND型フラッシュメモリ100に検知書き込み、適用書き込み、あるいはフィードバック付き書き込みを指示する。

40

【0204】

図32(a)は第1ステージの書き込みを表し、図32(b)は第2ステージ2段階目の書き込みを表す。前述したように、プレフィックスコマンド“y z h”は、フィードバック付き書き込みを示し、図示しないプレフィックスコマンド“y y h”は検知書き込みを、プレフィックスコマンド“y x h”は適用書き込みをそれぞれ示す。あるいは、プレフィックスコマンドを付加しないことによって、適用書き込みを指示してもよい。図32(a)、(b)では、フィードバック付き書き込みを指示する場合を示す。

50

【 0 2 0 5 】

第 1 ステージの書き込みは、図 3 2 (a) に示すように実行される。まず、I / O 信号 D Q x により、フィードバック付き書き込みを指示するプレフィックスコマンド “ y z h ” が伝送され、プレフィックスコマンド “ y z h ” に後続してデータが伝送される。N A N D 型フラッシュメモリ 1 0 0 は、プレフィックスコマンド “ y z h ” に後続するデータを受け取り、このデータに基づいて第 1 レジスタ 1 7 0 A に書き込みパラメータを設定する。データによる書き込みパラメータの伝送に換えて、セットフィーチャーコマンドによって書き込みパラメータを伝送してもよい。

【 0 2 0 6 】

プレフィックスコマンド “ y z h ” に後続してデータが伝送された後、lower ページを示すコマンド “ 0 1 h ” が伝送され、その後、データ入力を示すコマンド “ 8 0 h ” が伝送される。データ入力コマンド “ 8 0 h ” に続いて、カラムアドレス C A 1 , C A 2 、及びロウアドレス R A 1 , R A 2 , R A 3 が供給される。さらに、ロウアドレス R A 3 に後続して、書き込みデータが供給される。lower ページの書き込みデータ供給後のコマンド “ 1 A h ” は、N A N D 型フラッシュメモリ 1 0 0 内の内部バッファに書き込みデータを一時的に保持させるコマンドである。

10

【 0 2 0 7 】

その後、lower ページの場合と同様に、middle ページを示すコマンド “ 0 2 h ” が伝送された後、middle ページの書き込みデータが供給される。middle ページの書き込みデータ供給後のコマンド “ 1 A h ” は、N A N D 型フラッシュメモリ 1 0 0 内の内部バッファに書き込みデータを一時的に保持させるコマンドである。

20

【 0 2 0 8 】

その後、middle ページの場合と同様に、upper ページを示すコマンド “ 0 3 h ” が伝送された後、upper ページの書き込みデータが供給される。upper ページの書き込みデータ供給後のコマンド “ 1 0 h ” は、N A N D 型フラッシュメモリ 1 0 0 内部のプログラム開始コマンドであり、これによりメモリセルアレイ 1 1 0 への書き込みデータの書き込みが開始される。書き込み期間 t P R O G 2 は、レディ / ビジー信号 (R / B) がビジーとされる。

【 0 2 0 9 】

次に、第 2 ステージの書き込みは、図 3 2 (b) に示すように実行される。まず、I / O 信号 D Q x により、フィードバック付き書き込みを指示するプレフィックスコマンド “ y z h ” が伝送され、プレフィックスコマンド “ y z h ” に後続してデータが伝送される。N A N D 型フラッシュメモリ 1 0 0 は、プレフィックスコマンド “ y z h ” に後続するデータを受け取り、このデータに基づいて第 1 レジスタ 1 7 0 A に書き込みパラメータを設定する。データによる書き込みパラメータの伝送に換えて、セットフィーチャーコマンドによって書き込みパラメータを伝送してもよい。

30

【 0 2 1 0 】

プレフィックスコマンド “ y z h ” に後続してデータが伝送された後、lower ページを示すコマンド “ 0 1 h ” が伝送され、その後、データ入力を示すコマンド “ 8 0 h ” が伝送される。データ入力コマンド “ 8 0 h ” に続いて、カラムアドレス C A 1 , C A 2 、及びロウアドレス R A 1 , R A 2 , R A 3 が供給される。さらに、ロウアドレス R A 3 に後続して、書き込みデータが供給される。lower ページの書き込みデータ供給後のコマンド “ 1 A h ” は、N A N D 型フラッシュメモリ 1 0 0 内の内部バッファに書き込みデータを一時的に保持させるコマンドである。

40

【 0 2 1 1 】

その後、lower ページの場合と同様に、middle ページを示すコマンド “ 0 2 h ” が伝送された後、middle ページの書き込みデータが供給される。middle ページの書き込みデータ供給後のコマンド “ 1 A h ” は、N A N D 型フラッシュメモリ 1 0 0 内の内部バッファに書き込みデータを一時的に保持させるコマンドである。

【 0 2 1 2 】

その後、middle ページの場合と同様に、upper ページを示すコマンド “ 0 3 h ” が伝送

50

された後、upperページの書き込みデータが供給される。upperページの書き込みデータ供給後のコマンド“10h”は、NAND型フラッシュメモリ100内部のプログラム開始コマンドであり、これによりメモリセルアレイ110への書き込みデータの書き込みが開始される。書き込み期間tPROG2は、レディ/ビジー信号(R/B)がビジーとされる。

【0213】

次に、検知書き込み及びフィードバック付き書き込みによる検証結果をコントローラ200がNAND型フラッシュメモリ100から取得するための実装例として、ステータスリードコマンドまたはゲットフィーチャー(Get feature)コマンドを用いた場合について説明する。

【0214】

まず、ステータスリードコマンドを用いて、コントローラ200がNAND型フラッシュメモリ100から検証結果を取得する場合を述べる。図33は、検知書き込み及びフィードバック付き書き込みによる検証結果を読み出すステータスリードコマンドのタイミングチャートを示す。このタイミングチャートに従い、コントローラ200はNAND型フラッシュメモリ100にステータスリードを指示する。図34は、ステータスリードコマンドで出力されるステータス情報の詳細を示す。

【0215】

まず、チップイネーブル信号/CEが活性化されるとともに、コマンドラッチイネーブル信号CLEが活性化され、アドレスラッチイネーブル信号ALEが非活性化され、相補信号であるリードイネーブル信号/RE及びREが非活性化される。さらに、ライトイネーブル信号/WEが活性化され、I/O信号DQxによる“7Xh”がステータスリード動作を指示するコマンドとしてNAND型フラッシュメモリ100に取り込まれる。

【0216】

次に、コマンドラッチイネーブル信号CLEが非活性化され、リードイネーブル信号/RE及びREのトグルに同期して、第2レジスタ170Bからステータス情報が取得される。さらに、データストロブ信号DQS及び/DQSのトグルに同期して、ステータス情報がNAND型フラッシュメモリ100からコントローラ200へ出力される。図34に示すように、コントローラ200からのステータスリードコマンドで出力されるステータス情報IO7~IO0は、例えばIO4~IO2に検証結果を含む。IO0及びIO1は、例えばそれぞれ、自ら及び他のNAND型フラッシュメモリチップに対する書き込み動作がパスしたか、あるいはフェイルしたかを示す情報であり、その他については説明を省略する。

【0217】

次に、ゲットフィーチャーコマンドを用いて、コントローラ200がNAND型フラッシュメモリ100から検証結果を取得する場合を述べる。図35は、検知書き込み及びフィードバック付き書き込みによる検証結果を得るためのゲットフィーチャーコマンドのタイミングチャートを示す。このタイミングチャートに従い、コントローラ200はNAND型フラッシュメモリ100にゲットフィーチャーを指示する。ゲットフィーチャーは、第2レジスタ170Bのアドレス“XXh”からデータR-B0、R-B1、R-B2、R-B3を取得するものである。第2レジスタ170Bのアドレス“XXh”には、書き込みパラメータを示す情報が記憶されているものとする。

【0218】

まず、チップイネーブル信号/CEが活性化されるとともに、コマンドラッチイネーブル信号CLEと、アドレスラッチイネーブル信号ALEと、ライトイネーブル信号/WEとリードイネーブル信号/RE及びREが非活性化される。

【0219】

この後、コマンドラッチイネーブル信号CLEとライトイネーブル信号/WEが活性化され、I/O信号DQxによりコマンド“EEh”が伝送される。ライトイネーブル信号/WEの立ち上がりに同期して、I/O信号DQxの“EEh”がコマンドとしてNAND型フラッシュメモリ100に取り込まれる。コマンド“EEh”は、ゲットフィーチャ

10

20

30

40

50

ー動作の開始を指示する。

【0220】

次に、コマンドラッチイネーブル信号 C L E が非活性化され、アドレスラッチイネーブル信号 A L E とライトイネーブル信号 / W E が活性化され、I / O 信号 D Q x により “ X X h ” が伝送される。ライトイネーブル信号 / W E の立ち上がり同期して、I / O 信号 D Q x の “ X X h ” がアドレスとしてフラッシュメモリ 1 0 0 に取り込まれる。

【0221】

その後、アドレスラッチイネーブル信号 A L E が非活性化され、I / O 信号 D Q x により R - B 0、R - B 1、R - B 2、R - B 3 がコントローラ 2 0 0 に伝送される。コントローラ 2 0 0 がリードイネーブル信号 / R E 及び R E をトグルすることに応じて、N A N D 型フラッシュメモリ 1 0 0 がデータストロブ信号 D Q S 及び / D Q S をトグルさせる。そして、データストロブ信号 D Q S 及び / D Q S のトグルに同期して、I / O 信号 D Q x の R - B 0、R - B 1、R - B 2、R - B 3 がデータとしてコントローラ 2 0 0 に取得される。コントローラ 2 0 0 は、取得したデータに基づいた書き込みパラメータをグループ代表値として書き込みパラメータテーブル 2 2 0 A _ 2 に記憶する。以上により、N A N D 型フラッシュメモリ 1 0 0 の第 2 レジスタ 1 7 0 B に記憶された書き込みパラメータを示す情報が、ゲットフィーチャーコマンドによってコントローラ 2 0 0 に伝送される。

10

【0222】

次に、検知書き込み及びフィードバック付き書き込みにおいて、書き込みパラメータを N A N D 型フラッシュメモリ 1 0 0 の第 1 レジスタ 1 7 0 A にセットするための実装例として、セットフィーチャー (Set feature) コマンドを用いた場合について説明する。

20

【0223】

図 3 6 は、検知書き込み及びフィードバック付き書き込みにおいて書き込みパラメータを第 1 レジスタ 1 7 0 A にセットするためのセットフィーチャーコマンドのタイミングチャートを示す。このタイミングチャートに従い、コントローラ 2 0 0 は N A N D 型フラッシュメモリ 1 0 0 にセットフィーチャー動作を指示する。セットフィーチャーコマンドは、N A N D 型フラッシュメモリ 1 0 0 のアドレス “ X X h ” の第 1 レジスタ 1 7 0 A に、書き込みパラメータを表すデータ W - B 0、W - B 1、W - B 2、W - B 3 を設定するものである。

30

【0224】

まず、チップイネーブル信号 / C E が活性化されるとともに、コマンドラッチイネーブル信号 C L E とアドレスラッチイネーブル信号 A L E とライトイネーブル信号 / W E とリードイネーブル信号 / R E 及び R E が非活性化される。

【0225】

この後、コマンドラッチイネーブル信号 C L E とライトイネーブル信号 / W E が活性化され、I / O 信号 D Q x により “ E F h ” が伝送される。ライトイネーブル信号 / W E の立ち上がり同期して、I / O 信号 D Q x の “ E F h ” がコマンドとして N A N D 型フラッシュメモリ 1 0 0 に取り込まれる。コマンド “ E F h ” はセットフィーチャー動作の開始を指示する。

40

【0226】

次に、コマンドラッチイネーブル信号 C L E が非活性化され、アドレスラッチイネーブル信号 A L E とライトイネーブル信号 / W E が活性化され、I / O 信号 D Q x により “ X X h ” が伝送される。ライトイネーブル信号 / W E の立ち上がり同期して、I / O 信号 D Q x の “ X X h ” がアドレスとして N A N D 型フラッシュメモリ 1 0 0 に取り込まれる。

【0227】

その後、アドレスラッチイネーブル信号 A L E が非活性化され、I / O 信号 D Q x により書き込みパラメータを表すデータ W - B 0、W - B 1、W - B 2、W - B 3 が N A N D 型フラッシュメモリ 1 0 0 に伝送される。データストロブ信号 D Q S 及び / D Q S のト

50

グルに同期して、I/O信号DQxのW-B0、W-B1、W-B2、W-B3がデータとしてNAND型フラッシュメモリ100に取り込まれる。NAND型フラッシュメモリ100に取り込まれたデータW-B0、W-B1、W-B2、W-B3は、第1レジスタ170Aのアドレス“XXh”に設定される。以上により、コントローラ200の書き込みパラメータテーブル220A_2に記憶されたグループ代表値が、セットフィーチャーによって書き込みパラメータとして第1レジスタ170Aに記憶される。

【0228】

1.4 本実施形態の効果

本実施形態によれば、書き込み動作におけるプログラムベリファイ動作に追加のベリファイ電圧によるベリファイ動作を設けることにより、書き込み対象のメモリセルに対して現行の書き込みパラメータが過小、適正、過大、あるいは過大のためにオーバープログラムが発生しているか否かを検証し、検証結果に基づいて次の書き込み動作で用いる書き込みパラメータを動的に調整する。

10

【0229】

これにより、次の書き込み動作において、調整した書き込みパラメータを用いてプログラム動作を行うことにより、書き込みループ数を低減でき、書き込み動作を高速化することができる。また、メモリセルにオーバープログラムが発生しているか否かを判定することにより、オーバープログラムが発生していると判定した場合には、オーバープログラムが発生したメモリセルに書き込まれるべきデータに対して回復処理を行うことができ、メモリシステムとしてのデータの損失を防ぐことができる。以上により、書き込み性能を向上させることが可能である。

20

【0230】

2. その他変形例等

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

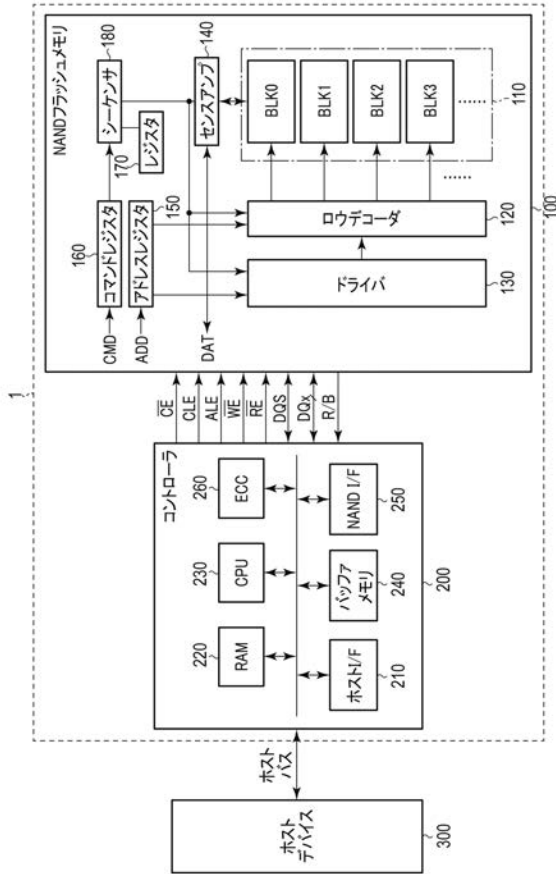
30

【0231】

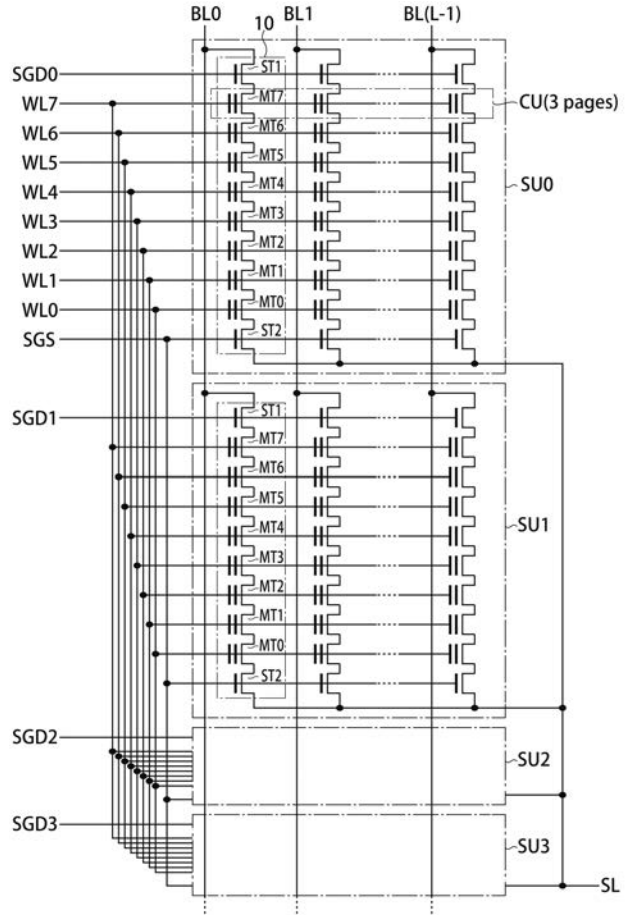
1...メモリシステム、100...NAND型フラッシュメモリ、110...メモリセルアレイ、120...ロウデコーダ、130...ドライバ、140...センスアンプ、150...アドレスレジスタ、160...コマンドレジスタ、170...レジスタ、170A...第1レジスタ、170B...第2レジスタ、180...シーケンサ、200...コントローラ、210...ホストインターフェース(I/F)回路、220...内蔵メモリ(RAM)、220A...グループ代表値管理テーブル群、220A_1...グループ定義テーブル、220A_2...書き込みパラメータテーブル、220A_3...サイクル定義テーブル、220A_4...スケジュールテーブル、230...プロセッサ(CPU)、240...バッファメモリ、250...NANDインターフェース(I/F)回路、260...ECC(Error Checking and Correcting)回路、300...ホストデバイス。

40

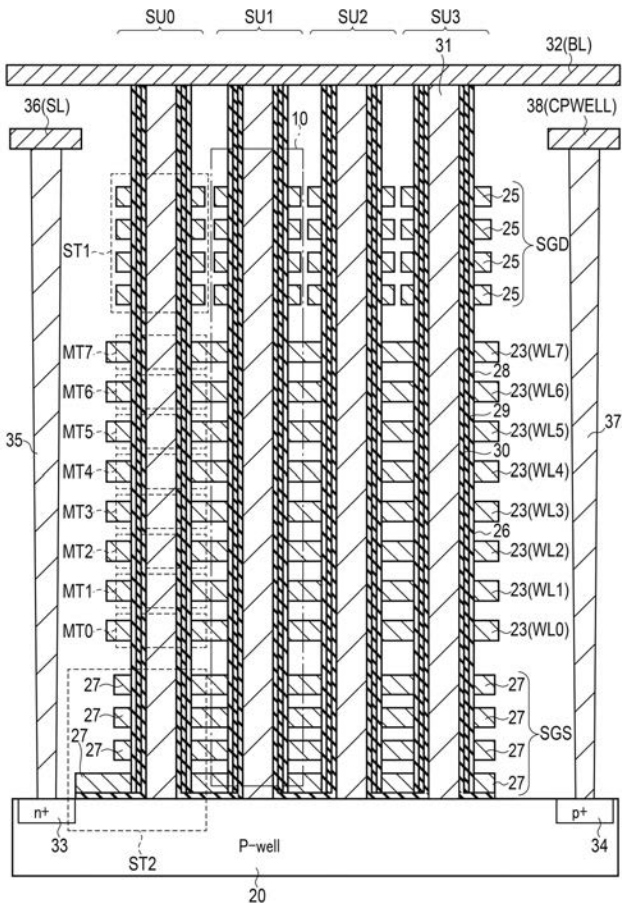
【 図 1 】



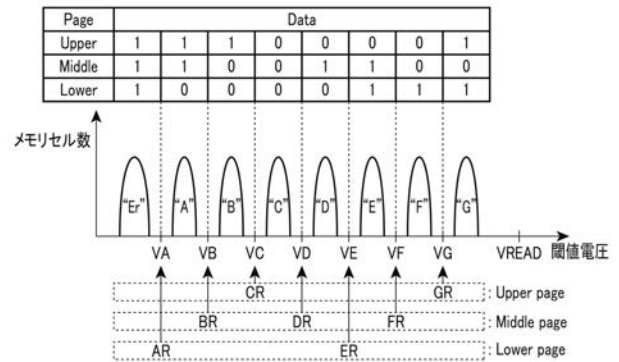
【 図 2 】



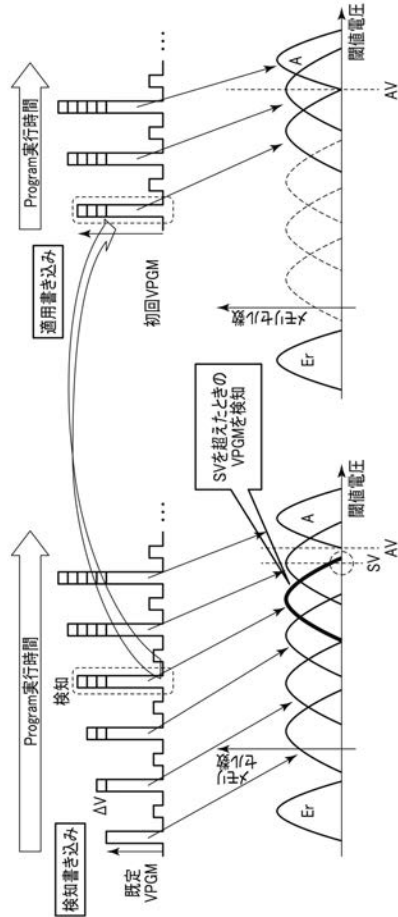
【 図 3 】



【 図 4 】



【 図 5 】



【 図 7 A 】

220A_1

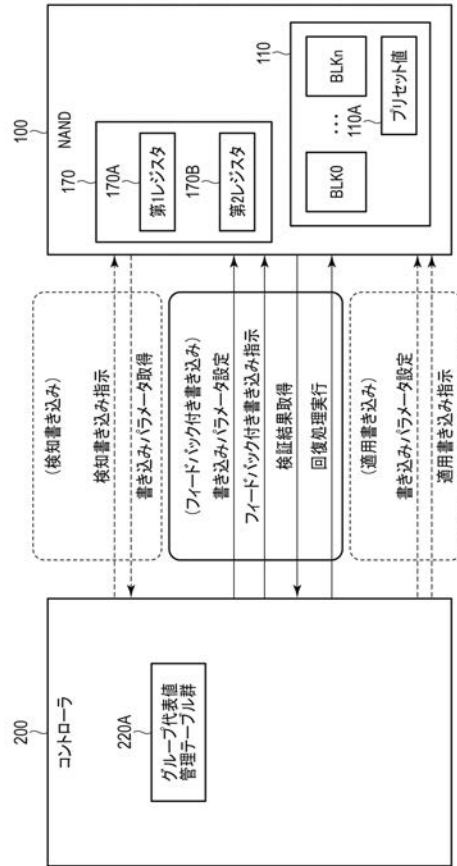
	開始WL	終了WL
GR 0	0	7
GR 1	8	23
GR 2	24	39
GR 3	40	47

【 図 7 B 】

220A_2

	GR 0	GR 1	GR 2	GR 3
BLK 0
BLK 1	A10	A11	A12	A13
BLK 2
BLK 3
...

【 図 6 】



【 図 7 C 】

220A_3

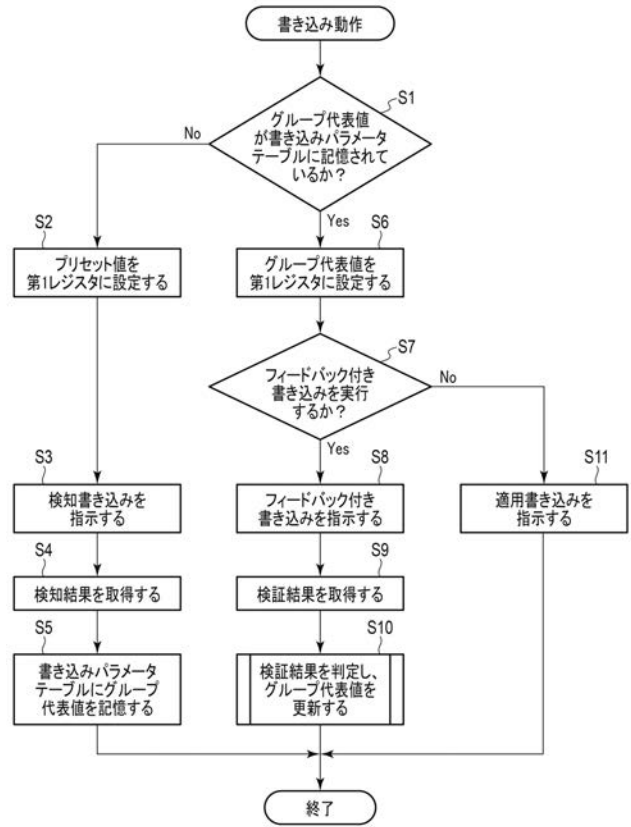
	P/E cycle
TIMING 1	100
TIMING 2	300
TIMING 3	500
TIMING 4	700
...	...

【 図 7 D 】

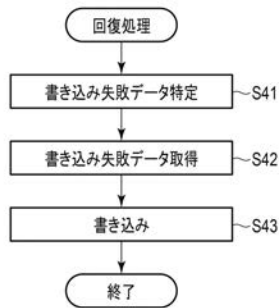
220A_4

	GR 0	GR 1	GR 2	GR 3
BLK 0	100	150	200	250
BLK 1
BLK 2	100→300	150	200	250
BLK 3
...

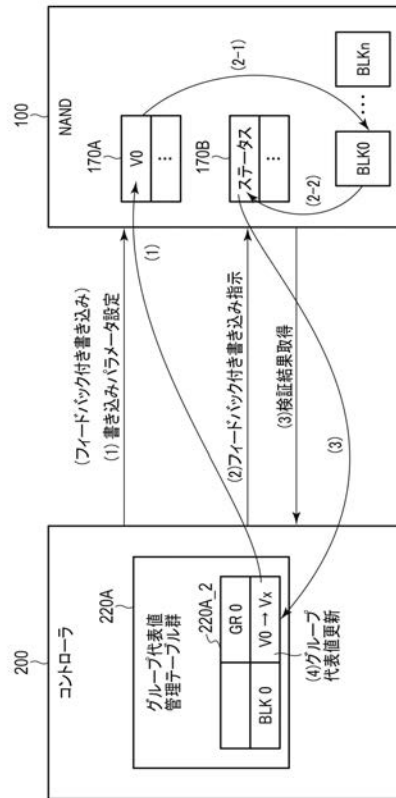
【 図 8 】



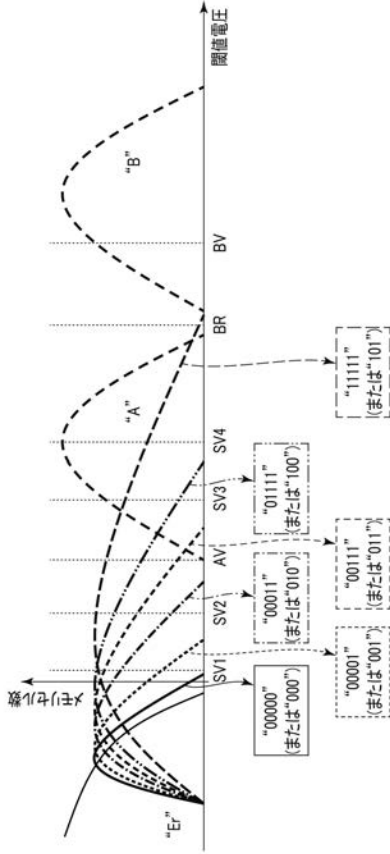
【 図 9 】



【 図 10 】



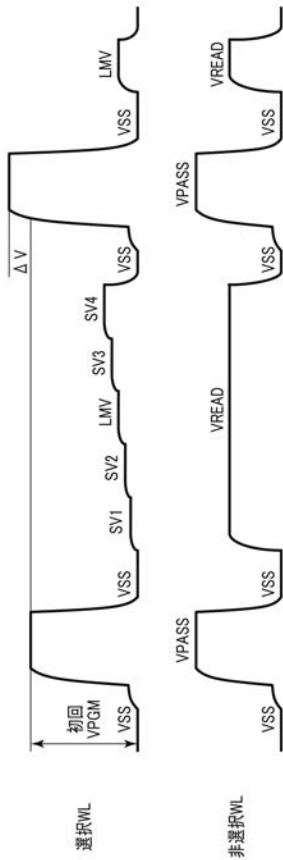
【 図 1 5 】



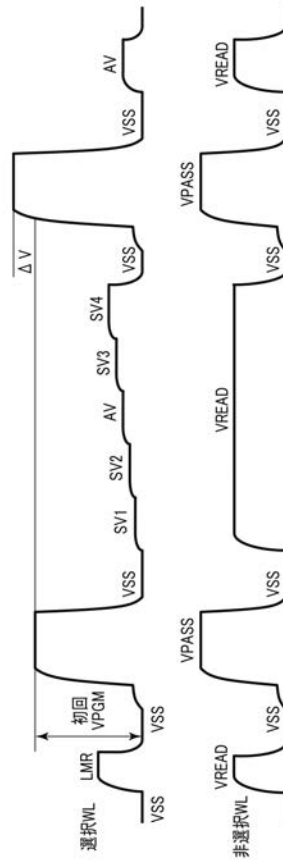
【 図 1 6 】

検証結果	グループ代表値の更新	OP発生?
SV1超えなし	$VPGM+2 \times \Delta V$	なし
SV1超えありSV2超えなし	$VPGM+\Delta V$	なし
SV2超えありAV超えなし	何もしない	なし
AV超えありSV3超えなし	$VPGM-\Delta V$	なし
SV3超えありSV4超えなし	$VPGM-2 \times \Delta V$	なし
SV4超えあり	$VPGM-3 \times \Delta V$	OP発生の疑いがあるので、回復処理を実行

【 図 1 7 】



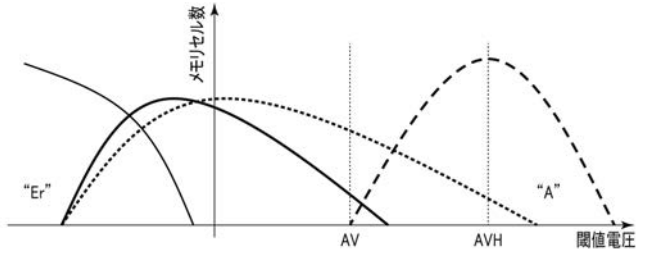
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



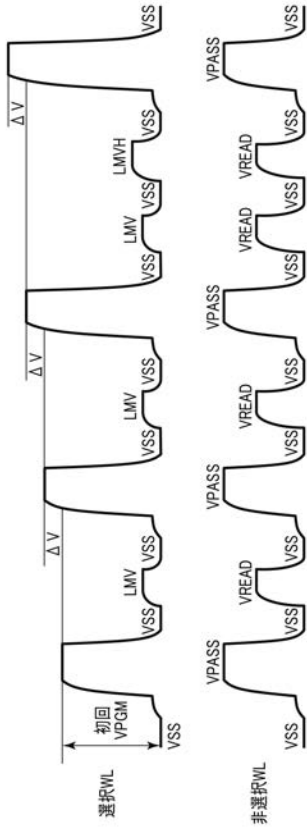
【 図 2 1 】

	OP発生の有無		AVパスしたループ数							
	AVパスしたループ数	AVパス時のOP有無	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
(a)	1	1	1	0	0	0	0	0	0	1
(b)	1	0	0	0	0	0	0	0	0	1
(c)	2	1	1	0	0	0	0	0	1	0
(d)	2	0	0	0	0	0	0	0	1	0
(e)	3	1	1	0	0	0	0	0	1	1
(f)	3	0	0	0	0	0	0	0	1	1
(g)	4	1	1	0	0	0	0	1	0	0
(h)	4	0	0	0	0	0	0	1	0	0

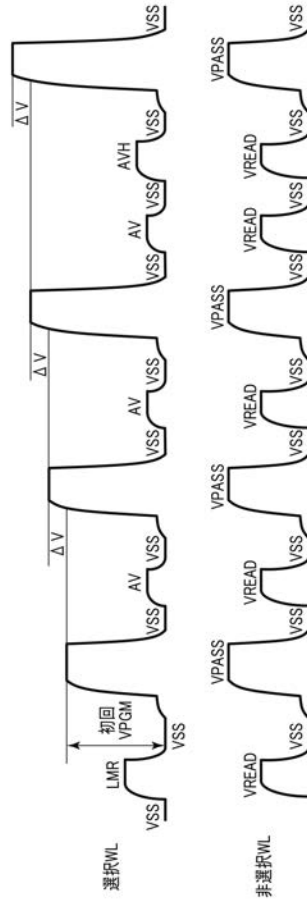
【 図 2 2 】

	検証結果		グループ代表値の更新	回復処理の実行
	AVパスしたループ数	AVパス時のOP有無		
(a)	1	1	VPGM-3 × ΔV	する
(b)	1	0	VPGM-2 × ΔV	しない
(c)	2	1	VPGM-ΔV	する
(d)	2	0	何もしない	しない
(e)	3	1	VPGM+ΔV	する
(f)	3	0	VPGM+ΔV	しない
(g)	4	1	VPGM+2 × ΔV	する
(h)	4	0	VPGM+2 × ΔV	しない

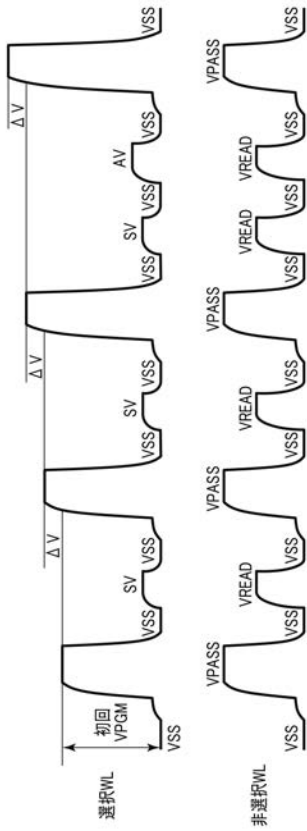
【 図 2 3 】



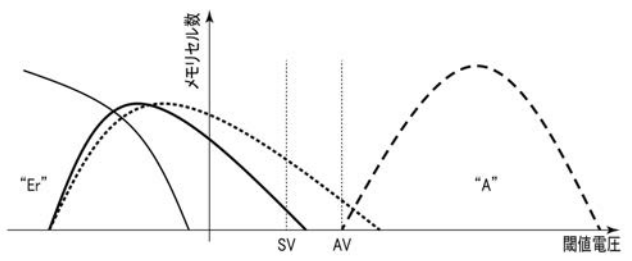
【 図 2 4 】



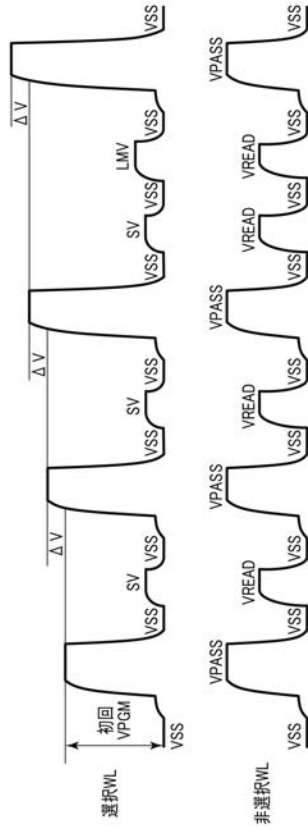
【 図 2 5 】



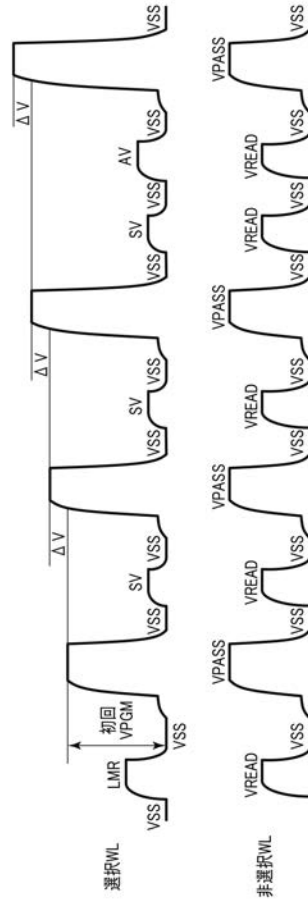
【 図 2 6 】



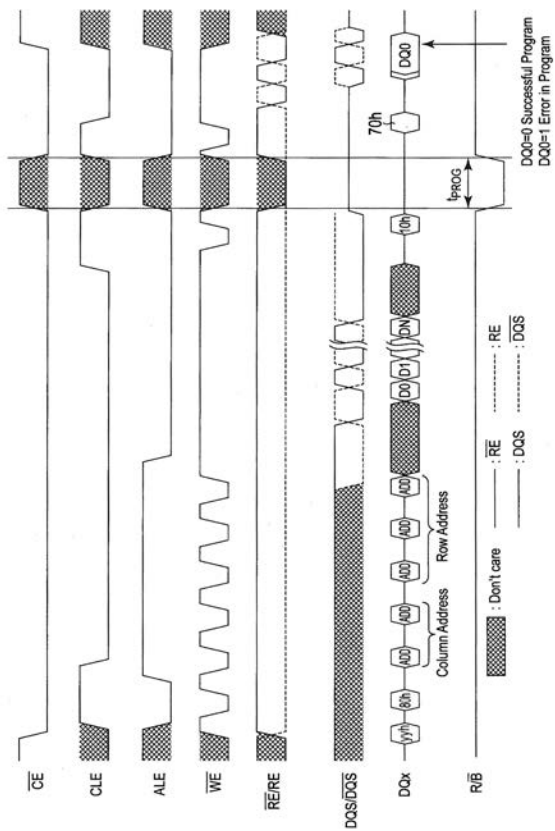
【 図 2 7 】



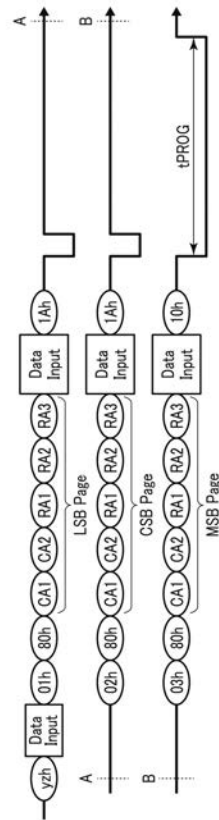
【 図 2 8 】



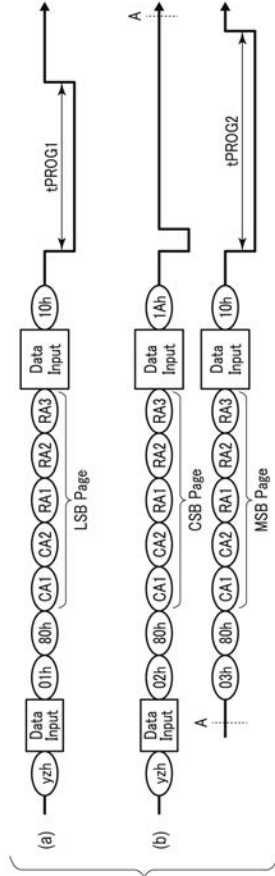
【 図 2 9 】



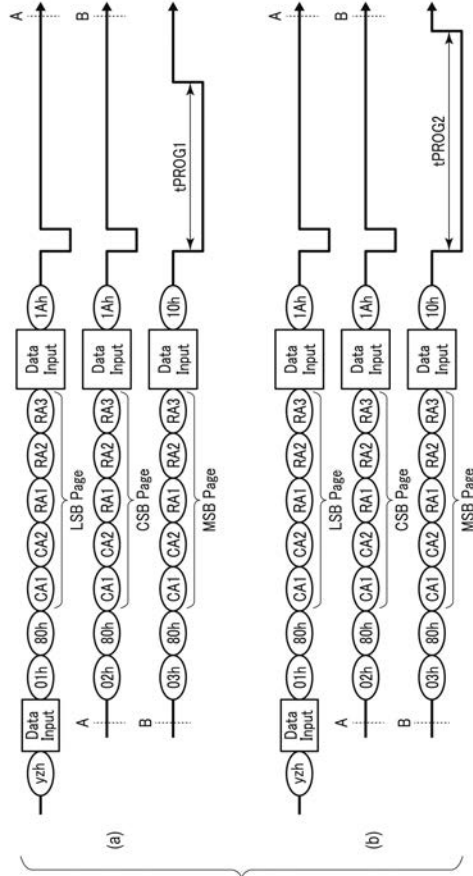
【 図 3 0 】



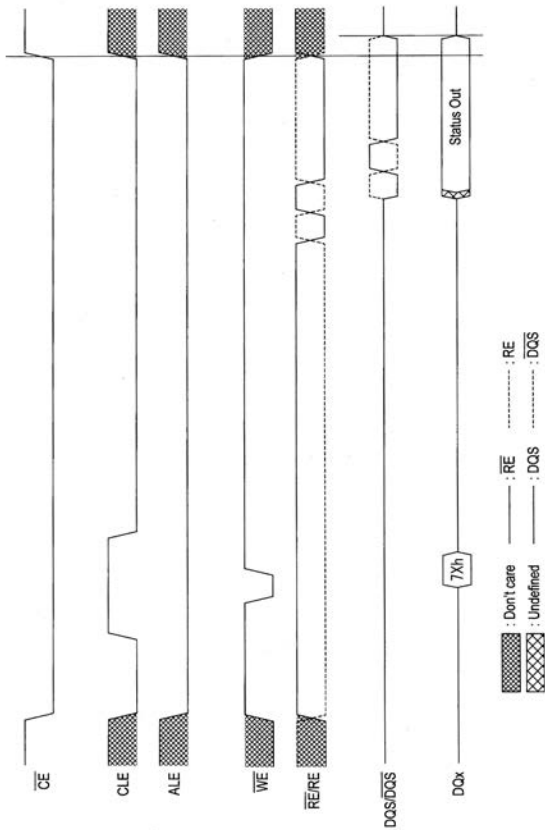
【 3 1 】



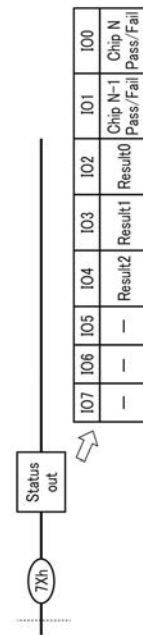
【 3 2 】



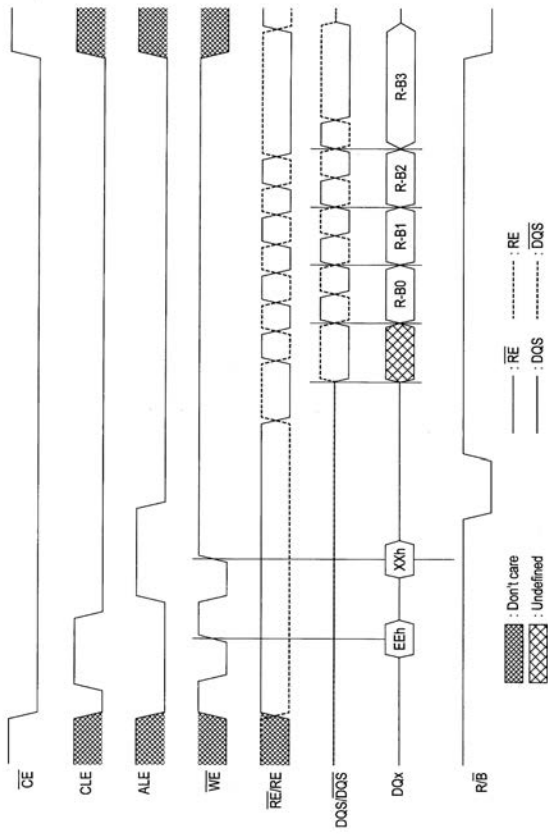
【 3 3 】



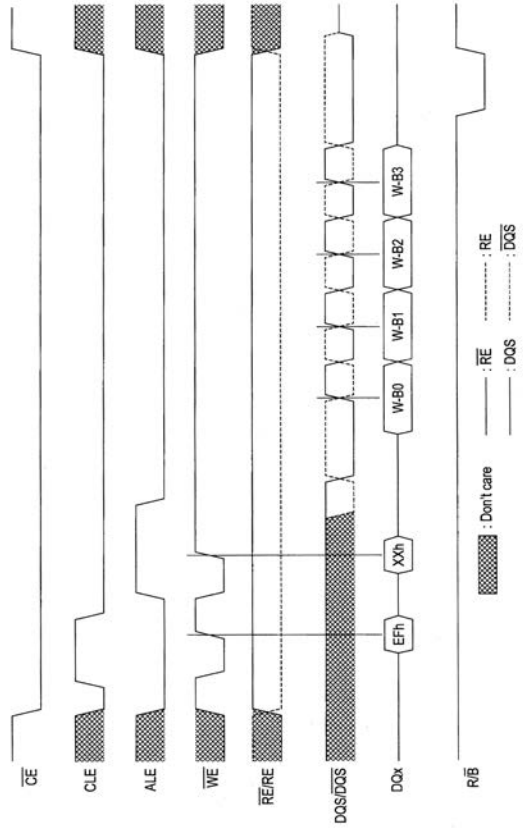
【 3 4 】



【 3 5 】



【 3 6 】



フロントページの続き

(72)発明者 西川 卓
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

(72)発明者 小島 慶久
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

(72)発明者 白川 政信
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

Fターム(参考) 5B225 BA19 CA01 CA18 CA28 DB08 DB22 DB31 DE20 EA05 FA01
FA02