

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年5月10日(2007.5.10)

【公開番号】特開2001-297595(P2001-297595A)

【公開日】平成13年10月26日(2001.10.26)

【出願番号】特願2000-111608(P2000-111608)

【国際特許分類】

G 11 C 29/04 (2006.01)

G 11 C 11/401 (2006.01)

【F I】

G 11 C 29/00 6 0 3 D

G 11 C 11/34 3 7 1 D

【手続補正書】

【提出日】平成19年3月16日(2007.3.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 メモリセルアレイにデータ線を通じてデータの書き込み及び読み出しを行うよう構成された半導体記憶装置であって、行列配置されたメモリセルを有するメモリセルアレイ、外部との間でデータを入出力する入出力回路、上記メモリセルアレイに接続された冗長データ線を含むn本(nは正の整数)の第一のデータ線及び上記入出力回路に接続されたm本(mはnより小さい正の整数)の第二のデータ線に接続され、第一のデータ線の内の冗長データ線を除くm本と上記m本の第二のデータ線をそれぞれ接続するよう構成されると共に、第二のデータ線に接続された第一のデータ線に不良が生じたときは、上記不良の生じた第一のデータ線を除くm本の第一のデータ線を第二のデータ線に接続するように順次接続をシフトするシフト回路を備え、上記シフト回路に接続された第一のデータ線には、データを保持するラッチ回路が設けられていることを特徴とする半導体記憶装置。

【請求項2】 第一のデータ線の内の冗長データ線に設けられたラッチ回路には、初期値が与えられていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 メモリセルアレイにデータ線を通じてデータの書き込み及び読み出しを行うよう構成された半導体記憶装置であって、行列配置されたメモリセルを有するメモリセルアレイ、外部との間でデータを入出力する入出力回路、上記メモリセルアレイに接続された冗長データ線を含むn本(nは正の整数)の第一のデータ線及び上記入出力回路に接続されたm本(mはnより小さい正の整数)の第二のデータ線に接続され、第一のデータ線の内の冗長データ線を除くm本と上記m本の第二のデータ線をそれぞれ接続するよう構成されると共に、第二のデータ線に接続された第一のデータ線に不良が生じたときは、上記不良の生じた第一のデータ線を除くm本の第一のデータ線を第二のデータ線に接続するように順次接続をシフトするシフト回路を備え、上記シフト回路に接続された第一のデータ線は、所定のタイミングで高電位にプリチャージされると共に、メモリセルアレイにデータが書き込まれる期間上記プリチャージされた高電位を保持するハーフラッチ回路が設けられていることを特徴とする半導体記憶装置。

【請求項4】 メモリセルアレイにデータ線を通じてデータの書き込み及び読み出しを行うよう構成された半導体記憶装置であって、行列配置されたメモリセルを有するメモリセルアレイ、外部との間でデータを入出力する入出力回路、上記メモリセルアレイに接続さ

れた冗長データ線を含む  $n$  本 ( $n$  は正の整数) の第一のデータ線及び上記入出力回路に接続された  $m$  本 ( $m$  は  $n$  より小さい正の整数) の第二のデータ線に接続され、第一のデータ線の内の冗長データ線を除く  $m$  本と上記  $m$  本の第二のデータ線をそれぞれ接続するよう構成されると共に、第二のデータ線に接続された第一のデータ線に不良が生じたときは、上記不良の生じた第一のデータ線を除く  $m$  本の第一のデータ線を第二のデータ線に接続するように順次接続をシフトするシフト回路を備え、上記シフト回路に接続された第一のデータ線は、所定のタイミングで高電位にプリチャージされると共に、メモリセルアレイにデータが書き込まれる期間上記プリチャージされた高電位を保持する容量が設けられていることを特徴とする半導体記憶装置。

【請求項 5】 シフト回路とメモリセルアレイの間には、第一のデータ線を通じてメモリセルアレイにデータを書き込むライトドライバ回路が配置されると共に、入出力回路には、 $m$  本の第二のデータ線に対応する  $m$  個の入出力端子が設けられていることを特徴とする請求項 1 ~ 請求項 4 のいずれか一項記載の半導体記憶装置。

【請求項 6】 入出力回路には、データ線の  $k$  本 ( $k$  は  $m$  より小さい正の整数) 每の書き込みデータをマスクするライトマスク信号が入力され、シフト回路は、ライトマスク信号線の接続をシフトするマスクシフト回路を含み、上記マスクシフト回路はデータ線の  $k$  本毎に 1 本のライトマスク信号線の接続をシフトするよう構成されていることを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】 請求項 5 または請求項 6 記載の半導体記憶装置、この半導体記憶装置の  $m$  個の入出力端子に接続され、上記半導体記憶装置との間のデータ転送を制御するロジック回路を備え、上記ロジック回路は上記半導体記憶装置と共に 1 チップに混載されていることを特徴とする半導体集積回路装置。