

청구항 1.

비트라인과 워드라인간에 다수의 메모리 셀이 접속된 메모리 셀 어레이와,

제 1 인에이블 신호에 의해 동작되며 어드레스의 입력에 따라 상기 각 비트라인을 통한 누설전류의 량을 감지하는 누설 감지부와,

상기 제 1 인에이블 신호에 의해 동작되며 상기 누설 감지부에 의해 감지된 전류량에 따라 프로그램 가능한 수의 비트라인을 선택하는 컬럼 선택부와,

상기 컬럼 선택부의 출력신호 및 상기 어드레스를 입력으로 하며 어드레스를 디코딩하는 컬럼 멀티플렉서와,

제 2 인에이블 신호에 의해 동작되며 선택된 비트라인으로 바이어스 전압을 공급하기 위한 펌프 및 레귤레이터를 포함하여 이루어진 것을 특징으로 하는 플래쉬 메모리 소자.

청구항 2.

어드레스의 입력에 따라 첫번째 비트라인을 선택하는 제 1 단계와,

상기 선택된 비트라인을 통해 흐르는 전류를 감지하는 제 2 단계와,

상기 감지된 전류와 기준 전류를 비교하여 상기 감지된 전류가 큰 경우 펌핑하는 제 3 단계와,

상기 제 3 단계에서 감지된 전류가 기준 전류보다 적은 경우 비트라인의 수를 증가시키는 제 4 단계와,

상기 증가된 비트라인의 수와 설정치를 비교하여 동일한 경우 펌핑하는 제 5 단계와,

상기 제 5 단계에서 상기 비트라인의 수가 설정치보다 적은 경우 상기 제 2 단계로 진행하는 제 6 단계로 이루어지는 것을 특징으로 하는 플래쉬 메모리 소자의 프로그램 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래쉬 메모리 소자 및 그의 프로그램 방법에 관한 것으로, 특히, 비트라인을 통한 누설전류의 량에 따라 프로그램될 메모리 셀의 갯수가 선택되도록 한 플래쉬 메모리 소자 및 그의 프로그램 방법에 관한 것이다.

일반적으로 플로팅 게이트와 콘트롤 게이트가 적층된 구조를 갖는 플래쉬 메모리 셀은 프로그램 및 소거 동작에 의해 데이터의 저장이 이루어진다. 메모리 셀의 프로그램은 플로팅 게이트로 전자가 주입(Injection)됨에 의해 이루어지며, 소거는 주입된 전자가 방전(Discharge)됨에 따라 이루어지는데, 소거시 메모리 셀의 과도 소거(Over Erasure)가 방지되도록 하기 위하여 소거 동작은 프리 프로그램(Pre-program), 소거 및 포스트 프로그램(Post-program) 순으로 이루어진다.

그런데 메모리 셀을 프로그램시키거나 프리 프로그램시킬 경우 일정한 수의 메모리 셀을 임의로 정하여 프로그램시키기 때문에 과도 소거된 메모리 셀이 존재하는 경우에는 비트라인을 통한 누설전류의 량이 증가하여 프로그램 또는 포스트 프로그램의 효율이 저하되며, 심한 경우 포스트 프로그램시 메모리 셀이 프로그램되지 않는 현상이 발생된다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 비트라인을 통한 누설전류의 량에 따라 프로그램될 메모리 셀의 갯수가 선택되도록 하므로써 상기한 단점을 해소할 수 있는 플래쉬 메모리 소자 및 그의 프로그램 방법을 제공하는 데 그 목적이 있다.

발명의 구성

본 발명에 따른 플래쉬 메모리 소자는 비트라인과 워드라인간에 다수의 메모리 셀이 접속된 메모리 셀 어레이와, 제 1 인에이블 신호에 의해 동작되며 어드레스의 입력에 따라 각 비트라인을 통한 누설전류의 량을 감지하는 누설 감지부와, 제 1 인에이블 신호에 의해 동작되며 누설 감지부에 의해 감지된 전류량에 따라 프로그램 가능한 수의 비트라인을 선택하는 컬럼 선택부와, 컬럼 선택부의 출력신호 및 어드레스를 입력으로 하며 어드레스를 디코딩하는 컬럼 멀티플렉서와, 제 2 인에이블 신호에 의해 동작되며 선택된 비트라인으로 바이어스 전압을 공급하기 위한 펌프 및 레귤레이터를 포함하여 이루어진다.

본 발명에 따른 플래쉬 메모리 소자의 프로그램 방법은 어드레스의 입력에 따라 첫번째 비트라인을 선택하는 제 1 단계와, 선택된 비트라인을 통해 흐르는 전류를 감지하는 제 2 단계와, 감지된 전류와 기준 전류를 비교하여 감지된 전류가 큰 경우 펌핑하는 제 3 단계와, 제 3 단계에서 감지된 전류가 기준 전류보다 적은 경우 비트라인의 수를 증가시키는 제 4 단계와, 증가된 비트라인의 수와 설정치를 비교하여 동일한 경우 펌핑하는 제 5 단계와, 제 5 단계에서 비트라인의 수가 설정치보다 적은 경우 제 2 단계로 진행하는 제 6 단계로 이루어진다.

그러면 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 1은 본 발명에 따른 플래쉬 메모리 소자를 설명하기 위한 블록도이다.

본 발명에 따른 플래쉬 메모리 소자는 비트라인(B/L)과 워드라인(W/L)간에 다수의 메모리 셀이 매트릭스(Matrix) 방식으로 접속된 메모리 셀 어레이(1)와, 제 1 인에이블 신호(EN1)에 의해 동작되며 어드레스(ADD)의 입력에 따라 상기 각 비트라인을 통한 누설전류의 량을 감지하는 누설 감지부(2)와, 상기 제 1 인에이블 신호(EN1)에 의해 동작되며 상기 누설 감지부(2)에 의해 감지된 전류량에 따라 프로그램 가능한 수의 비트라인을 선택하는 컬럼(Column) 선택부(3)와, 상기 컬럼 선택부(3)의 출력신호(Select) 및 상기 어드레스를 입력으로 하며 어드레스를 디코딩(Decoding)하는 컬럼 멀티플렉서(4)와, 제 2 인에이블 신호(EN2)에 의해 동작되며 선택된 비트라인으로 바이어스 전압을 공급하기 위한 펌프 및 레귤레이터(5)로 이루어진다.

그러면 상기와 같이 구성된 플래쉬 메모리 소자의 프로그램 방법을 도 2 및 도 3을 참조하여 설명하면 다음과 같다.

먼저, 상기 어드레스(ADD)가 입력되고 상기 제 1 인에이블 신호(EN1)가 도 2에 도시된 바와 같이 로우(Low) 상태에서 하이(High) 상태로 천이되면[단계 10] 상기 누설 감지부(2)는 첫번째 비트라인을 통한 누설전류를 감지한다[단계 20]. 이때, 감지된 누설전류(Im)를 소정의 레벨(Iref) 즉, 상기 펌프 및 레귤레이터(5)의 바이어스 출력의 범위와 비교하여[단계 30] 감지된 누설전류가 상기 레벨(Iref)보다 적으면 비트라인 수를 증가시킨다[단계 40]. 즉, 첫번째와 두번째 비트라인을 선택한 후 선택된 비트라인의 총 갯수가 최대치(N)인가를 확인[단계 50]하고, 최대치(N)가 아닌경우 상기 단계 20으로 진행하여 누설전류의 량을 다시 감지한다. 이때, 감지된 누설전류(Im)가 상기 레벨(Iref)보다 높아지면 하이 상태의 상기 제 2 인에이블 신호(EN2)를 상기 펌프 및 레귤레이터(5)로 공급하여 펌핑이 시작되도록 한다[단계 60].

발명의 효과

상술한 바와 같이 본 발명은 비트라인을 통한 누설전류의 량에 따라 프로그램될 메모리 셀의 갯수가 선택되도록 하므로써 비트라인을 통한 전류의 량이 일정 레벨로 유지되는 상태에서 메모리 셀이 프로그램 또는 프리 프로그램된다. 그러므로 프로그램 효율이 향상되며, 이에 따라 소자의 신뢰성이 향상된다.

도면의 간단한 설명

도 1은 본 발명에 따른 플래쉬 메모리 소자를 설명하기 위한 블록도.

도 2는 도 1을 설명하기 위한 타이밍도.

도 3은 본 발명에 따른 플래시 메모리 소자의 프로그램 방법을 설명하기 위한 흐름도.

<도면의 주요 부분에 대한 부호의 설명>

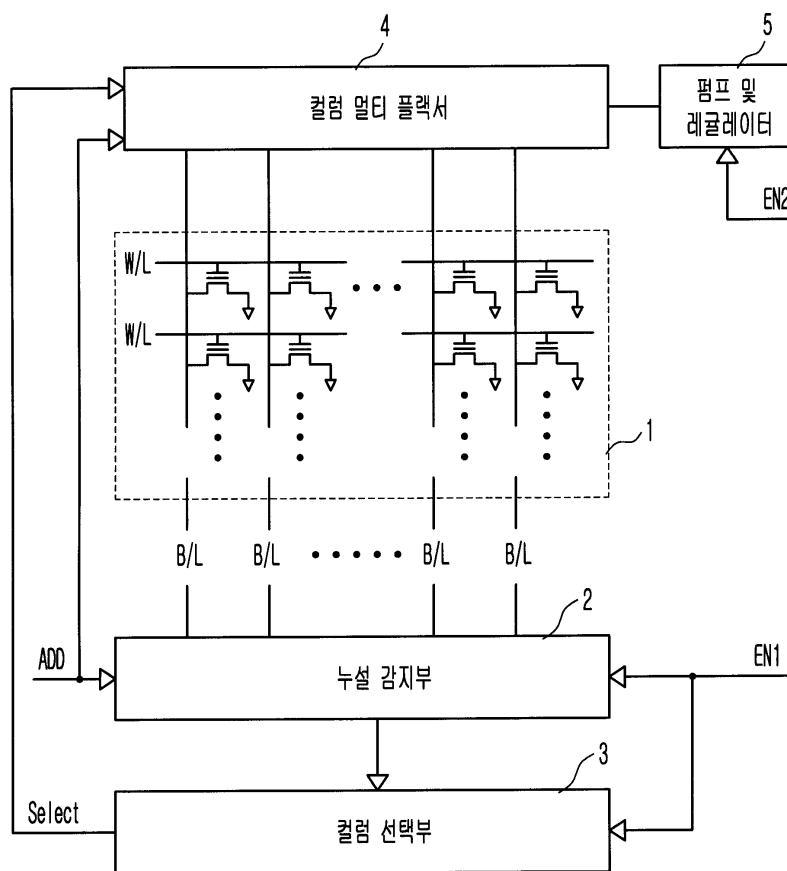
1: 메모리 셀 어레이 2: 누설 감지부

3: 컬럼 선택부 4: 컬럼 멀티플렉서

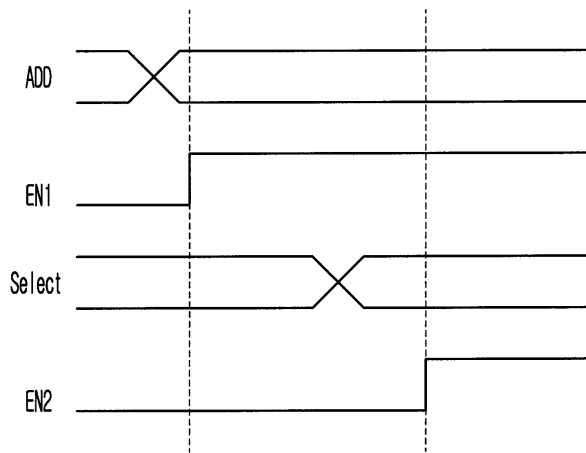
5: 펌프 및 레귤레이터

도면

도면1



도면2



도면3

