

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 12/02 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710305929.5

[43] 公开日 2008 年 6 月 11 日

[11] 公开号 CN 101196850A

[22] 申请日 2007.12.28

[21] 申请号 200710305929.5

[71] 申请人 祥硕科技股份有限公司

地址 中国台湾台北

[72] 发明人 钟健平 陈佳欣 刘名哲

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 陈晨 郑特强

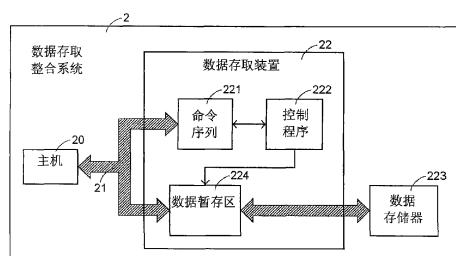
权利要求书 3 页 说明书 10 页 附图 4 页

[54] 发明名称

数据存取整合方法及其系统

[57] 摘要

本发明为一种数据存取整合方法及其系统，应用于数据存储器，该方法包含下列步骤：依序接收由总线所传输的 M 个数据存取命令，该 M 个数据存取命令可具有不同命令类型；以及，当 M 个数据存取命令中包含具有相同命令类型并具有符合连续地址关系的多个存取地址的 N 个数据存取命令时，则根据上述这些存取地址的顺序，将 N 个数据存取命令调整顺序，对该数据存储器连续存取 N 个数据存取命令所对应的第一数据。本发明能够显著提升存储器的读写效率。



1. 一种数据存取整合方法，应用于数据存储器，其特征是，包含以下步骤：

依序接收由总线所传输的 M 个数据存取命令；以及

当 M 个数据存取命令中，包含具有相同命令类型并具有符合连续地址关系的多个存取地址的 N 个数据存取命令时，则根据所述多个存取地址的顺序，将 N 个数据存取命令调整顺序，对所述数据存储器连续存取 N 个数据存取命令所对应的第一数据。

2. 根据权利要求 1 所述的数据存取整合方法，其特征是，其中所述 M 个数据存取命令具有不同命令类型，包括数据读取命令与数据写入命令。

3. 根据权利要求 2 所述的数据存取整合方法，其特征是，当第一数据读取命令与第一数据写入命令具有相同地址时，所述第一数据读取命令与所述第一数据写入命令依序存取，不与其它数据存取命令调整顺序。

4. 根据权利要求 1 所述的数据存取整合方法，其特征是，还包括以下步骤：当所述 N 个数据存取命令的数目达到存储数目时，则所述第一数据先进行存取后，再进行其它数据存取命令调整顺序。

5. 根据权利要求 1 所述的数据存取整合方法，其特征是，还包括以下步骤：M 个数据存取命令中，包含具有相同命令类型并具有符合连续地址关系的存取地址的 K 个数据存取命令，但不同于 N 个数据存取命令的命令类型时，则根据所述存取地址的顺序，将 K 个数据存取命令调整顺序，对所述数据存储器连续存取 K 个数据存取命令所对应的第二数据。

6. 根据权利要求 5 所述的数据存取整合方法，其特征是，还包括以下步骤：当所述 N 个数据存取命令与 K 个数据存取命令的总和数目达到存储数目时，则所述第一数据与第二数据至少任一组先进行存取后，再进行其它数据存取命令调整顺序。

7. 根据权利要求 1 所述的数据存取整合方法，其特征是，其中所述总线为序列式高级技术配件总线。

8. 根据权利要求 1 所述的数据存取整合方法，其特征是，其中所述数据存储器为快闪存储器。

9. 一种数据存取装置，对数据存储器进行数据存取，其特征是包含：命令序列，依序接收由总线所传输的 M 个数据存取命令；控制程序，连接所述命令序列，并对所述 M 个数据存取命令中，包含具有相同命令类型并具有符合连续地址关系的多个存取地址的 N 个数据存取命令，以所述多个存取地址的顺序，将 N 个数据存取命令调整顺序，控制对所述数据存储器连续存取 N 个数据存取命令所对应的第一数据。
10. 根据权利要求 9 所述的控制数据存取装置，其特征是，还包含：数据暂存区，连接所述总线与所述数据存储器，并受所述控制程序的控制，以对所述数据存储器存取所述第一数据。
11. 根据权利要求 9 所述的控制数据存取装置，其特征是，其中所述 M 个数据存取命令具有不同命令类型，包括数据读取命令与数据写入命令。
12. 根据权利要求 11 所述的控制数据存取装置，其特征是，其中当第一数据读取命令与第一数据写入命令具有相同地址时，所述控制程序使得所述第一数据读取命令与所述第一数据写入命令依序存取，不与其它数据存取命令调整顺序。
13. 根据权利要求 9 所述的控制数据存取装置，其特征是，其中所述 N 个数据存取命令的数目达到所述命令序列的存储数目时，所述控制程序使得所述第一数据先进行存取后，再进行其它数据存取命令调整顺序。
14. 根据权利要求 9 所述的控制数据存取装置，其特征是，其中所述 M 个数据存取命令中，包含具有相同命令类型并具有符合连续地址关系的存取地址的 K 个数据存取命令，但不同于 N 个数据存取命令的命令类型时，所述控制程序根据所述存取地址的顺序，将 K 个数据存取命令调整顺序，对所述数据存储器连续存取 K 个数据存取命令所对应的第二数据。
15. 根据权利要求 14 所述的控制数据存取装置，其特征是，其中所述 N 个数据存取命令与 K 个数据存取命令的总和数目达到命令序列的存储数目时，则所述控制程序对所述第一数据与第二数据至少任一组先进行存取后，再进行其它数据存取命令调整顺序。
16. 根据权利要求 9 所述的控制数据存取装置，其特征是，其中所述总线为序列式高级技术配件总线。
17. 根据权利要求 9 所述的控制数据存取装置，其特征是，其中所述数据

存储器为快闪存储器。

18. 一种数据存取整合系统，其特征是，主要包含：

主机，依序发出 M 个数据存取命令；

总线，电连接于所述主机；

数据存取装置，接收所述总线所传输的 M 个数据存取命令，对所述 M 个数据存取命令中，包含具有相同命令类型并具有符合连续地址关系的多个存取地址的 N 个数据存取命令，以所述多个存取地址的顺序，将 N 个数据存取命令调整顺序；以及

数据存储器，提供调整顺序的 N 个数据存取命令，来存取对应的第一数据。

19. 根据权利要求 18 所述的数据存取整合系统，其特征是，其中所述 N 个数据存取命令的数目达到存储数目时，所述控制数据存取装置使得所述第一数据先进行存取。

20. 根据权利要求 18 所述的数据存取整合系统，其特征是，其中所述控制数据存取装置还包含：

命令序列，电连接于所述总线，暂存所述总线所传输的 M 个数据存取命令；以及

控制程序，电连接于所述命令序列，将 N 个数据存取命令调整顺序，控制对所述数据存储器连续存取 N 个数据存取命令所对应的所述第一数据。

数据存取整合方法及其系统

技术领域

本发明涉及一种数据存取整合方法，尤其涉及应用于快闪存储器（Flash Memory）的数据存取整合方法。

背景技术

众所周知，在存储器的应用中，连续存取永远比随机存取的效率高出许多，此特性在快闪存储器的应用上尤其显著。举例来说，在读取时，若随机读取需要 $25\mu s$ 的读取时延（latency），则连续读取可缩减至 $25ns$ 的读取时延。另外，又由于快闪存储器的写入与读取都需要以一个页为单位（通常为 $2K\sim4K$ 至 $8K$ 字节(Byte)），故连续读取或写入以页为单位的数据将有助于提升快闪存储器的应用效率。再则快闪存储器在第一次写入时必须要经过区块擦除（Block Erase）的动作，亦即，擦除（Erase）动作是以一个区块（Block）（约为 64 个页）为单位。通常一页的写入时延（page program）为 $200\mu s$ ，而擦除的时延为 $1.5ms$ 。由此可见在快闪存储器的应用中连续存取的重要性。

举例来说，已知主机端与快闪存储器之间利用高级技术配件（Advanced Technology Attachment，简称 ATA）总线来进行快闪存储器内的数据读写动作。根据 ATA 总线的规格，主机进行存取动作时，每次只能发出一个读取或者写入的命令，而且每次数据读取命令或者数据写入命令的数据传递是以一个扇区（Sector， 256 字(Word)= 512 字节= $0.5KB$ ）为单位。也就是说，当主机发出一个数据读取命令至快闪存储器之后，除非快闪存储器响应主机读取数据或者响应读取失败时，主机才可以再次发出下一个数据读取命令或者数据写入命令至快闪存储器。同理，当主机发出一个数据写入命令至快闪存储器之后，除非快闪存储器响应写入成功或者响应读取失败时，主机才可以再次发出下一个数据读取命令或者数据写入命令至快闪存储器。

因此，已知快闪存储器中的控制器一次只能接受一个命令（数据读取或数据写入的命令），在完成这个命令前无法预知到下一个命令到底是什么。

请参见图 1，其为主机（Host）端对快闪存储器依序所发出的数据读取命令或数据写入命令（或称之为数据存取命令）列表。所以在图 1 中，假设主机端总共对快闪存储器控制器依序发出了 11 个数据读取或数据写入命令，传统的快闪存储器只能按部就班地依序执行 11 次读取或写入的动作，因此，快闪存储器控制器一次能够处理多少的数据量，都只能被动地由主机端来决定。

由图 1 可知，主机每次发出的命令包括：命令类型（Command Type）、逻辑块地址（Logic Block Addressing, LBA）、扇区数目（Sector Count）。另外，假设快闪存储器一页的数据量为 2K 字节。以下将计算主机连续执行 11 次数据读取命令或者数据写入命令时所花费的时间。

（一）当主机发出第一个命令，读取由 LBA0 开始的 2 个扇区的数据（共 1KB<1 页），此时快闪存储器需要一个随机读取时延（25 μ s）。

（二）当主机发出第二个命令，写入由 LBA20 开始的 1 个扇区（0.5KB）的数据，此时，快闪存储器需要一个区块擦除时间（1.5ms）加上一个写入时延（200 μ s）。

（三）当主机发出第三个命令，读取由 LBA2 开始的 2 个扇区的数据（共 1KB<1 页），此时，快闪存储器需要一个随机读取时延（25 μ s）。

（四）当主机发出第四个命令，写入由 LBA22 开始的 1 个扇区（0.5KB）的数据，此时，快闪存储器需要一个写入时延（200 μ s）。

（五）当主机发出第五个命令，读取由 LBA10 开始的 3 个扇区的数据（共 1.5KB<1 页），此时，快闪存储器需要一个随机读取时延（25 μ s）。

（六）当主机发出第六个命令，读取由 LBA13 开始的 5 个扇区的数据（共 2.5KB>1 页），此时，快闪存储器需要一个随机读取时延（25 μ s）以及连续读取时延（25ns）。

（七）当主机发出第七个命令，写入由 LBA23 开始的 5 个扇区（2.5KB>1 页）的数据，此时，快闪存储器需要二个写入时延（400 μ s）。

（八）当主机发出第八个命令，写入由 LBA28 开始的 2 个扇区的数据，此时，快闪存储器需要一个写入时延（200 μ s）。

（九）当主机发出第九个命令，读取由 LBA18 开始的 2 个扇区的数据（共 1KB<1 页），此时，快闪存储器需要一个随机读取时延（25 μ s）。

（十）当主机发出第十个命令，写入由 LBA30 开始的 2 个扇区的数据，

此时，快闪存储器需要一个写入时延（ $200\mu s$ ）。

(十一)当主机发出第十一个命令，写入由 LBA32 开始的 2 个扇区的数据，此时，快闪存储器需要一个写入时延（ $200\mu s$ ）。

因此，写入 6.5K 字节的数据需要执行一次的区块擦除时间以及七次的写入时延，花费时间为 $1.5ms + 0.2ms \times 7 = 2.9ms$ ，而读取 7KB 的数据需要执行五次随机读取时延以及一次的连续读取时延，花费时间为 $25\mu s \times 5 + 25ns = 125.025\mu s$ ，因此所有命令完成所花费的时间为 $2.9ms + 125.025\mu s = 3.025025mS$ 。

而目前也有在快闪存储器中加入一个缓冲器（Buffer）的做法，当主机端对快闪存储器进行读取时，缓冲器可进行将主机端所发出的命令进行预存（pre-fetch）的动作以降低读取时延，但在写入数据的时候，依旧没有使写入效率提高的方法，如此对于整体效率提升的范围实在有限。

发明内容

因此，如何使快闪存储器能有更好的存取效率，为本发明的最主要的目的。

本发明为一种数据存取整合方法，应用于数据存储器，包含下列步骤：依序接收由总线所传输的 M 个数据存取命令；当 M 个数据存取命令中包含具有相同命令类型并具有符合连续地址关系的多个存取地址的 N 个数据存取命令时，则根据上述这些存取地址的顺序，将 N 个数据存取命令调整顺序（Re-order），对该数据存储器连续存取 N 个数据存取命令所对应的第一数据。

上述数据存取整合方法中，所述 M 个数据存取命令可具有不同命令类型，包括数据读取命令与数据写入命令。

上述数据存取整合方法中，当第一数据读取命令与第一数据写入命令具有相同地址时，所述第一数据读取命令可与所述第一数据写入命令依序存取，不与其它数据存取命令调整顺序。

上述数据存取整合方法还可包括以下步骤：当所述 N 个数据存取命令的数目达到存储数目时，则所述第一数据先进行存取后，再进行其它数据存取命令调整顺序。

上述数据存取整合方法中还可包括以下步骤：M个数据存取命令中，包含具有相同命令类型并具有符合连续地址关系的存取地址的K个数据存取命令，但不同于N个数据存取命令的命令类型时，则根据所述存取地址的顺序，将K个数据存取命令调整顺序，对所述数据存储器连续存取K个数据存取命令所对应的第二数据。

上述数据存取整合方法中还可包括以下步骤：当所述N个数据存取命令与K个数据存取命令的总和数目达到存储数目时，则所述第一数据与第二数据至少任一组先进行存取后，再进行其它数据存取命令调整顺序。

上述数据存取整合方法中，所述总线可为序列式高级技术配件总线。

上述数据存取整合方法中，所述数据存储器可为快闪存储器。

另外，本发明为一种控制数据存取装置，对数据存储器进行数据存取，包含：命令序列，依序接收由总线所传输的M个数据存取命令；控制程序，连接该命令序列，并对该M个数据存取命令中包含具有相同命令类型并具有符合连续地址关系的多个存取地址的N个数据存取命令，以上述这些存取地址的顺序，将N个数据存取命令调整顺序，控制对该数据存储器连续存取N个数据存取命令所对应的第一数据。

上述控制数据存取装置还可包含：数据暂存区，连接所述总线与所述数据存储器，并受所述控制程序的控制，以对所述数据存储器存取所述第一数据。

上述控制数据存取装置中，所述M个数据存取命令可具有不同命令类型，包括数据读取命令与数据写入命令。

上述控制数据存取装置中，当第一数据读取命令与第一数据写入命令具有相同地址时，所述控制程序可使得所述第一数据读取命令与所述第一数据写入命令依序存取，不与其它数据存取命令调整顺序。

上述控制数据存取装置中，所述N个数据存取命令的数目达到所述命令序列的存储数目时，所述控制程序可使得所述第一数据先进行存取后，再进行其它数据存取命令调整顺序。

上述控制数据存取装置中，所述M个数据存取命令中，包含具有相同命令类型并具有符合连续地址关系的存取地址的K个数据存取命令，但不同于N个数据存取命令的命令类型时，所述控制程序可根据所述存取地址的顺序，

将 K 个数据存取命令调整顺序，对所述数据存储器连续存取 K 个数据存取命令所对应的第二数据。

上述控制数据存取装置中，所述 N 个数据存取命令与 K 个数据存取命令的总和数目达到命令序列的存储数目时，则所述控制程序可对所述第一数据与第二数据至少任一组先进行存取后，再进行其它数据存取命令调整顺序。

上述控制数据存取装置中，所述总线可为序列式高级技术配件总线。

上述控制数据存取装置中，所述数据存储器可为快闪存储器。

另外，本发明为一种数据存取整合系统，其主要包含：主机，依序发出 M 个数据存取命令；总线，电连接于该主机；数据存取装置，接收该总线所传输的 M 个数据存取命令，对该 M 个数据存取命令中包含具有相同命令类型并具有多个存取地址符合连续地址关系的 N 个数据存取命令，以上述这些存取地址的顺序，将 N 个数据存取命令调整顺序；以及，数据存储器，提供调整顺序的 N 个数据存取命令，对该数据存储器存取对应的第一数据。

上述数据存取整合系统中，所述 N 个数据存取命令的数目达到存储数目时，所述控制数据存取装置可使得所述第一数据先进行存取。

上述数据存取整合系统中，所述控制数据存取装置还可包含：命令序列，电连接于所述总线，暂存所述总线所传输的 M 个数据存取命令；以及控制程序，电连接于所述命令序列，将 N 个数据存取命令调整顺序，控制对所述数据存储器连续存取 N 个数据存取命令所对应的所述第一数据。

本发明能够显著提升存储器的读写效率。

附图说明

本发明可通过下列附图及说明，得到更深入的了解：

图 1 所示为主机端对快闪存储器依序发出的数据读取命令或数据写入命令列表。

图 2 所示为本发明为改善现有技术手段的缺陷而发展出的数据存取整合系统功能方块示意图。

图 3 所示为本发明为改善现有技术手段的缺陷而发展出的数据存取整合方法流程示意图。

图 4 所示为经过整合后命令序列中的数据存取命令。

具体实施方式

为了提高主机与存储装置之间的读写速度，已知高级技术配件总线已逐渐为序列式高级技术配件总线所取代。在 SATA 总线的规格书中进一步增加了原生命令序列（Native Command Queuing，简称：NCQ）功能。所谓 NCQ 功能就是存储装置可同时接收多个数据存取命令并改变数据存取命令的次序的功能。

而本发明所提出的实施例在 NCQ 功能上，再增加整合（merge）具有符合连续地址关系的多个存取地址的多个数据读取命令或多个数据写入命令，因此在存取对应的数据时可以更加快速。也就是说，本发明可配合控制数据存取装置中所包含的控制程序（control program）与命令序列（Command queue）的使用，对多个在不同时间依序接收的数据读取命令或数据写入命令进行调整顺序，使得连续地址整合得以连续执行，进而缩短数据读取以及数据写入所要花费的时间。以下再以通过实施例说明的方式将本发明的概念做更进一步的描述。

请参见图 2，其为本发明为改善现有技术手段的缺陷而发展出的数据存取整合系统功能方块示意图。从图中我们可以清楚地看出数据存取整合系统 2 包含主机 20、总线 21 以及数据存取装置 22、数据存储器 223。另外，该数据存取装置 22 包括控制程序 222、命令序列 221 以及数据暂存区 224。

其中，主机 20 可对数据存取装置 22 发出 M 个数据存取命令，而数据存取装置 22 中的命令序列 221 可依序接收由总线 21 所传输的 M 个数据存取命令，且 M 个数据存取命令可具有不同命令类型，例如具有数据读取命令与数据写入命令两种命令类型。而控制程序 222 连接命令序列 221，并对 M 个数据存取命令中，具有相同命令类型并具有符合连续地址关系的多个存取地址的 N 个数据存取命令，根据上述多个存取地址的顺序，将 N 个数据存取命令进行调整顺序，然后等到要执行时，控制程序 222 发出控制信号给数据暂存区 224，来控制对数据存储器 223 连续存取 N 个数据存取命令所对应的第一数据。上述数据存储器可为快闪存储器。

再举一例来说，主机 20 可在不同时间点对数据存取装置 22 依序发出 M 个数据存取命令，并由数据存取装置 22 的命令序列 221 接收 M 个数据存取命令，而在 M 个数据存取命令中同时包含有 N 个数据读取命令与 K 个数据

写入命令。对应于 M 个数据存取命令所包含的符合连续地址关系的 N 个数据读取命令与 K 个数据写入命令的存取地址，控制程序 222 会将具有相同类型命令与连续地址的特性数据存取命令调整顺序，使得 N 个数据读取命令与 K 个数据写入命令分别对应调整顺序，当然 N 个数据存取命令与 K 个数据写入命令的总和数目达到命令序列 221 内最大的存储数目时，N 个数据读取命令所对应的第一数据（连续地址）与 K 个数据写入命令所对应的第二数据中，至少任一组先进行存取，或者两个同时完成后，再进行接受新的数据存取命令，然后控制程序 222 才进行调整顺序动作。

请参见图 3，其为本发明为改善现有技术手段的缺陷而发展出的数据存取整合方法流程示意图，该方法应用于上述数据存取装置 22 中。从图中我们可以清楚地看出，首先在步骤 S1，数据存取装置 22 接收由主机端在不同时间依序发出的 M 个数据存取命令；然后在步骤 S2，判断 M 个数据存取命令中所包含的 N 个数据读取命令或 K 个数据写入命令是否符合连续地址关系；在步骤 S5，倘若 M 个数据存取命令中所包含的 N 个数据读取命令或 K 个数据写入命令不符合连续地址关系，则执行不整合 M 个数据存取命令；在步骤 S3，倘若 N 个数据读取命令或 K 个数据写入命令符合连续地址关系，则对 N 个数据读取命令或 K 个数据写入命令调整顺序，使得具有连续地址的 N 个数据读取命令或 K 个数据写入命令整合在一起，以便执行时能连续执行，增加存取数据的速度，并且同时判断 N 个数据读取命令或 K 个数据写入命令的数目已经达到命令序列 221 内最大的存储数目（一般设计成 8 个）。

倘若 N 个数据读取命令或 K 个数据写入命令已经达到命令序列 221 内最大的存储数目，则在步骤 S4，执行已经调整顺序的 N 个数据读取命令或 K 个数据写入命令，在数据存储器 223 存取数据。若 N 个数据读取命令或 K 个数据写入命令未达到命令序列 221 内最大的存储数目，则可将不连续的其它数据存取命令先执行，然后命令序列 221 接收新的数据存取命令，再看是否符合连续地址关系，来作数据存取命令的合并与调整顺序，亦即在步骤 S6 继续与新的数据存取命令合并，直到最后达到命令序列 221 最大的存储数目或者等待时间用尽，才执行命令序列 221 内数据存取命令，其中等待时间例如设定固定时间无收到数据存取命令。

经由上述说明，我们可以清楚地了解到本发明所述的应用在存储装置上

的数据存取整合方法，确实能够有效缩短对数据存储器 223 进行数据读取以及数据写入所要花费的时间。在现有技术中，存储装置对于主机端所发出的数据读取命令或数据写入命令，只能够依序处理一个数据读取或数据写入的命令，造成整体的存取效率不高，而本发明通过可支持原生命令序列功能的高级技术配件（SATA）总线规格，配合上数据存取装置 22 中所包含的控制程序与命令序列的使用，对多个在不同时间所接收的数据读取命令或数据写入命令进行整合与调整存取顺序，使得相同类型且具有连续地址关系的数据存取命令能够连续执行，进而缩短数据读取以及数据写入所要花费的时间。以下再以实施例说明的方式将本发明的概念做更进一步的描述。

我们再以现有技术中的图 1 所示的图表为例来辅助本优选实施例的说明。根据 SATA 总线的规格，主机进行存取动作时，每次数据读取命令或者数据写入命令的数据传递是以一个扇区（Sector，256 字=512 字节=0.5KB）为单位。而预设数据长度（一页）设定为 2KB（也可以是 4KB 或 8KB），且命令序列 221 可暂存 8 个数据存取命令。其详细的执行动作如下：

（一）当主机发出第一个命令，读取由 LBA0 开始的 2 个扇区的数据（共 1KB<1 页），此时，第一个命令暂存至命令序列。

（二）当主机发出第二个命令，写入由 LBA20 开始的 1 个扇区的数据，此时，第二个命令暂存至命令序列。

（三）当主机发出第三个命令，读取由 LBA2 开始的 2 个扇区的数据（共 1KB<1 页），很明显，第一与第三命令为数据读取命令并符合连续地址关系因此，可以整合第一与第三数据读取命令而调整存取顺序，读取由 LBA0 开始的 4 个扇区的数据（共 2KB=1 页）。

（四）当主机发出第四个命令，写入由 LBA22 开始的 1 个扇区的数据，此时，第四个命令暂存至命令序列。

（五）当主机发出第五个命令，读取由 LBA10 开始的 3 个扇区的数据（共 1.5KB<1 页），此时，第五个命令暂存至命令序列。

（六）当主机发出第六个命令，读取由 LBA13 开始的 5 个扇区的数据（共 2.5KB>1 页），很明显，第五与第六命令为数据读取命令并符合连续地址关系，因此，可以整合第五与第六数据读取命令而调整存取顺序，读取由 LBA10 开始的 8 个扇区的数据（共 4KB=2 页）。

(七)当主机发出第七个命令，写入由 LBA23 开始的 5 个扇区的数据，很明显，第四与第七命令为数据写入命令并符合连续地址关系，因此，可以整合第四与第七数据写入命令而调整存取顺序，写入由 LBA22 开始的 6 个扇区的数据（共 3KB=1.5 页）。

(八)当主机发出第八个命令，写入由 LBA28 开始的 2 个扇区的数据，很明显，第四与第七数据写入命令与第八命令为具有相同命令类型的数据写入命令并符合连续地址关系，因此，可以再次调整存取顺序，写入由 LBA22 开始的 8 个扇区的数据（共 4KB=2 页）。

(九)当主机发出第九个命令，读取由 LBA18 开始的 2 个扇区的数据（共 1KB<1 页），很明显，第五与第六数据读取命令与第九命令为具有相同命令类型的数据读取命令并符合连续地址关系，因此，可以再次调整存取顺序，写入由 LBA10 开始的 10 个扇区的数据（共 5KB=2.5 页）。

(十)当主机发出第十个命令，写入由 LBA30 开始的 2 个扇区的数据，很明显，第四、第七与第八命令写入命令与第十命令为具有相同命令类型的数据写入命令并符合连续地址关系，因此，可以调整存取顺序，写入由 LBA22 开始的 10 个扇区的数据（共 5KB=2.5 页）。

(十一)当主机发出第十一个命令，写入由 LBA32 开始的 2 个扇区的数据，很明显，第四、第七、第八与第十命令的写入命令与第十一命令为具有相同命令类型的数据写入命令并符合连续地址关系，因此，可以调整存取顺序，写入由 LBA22 开始的 12 个扇区的数据（共 6KB=3 页）。

请参照图 4，其中所示为经过整合后命令序列中的数据存取命令。经由上述的执行动作，我们可以清楚地看出，经由本发明所述的技术手段加以改善后，从原本需要 11 次的数据存取命令减少至仅需 4 次的数据存取命令。接着，以下详述执行四次数据存取命令所需的时间。

(一)当命令序列发出第一个命令，写入由 LBA20 开始的 1 个扇区的数据（共 0.5KB<1 页），此时快闪存储器需要一个区块擦除时间（1.5ms）加上一个写入时延（200 μ s）。

(二)当命令序列发出第二个命令(具有连续地址的两个数据读取命令)，读取由 LBA0 开始的 4 个扇区的数据（共 2KB=1 页），此时需要一个随机读取时延（25 μ s）。

(三)当命令序列发出第三个命令(具有连续地址的三个数据读取命令),读取由 LBA10 开始的 10 个扇区的数据 (共 5KB=2.5 页), 此时由于第三命令与第二命令地址不连续, 因此, 读取第一页需要一个随机读取时延($25\mu s$), 第二页需要一个连续读取时延 ($25ns$), 第三页 (0.5 页) 需要一个连续读取时延 ($25ns$)。

(四)当命令序列发出第四个命令(具有连续地址的五个数据读取命令), 写入由 LBA22 开始的 12 个扇区的数据 (共 6KB=3 页), 由于第三命令与第二命令地址不连续, 因此, 快闪存储器需要三页写入时延 ($3 \times 200\mu s$)。

因此, 根据本发明的实施例。写入 6.5KB 的数据只需要执行一次的区块擦除动作以及四页的数据写入时延, 花费时间为 $1.5ms + 0.2ms \times 4 = 2.3ms$, 而读取 7KB 的数据只需要执行两次随机读取时延以及两次的连续读取时延, 花费时间为 $25\mu s \times 2 + 25ns \times 2 = 50.05\mu s$, 因此所有命令完成所花费的时间为 $2.3ms + 50.05\mu s = 2.35005ms$ 。与已知的技术相比, 本发明的技术手段所节省的时间为 $3.025025ms - 2.35005ms = 674.975\mu s$ 。

值得注意的, 图 4 中的四个存取命令由于不具有相同地址, 因此控制程序可以选择任何一个数据存取命令来存取相对应的数据; 而当数据读取命令与写入命令具有相同地址时, 数据读取命令与数据写入命令必须依序存取, 而不与其它数据存取命令调整顺序。另外, 当相同命令类型的 N 个该数据存取命令的数目达到存储数目时, 则该必须进行 N 个该数据存取命令相对应数据的存取后, 再进行其它数据存取命令调整顺序。

综合以上技术说明, 本发明所述的数据存取整合方法确实解决了现有技术中的缺陷, 进而实现了本发明的最主要的目的, 而本发明的中心思想可广泛地应用在所有支持序列式高级技术配件界面 (SATA) 规格的存储装置, 如硬盘、光驱等, 因此, 任何所属技术领域中普通技术人员, 在不脱离本发明的精神和范围内, 当可作一定的更动与修改, 因此本发明的保护范围应以权利要求书为准。

次序	命令类型	逻辑块地址 (LBA)	扇区数目 (Sector Count)
1	读取	0	2(1KB)
2	写入	20	1(0.5KB)
3	读取	2	2(1KB)
4	写入	22	1(0.5KB)
5	读取	10	3(1.5KB)
6	读取	13	5(2.5KB)
7	写入	23	5(2.5KB)
8	写入	28	2(1KB)
9	读取	18	2(1KB)
10	写入	30	2(1KB)
11	写入	32	2(1KB)

图1

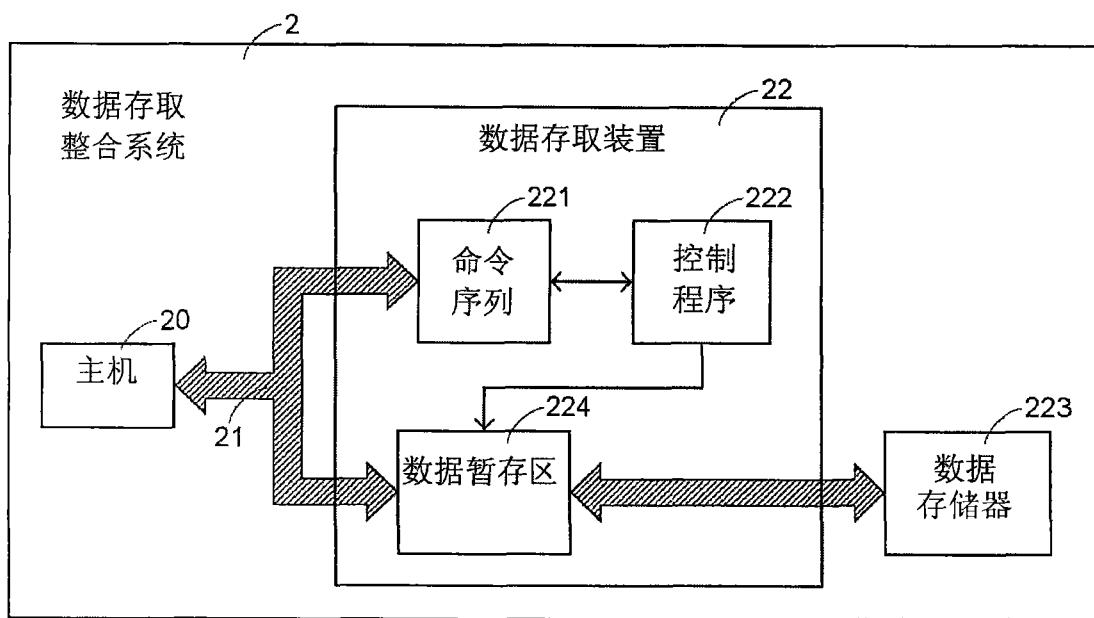


图2

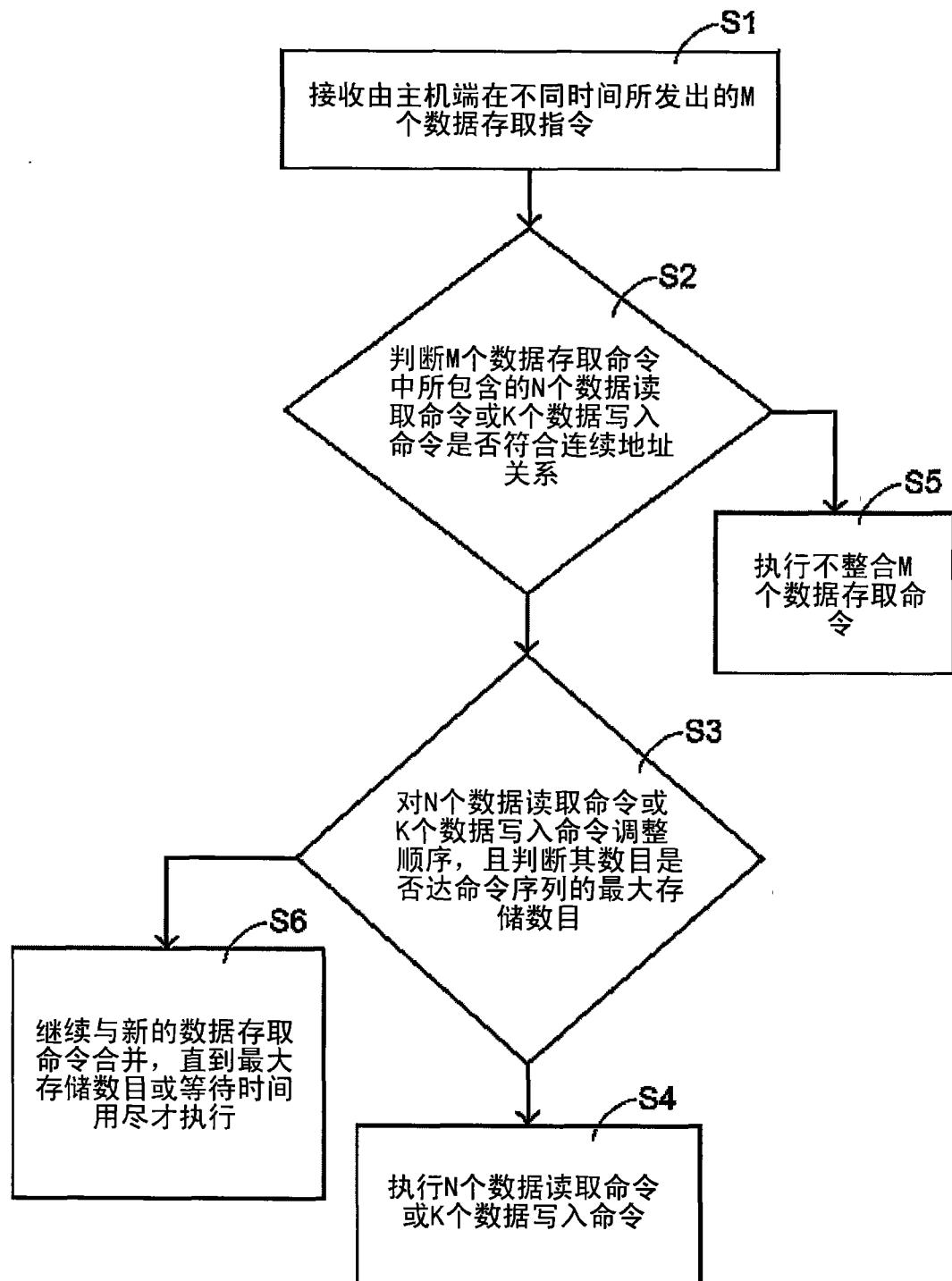


图3

次序	命令类型	逻辑块地址 (LBA)	扇区数目 (Sector Count)
1	写入	20	1(0.5KB)
2	读取	0	4(2.0KB)
3	读取	10	10(5.0KB)
4	写入	22	12(6KB)

图4