

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-218911

(P2008-218911A)

(43) 公開日 平成20年9月18日(2008.9.18)

(51) Int.Cl.
H01L 33/00 (2006.01)F I
H01L 33/00テーマコード (参考)
5F041

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願2007-57592 (P2007-57592)
(22) 出願日 平成19年3月7日(2007.3.7)(71) 出願人 000006220
ミツミ電機株式会社
東京都多摩市鶴牧2丁目11番地2
(74) 代理人 100070150
弁理士 伊東 忠彦
(72) 発明者 山口 公一
神奈川県厚木市酒井1601 ミツミ電機
株式会社厚木事業所内
(72) 発明者 佐藤 尚史
北海道千歳市泉沢1007番地39 ミツ
ミ電機株式会社千歳事業所内
Fターム(参考) 5F041 AA10 AA42 BB02 BB03 BB06
BB10 BB12 BB22 BB26 BB27
BB32 BB33 FF13

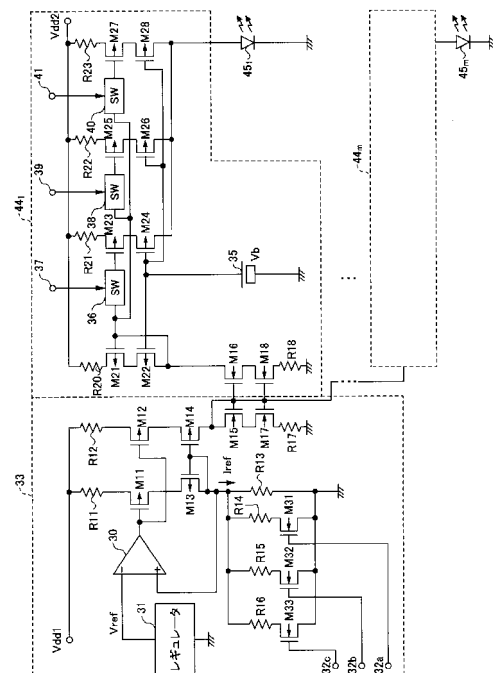
(54) 【発明の名称】 発光ダイオード駆動回路

(57) 【要約】

【課題】本発明は、発光ダイオードの発光輝度を高精度に調整することができ、かつ、回路規模の増大を抑えることができる発光ダイオード駆動回路を提供することを目的とする。

【解決手段】基準電流部33は、出力電流を制御する第1の演算増幅器50と、直列接続された複数の抵抗の一部の抵抗R32、R33と並列に設けられたスイッチ53、54を第1の制御信号に応じてオン又はオフして一部の抵抗の両端間を短絡又は開放し前記出力電圧を切り替える電圧切り替え回路と、基準電流を制御する第2の演算増幅器30と、抵抗R14～R16とトランジスタM31～M33の直列接続回路を基準抵抗R13と並列に複数接続した抵抗回路であって直列接続回路のトランジスタを第2の制御信号に応じてオン又はオフさせて基準電流が流れることで発生する電圧を切り替え、基準電流を切り替える電流切り替え回路を有する。

【選択図】図2



【特許請求の範囲】

【請求項 1】

基準電流を生成する基準電流部と、カレントミラー回路を用いて前記基準電流に基づく駆動電流を生成して発光ダイオードに供給する電流出力部からなる発光ダイオード駆動回路であって、

前記基準電流部は、

出力電流が直列接続された複数の抵抗を流れることで発生する出力電圧の分圧値が一定の基準電圧と同一となるよう前記出力電流を制御する第 1 の演算増幅器と、

前記直列接続された複数の抵抗の一部の抵抗と並列に設けられたスイッチを第 1 の制御信号に応じてオン又はオフして前記一部の抵抗の両端間を短絡又は開放し前記出力電圧を切り替える電圧切り替え回路と、

前記基準電流が抵抗回路を流れることで発生する電圧が前記電圧切り替え回路の出力電圧と同一となるよう前記基準電流を制御する第 2 の演算増幅器と、

抵抗とトランジスタの直列接続回路を基準抵抗と並列に複数接続した抵抗回路であって前記直列接続回路のトランジスタを第 2 の制御信号に応じてオン又はオフさせて前記基準電流が流れることで発生する電圧を切り替え、前記基準電流を切り替える電流切り替え回路を

有することを特徴とする発光ダイオード駆動回路。

【請求項 2】

請求項 1 記載の発光ダイオード駆動回路において、

前記複数の直列接続回路の抵抗は、前記基準抵抗と抵抗値が異なることを特徴とする発光ダイオード駆動回路。

【請求項 3】

請求項 1 又は 2 記載の発光ダイオード駆動回路において、

前記電圧切り替え回路のスイッチは、トランスマッションゲートであることを特徴とする発光ダイオード駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光ダイオード駆動回路に関し、配列された複数の発光ダイオードそれぞれを駆動する発光ダイオード駆動回路に関する。

【背景技術】

【0002】

プリンタ等において感光体を感光させる手段として、発光ダイオード（以下、「LED」という）をリニアに配列した LED アレイを用いたものがある。このような LED アレイの各 LED を駆動する駆動回路としては、例えば特許文献 1, 2 等に記載されているものがある。

【0003】

図 5 は、従来の発光ダイオード駆動回路の一例の回路構成図を示す。この駆動回路は半導体集積回路化されている。

【0004】

同図中、演算増幅器 10 の反転入力端子には基準電圧源 11 より基準電圧 V_{ref} が印加されている。演算増幅器 10 の出力端子は p チャネル MOS 電界効果トランジスタ（以下、単に「MOS トランジスタ」という）M0 のゲートに接続されると共に、p チャネル MOS トランジスタ M1 のゲートに接続され、また、アナログスイッチ等のスイッチ 12, 13 を介して p チャネル MOS トランジスタ M2, M3 のゲートに接続されている。MOS トランジスタ M0, M1, M2, M3 のソースは電源 V_{dd1} に接続されている。MOS トランジスタ M0, M1 はカレントミラー回路を構成し、スイッチ 12, 13 のオン時に MOS トランジスタ M0 は MOS トランジスタ M1 ~ M3 と共にカレントミラー回路を構成する。

【 0 0 0 5 】

M O S トランジスタ M 0 のドレインは演算増幅器 1 0 の非反転入力端子に接続されると共に、抵抗 R 1 を介して接地されている。M O S トランジスタ M 1 , M 2 , M 3 のドレインは n チャネル M O S トランジスタ M 4 のドレインに共通接続されている。スイッチ 1 2 , 1 3 は端子 1 4 a , 1 4 b それぞれから供給される輝度調整用のスイッチ制御信号に応じてオン / オフを切り換える。

【 0 0 0 6 】

M O S トランジスタ M 4 のドレインは n チャネル M O S トランジスタ M 4 , M 5 のゲートに共通接続され、M O S トランジスタ M 4 , M 5 のソースは接地されており、M O S トランジスタ M 4 , M 5 はカレントミラー回路を構成している。

10

【 0 0 0 7 】

M O S トランジスタ M 5 のドレインは p チャネル M O S トランジスタ M 6 のゲートとドレインに接続されている。M O S トランジスタ M 6 のゲートはアナログスイッチ等のスイッチ 1 5 , 1 6 それぞれを介して p チャネル M O S トランジスタ M 7 , M 8 のゲートに接続されている。M O S トランジスタ M 6 , M 7 , M 8 のソースは電源 V d d 2 に接続され、M O S トランジスタ M 7 , M 8 のドレインは L E D (発光ダイオード) 1 8 のアノードに接続され、L E D 1 8 のカソードは接地されている。

【 0 0 0 8 】

スイッチ 1 5 , 1 6 は、端子 1 7 a , 1 7 b それぞれから供給される階調制御用のスイッチ制御信号に応じてオン / オフを切り換える。M O S トランジスタ M 7 , M 8 はスイッチ 1 5 , 1 6 がオンのときに M O S トランジスタ M 6 とカレントミラー回路を構成する。スイッチ 1 5 は L E D 1 8 を発光させるタイミングでオンとなり、スイッチ 1 6 は L E D 1 8 の発光輝度を増大させて階調表現を行う場合にオンとなる。

20

【 0 0 0 9 】

演算増幅器 1 0 は基準電圧 V r e f と抵抗 R 1 により、(1) 式で表わされる基準電流 I r e f を M O S トランジスタ M 0 のドレインに流し、M O S トランジスタ M 0 , M 1 のゲート面積比が 1 : A であれば、M O S トランジスタ M 4 のドレインに電流 $A \times I r e f$ が流れる (スwitch 1 2 , 1 3 がオフの状態) 。

【 0 0 1 0 】

$$I r e f = V r e f / R 1$$

... (1)

30

M O S トランジスタ M 1 と M O S トランジスタ M 2 , M 3 のゲート面積比が 1 0 : 1 である場合、スイッチ 1 2 をオンとして M O S トランジスタ M 2 をオンすると、M O S トランジスタ M 1 のドレイン電流に M O S トランジスタ M 2 のドレイン電流が加算されて M O S トランジスタ M 4 のドレイン電流 ($1.1 \times A \times I r e f$) となる。また、スイッチ 1 2 , 1 3 をオンとして M O S トランジスタ M 2 , M 3 をオンすると、M O S トランジスタ M 1 のドレイン電流に M O S トランジスタ M 2 , M 3 のドレイン電流が加算されて M O S トランジスタ M 4 のドレイン電流 ($1.2 \times A \times I r e f$) となる。この M O S トランジスタ M 4 のドレイン電流が基準電流となって M O S トランジスタ M 5 , M 6 のドレイン電流を決定するため、階調表現にかかわらず、L E D 1 8 に流れる電流はスイッチ 1 2 のオンにより 1.1 倍となって L E D 1 8 の発光輝度を約 1.1 倍とし、スイッチ 1 2 , 1 3 のオンにより 1.2 倍となって L E D 1 8 の発光輝度を約 1.2 倍とする。

40

【特許文献 1】特許第 3 2 9 6 8 8 2 号公報

【特許文献 2】特許第 2 5 1 6 2 3 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

従来の発光ダイオード駆動回路では、M O S トランジスタ M 1 と並列に、スイッチ 1 2 , 1 3 及び M O S トランジスタ M 2 , M 3 を設け、スイッチ 1 2 , 1 3 のオン / オフ制御を行うことで、L E D 1 8 の発光輝度を調整していた。

【 0 0 1 2 】

50

この場合、LED 18の発光輝度をより細かに調整しようとする、MOSトランジスタM1と並列に設けるスイッチ及びMOSトランジスタの段数を10数段から数10段と増加させなければならず、回路規模が大きくなるという問題があった。

【0013】

本発明は、上記の点に鑑みなされたものであり、発光ダイオードの発光輝度を高精度に調整することができ、かつ、回路規模の増大を抑えることができる発光ダイオード駆動回路を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明の発光ダイオード駆動回路は、基準電流を生成する基準電流部(33)と、カレントミラー回路を用いて前記基準電流に基づく駆動電流を生成して発光ダイオードに供給する電流出力部(44₁~44_m)からなる発光ダイオード駆動回路であって、

10

前記基準電流部(33)は、

出力電流が直列接続された複数の抵抗を流れることで発生する出力電圧の分圧値が一定の基準電圧と同一となるよう前記出力電流を制御する第1の演算増幅器(50)と、

前記直列接続された複数の抵抗(R31~R34)の一部の抵抗(R32, R33)と並列に設けられたスイッチ(53, 54)を第1の制御信号に応じてオン又はオフして前記一部の抵抗の両端間を短絡又は開放し前記出力電圧を切り替える電圧切り替え回路(R31~R34, 53, 54, 56, 57)と、

前記基準電流が抵抗回路を流れることで発生する電圧が前記電圧切り替え回路の出力電圧と同一となるよう前記基準電流を制御する第2の演算増幅器(30)と、

20

抵抗(R14~R16)とトランジスタ(M31~M33)の直列接続回路を基準抵抗(R13)と並列に複数接続した抵抗回路であって前記直列接続回路のトランジスタ(M31~M33)を第2の制御信号に応じてオン又はオフさせて前記基準電流が流れることで発生する電圧を切り替え、前記基準電流を切り替える電流切り替え回路(R13~R16, M31~M33)を有することにより、発光ダイオードの発光輝度を高精度に調整することができ、かつ、回路規模の増大を抑えることができる。

【0015】

前記発光ダイオード駆動回路において、

前記複数の直列接続回路の抵抗(R14~R16)は、前記基準抵抗(R13)と抵抗値が異なる構成とすることができる。

30

【0016】

前記発光ダイオード駆動回路において、

前記電圧切り替え回路のスイッチ(53, 54)は、トランスマッションゲートである構成とすることができる。

【0017】

なお、上記括弧内の参照符号は、理解を容易にするために付したものであり、一例にすぎず、図示の態様に限定されるものではない。

【発明の効果】

【0018】

40

本発明によれば、発光ダイオードの発光輝度を高精度に調整することができ、かつ、回路規模の増大を抑えることができる。

【発明を実施するための最良の形態】

【0019】

以下、図面に基づいて本発明の実施形態について説明する。

【0020】

<LEDアレイ駆動回路の構成>

図1は、本発明の発光ダイオード駆動回路を用いたLEDアレイ装置の一実施形態のブロック構成図を示す。このLEDアレイ装置は例えば48チャンネル構成である。

【0021】

50

同図中、シフトレジスタ20には1チャンネルについて例えば6ビットの発光時間データが48チャンネル分時系列で供給され、シフトレジスタ20で順次シフトされてラッチされたのち、パルス幅変調回路22に供給される。パルス幅変調回路22は、チャンネル毎に発光時間データで指示されるパルス幅の発光パルスを生成し、48チャンネル分の発光パルスをLEDアレイ駆動回路26に供給する。

【0022】

シフトレジスタ24には1チャンネルについて例えば6ビットの発光輝度データが48チャンネル分時系列で供給され、シフトレジスタ24で順次シフトされてラッチされたのち、LEDアレイ駆動回路26に供給される。LEDアレイ駆動回路26は、チャンネル毎に発光輝度データをデコードしてn系統の階調制御用のスイッチ制御信号を生成し、チャンネル毎に発光パルスでオンさせるMOSトランジスタを上記n系統の階調制御用のスイッチ制御信号によって決定する。LEDアレイ駆動回路26はLEDアレイ28を構成する48チャンネルのLEDをチャンネル単位に駆動する。

【0023】

<発光ダイオード駆動回路の構成>

図2は、本発明の発光ダイオード駆動回路の一実施形態の回路構成図を示す。この駆動回路は半導体集積回路化されている。

【0024】

同図中、演算増幅器30の反転入力端子にはレギュレータ31より基準電圧 V_{ref} が印加されている。演算増幅器30の出力端子はpチャンネルMOSトランジスタM11, M12それぞれのゲートに接続されている。MOSトランジスタM11, M12それぞれのソースは抵抗R11, R12それぞれを介して電源 V_{dd1} に接続されてカレントミラー回路を構成している。MOSトランジスタM11, M12それぞれのドレインはpチャンネルMOSトランジスタM13, M14それぞれのソースに接続されている。

【0025】

MOSトランジスタM13, M14のゲートはMOSトランジスタM13のドレインに共通接続されてカレントミラー回路を構成しており、MOSトランジスタM13のドレインは演算増幅器30の非反転入力端子に接続されると共に、抵抗R13, R14, R15, R16それぞれの一端に接続されている。抵抗R13の他端は接地されている。

【0026】

MOSトランジスタM11~M14はカレントミラー回路がカスケード接続された構成とすることにより、MOSトランジスタM11, M12のドレイン電位が略同一となり、ゲート面積が同一の場合MOSトランジスタM13, M14のドレイン電流は略同一となる。

【0027】

抵抗R14, R15, R16それぞれの他端にはnチャンネルMOSトランジスタM31, M32, M33のドレインが接続され、MOSトランジスタM31, M32, M33のソースは接地されている。MOSトランジスタM31, M32, M33のゲートには端子32a, 32b, 32cから輝度調整用のスイッチ制御信号(第2の制御信号)が供給される。

【0028】

なお、抵抗R13の他端及びMOSトランジスタM31~M33のソースと接地点との間に順方向にダイオードを入れても同様の動作を行うことができる。このダイオードを設けることにより、 $0.4\%/^{\circ}\text{C}$ の温度特性を持たせることができる。これにより、後述するLED45₁~45_mの電流補正を行うことができ、LED45₁~45_mの輝度の温度による変化を抑えることができる。

【0029】

MOSトランジスタM14のドレインはnチャンネルMOSトランジスタM15のゲートとドレインに接続されている。MOSトランジスタM15のゲートはnチャンネルMOSトランジスタM16のゲートと接続されてカレントミラー回路を構成している。

【 0 0 3 0 】

M O S トランジスタ M 1 5 , M 1 6 それぞれのソースは n チャンネル M O S トランジスタ M 1 7 , M 1 8 それぞれのドレインに接続されている。M O S トランジスタ M 1 7 , M 1 8 のゲートは M O S トランジスタ M 1 5 のゲートとドレインに共通接続されてカレントミラー回路を構成し、M O S トランジスタ M 1 7 , M 1 8 のソースは抵抗 R 1 7 , R 1 8 を介して接地されている。

【 0 0 3 1 】

M O S トランジスタ M 1 5 ~ M 1 8 はカレントミラー回路がカスケード接続された構成となっており、M O S トランジスタ M 1 5 , M 1 6 のソース電位が略同一となり、ゲート面積が同一の場合 M O S トランジスタ M 1 5 , M 1 6 のドレイン電流は略同一となる。

10

【 0 0 3 2 】

上記の演算増幅器 3 0 , レギュレータ 3 1 , M O S トランジスタ M 1 1 ~ M 1 5 , M 1 7 及び抵抗 R 1 7 は基準電流部 3 3 を構成している。演算増幅器 3 0 は、M O S トランジスタ M 1 3 のドレイン電流が抵抗 R 1 3 , R 1 4 , R 1 5 , R 1 6 を流れることにより生じる M O S トランジスタ M 1 3 のドレイン電圧をレギュレータ 3 1 からの基準電圧 V_{ref} と差動増幅して、両者が同一となるように M O S トランジスタ M 1 1 のドレイン電流を制御して M O S トランジスタ M 1 3 のドレインに一定の基準電流 I_{ref} を流す。また、カレントミラー回路によって M O S トランジスタ M 1 6 のドレインに基準電流 I_{ref} に比例した電流が流れる。

【 0 0 3 3 】

20

M O S トランジスタ M 1 6 のドレインは p チャンネル M O S トランジスタ M 2 2 のドレインに接続されている。M O S トランジスタ M 2 2 のソースは p チャンネル M O S トランジスタ M 2 1 のドレインに接続されている。M O S トランジスタ M 2 1 のソースは抵抗 R 2 0 を介して電源 V_{dd2} に接続されている。

【 0 0 3 4 】

M O S トランジスタ M 2 1 のゲートは M O S トランジスタ M 2 2 のドレインに接続されると共に、アナログスイッチ等のスイッチ 3 6 , 3 8 , 4 0 それぞれを介して p チャンネル M O S トランジスタ M 2 3 , M 2 5 , M 2 7 のゲートに接続されている。スイッチ 3 6 , 3 8 , 4 0 がオンすると M O S トランジスタ M 2 3 , M 2 5 , M 2 7 のゲート電位を M O S トランジスタ M 2 1 のゲート電圧と同一にして M O S トランジスタ M 2 3 , M 2 5 , M 2 7 をオンし、スイッチ 3 6 , 3 8 , 4 0 がオフすると M O S トランジスタ M 2 3 , M 2 5 , M 2 7 のゲート電位を電源電圧 V_{dd2} として M O S トランジスタ M 2 3 , M 2 5 , M 2 7 をオフする。

30

【 0 0 3 5 】

M O S トランジスタ M 2 3 , M 2 5 , M 2 7 それぞれのソースは抵抗 R 2 1 , R 2 2 , R 2 3 それぞれを介して電源 V_{dd2} に接続されており、M O S トランジスタ M 2 3 , M 2 5 , M 2 7 はスイッチ 3 6 , 3 8 , 4 0 がオンのときに M O S トランジスタ M 2 1 とカレントミラー回路を構成する。

【 0 0 3 6 】

M O S トランジスタ M 2 2 のゲートは p チャンネル M O S トランジスタ M 2 4 , M 2 6 , M 2 8 のゲートに接続されている。M O S トランジスタ M 2 3 , M 2 5 , M 2 7 それぞれのドレインは M O S トランジスタ M 2 4 , M 2 6 , M 2 8 のソースに接続されており、M O S トランジスタ M 2 2 , M 2 4 , M 2 6 , M 2 8 はカレントミラー回路を構成している。

40

【 0 0 3 7 】

M O S トランジスタ M 2 1 ~ M 2 8 はカレントミラー回路がカスケード接続された構成となることにより、M O S トランジスタ M 2 1 , M 2 3 , M 2 5 , M 2 7 のドレイン電位が略同一となり、ゲート面積が同一の場合 M O S トランジスタ M 2 2 , M 2 4 , M 2 6 , M 2 8 のドレイン電流は略同一となる。ここでは、階調表現を行うために、例えば M O S トランジスタ M 2 1 , M 2 2 のゲート面積に対して、M O S トランジスタ M 2 3 , M 2 4

50

のゲート面積は 6 倍、M O S トランジスタ M 2 5 , M 2 6 のゲート面積は 3 倍、M O S トランジスタ M 2 7 , M 2 8 のゲート面積は 2 倍というように、ゲート面積をそれぞれ異ならせている。

【 0 0 3 8 】

なお、M O S トランジスタ M 2 2 , M 2 4 , M 2 6 , M 2 8 のゲートには電圧源 3 5 より定電圧 V_b が印加されて、M O S トランジスタ M 2 2 , M 2 4 , M 2 6 , M 2 8 のソース電位は $V_b + V_{gs2}$ (V_{gs2} は p チャネル M O S トランジスタのゲート・ドレイン間電圧) とされている。

【 0 0 3 9 】

スイッチ 3 6 , 3 8 , 4 0 それぞれは端子 3 7 , 3 9 , 4 1 それぞれから供給される n (ここでは $n = 3$) 系統の階調制御用のスイッチ制御信号に応じてオン / オフを切り換える。なお、 n は 3 に限らない。M O S トランジスタ M 2 4 , M 2 6 , M 2 8 のドレインは L E D 4 5₁ のアノードに接続され、L E D 4 5₁ のカソードは接地されている。

【 0 0 4 0 】

ここで、スイッチ 3 6 , 3 8 , 4 0 がオフのとき M O S トランジスタ M 2 3 , M 2 5 , M 2 7 はオフし L E D 4 5₁ に電流は流れない。スイッチ 3 6 がオンすると M O S トランジスタ M 2 3 のドレイン電流が L E D 4 5₁ に流れ、スイッチ 3 6 , 3 8 がオンすると M O S トランジスタ M 2 3 , M 2 5 のドレイン電流の和が L E D 4 5₁ に流れ、スイッチ 3 6 , 3 8 , 4 0 がオンすると M O S トランジスタ M 2 3 , M 2 5 , M 2 7 のドレイン電流の和が L E D 4 5₁ に流れ、L E D 4 5₁ は流れる電流が大きくなるほど発光輝度が大きくなる。

【 0 0 4 1 】

上記のスイッチ 3 6 , 3 8 , 4 0 , M O S トランジスタ M 1 6 , M 1 8 ~ M 2 8 , 抵抗 R 1 8 ~ R 2 3 が 1 チャネル分の電流出力部 4 4₁ を構成しており、 m (例えば $m = 4 8$) チャネル分の同一構成の電流出力部 4 4₁ ~ 4 4_m が基準電流部 3 3 に接続されている。各チャネルの電流出力部 4 4₁ ~ 4 4_m はそれぞれに接続されている L E D アレイ 2 8 の L E D 4 5₁ ~ 4 5_m を駆動する。

【 0 0 4 2 】

<レギュレータの構成>

図 3 は、レギュレータ 3 1 の詳細な回路構成図を示す。同図中、演算増幅器 5 0 の反転入力端子には基準電圧源 5 1 より基準電圧 V_{ref1} が印加されている。演算増幅器 5 0 の出力端子は p チャネル M O S トランジスタ M 4 0 のゲートに接続されている。M O S トランジスタ M 4 0 のソースは電源 V_{dd1} に接続されている。M O S トランジスタ M 4 0 のドレインは出力端子 5 2 に接続されると共に、直列接続された抵抗 R 3 1 , R 3 2 , R 3 3 , R 3 4 を介して接地されている。

【 0 0 4 3 】

抵抗 R 3 2 , R 3 3 の接続点即ち分圧点は演算増幅器 5 0 の非反転入力端子に接続されており、抵抗 R 3 2 と並列にスイッチとしてのトランスマッションゲート 5 3 が接続され、抵抗 R 3 3 と並列にスイッチとしてのトランスマッションゲート 5 4 が接続されている。

【 0 0 4 4 】

ここでは例としてトランスマッションゲートを示したが、 n チャネル M O S トランジスタ又は p チャネル M O S トランジスタのみの構成を使用しても同様の動作をすることができる。

【 0 0 4 5 】

演算増幅器 5 0 は、M O S トランジスタ M 4 0 のドレイン電流が抵抗 R 3 1 ~ R 3 4 を流れることにより生じる出力端子 5 2 の出力電圧を分圧点である抵抗 R 3 2 , R 3 3 の接続点から取り出し、この分圧点の電圧を基準電圧源 5 1 より基準電圧 V_{ref1} と差動増幅して、両者が同一となるように M O S トランジスタ M 4 0 のドレイン電流を制御している。

10

20

30

40

50

【 0 0 4 6 】

端子 5 5 には輝度調整用のスイッチ制御信号（第 1 の制御信号）が供給され、縦続接続されたインバータ 5 6 , 5 7 で反転される。インバータ 5 6 の出力する反転スイッチ制御信号はトランсмисシヨンゲート 5 3 の制御端子に供給され、インバータ 5 7 の出力する非反転スイッチ制御信号はトランсмисシヨンゲート 5 4 の制御端子に供給される。

【 0 0 4 7 】

トランсмисシヨンゲート 5 3 , 5 4 それぞれは制御端子にローレベルのスイッチ制御信号を供給されるとオフ（遮断）し、ハイレベルのスイッチ制御信号を供給されるとオン（導通）する。トランсмисシヨンゲート 5 3 はオンすると抵抗 R 3 2 の両端間を短絡し、オフすると抵抗 R 3 2 の両端間を開放する。トランсмисシヨンゲート 5 4 はオンすると抵抗 R 3 3 の両端間を短絡し、オフすると抵抗 R 3 3 の両端間を開放する。

【 0 0 4 8 】

<発光ダイオードの輝度調整>

ここで、図 2 に示す抵抗 R 1 3 , R 1 4 , R 1 5 , R 1 6 それぞれの抵抗値の比は、例えば 1 : 2 : 4 : 8 とされている。端子 3 2 a ~ 3 2 c からのスイッチ制御信号が総てローレベルのとき MOS トランジスタ M 3 1 ~ M 3 3 はオフして MOS トランジスタ M 1 3 のドレインは抵抗 R 1 3 を介して接地される。

【 0 0 4 9 】

端子 3 2 a からのスイッチ制御信号がハイレベルのとき MOS トランジスタ M 3 1 がオンして MOS トランジスタ M 1 3 のドレインは抵抗 R 1 3 と抵抗 R 1 4 の並列接続を介して接地される。同様に、端子 3 2 b からのスイッチ制御信号がハイレベルのとき MOS トランジスタ M 3 2 がオンして MOS トランジスタ M 1 3 のドレインは抵抗 R 1 3 と抵抗 R 1 5 の並列接続を介して接地され、端子 3 2 c からのスイッチ制御信号がハイレベルのとき MOS トランジスタ M 3 3 がオンして MOS トランジスタ M 1 3 のドレインは抵抗 R 1 3 と抵抗 R 1 5 の並列接続を介して接地される。

【 0 0 5 0 】

また、端子 3 2 a , 3 2 b からのスイッチ制御信号がハイレベルのとき MOS トランジスタ M 3 1 , M 3 2 がオンして MOS トランジスタ M 1 3 のドレインは抵抗 R 1 3 と抵抗 R 1 4 と R 1 5 の並列接続を介して接地され、端子 3 2 b , 3 2 c からのスイッチ制御信号がハイレベルのとき MOS トランジスタ M 3 2 , M 3 3 がオンして MOS トランジスタ M 1 3 のドレインは抵抗 R 1 3 と抵抗 R 1 5 と抵抗 R 1 6 の並列接続を介して接地され、端子 3 2 a , 3 2 c からのスイッチ制御信号がハイレベルのとき MOS トランジスタ M 3 1 , M 3 3 がオンして MOS トランジスタ M 1 3 のドレインは抵抗 R 1 3 と抵抗 R 1 4 と抵抗 R 1 6 の並列接続を介して接地され、端子 3 2 a , 3 2 b , 3 2 c からのスイッチ制御信号がハイレベルのとき MOS トランジスタ M 3 1 , M 3 2 , M 3 3 がオンして MOS トランジスタ M 1 3 のドレインは抵抗 R 1 3 と抵抗 R 1 4 と抵抗 R 1 5 と抵抗 R 1 6 の並列接続を介して接地される。

【 0 0 5 1 】

つまり、MOS トランジスタ M 1 3 のドレイン抵抗を最大で抵抗 R 1 3 とし、最小で ($R 1 3 // R 1 4 // R 1 5 // R 1 6$) とすることができる。なお、 $R 1 3 // R 1 4 // R 1 5 // R 1 6$ は抵抗 R 1 3 , R 1 4 , R 1 5 , R 1 6 の並列接続の合成抵抗を表す。

【 0 0 5 2 】

これによって、MOS トランジスタ M 1 3 のドレインを流れる基準電流 I_{ref} の最小値 $I_{ref}(min)$ が (2) 式で表わされ、最大値 $I_{ref}(max)$ が (3) 式で表される。

【 0 0 5 3 】

$$I_{ref}(min) = V_{ref} / R 1 3 \quad \dots (2)$$

$$I_{ref}(max) = V_{ref} / (R 1 3 // R 1 4 // R 1 5 // R 1 6) \quad \dots (3)$$

本発明では、LED 4 5₁ の発光輝度が所望の値となるように、端子 3 2 a ~ 3 2 c か

らのスイッチ制御信号によりM O S トランジスタM 1 3 のドレインに流れる基準電流 I r e f を調整する。

【 0 0 5 4 】

更に、図 3 に示す端子 5 5 のスイッチ制御信号がハイレベルのとき、出力端子 5 2 の出力電圧 V o u t (H) は (4) 式で表される。また、端子 5 5 のスイッチ制御信号がローレベルのとき、出力端子 5 2 の出力電圧 V o u t (L) は (5) 式で表される。

【 0 0 5 5 】

$$V o u t (H) = V r e f \times (R 3 1 + R 3 2 + R 3 4) / R 3 4 \quad \dots (4)$$

$$V o u t (L) = V r e f \times (R 3 1 + R 3 3 + R 3 4) / (R 3 3 + R 3 4) \quad \dots (5)$$

10

このため、例えば $R 3 1 = R 3 2 = R 3 3 = R 3 4$ とすると、スイッチ制御信号がハイレベルのときの V o u t (H) は、スイッチ制御信号がローレベルのときの V o u t (L) の 2 倍となる。図 3 の出力電圧 V o u t (H) , V o u t (L) は、即ち図 2 における基準電圧 V r e f であり、基準電圧 V r e f が 2 倍になると、基準電流 I r e f は 2 倍となる。

【 0 0 5 6 】

図 4 に輝度調整による発光輝度データと L E D 4 5 ₁ に流れる電流の関係を示す。同図中、実線 L 1 は V o u t (L) での I r e f (m i n) における発光輝度データと L E D 4 5 ₁ に流れる電流の関係を示し、実線 L 2 は V o u t (L) での I r e f (m a x) における発光輝度データと L E D 4 5 ₁ に流れる電流の関係を示す。

20

【 0 0 5 7 】

また、実線 L 3 は V o u t (H) での I r e f (m i n) における発光輝度データと L E D 4 5 ₁ に流れる電流の関係を示し、実線 L 4 は V o u t (H) での I r e f (m a x) における発光輝度データと L E D 4 5 ₁ に流れる電流の関係を示す。なお、V o u t (L) での I r e f (m i n) は例えば 2 0 0 μ A であり、V o u t (H) での I r e f (m a x) は例えば 1 . 3 2 m A である。

【 0 0 5 8 】

従来は、L E D 1 8 の発光輝度をより細かに調整しようとする、M O S トランジスタ M 1 と並列に設けるスイッチ及び M O S トランジスタの段数を 1 0 数段から数 1 0 段と増加させなければならなかったが、本発明では M O S トランジスタ M 3 1 , M 3 2 , M 3 3 と抵抗 R 1 4 , R 1 5 , R 1 6 の簡単な構成で、輝度調整を行うことができる。

30

【 0 0 5 9 】

更に、抵抗 R 3 1 ~ R 3 4 とトランスマッションゲート 5 3 , 5 4 の簡単な構成で、1 ビットのスイッチ制御信号で基準電流 I r e f を切り替えて輝度調整を行うことができる。

【 0 0 6 0 】

本実施形態では、スイッチ制御信号のビット数を N とすると 2^N 通りの輝度調整を行うことができる。

【図面の簡単な説明】

【 0 0 6 1 】

40

【図 1】本発明の発光ダイオード駆動回路を用いた L E D アレイ装置の一実施形態のブロック構成図である。

【図 2】本発明の発光ダイオード駆動回路の一実施形態の回路構成図である。

【図 3】レギュレータの詳細な回路構成図である。

【図 4】輝度調整による発光輝度データと L E D に流れる電流の関係を示す図である。

【図 5】従来の発光ダイオード駆動回路の一例の回路構成図である。

【符号の説明】

【 0 0 6 2 】

3 0 , 5 0 演算増幅器

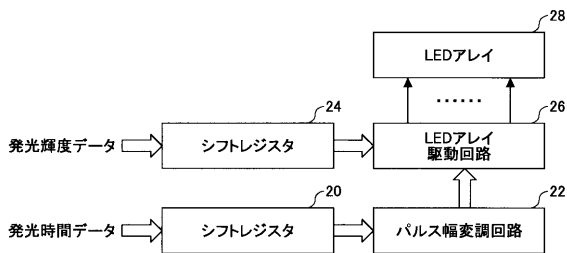
3 1 レギュレータ

50

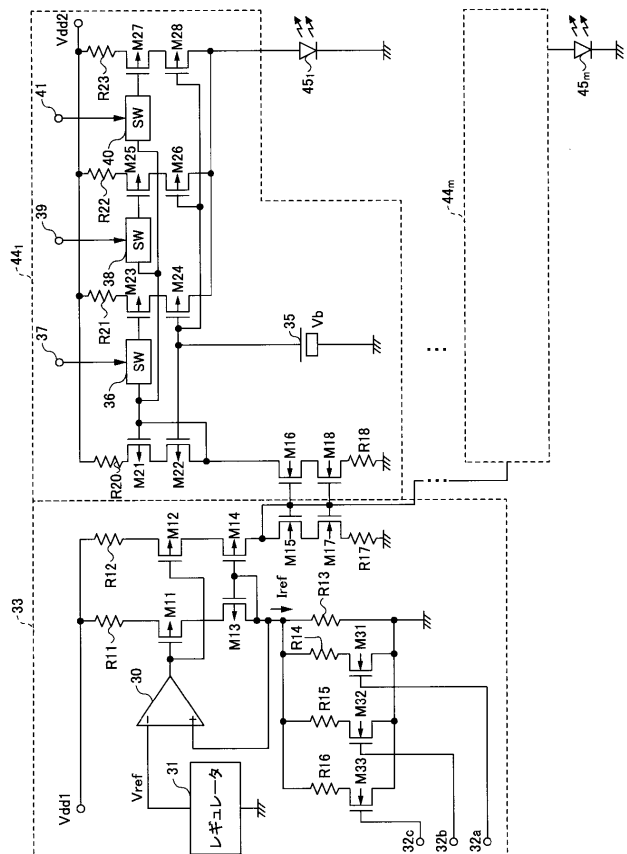
3 3 基準電流部
 3 5 電圧源
 3 6 , 3 8 , 4 0 スイッチ
 4 4 ₁ ~ 4 4 _m 電流出力部
 4 5 ₁ ~ 4 5 _m L E D
 5 3 , 5 4 トランсмисシヨンゲート
 5 6 , 5 7 インバータ
 M 1 1 ~ M 4 0 M O S トランジスタ
 R 1 1 ~ R 3 4 抵抗
 V d d 1 , V d d 2 電源

10

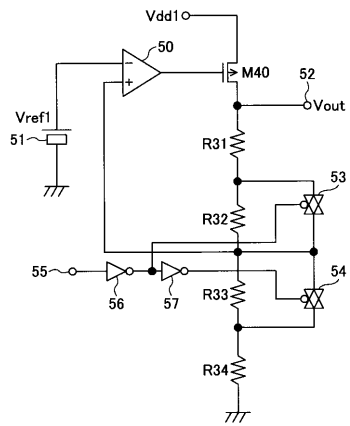
【 図 1 】



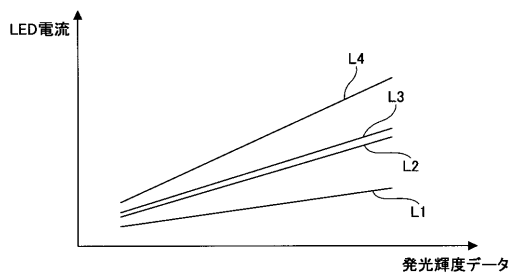
【 図 2 】



【図 3】



【図 4】



【図 5】

