

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4697270号
(P4697270)

(45) 発行日 平成23年6月8日(2011.6.8)

(24) 登録日 平成23年3月11日(2011.3.11)

(51) Int.Cl.		F I		
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	6 2 7 G	
HO 1 L 29/786	(2006.01)	HO 1 L 29/78	6 1 7 K	
HO 1 L 51/50	(2006.01)	HO 5 B 33/14	A	
HO 5 B 33/10	(2006.01)	HO 5 B 33/10		
HO 1 L 21/20	(2006.01)	HO 1 L 21/20		

請求項の数 4 (全 19 頁)

(21) 出願番号 特願2008-182889 (P2008-182889)
 (22) 出願日 平成20年7月14日(2008.7.14)
 (65) 公開番号 特開2010-21483 (P2010-21483A)
 (43) 公開日 平成22年1月28日(2010.1.28)
 審査請求日 平成21年7月16日(2009.7.16)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社内
 審査官 川村 裕二

最終頁に続く

(54) 【発明の名称】 電子装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、
 前記基板上行列配置される複数の薄膜トランジスタと、
 前記薄膜トランジスタごとに設けられ、該薄膜トランジスタのゲート電極と同じ導電層から一方の電極が形成される複数のキャパシタと、
 を有し、
 前記薄膜トランジスタが、
 前記基板上的前記導電層と、
 前記導電層上の絶縁膜と、
 前記導電層の前記ゲート電極となる第1領域に対し、前記絶縁膜を介して重ねられている薄膜半導体層と、
 を有し、
 前記導電層は、前記第1領域以外の前記キャパシタの電極を含む第2領域が、前記行列配置の一方向と直交する方向に延びて前記第1領域の中心を通る軸を境に線対称な平面形状を有し、前記一方向の一方の側からの熱源走査と他方の側からの熱源走査とで前記薄膜半導体層に対する等価な予備加熱層として機能する
 電子装置。

【請求項2】

前記薄膜半導体層がアモルファスシリコンからなり、

前記導電層が、前記薄膜半導体層および前記絶縁膜より、熱容量が小さく熱伝導率が高い導電材料からなる

請求項 1 に記載の電子装置。

【請求項 3】

流す電流量により発光が駆動される発光素子と、前記発光素子の駆動電流経路に設けられる駆動トランジスタと、をそれぞれに備える複数の画素が、前記基板の一主面から見た平面視で行列配置され、

前記駆動トランジスタが前記薄膜トランジスタである

請求項 2 に記載の電子装置。

【請求項 4】

基板に対し、当該基板上に行列配置される複数の薄膜トランジスタを形成するステップを有し、

前記複数の薄膜トランジスタを形成するステップが、

前記基板上に、前記薄膜トランジスタのゲート電極、および該ゲート電極に接続されるキャパシタの電極となる導電層を形成するステップと、

前記導電層を前記薄膜トランジスタごとの所定の平面形状にパターンニングする第 1 のパターンニングステップと、

複数の前記導電層の表出面を覆う絶縁膜を形成するステップと、

前記絶縁膜上に半導体薄膜を形成するステップと、

前記行列表置の一方向において一方の側から他方の側にレーザー光を走査し、前記一方向内で走査の向きを交互に変えながら走査を複数回、繰り返す、前記半導体薄膜をアニールするステップと、

前記薄膜トランジスタごとの薄膜半導体層を形成するために、前記半導体薄膜をパターンニングする第 2 のパターンニングステップと、
を含み、

前記第 2 のパターンニングステップでは、前記薄膜半導体層と重なってゲート電極となる前記導電層の第 1 領域以外の第 2 領域の平面形状が、前記行列表置の一方向と直交する方向に延びて前記第 1 領域の中心を通る軸を境に線対称となる位置に、前記薄膜半導体層が配置されるように、前記半導体薄膜をパターンニングする、

電子装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタを有する、表示装置や集積回路装置等の電子装置に関する。また、本発明は、薄膜トランジスタの薄膜半導体層をレーザー光走査によりアニールするステップを含む電子装置の製造方法に関する。

【背景技術】

【0002】

薄膜トランジスタ (T F T : Thin Film Transistor) を有する電子装置としては、例えば、液晶ディスプレイ、有機 E L ディスプレイ等の表示装置が知られている。

薄膜トランジスタ (以下、 T F T と称する) は、液晶ディスプレイでは液晶層に対し、画素信号に応じた電圧を印加するスイッチ素子として用いられる。

また、有機 E L ディスプレイでは、画素ごとに設けられた自発光素子に流す電流量を制御する駆動トランジスタに、 T F T が用いられる。有機 E L ディスプレイの各画素は、駆動トランジスタ以外に、電流経路の遮断制御や画素信号のサンプリングなどにスイッチ素子が必要で、そのスイッチ素子にも T F T が用いられる。

【0003】

T F T は、ディスプレイのパネル基板上に半導体集積回路と同様な技術を用いて積層された積層構造内に、ポリシリコンあるいはアモルファスシリコンなどからなる薄膜半導体層を有する。薄膜半導体層にソース・ドレイン領域が形成され、薄膜半導体層の上面また

10

20

30

40

50

は下面に対しゲート絶縁膜を介して近接するゲート電極が配置される。

【0004】

一般に、低温ポリシリコンTFTでは、非晶質シリコン（薄膜半導体層の形成膜）を結晶化して多結晶シリコン（ポリシリコン）に変化させるアニール工程において、エキシマレーザーアニール（ELA）法を用いている。

しかし、ELAで形成した低温ポリシリコンTFTは大きな移動度が得られる反面、その閾値電圧や移動度のバラツキが大きい。TFTの閾値電圧や移動度がばらつくと、上述した液晶ディスプレイや有機ELディスプレイにおいて、画素駆動の動作が安定しない。

【0005】

より詳細には、ELAのレーザー照射では、所定形状のレーザー照射領域（ショット領域）を一方の向きに一部ずらしながらパルス駆動により断続的に照射することでライン状走査が行われ、さらに当該走査の向きと直交する向きにショット領域中心をずらして当該直交する向きでもショット領域が一部重なるようにして次のライン状走査を同様に行う。このようなレーザー光のライン状走査を繰り返すことによって、ELAが行われる。

このとき、例えば走査ライン内でのTFT特性の均一性が、それに直交する方向でのTFT特性に比べて高くなる。逆にいうと、走査ラインと直交する方向でTFTの閾値や移動度がばらつきやすく、これが表示画面に周期的な筋状の輝度ムラを発生させる。

【0006】

特に有機ELディスプレイの駆動トランジスタは、画素に入力される信号のレベルに応じて発光素子の駆動電流量を調整するため、閾値電圧や移動度のばらつきが直接、画素の発光輝度の変動として現われる。また、サンプリングトランジスタはスイッチ素子であるが、閾値電圧によってサンプリング時間が決まり、また、移動度が異なると同じサンプリング時間でも取り込む信号電荷量が異なるため、サンプリングトランジスタのバラツキによっても発光輝度が多少なりとも変動する。

【0007】

ELA走査に起因した有機ELディスプレイの表示ムラを防止するために、種々の提案がされている（例えば、特許文献1および2参照）。

特許文献1では、発光素子に並列に接続するTFT（駆動トランジスタ）を複数個設け、そのときチャンネル電流が流れる向き（チャンネル長方向）を複数のTFT間で異ならせる。そして、このチャンネル長方向に応じて結晶性が異なる非晶質半導体膜に対し、一方向のELAレーザー照射、あるいは、複数の方向からのELAレーザー照射を行って、上述したELA走査に起因した周期的な輝度ムラが表示画面で目立たなくする。

【0008】

特許文献2では、発光素子に接続される駆動トランジスタと直列に、逆のチャンネル導電型を有し、ダイオード接続された補償用トランジスタを設けている。駆動トランジスタにELA時のレーザーライン状走査に起因して特性バラツキが生じたときに、逆導電型の補償用トランジスタには、上記バラツキによる駆動電流の変化を吸収するように逆向きの特性バラツキが生じる。このため、上述したELA走査に起因した周期的な輝度ムラが表示画面で目立たなくすることができる。

【特許文献1】特開2003-91245公報

【特許文献2】特開2002-175029号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、上述した特許文献1および特許文献2に記載された技術は、画素回路に回路的な工夫を行うものであるため、画素回路が大きくなるという欠点がある。また、回路的な工夫では、効果も限定的である。

【0010】

一方、レーザー走査に起因した周期的な筋状の輝度ムラは、レーザー照射エネルギーを下げれば格段に目立たなくなる。しかし、レーザー照射エネルギーを下げると、結晶化が

10

20

30

40

50

進まないため所望のTFT特性が得られず、また、結晶化不足という別の要因でTFTの特性バラツキが生じ、これが表示品質を低下させる。

【0011】

レーザー照射エネルギーを下げる場合、走査回数を増やしてレーザー照射領域を少しづつずらし、同じ画素が何度もレーザー照射されるようにして結晶化を促進することも可能である。しかし、走査回数を増やすとアニール工程に時間を要し、これがコストアップの要因となる。

【0012】

レーザーアニールに起因した特性バラツキは、表示装置以外の電子装置、例えば、薄膜トランジスタをアレイ状に配置した集積回路装置等においても同様に生じている。

10

【0013】

本発明は、レーザー照射などにより熱源走査を行う場合、その熱源のエネルギーが低い場合でも半導体薄膜に対し十分な加熱が行われ、かつ、熱源走査の往路と復路で特性バラツキが生じない構成の薄膜トランジスタを有する電子装置と、その製造方法を提供するものである。

【課題を解決するための手段】

【0014】

本発明の一形態に関わる電子装置は、基板と、前記基板上に行列配置される複数の薄膜トランジスタと、前記薄膜トランジスタごとに設けられ、該薄膜トランジスタのゲート電極と同じ導電層から一方の電極が形成される複数のキャパシタと、を有し、前記薄膜トランジスタが、前記基板上の前記導電層と、前記導電層上の絶縁膜と、前記導電層の前記ゲート電極となる第1領域に対し、前記絶縁膜を介して重ねられている薄膜半導体層と、を有し、前記導電層は、前記第1領域以外の前記キャパシタの電極を含む第2領域が、前記行列配置の一方と直交する方向に延びて前記第1領域の中心を通る軸を境に線対称な平面形状を有し、前記一方の一方の側からの熱源走査と他方の側からの熱源走査とで前記薄膜半導体層に対する等価な予備加熱層として機能する。

20

【0015】

本発明では好適に、前記予備加熱層が、前記薄膜半導体層と重なる第1領域と、前記第1領域以外の第2領域と、を有し、前記第2領域は、前記第1領域の中心を通る線対称軸を持つ平面形状を有する。

30

あるいは好適に、前記予備加熱層が、前記薄膜半導体層とそれぞれ重なる複数の第1領域と、前記第1領域以外の第2領域と、を有し、前記複数の第1領域の各々は、長辺が互いに平行な矩形の平面形状を有し、前記第2領域は、前記複数の第1領域の各長辺と平行な線対称軸を持つ平面形状を有する。

【0016】

本発明では好適に、前記薄膜半導体層がアモルファスシリコンからなり、前記導電層が、前記薄膜半導体層および前記絶縁膜より、熱容量が小さく熱伝導率が高い導電材料からなる。

本発明では好適に、流す電流量により発光が駆動される発光素子と、前記発光素子の駆動電流経路に設けられる駆動トランジスタと、をそれぞれに備える複数の画素が、前記基板の一主面から見た平面視で行列配置され、前記駆動トランジスタが前記薄膜トランジスタである。

40

【0018】

本発明の一形態に関わる電子装置の製造方法は、基板に対し、当該基板上に行列配置される複数の薄膜トランジスタを形成するステップを有し、前記複数の薄膜トランジスタを形成するステップが、前記基板上に、前記薄膜トランジスタのゲート電極、および該ゲート電極に接続されるキャパシタの電極となる導電層を形成するステップと、前記導電層を前記薄膜トランジスタごとの所定の平面形状にパターンニングする第1のパターンニングステップと、複数の前記導電層の表出面を覆う絶縁膜を形成するステップと、前記絶縁膜上に半導体薄膜を形成するステップと、前記行列配置の一方において一方の側から他方

50

の側にレーザー光を走査し、前記一方向内で走査の向きを交互に変えながら走査を複数回、繰り返し、前記半導体薄膜をアニールするステップと、前記薄膜トランジスタごとの薄膜半導体層を形成するために、前記半導体薄膜をパターンニングする第2のパターンニングステップと、を含み、前記第2のパターンニングステップでは、前記薄膜半導体層と重なってゲート電極となる前記導電層の第1領域以外の第2領域の平面形状が、前記行列配置の一方向と直交する方向に延びて前記第1領域の中心を通る軸を境に線対称となる位置に、前記薄膜半導体層が配置されるように、前記半導体薄膜をパターンニングする。

【0019】

以上の構成によれば、前記導電層（以下、予備加熱層という）上に絶縁膜を介して薄膜半導体層が重ねられている。このとき予備加熱層の平面形状に着目すると、当該予備加熱層の平面形状の一部が、薄膜半導体層の平面形状に対し重なっている。ここで平面形状とは、予備加熱層や薄膜半導体層が形成される基板の一主面から見た平面視の形状（パターン部の形）である。この一主面から見た平面視では、複数の薄膜トランジスタが少なくとも一方向にライン状に形成されている。薄膜半導体層は、この薄膜トランジスタのチャンネルが形成される層である。

薄膜半導体層に重なる予備加熱層は、その重なり部分以外の部分が、上記一方向（ライン状配置方向）と直交する方向の軸を境に線対称な平面形状を有する。このため、一方向の一方側から他方側に予備加熱層を横切る際と、他方側から一方側に横切る際とでは、共に、線対称な2つのパターン部分の一方から他方に横切ることになる。しかも、この2つの部分は、予備加熱層の薄膜半導体層との重なり部分に対して対称性がある。よって仮に、横切るのが何らかの熱源だとすると、平面形状の線対称性が加熱の均等性を生む。

【0020】

より詳細な形態では、予備加熱層の平面形状を、薄膜半導体層と重なる第1領域と、前記第1領域以外の第2領域とで区分したときに、第2領域が、第1領域の中心を通る線対称軸を持つ平面形状を有する。このことは第1領域が単数であるか、複数であるかを問わない。

また、他の形態では、前記第2領域の平面形状が、回転対照軸を中心に一方を180度だけ軸回転すると他方に重なる2つの回転対称部分を有する。

【0021】

ここで第1領域は、薄膜半導体層と重なる部分であるため、直接的に薄膜半導体層を過熱する加熱部として機能する。予備加熱層が薄膜トランジスタのゲート電極層である場合、第1領域は実効ゲート部である。一方、第2領域は第1領域以外の予備加熱層の部分であり、一般には、第2領域の配置によって、第1領域の加熱の仕方が違ってくる。

つまり、例えばレーザーアニールの走査時を考えると、第1領域にレーザー光が当たり、これが加熱される前に第2領域にレーザー光が当たってこれが加熱される場合がある。その場合、第2領域で発生した熱が第1領域に伝達される（予備加熱）。そして、レーザー走査の往路と復路で最初に加熱される第2領域の平面形状が対称でないと、第1領域が直接加熱される本加熱の前の予備加熱で第1領域の温度が異なってくる。

【0022】

本発明では、上述した一形態のような軸対照（線対称）性、他の一形態のような回転対照性をもつパターンの第2領域が第1領域に接続されているため、これらの対照性に適合したレーザー走査方向を決めれば、その往路と復路で薄膜半導体層に対する加熱の仕方がほぼ同じになる。

【発明の効果】

【0023】

本発明によれば、レーザー照射などにより熱源走査を行う場合、その熱源のエネルギーが低い場合でも半導体薄膜に対し十分な加熱が行われ、かつ、熱源走査の往路と復路で特性バラツキが生じない構成の、薄膜トランジスタを有する電子装置と、その製造方法を提供することができる。

【発明を実施するための最良の形態】

【 0 0 2 4 】

以下、本発明の実施形態を、有機 E L ディスプレイに本発明を適用した場合を例として、図面を参照して説明する。

【 0 0 2 5 】

< 全体構成 >

図 1 に、本発明の実施形態に関わる有機 E L ディスプレイの主要構成を示す。

図解する有機 E L ディスプレイ 1 は、複数の画素回路 (P I X . C .) 3 がマトリクス状に配置されている画素部 2 と、画素部 2 を駆動する駆動回路とを有する。駆動回路は、垂直駆動回路 (V スキャナ) 4 と、水平駆動回路 (H スキャナ : H . S c a n) 5 とを含む

10

。 V スキャナ 4 は、画素回路 3 の構成により複数設けられている。ここでは V スキャナ 4 が、水平画素ライン駆動回路 (D . S c a n) 4 1 と、書き込み信号走査回路 (W . S c a n) 4 2 とを含んで構成されている。

【 0 0 2 6 】

図 1 に示す画素回路の符号「 3 (i , j) 」は、当該画素回路が垂直方向 (縦方向) のアドレス i (i = 1 , 2) と、水平方向 (横方向) のアドレス j (j = 1 , 2 , 3) を持つことを意味する。これらのアドレス i と j は最大値をそれぞれ「 n 」と「 m 」とする 1 以上の整数をとる。ここでは図の簡略化のため n = 2 、 m = 3 の場合を示す。

このアドレス表記は、以後の説明や図面において画素回路の素子、信号や信号線ならびに電圧等についても同様に適用する。

20

【 0 0 2 7 】

画素回路 3 (1 , 1) 、 3 (2 , 1) が共通な垂直方向の第 1 信号線 S I G (1) に接続されている。同様に、画素回路 3 (1 , 2) 、 3 (2 , 2) が共通な垂直方向の第 2 信号線 S I G (2) に接続され、画素回路 3 (1 , 3) 、 3 (2 , 3) が共通な垂直方向の第 3 信号線 S I G (2) に接続されている。

第 1 行の画素回路 3 (1 , 1) 、 3 (1 , 2) および 3 (1 , 3) が共通のスキャン信号線によって、水平画素ライン駆動回路 4 1 から第 1 スキャン信号 V S C A N 1 (1) が印加可能となっている。同様に、第 2 行の画素回路 3 (2 , 1) 、 3 (2 , 2) および 3 (2 , 3) が共通のスキャン信号線によって、水平画素ライン駆動回路 4 1 から第 1 スキャン信号 V S C A N 1 (2) が印加可能となっている。

30

また、第 1 行の画素回路 3 (1 , 1) 、 3 (1 , 2) および 3 (1 , 3) が共通の他のスキャン信号線によって、書き込み信号走査回路 4 2 から第 2 スキャン信号 V S C A N 2 (1) が印加可能となっている。同様に、第 2 行の画素回路 3 (2 , 1) 、 3 (2 , 2) および 3 (2 , 3) が共通の他のスキャン信号線によって、書き込み信号走査回路 4 2 から第 2 スキャン信号 V S C A N 2 (2) が印加可能となっている。

【 0 0 2 8 】

< 画素回路 1 >

図 2 に、駆動トランジスタが P M O S トランジスタからなる場合の、画素回路 3 (i , j) の最も基本的な構成を示す。

図解する画素回路 3 (i , j) は、発光素子としての有機発光ダイオード O L E D を制御する回路である。画素回路は、有機発光ダイオード O L E D の他に、それぞれが P M O S タイプの T F T からなる駆動トランジスタ M d と、 N M O S タイプの T F T からなるサンプリングトランジスタ M s と、 1 つの蓄積キャパシタ C s とを有する。

40

【 0 0 2 9 】

有機発光ダイオード O L E D は、特に図示しないが、例えば、透明ガラス等からなる基板の上に、第 1 電極 (アノード電極) 、正孔輸送層、発光層、電子輸送層、電子注入層等を順次堆積させて有機膜を構成する積層体を形成し、この積層体の上に第 2 電極 (カソード電極) を形成した構造を有する。アノード電極が正側の第 1 電源に接続され、カソード電極が負側の第 2 電源に接続される。なお、第 2 電源が正側、第 1 電源が負側の電源でもよい。その場合、アノード電極が第 2 電源に接続され、カソード電極が第 1 電源に接続さ

50

れる。

なお、図2では有機発光ダイオードOLEDのアノードが正側の第1電源から電源電圧VDDの供給を受け、有機発光ダイオードOLEDのカソードが基準電圧、例えば接地電圧GNDに接続される場合を示す。

【0030】

有機発光ダイオードOLEDのアノードとカソードの電極間に所定のバイアス電圧を印加すると、注入された電子と正孔が発光層において再結合する際に自発光する。有機発光ダイオードOLEDは、有機膜を構成する有機材料を適宜選択することで赤(R)、緑(G)、青(B)の各色での発光が可能であることから、この有機材料を、例えば各行の画素にR、G、Bの発光が可能に配列することで、カラー表示が可能となる。あるいは、白色発光の有機材料を用いて、フィルタの色でR、G、Bの区別を行ってもよい。R、G、Bの他にW(ホワイト)を加えた4色構成でもよい。

10

【0031】

駆動トランジスタMdは、発光素子(有機発光ダイオードOLED)に流す電流量を制御して表示階調を規定する電流制御手段として機能する。

駆動トランジスタMdのソースが、電源電圧VDDの供給線に接続され、ドレインが有機発光ダイオードOLEDのアノードに接続されている。

【0032】

サンプリングトランジスタMsは、画素階調を決めるデータ電圧Vsigの供給線(信号線SIG(j))と駆動トランジスタMdのゲートとの間に接続されている。サンプリングトランジスタMsのソースとドレインの一方が駆動トランジスタMdのゲートに接続され、もう片方が信号線SIG(j)に接続されている。信号線SIG(j)に、Hスキャナ5からデータ電圧Vsigが印加される。サンプリングトランジスタMsは、このデータ電位印加期間の適正なタイミングで、当該画素回路で表示すべきレベルのデータをサンプリングする。これは、サンプリングすべき所望のデータ電圧Vsigを持つデータパルスの先頭または後部における、レベルが不安定な遷移期間の表示映像に与える影響を排除するためである。

20

【0033】

電源電圧VDDの供給線と駆動トランジスタMdのゲートとの間に、蓄積キャパシタCsが接続されている。蓄積キャパシタCsの役割については、次の動作で説明する。

30

なお、図2では、図1の書き込み信号走査回路42により制御される構成を省略している。この構成としては、例えば図2の電源電圧VDDの供給線と駆動トランジスタMdとの間に接続される他のトランジスタであってよい。あるいは、電源電圧VDDを所定時間印加だけ印加することを一定周期で繰り返す構成でもよい。これらの構成はドライブスキャンのために設けられるが、ドライブスキャンは種々の方式があるため、図2では省略している。

【0034】

<画素回路2>

図3に、駆動トランジスタがNMOSトランジスタからなる場合の、画素回路3(i,j)の最も基本的な構成を示す。

40

図解する画素回路3(i,j)は、図2と駆動トランジスタMdのチャネル導電型が異なる他は、同様な構成となっている。駆動トランジスタMdがNMOSトランジスタ構成の場合は、単位サイズあたりの駆動電流が大きくとれることと、画素回路内の全てのトランジスタをNチャネル型で形成できるため、製造プロセスが簡略化できるという利点がある。

【0035】

<発光制御動作>

上記2つの画素回路における概略的な発光制御動作は、以下の如くである。

駆動トランジスタMdの発光制御ノードNDcには、蓄積キャパシタCsが結合されている。信号線SIG(j)からの信号電圧VsigがサンプリングトランジスタMsでサンプリングされ、これにより得られたデータ電圧Vsigが発光制御ノードNDcに印加される。

50

【 0 0 3 6 】

図 4 に、有機発光ダイオード O L E D の I - V 特性のグラフと、駆動トランジスタ M d のドレイン電流 I_{ds} (O L E D の駆動電流 I_d に相当) の一般式を示す。

駆動トランジスタ M d のゲートに所定のデータ電圧 V_{sig} が印加された時、 < 画素回路 1 : 図 2 > の場合、 P チャネル型の駆動トランジスタ M d のソースは電源に接続されており、常に飽和領域で動作するように設計されている。このため、当該 P チャネル型の駆動トランジスタ M d は、図 4 の式で示した値を持つ定電流源となる。この定電流源が流すドレイン電流 I_{ds} は、 P チャネル型の駆動トランジスタ M d のゲートに印加されているデータ電圧に応じた値を持つゲート・ソース間電圧 V_{gs} に応じて決まる。よって、サンプリング後のデータ電圧 V_{sig} に応じた輝度で有機発光ダイオード O L E D が発光する。

10

【 0 0 3 7 】

有機発光ダイオード O L E D は、よく知られているように、熱により I - V 特性が図 4 のように変化する。このとき、定電流源が同じ値の駆動電流 I_d を流そうとするため、有機発光ダイオード O L E D の印加電圧 V は大きくなり、 P チャネル型の駆動トランジスタ M d のドレイン電位が上昇する。しかし、 P チャネル型の駆動トランジスタ M d のゲート・ソース間電圧 V_{gs} が一定であるので、有機発光ダイオード O L E D には一定量の駆動電流 I_d が流れ、発光輝度は変化しない。

【 0 0 3 8 】

しかし、駆動トランジスタ M d を N チャネル型に置き換えた < 画素回路 2 : 図 3 > では、駆動トランジスタ M d のソースが有機発光ダイオード O L E D に接続されてしまうため、有機発光ダイオード O L E D の経時変化とともにゲート・ソース間電圧 V_{gs} が変化してしまう。

20

これにより、有機発光ダイオード O L E D に流れる駆動電流 I_d が変化し、その結果、所定のデータ電圧 V_{sig} であっても発光輝度が変化してしまう。

また、画素回路ごとに駆動トランジスタ M d の閾値電圧 V_{th} 、移動度 μ が異なっているため、図 4 の式に応じて、ドレイン電流 I_{ds} にバラツキが生じ、同じデータ電圧 V_{sig} が与えられている画素の発光輝度が変化してしまう。

【 0 0 3 9 】

N チャネル型の駆動トランジスタ M d を有する画素回路は、駆動能力が高く製造プロセスを簡略化できる利点があるが、閾値電圧 V_{th} や移動度 μ のばらつきを抑えるため、以下のような補正動作を、前述した発光制御動作に先立って行う必要がある。

30

【 0 0 4 0 】

< 補正動作 >

具体的な制御の詳細は省略するが、サンプリングの前に蓄積キャパシタ C_s によって、駆動トランジスタ M d のゲート電位が、その閾値電圧 V_{th} のレベルで保持される。この予備的な動作は、「閾値補正」と称される。

閾値補正後に、駆動トランジスタ M d のゲートにサンプリング後のデータ電圧 V_{data} が加わるため、ゲート電位は " $V_{th} + V_{data}$ " となって保持される。このときのデータ電圧 V_{data} の大きさに応じて駆動トランジスタ M d がオンする。閾値電圧 V_{th} が大きくオンし難い駆動トランジスタ M d の場合は " $V_{th} + V_{data}$ " も大きい、逆に、閾値電圧 V_{th} が小さくオンし易い駆動トランジスタ M d の場合は " $V_{th} + V_{data}$ " も小さい。よって駆動電流から閾値電圧 V_{th} のバラツキの影響が排除され、データ電圧 V_{data} が一定ならば、ドレイン電流 I_{ds} (駆動電流 I_d) も一定となる。

40

【 0 0 4 1 】

また、例えば、データサンプリングの前で閾値補正の後に、「移動度 (厳密には、駆動力補正) 」を行う。

移動度補正では、電圧 " $V_{th} + V_{sig}$ " が保持されている状態から、さらに、駆動トランジスタ M d の電流駆動能力に応じた電位変化を行う。図 2 および図 3 には図示を省略しているが、駆動トランジスタ M d のゲートとソースまたはドレインとの間に、駆動トランジスタ M d の電流チャネルを介した電流により保持キャパシタを充電または放電するパス

50

が設けられ、このパスに電流を流すか否かを制御することによって移動度補正を行う。

その後、この一定な電流値に駆動されて有機発光ダイオードO L E Dが発光する。

【 0 0 4 2 】

このようにして、駆動トランジスタM dの閾値電圧V thや移動度 μ のバラツキは回路によって補正されるが、この補正動作では駆動トランジスタM dに対する補正である。このため、最も望ましいのは、画素回路内の全てのトランジスタ(T F T)に対し閾値電圧や移動度がばらつき難くすることである。

閾値電圧や移動度のバラツキとして大きな要因を占めるのが、T F T薄膜(薄膜半導体層)の組成および濃度等のバラツキであり、これに影響を与える要因として、次に述べるように、導入不純物を活性化するためのレーザーアニール時のレーザー走査に起因したものがあ

10

【 0 0 4 3 】

<加熱が不均一となるパターン>

本実施形態は、往復のレーザーアニール照射で加熱が均等なパターンに関する。

加熱とパターンの関係を明らかにする際の前提として、まず、そのパターンに変更する前の画素構造を説明する。

【 0 0 4 4 】

図5(A)に、本実施形態でパターン変更がされる前の画素回路の平面図を示す。また、図5(B)に、図5(A)のA-A線に沿った断面図を示す。

以下、「パターン」という語を、図5(A)のように基板の一主面から見た平面視での形状(平面形状)と、その平面形状を有する部分とのどちらか一方または両方の意味で用

20

【 0 0 4 5 】

図5(B)において、ガラス等からなる基板10の上に、所定のゲート金属材料、例えばモリブデン等からなる「予備加熱層」を兼ねるゲート電極11が形成されている。ゲート電極11の上に、酸化シリコン等からなる「絶縁膜」としてのゲート絶縁膜12が、ゲート電極11の表出面を覆って形成されている。ゲート絶縁膜12の上に、主に実効ゲート部となるゲート電極11の一部(ゲートフィンガー部)11Aと重ね合わされる位置に、駆動トランジスタM dの薄膜半導体層(アモルファスシリコン層)13dが形成されて

30

【 0 0 4 6 】

この構造は、サンプリングトランジスタM s(図5(A))用の薄膜半導体層13sでも同じである。

ただし、ゲートフィンガー部11Aの長さが、駆動トランジスタM dとサンプリングトランジスタM sで異なる。また、ゲートフィンガー部11Aと一体形成されて連続するその他のゲート電極部分が、駆動トランジスタM dとサンプリングトランジスタM sで異なる。

具体的に、駆動トランジスタM dにおいては、ゲートフィンガー部11Aの根元から広い面積の蓄積キャパシタC sの下部電極が形成されており、その一部11Bが、ゲートフィンガー部11Aと平行に延びている。

40

これに対し、サンプリングトランジスタM sにおいては、ゲートフィンガー部11Aの根元に、水平(横)に走る第2スキャン信号V S C A N 2(i)の供給ライン(図では、「書き込み制御線」と表記)が連結している。

【 0 0 4 7 】

説明を図5(B)に戻すと、薄膜半導体層13dの上に、例えばアルミニウム(A l)の膜をパターンニングして形成された、種々の配線や接続部が設けられている。

図5(B)では右から、薄膜半導体層13dのソースとドレインの一方に電氣的に接続され電源電圧V D Dの供給線となるV D D線14A、薄膜半導体層13dのソースとドレインの他方に電氣的に接続され、これを、より上層に配置されるため不図示の有機発光ダイオードO L E Dの有機積層膜と接続するための接続配線14B、蓄積キャパシタC sの

50

上部電極 14C、および、信号線 SIG(j)となる SIG線 14Dが、この順で形成されている。

なお、SIG線 14Dは、サンプリングトランジスタ Ms の薄膜半導体層 13s に対し接続され、さらに、これと同時に A1 等の膜をパターンニングして形成される他の接続配線 14E が、薄膜半導体層 13s に接続されている。接続配線 14E は、コンタクトを介して、下層のゲート電極の一部 11B (蓄積キャパシタ Cs の下部電極) に接続されている。

【0048】

<レーザーアニールとパターンの関係>

ここでは、まず、レーザーアニールについて説明し、その後、ゲート電極パターンによっては加熱が不均一となる理由を明らかにする。

図6(A)に、レーザーアニール時のパターンを平面図により示す。図6(B)は、図5と同様な箇所の断面図である。

この状態は、図6(A)の全面にアモルファスシリコン膜(半導体薄膜)が堆積された状態であり、図6(B)に示すように薄膜半導体層 13d となる部分の周囲が、同じ材質の部分 13m と連続している。この部分 13m は、レーザーアニール後のパターンニングで除去され、薄膜半導体層 13d および薄膜半導体層 13s が矩形状に残される。

このように、本実施形態で画素回路内の TFT は、アモルファスシリコンの膜(半導体薄膜)の薄膜半導体層 13d や 13s となる部分に対し、ゲート絶縁膜 12 を介して重ね合わされたパターンニング後のゲート電極部分(ゲートフィンガー部 11A)が形成された状態でレーザーアニールがされる。このときは、A1 蒸着工程より前であるために画素内に A1 (VDD線 14A ~ 接続配線 14E) は存在しない。

【0049】

つぎに、レーザーアニールの走査の向きについて考える。

本実施形態では、図7のように、N x M 画素の表示部 2 に対し、水平方向の 1 画素ラインごとに、向き(図では矢印により表示)を交互に逆向きに切り替えてレーザーアニール走査を行う。これは、図8のように、同じ向きでレーザーアニール走査を行うと、往路でレーザーアニールを行った後の戻り時間(復路の時間)が無駄となり、トータルの処理時間が長くなるため、復路でもレーザーアニール処理を行うものである。

【0050】

図7のレーザーアニール走査を前提とすると、図6において、往路では最初にゲート電極の一部 11B がレーザー照射を受けて加熱され(予備加熱)、その後、時間的に少し遅れてゲートフィンガー部 11A および薄膜半導体層 13d がレーザー光に曝されて加熱される(本加熱)。

薄膜半導体層 13d は、本加熱時にレーザー光を直接受けても加熱されるが、その材料であるアモルファスシリコンの熱容量が比較的大きいため、短時間の加熱あるいは低い照射エネルギー密度では十分な加熱ができない。また、強いレーザー光によって十分に加熱すると、移動度が低くなり TFT の十分な駆動特性が得られない。

【0051】

よって、本加熱時に、より熱容量が小さい、つまり少しの熱量で温度が上がる材料からなるゲートフィンガー部 11A がレーザー光で暖められると、その熱で補助的に薄膜半導体層 13d が加熱される。

また、本加熱の前の予備加熱において、ゲート電極の一部 11B が暖められると、その熱が、熱伝導率が高いゲート電極の一部 11B を通ってゲートフィンガー部 11A に伝えられるため、この予備加熱で、ゲートフィンガー部 11A の温度がある程度上昇する。レーザーアニールはピーク温度とその持続時間がアニール効果を高める上で重要であるが、予備加熱があると、本加熱でピーク温度に達する時間が節約でき、よってピーク温度の持続時間も長くなる(アニール効果が大きくなる)。この意味でゲート電極 11 は「予備加熱層」と称される。

以上より、レーザーアニール走査の往路では短時間で十分なアニール効果が得られる。

【 0 0 5 2 】

一方、レーザーアニールの復路では、最初にゲートフィンガー部 1 1 A および薄膜半導体層 1 3 d がレーザー光に当たるため、予備加熱が行われず。よって、往路よりアニール効果が小さく、このことが画素ラインごとに交互に T F T 特性をばらつかせる原因となる。

往路と復路で、レーザー走査速度や照度を変えることも可能であるが、加熱状態が同じでないことを照射条件で補うと、レーザー照射装置が安定しない上、完全にバラツキを無くすことが困難である。また、装置が安定することを待つ必要もあり、往復のレーザー照射として処理時間を短くした効果が薄れる。

【 0 0 5 3 】

画素回路は、図 9 のように 2 画素でミラー配置とする場合もある。

図 9 では、一点破線で示す境界で隣接する 2 つの画素回路を示している。2 つの画素回路は、V D D 線 1 4 A を共用して、その配置スペースを節約するために、画素境界でミラー対称となるように、ゲートフィンガー部 1 1 A とゲート電極の一部 1 1 B の関係が規定されている。

【 0 0 5 4 】

したがって、図 9 のパターンが繰り返し配列された画素部において、往路で図の左から右へレーザーアニール走査が行われた場合、先にアニールされる左側の画素回路ではゲート電極の一部 1 1 B による予備加熱が行われるが、次にアニールされる右側の画素回路では、この予備加熱がされない。

このため、隣接する 2 画素でアニール効果が異なり、T F T 特性がばらつく。このことは他の画素ペアでも同じであり、往路と復路では、予備加熱される画素が反転するため、画素部全体としてはチェック状の表示ムラが生じる。

【 0 0 5 5 】

<ゲート電極パターンの概要>

図 1 0 (A) ~ 図 1 0 (D) に、本実施形態で、表示ムラを防止するためのパターンレイアウトの大まかな態様を幾つか示す。ここではレーザーアニール走査が横方向 (X 軸方向) に、図示の向きで往路と復路で画素ラインごとに繰り返される。

図 1 0 (A) のレイアウトは、図 6 (A) の修正である。図 6 (A) ではゲートフィンガー部 1 1 A に対し、その片側にゲート電極の一部 (以下、予備加熱部という) 1 1 B が配置されている。これに対し、図 1 0 (A) では、同じサイズの予備加熱部 1 1 B が、ゲートフィンガー部 1 1 A の両側に Y 軸対称に設けられている。ここで、ゲートフィンガー部 1 1 A の、薄膜半導体層 1 3 d と重ね合わされた部分を「第 1 領域 R 1」と定義し、その他の部分を「第 2 領域 R 2」と定義する。すると、第 2 領域 R 2 が、第 1 領域 R 1 の中心線 (Y 軸) を境に対称であることが分かる。

【 0 0 5 6 】

図 1 0 (B) のレイアウトでは、不図示のコンタクトで接続されることを前提として、ゲートフィンガー部 1 1 A が孤立パターンとなっている。この場合、予備加熱部 1 1 B は設けられておらず、2 つの第 2 領域 R 2 が第 1 領域 R 1 の 2 本の中心線 (X 軸と Y 軸) で、それぞれの軸を境に対称であることが分かる。2 つの第 2 領域 R 2 のサイズが同じであれば、中心点 O で 1 8 0 度回転移動したときに両パターンが重なる「1 8 0 度回転対称」となる。

【 0 0 5 7 】

図 1 0 (C) および図 1 0 (D) は、ゲートの長手方向を図 1 0 (A) から 9 0 度向きを変えた場合である。

図 1 0 (C) のレイアウトでは、ゲートフィンガー部 1 1 A の両端に位置する 2 つの第 2 領域 R 2、2 つの予備加熱部 1 1 B となる第 2 領域 R 2、および、蓄積キャパシタ C s の下部電極となる第 2 領域 R 2 が全て、Y 軸対称となっている。

図 1 0 (D) のレイアウトでは、蓄積キャパシタ C s の下部電極の主要部が 2 つに分割されているが、この場合、第 2 領域 R 2 について Y 軸対称と X 軸対称が同時に達成されて

10

20

30

40

50

いる。

【 0 0 5 8 】

図 1 0 (A) ~ 図 1 0 (D) は、第 1 領域 R 1 が単一の場合であるが、1 つの薄膜とトランジスタに第 1 領域 R 1 は複数存在してもよい。

【 0 0 5 9 】

図 1 1 に、複数の第 1 領域 R 1 を有する場合の最も単純なレイアウトを示す。

図 1 1 に図解するレイアウトでは、2 つのゲートフィンガー部 (ゲート電極 1 1 A) が互いに平行に形成されて、薄膜半導体層 1 3 d と重なっている。このため、2 つの第 1 領域 R 1 も互いに平行な矩形形状を有する。2 つのゲート電極 1 1 A は連結部 1 1 C により互いにつながっている。このようなレイアウトにおけるゲート電極 1 1 は、いわゆる櫛型ゲートと称される。なお、ソース電極とドレイン電極は、例えば図 1 1 に符号 “ S (ソース)” と “ D (ドレイン)” により示すように、2 つのゲート電極 1 1 A に対して Y 軸を境にミラー対称となっている。また、ゲート電極 1 1 の第 1 領域 R 1 以外の領域である第 2 領域 R 2 も、走査方向と直交する Y 軸を境に線対称となるパターンを有する。ただし、この例では、走査において第 1 領域 R 1 より先にレーザー光が当たる第 2 領域 R 2 の部分、即ち図 1 0 (A) , (B) および (D) のような予備加熱部 1 1 B が存在しない。その意味では、図 1 1 に示すゲート電極 1 1 は、図 1 0 (B) と同様に、予備加熱部 1 1 B が往路と復路の両方で存在しないパターンとなっている。

10

【 0 0 6 0 】

図 1 2 に、1 8 0 度回転対称の他の例を示す。

20

本例では、ゲート電極 1 1 が全体で S 字形 (複数の S 字形のパターンを複数個、中心軸の周りに角度をずらして重ねた羽根車形でもよい) の孤立パターンとなっている。

【 0 0 6 1 】

以下に、図 1 0 (A) と図 1 0 (B) で代表させて、具体的な画素回路の平面図と断面図により実施例を示す。なお、他のレイアウトでも同様に画素回路への適用が可能である。ここでの説明では、図 5 および図 6 と同じ構成は同一符号を付して説明を省略し、パターンが異なる部分のみ言及する。

【 0 0 6 2 】

< 実施例 1 >

図 1 3 (A) に、実施例 1 の画素平面図、図 1 3 (B) に、A - A 線断面図、図 1 3 (C) に、レーザーアニール時の平面図を示す。これらは、それぞれ、図 5 (A)、図 5 (B)、図 6 (A) に対応する。

30

往路および復路の矢印で示すレーザーアニール走査方向において、ゲートフィンガー部 1 1 A の両側に、対称に、2 つの予備加熱部 1 1 B が設けられている。よって、往路と復路で薄膜半導体層 1 3 d に対するアニール効果が変わらないため、少なくとも、レーザー走査方向に起因した T F T 特性のバラツキが生じない。また、アモルファスシリコンの薄膜半導体層 1 3 d を用い、ゲート電極 1 1 により予備加熱および補助加熱する構成であるため、アモルファスシリコンを直接加熱するレーザーアニールより移動度 μ が数倍大きくできる。

【 0 0 6 3 】

40

なお、薄膜半導体層 1 3 s は、最初から対称なゲート電極となっているが、対称でない場合、薄膜半導体層 1 3 d に対する予備加熱部 1 1 B のようなゲート電極部の対照性を持たせるとよい。駆動トランジスタ M d ほどでもないが、サンプリングトランジスタ M s についても特性バラツキを抑制したほうが望ましいからである。

ここで用いるレーザー照射領域は、1 画素の高さ (Y 軸方向のサイズ) より短く、かつ、薄膜半導体層 1 3 d と薄膜半導体層 1 3 s を同時アニールできる大きさに決められている。

【 0 0 6 4 】

< 実施例 2 >

図 1 4 (A) に、実施例 1 の画素平面図、図 1 4 (B) に、レーザーアニール時の平面

50

図を示す。これらは、それぞれ、図5(A)、図6(A)に対応する。

往路および復路の矢印で示すレーザーアニール走査方向において、ゲートフィンガー部11Aの両側に、予備加熱部が設けられていない。より詳細には、ゲートフィンガー部11Aが、蓄積キャパシタの下部電極11Cと同じ材料であるが、互いに接続してない孤立パターンとして形成されている。下部電極11Cは、コンタクトCH2を介してVDD線14Aに接続されている。また、ゲートフィンガー部11Aの一方端に面積が広い第2領域R2が形成され、この部分がコンタクトCH1によって蓄積キャパシタの上部電極(A1層)14Fと接続されている。

よって、往路と復路で薄膜半導体層13dに対するアニール効果が変わらないため、少なくとも、レーザー走査方向に起因したTF特性のバラツキが生じない。また、アモルファスシリコンの薄膜半導体層13dを用い、ゲート電極11により予備加熱および補助加熱する構成であるため、アモルファスシリコンを直接加熱するレーザーアニールより移動度 μ が数倍大きくできる。

なお、薄膜半導体層13sに対するゲート電極に対照性を持たせることが可能なこと、レーザー照射領域、および、レーザー光源は実施例1と同じである。

【0065】

以上の実施形態では、薄膜半導体層がアモルファスシリコンからなる場合で説明したが、非晶質シリコンをアニールにより多結晶シリコンに変化させる場合でも、本発明の適用は可能である。このようなポリシリコンTFの場合、レーザー照射のエネルギー密度を上げる必要があるが、本実施形態ではゲート電極による補助加熱ができ、予備加熱する場合はパターンによる加熱の均一性を高めているため、より低いエネルギー密度でのアニールが可能となる。ただし、ポリシリコンTFは、もともとアニールでTF特性がバラツキにくいいため、アモルファスシリコンほどはTF特性のバラツキ抑制効果は大きくない。

また、ゲート電極11の上方に薄膜半導体層13d等を重ねるバックゲート構造で説明したが、ゲート電極11を薄膜半導体層13d等の上にゲート絶縁膜12を介して重ねる構造でも構わない。その場合、レーザーアニールは、ゲート電極11のパターンを形成した状態で行う必要がある。

【0066】

本実施形態によれば、以下の利益が受けられる。

レーザーアニール時に駆動トランジスタのゲート電極と同電位となっているゲートメタルをレーザーの走査方向に対して駆動トランジスタの両側に配置するか全く配置しないなど、軸対称または回転対称の第2領域を有するゲート電極パターンとすることで、レーザーアニールの方向によらず均一な特性を得ることが可能となる。

レーザーアニールの方向によらず均一な特性を得ることが可能となるためレーザーアニールの走査方向によってアニールの強度を調整する必要がなく、タクトタイム低減が実現できる。

また駆動トランジスタの閾値電圧や移動度のスジ状のバラツキを低減することができ、ムラのない均一な画質を得ることができる。

なお、実施例1と2により示すように、ゲート電極11の第2領域R2がY軸に対称となっている場合、Y方向に隣接する2画素間でVDD線14Aを共用して、その配置スペースを節約できるという利点もある。

【図面の簡単な説明】

【0067】

【図1】本発明の実施形態に関わる有機ELディスプレイの主要構成を示す図である。

【図2】本発明の実施形態に関わり、駆動トランジスタがP型の画素回路を示す図である。

【図3】本発明の実施形態に関わり、駆動トランジスタがN型の画素回路を示す図である。

【図4】有機発光ダイオードのI-V特性のグラフと、ドレイン電流 I_{ds} の一般式を示

10

20

30

40

50

す図である。

【図 5】本発明の実施形態に関わり、本実施形態でパターン変更がされる前の画素回路の平面図と断面図である。

【図 6】図 5 の構成において、レーザーアニール時のパターンを示す平面図と断面図である。

【図 7】本発明の実施形態に関わり、レーザーアニール走査方法（向き）を示す図である。

【図 8】本発明の実施形態に関わり、他のレーザーアニール走査方法（向き）を示す図である。

【図 9】図 5 の構成をミラー対称に配置した 2 画素分の平面図と断面図である。

10

【図 10】本発明の実施形態に関わり、ゲートパターンの類型を示す図である。

【図 11】本発明の実施形態に関わり、第 1 領域が複数あるゲートパターンを示す図である。

【図 12】本発明の実施形態に関わり、ゲートパターンの他の類型を示す図である。

【図 13】本発明の実施例 1 に関わる平面図と断面図である。

【図 14】本発明の実施例 2 に関わる平面図と断面図である。

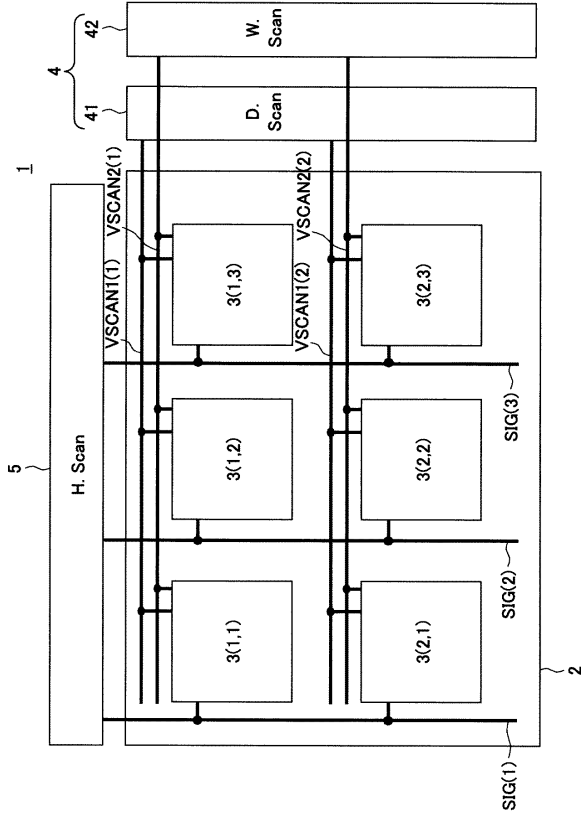
【符号の説明】

【0068】

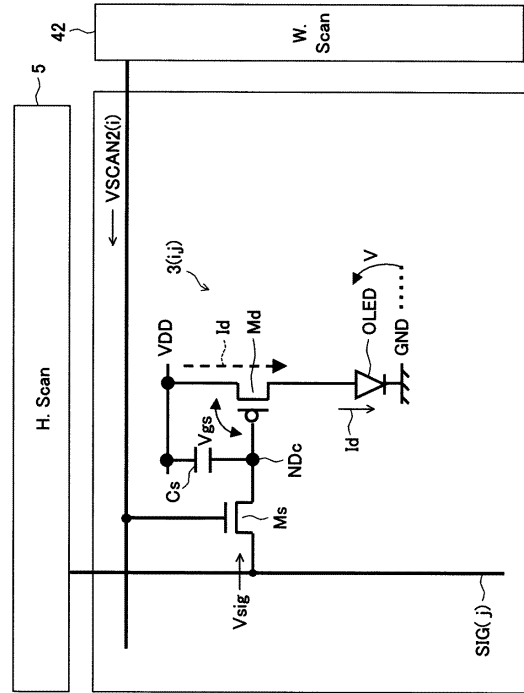
1 ... 有機 EL ディスプレイ、2 ... 表示部、3 ... 画素回路、4 ... V スキャナ、10 ... 基板、11 ... ゲート電極、11A ... ゲートフィンガー部、R1 ... 第 1 領域、R2 ... 第 2 領域、11B ... 予備加熱部、12 ... ゲート絶縁膜、13d, 13s ... 薄膜半導体層、13m ... 半導体薄膜の一部分、14A ... VDD 線、14B ... 接続配線、14C ... 上部電極、14D ... SIG 線、41 ... 水平画素ライン駆動回路、42 ... 書き込み信号走査回路、OLED ... 有機発光ダイオード、M1 ... 駆動トランジスタ、Ms ... サンプリングトランジスタ、Cs ... 蓄積キャパシタ、NDc ... 発光制御ノード、VSCAN1(i)等 ... スキャン信号、SIG(j) ... 信号入力線、Vsig ... データ電圧

20

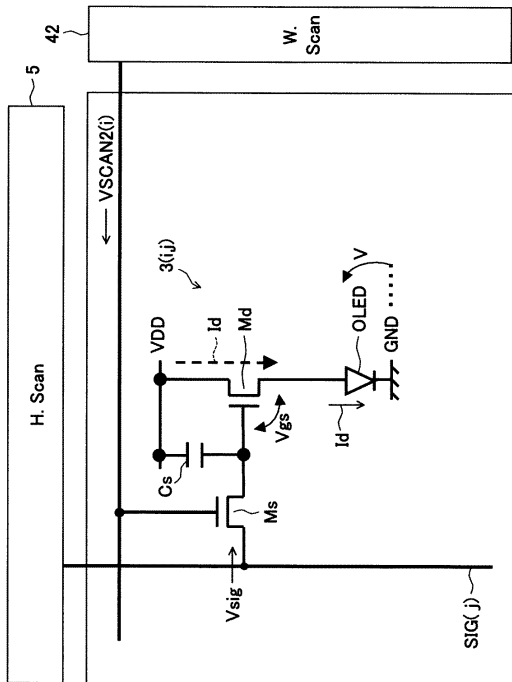
【図1】



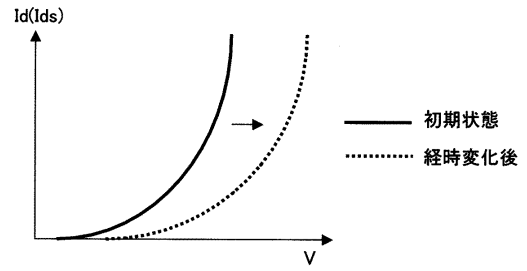
【図2】



【図3】

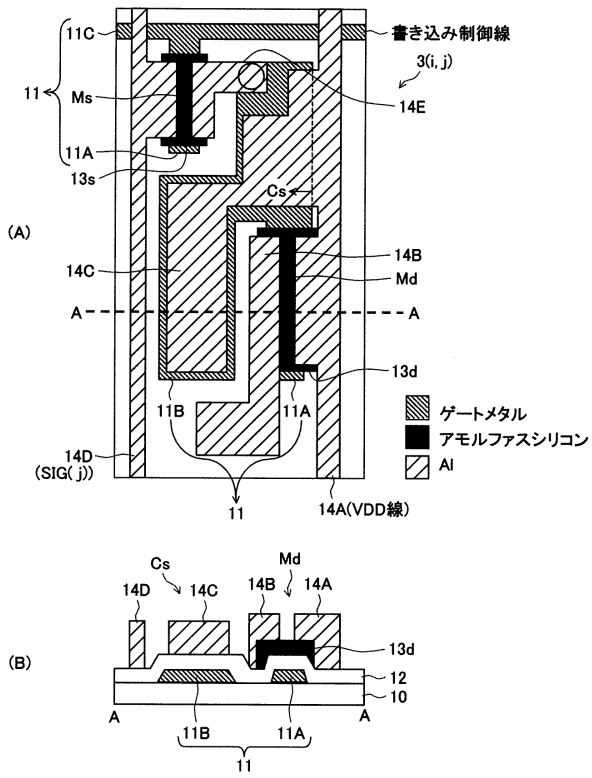


【図4】

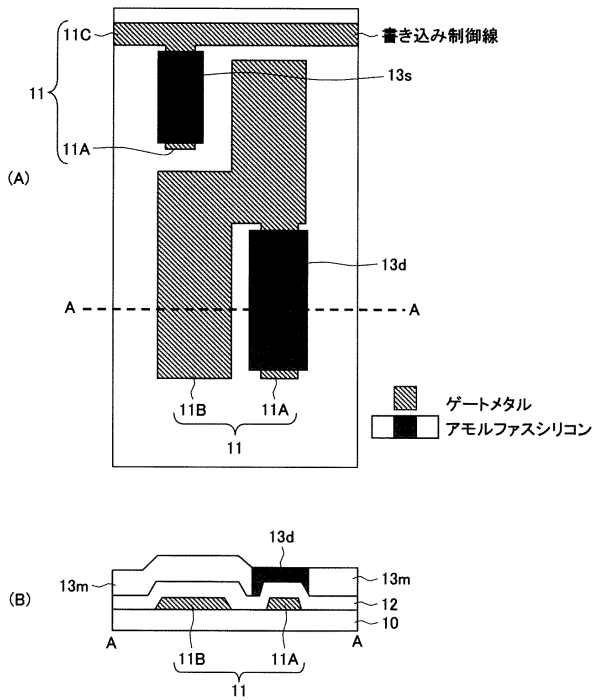


$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2$$

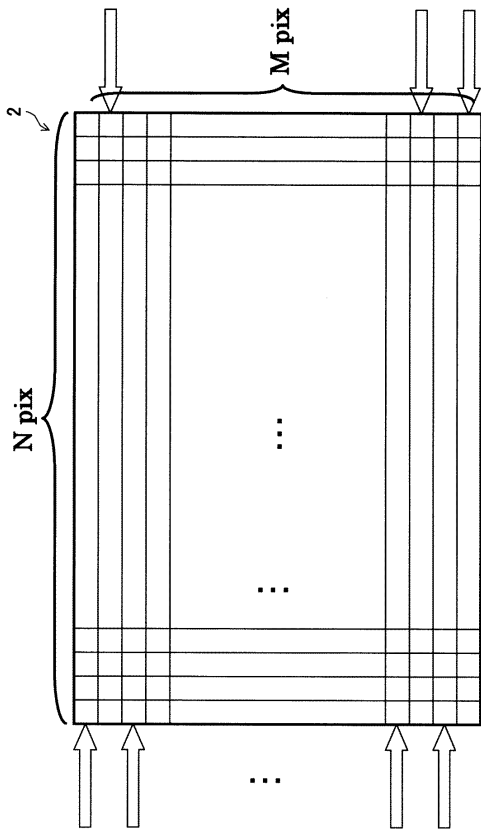
【図5】



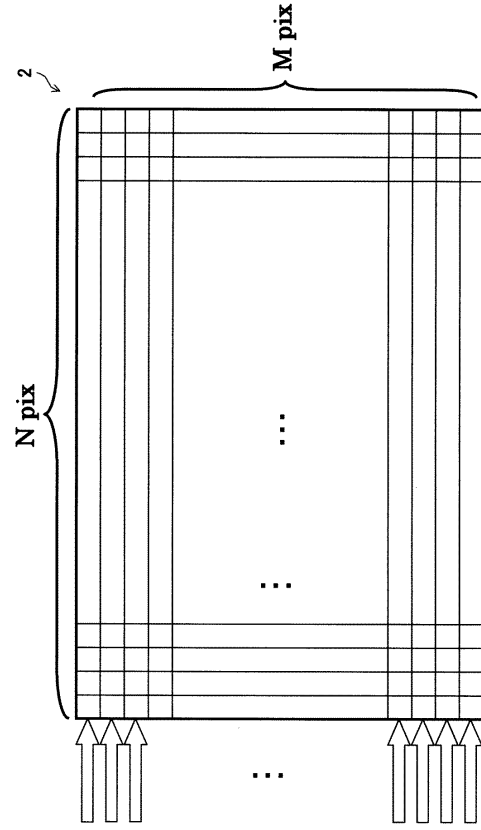
【図6】



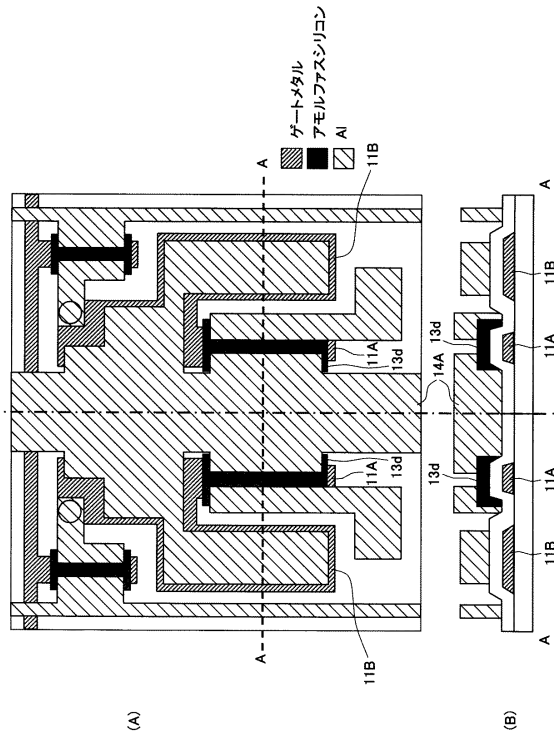
【図7】



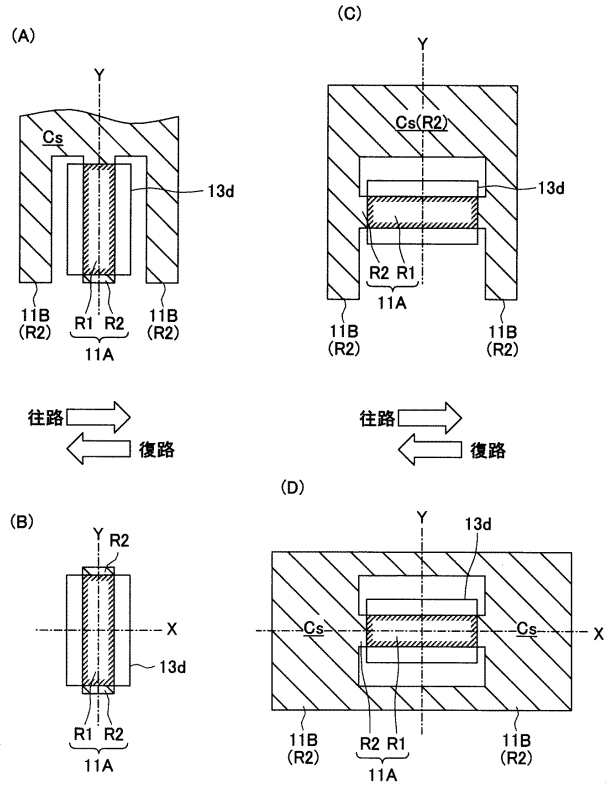
【図8】



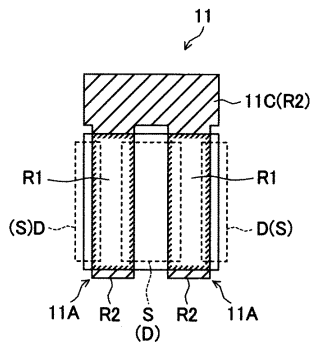
【図9】



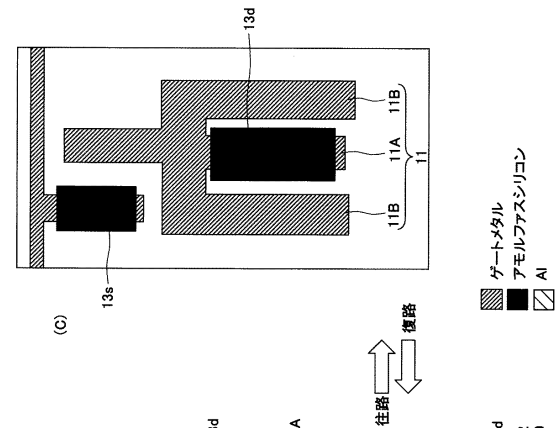
【図10】



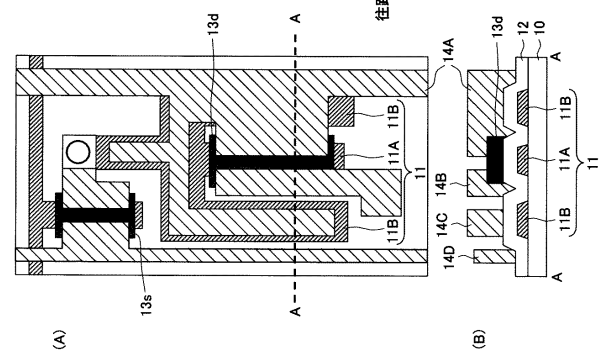
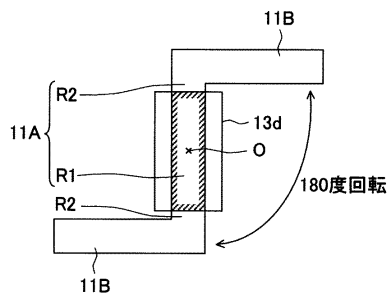
【図11】



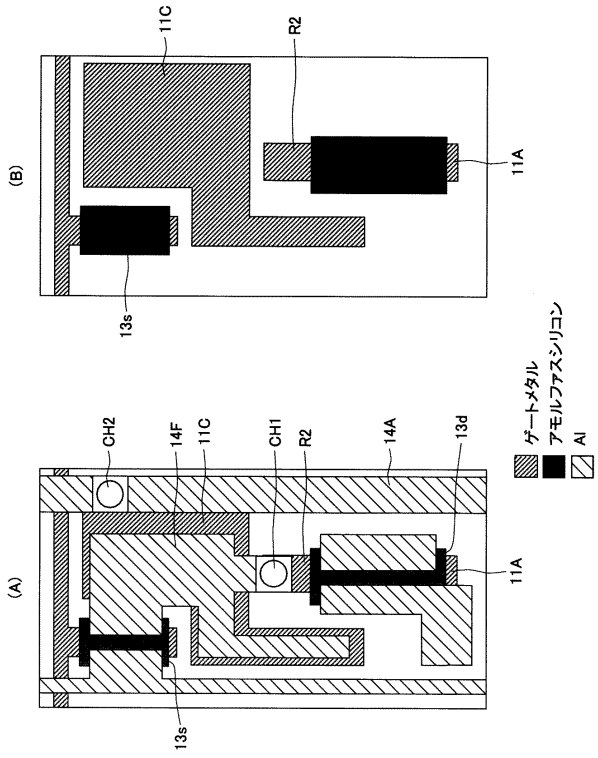
【図13】



【図12】



【 図 14 】



フロントページの続き

(56)参考文献 特開2006-237587(JP,A)
特開2005-189673(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/20
H01L	21/336
H01L	29/786
H01L	51/50
H05B	33/10