

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6105302号  
(P6105302)

(45) 発行日 平成29年3月29日(2017.3.29)

(24) 登録日 平成29年3月10日(2017.3.10)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 6 T

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 8 B

H O 1 L 21/28 (2006.01)

H O 1 L 29/78 6 1 7 K

H O 1 L 29/41 (2006.01)

H O 1 L 29/78 6 1 7 L

H O 5 B 33/08 (2006.01)

H O 1 L 29/78 6 1 6 U

請求項の数 8 (全 52 頁) 最終頁に続く

(21) 出願番号 特願2013-15308 (P2013-15308)  
 (22) 出願日 平成25年1月30日(2013.1.30)  
 (65) 公開番号 特開2013-179282 (P2013-179282A)  
 (43) 公開日 平成25年9月9日(2013.9.9)  
 審査請求日 平成27年12月22日(2015.12.22)  
 (31) 優先権主張番号 特願2012-22451 (P2012-22451)  
 (32) 優先日 平成24年2月3日(2012.2.3)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 小山 潤  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 三宅 博之  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 豊高 耕平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 竹口 泰裕

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ゲート電極層と、前記ゲート電極層上のゲート絶縁膜と、前記ゲート絶縁膜上の酸化物半導体膜と、前記酸化物半導体膜上に前記ゲート電極層と重畳するドレイン電極層と、前記酸化物半導体膜の外周端部の一部を覆うソース電極層と、を有し、前記ドレイン電極層の外周端部は、前記ゲート電極層の外周端部の内側に位置し、前記ゲート電極層の平面形状は、矩形である半導体装置。

【請求項2】

開口部を有するゲート電極層と、前記ゲート電極層上のゲート絶縁膜と、前記ゲート絶縁膜上の酸化物半導体膜と、前記酸化物半導体膜上に、前記ゲート電極層の内周端部と重畳するドレイン電極層と、前記酸化物半導体膜の外周端部の一部を覆うソース電極層と、を有し、前記ドレイン電極層の外周端部は、前記ゲート電極層の外周端部の内側に位置し、前記ゲート電極層の平面形状は、矩形である半導体装置。

【請求項3】

請求項1または2において、

前記ゲート電極層は、第1の導電層、第2の導電層、及び第3の導電層と、を有し、

前記第 1 の導電層及び前記第 3 の導電層は、前記第 2 の導電層の金属の移動を阻害することができる機能を有するバリア層である、半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、

前記ソース電極層及び前記ドレイン電極層は、第 4 の導電層、第 5 の導電層、及び第 6 の導電層と、を有し、

前記第 4 の導電層及び前記第 6 の導電層は、前記第 5 の導電層の金属の移動を阻害することができる機能を有するバリア層である、半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれかーにおいて、

前記ドレイン電極層の平面形状は、矩形である半導体装置。

10

【請求項 6】

請求項 1 乃至 5 のいずれかーにおいて、

前記酸化物半導体膜は、非晶質部および結晶部を有し、

前記結晶部は、c 軸が前記酸化物半導体膜の被形成面の法線ベクトルまたは前記酸化物半導体膜の表面の法線ベクトルに平行な方向に揃う半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれかーにおいて、

前記酸化物半導体膜は、少なくともインジウムを含む半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれかーに記載の半導体装置は、

前記酸化物半導体膜、前記ソース電極層、および前記ドレイン電極層上に、酸素過剰の酸化物絶縁膜と、

前記酸化物絶縁膜上のバリア膜と、

前記バリア膜上の平坦化絶縁膜と、

前記酸化物絶縁膜、前記バリア膜、および前記平坦化絶縁膜が有する開口を介して、前記ドレイン電極層と接する画素電極層と、を有する半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置および半導体装置の作製方法に関する。

30

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、トランジスタ、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

40

【0004】

例えば、インジウム（In）、ガリウム（Ga）、および亜鉛（Zn）を含む非晶質の酸化物半導体膜を用いたトランジスタが開示されている（特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2006 - 165528 号公報

【発明の概要】

50

## 【発明が解決しようとする課題】

## 【0006】

酸化物半導体膜にチャネルが形成されるトランジスタは、加工条件または熱処理条件によって電気的特性が変化することがある。当該変化は、当該酸化物半導体膜の形成工程時に水素などの不純物が混入する、または当該酸化物半導体膜から酸素が脱離することなどに起因するものと考えられる。そして、当該変化は、酸化物半導体膜の端部において顕在化しやすいことが分かった。すなわち、酸化物半導体膜にチャネルが形成されるトランジスタにおいては、当該酸化物半導体膜の端部が低抵抗化領域となり、当該領域にトランジスタの寄生チャネルが形成されやすいことが分かった。なお、当該トランジスタにおいては、ゲートと重畳する領域の酸化物半導体膜であってゲートとソース間の電圧に応じてソースとドレイン間の最短経路に形成されるチャネル（第1のチャネルともいう）と、当該寄生チャネル（第2のチャネルともいう）との2種のチャネルが形成されうることになる。

10

## 【0007】

2種のチャネルが形成されうるトランジスタにおいては、多くの場合、チャネルが形成されるときゲートとソース間の電圧（しきい値電圧）がそれぞれ異なる。典型的には、第1のチャネルが形成されるしきい値電圧は、第2のチャネルが形成されるしきい値電圧よりも高い。そして、第1のチャネルの電流駆動能力は、第2のチャネルの電流駆動能力よりも高い。よって、オフ状態にある当該トランジスタのゲートとソース間の電圧（ゲート電圧）を上昇させていった場合、ソースとドレイン間の電流が2段階の変化をすることになる。具体的には、第2のチャネルが形成されるしきい値電圧の近傍において1段階目の変化（ソースとドレイン間の電流の増加）が確認され、さらに、第1のチャネルが形成されるしきい値電圧の近傍において2段階目の変化（ソースとドレイン間の電流の増加）が確認される。

20

## 【0008】

上述の問題に鑑み、酸化物半導体膜を用いたトランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を提供することを目的の一とする。

## 【課題を解決するための手段】

## 【0009】

酸化物半導体膜の端部に寄生チャネルが形成されるのは、当該端部と電気的に接続されるトランジスタのソースおよびドレインが存在するからである。すなわち、当該端部とトランジスタのソースおよびドレインの少なくとも一方が電気的に接続されていなければ当該端部に寄生チャネルは形成されない。よって、本発明の一態様は、トランジスタのソースおよびドレインの少なくとも一方と、酸化物半導体膜の端部とが電気的に接続されない構造のトランジスタを提供することを要旨とする。

30

## 【0010】

本発明の一態様は、ゲート電極層と、ゲート電極層上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられた酸化物半導体膜と、酸化物半導体膜上にゲート電極層と重畳するように設けられたドレイン電極層と、酸化物半導体膜の外周端部の一部を覆うように設けられたソース電極層と、を有し、ドレイン電極層の外周端部は、ゲート電極層の外周端部の内側に位置する半導体装置である。

40

## 【0011】

また、本発明の別の態様は、開口部が設けられたゲート電極層と、ゲート電極層上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられた酸化物半導体膜と、酸化物半導体膜上に、ゲート電極層の内周端部と重畳するように設けられたドレイン電極層と、酸化物半導体膜の外周端部の一部を覆うように設けられたソース電極層と、を有し、ドレイン電極層の外周端部は、ゲート電極層の外周端部の内側に位置する半導体装置である。

## 【0012】

ゲート電極層は、第1の導電層、第2の導電層、及び第3の導電層と、を有し、第1の導電層及び第3の導電層は、第2の導電層の金属の移動を阻害するバリア層を用いることが好ましい。また、ソース電極層及び前記ドレイン電極層は、第4の導電層、第5の導電層

50

、及び第6の導電層と、を有し、第4の導電層及び第6の導電層は、第5の導電層の金属の移動を阻害するバリア層を用いることが好ましい。

【0013】

また、ゲート電極層の平面形状は、矩形であってもよい。

【0014】

また、ドレイン電極層の平面形状は、矩形であってもよい。

【0015】

また、酸化物半導体膜は、非晶質部および結晶部を有し、結晶部は、c軸が酸化物半導体膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていてもよい。

10

【0016】

また、酸化物半導体膜は、少なくともインジウムを含むことができる。

【0017】

また、酸化物半導体膜、ソース電極層、およびドレイン電極層上に、さらに酸素過剰領域を有する酸化物絶縁膜と、該酸化物絶縁膜上に設けられたバリア膜と、バリア膜上に設けられた平坦化絶縁膜と、酸化物絶縁膜、バリア膜、平坦化絶縁膜に設けられた開口部を介して、ドレイン電極層と接する画素電極層と、を有していてもよい。

【発明の効果】

【0018】

本発明の一態様により、酸化物半導体膜を用いたトランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を提供することができる。

20

【図面の簡単な説明】

【0019】

【図1】半導体装置の形態を説明する平面図および断面図。

【図2】半導体装置の形態を説明する平面図および断面図。

【図3】半導体装置の形態を説明する平面図および断面図。

【図4】半導体装置の形態を説明する平面図および断面図。

【図5】半導体装置の形態を説明する平面図および断面図。

【図6】半導体装置の形態を説明する断面図。

【図7】半導体装置の作製方法の形態を説明する断面図。

30

【図8】半導体装置の作製方法の形態を説明する断面図。

【図9】半導体装置の作製方法の形態を説明する断面図。

【図10】表示装置の構成例を示す図。

【図11】走査線駆動回路の構成例を示す図。

【図12】各種信号の波形の一例を示す図。

【図13】(A)パルス出力回路の端子を示す図、(B)反転パルス出力回路の端子を示す図。

【図14】パルス出力回路の(A)構成例を示す図、(B)動作例を示す図。

【図15】反転パルス出力回路の(A)構成例を示す図、(B)動作例を示す図。

【図16】画素の(A)構成例を示す図、(B)動作例を示す図。

40

【図17】有機EL素子を用いた表示装置の画素の一部の断面図および発光層の断面図。

【図18】液晶素子を用いた表示装置の画素の回路図および断面図。

【図19】電子機器を説明する図。

【図20】電子機器を説明する図。

【発明を実施するための形態】

【0020】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。ただし、本明細書に開示する発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、第1、第

50

２として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【００２１】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【００２２】

また、「ソース」および「ソース電極層」ならびに「ドレイン」および「ドレイン電極層」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【００２３】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。

【００２４】

本明細書等において、「トランジスタがオン（状態）」と記載する場合、トランジスタのゲート電圧がしきい値電圧以上である状態を指す。なお、例えばｎ型トランジスタにおいてしきい値電圧が複数あるときは、最も小さなしきい値電圧以上である状態を指す。また、「トランジスタがオフ（状態）」と記載する場合、トランジスタのゲート電圧がしきい値電圧よりも低い状態を指す。さらに、「ノーマリ－オン」の電氣的特性を有するトランジスタとは、トランジスタのゲート電圧が０Ｖのときに、トランジスタがオンであることをいう。即ち、「ノーマリ－オンのトランジスタ」は、しきい値電圧が０Ｖ以下のトランジスタである。また、「ノーマリ－オフ」の電氣的特性を有するトランジスタとは、トランジスタのゲート電圧が０Ｖのときに、トランジスタがオフであることをいう。即ち、「ノーマリ－オフのトランジスタ」は、しきい値電圧が０Ｖよりも高いトランジスタである。

【００２５】

（実施の形態１）

本実施の形態では、半導体装置の一形態の構成について、図１乃至図６を参照して説明する。

【００２６】

図１（Ａ）はトランジスタ２０１の平面図であり、図１（Ｂ）は図１（Ａ）の一点鎖線Ａ－Ｂの断面図である。なお、図１（Ａ）では煩雑になることを避けるために、トランジスタ２０１の構成要素の一部（例えば、ゲート絶縁膜１１２など）を省略して図示する。

【００２７】

図１に示すトランジスタ２０１は、絶縁表面を有する基板１００上に、ゲート電極層１０６と、ゲート電極層１０６上に設けられたゲート絶縁膜１１２と、ゲート絶縁膜１１２上に設けられた酸化物半導体膜１１４と、を有する。さらに酸化物半導体膜１１４上に、ゲート電極層１０６と重畳するように設けられたドレイン電極層１１６ａと、酸化物半導体膜１１４の外周端部の一部を覆うように設けられたソース電極層１１６ｂを有し、ドレイン電極層１１６ａの外周端部は、ゲート電極層１０６の外周端部の内側に位置する。

【００２８】

さらに、トランジスタ２０１上に絶縁膜１２２、絶縁膜１２４、平坦化絶縁膜１２６が設けられていてもよい。

【００２９】

このようにドレイン電極層１１６ａの外周端部を、ゲート電極層１０６の外周端部の内側に位置させることで、ドレイン電極層１１６ａと、酸化物半導体膜１１４の外周端部とが

10

20

30

40

50

電氣的に接続されない構造としている。そのため、酸化物半導体膜 114 の外周端部の影響を受けない。その結果、トランジスタ 201 のしきい値電圧がマイナスにシフトすることを防止できる。

【0030】

また、図 1 のように酸化物半導体膜 114 の外周端部の一部を覆うようにソース電極層 116b を設けることが好ましい。酸化物半導体膜 114 の外周端部の一部をソース電極層 116b で覆うことで、酸化物半導体膜 114 に不純物が混入すること、または酸化物半導体膜 114 から酸素が脱離することを防ぐことができる。

【0031】

なお、酸化物半導体膜にとっては、水素、アルカリ金属元素、アルカリ土類元素、銅などの金属元素、その他、酸化物半導体膜を構成する元素ではない元素等が不純物となりうる。また、これらを含む分子（たとえば水、水素化合物）等も不純物となりうる。そのため本明細書等において、酸化物半導体膜にとっての不純物とは上記の元素と分子を指すこととする。

【0032】

ゲート電極層 106 としては、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いることができる。また、ゲート電極層 106 は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウムスズ酸化物などの導電性材料を用いることもできる。また、ゲート電極層 106 は、上記の導電材料を用いて、単層構造または積層構造で形成される。

【0033】

ゲート電極層 106 を単層構造で形成する場合は、例えば、膜厚 100 nm のタングステン膜とすることができる。

【0034】

ゲート電極層 106 の一部に銅膜やアルミニウム膜を用いる場合、銅やアルミニウムが酸化物半導体膜 114 に達することを防止するためのバリア層を設けることが好ましい。銅やアルミニウムの移動を阻害するバリア層としては、窒化タンタル膜、タングステン膜、窒化タングステン膜、モリブデン膜、窒化モリブデン膜、チタン膜、窒化チタン膜、クロム膜、窒化クロム膜が挙げられる。これらを適宜選択して、銅膜やアルミニウム膜と接して設けることで、銅やアルミニウムが酸化物半導体膜 114 に達することを防止することができる。

【0035】

ゲート電極層 106 を 2 層の積層構造とする場合は、例えば、膜厚 30 nm の窒化タンタル膜と膜厚 200 nm の銅膜を積層してゲート電極層 106 とすることができる。銅膜を用いることにより、配線抵抗を低減することができる。また膜厚 30 nm の窒化タンタル膜に代えて、タングステン膜、窒化タングステン膜、窒化モリブデン膜、窒化チタン膜を用いてもよい。

【0036】

またゲート電極層 106 を 3 層の積層構造とする場合は、膜厚 30 nm の窒化タンタル膜、膜厚 200 nm の銅膜、膜厚 30 nm のタングステン膜を積層してゲート電極層 106 とすることができる。また、膜厚 30 nm の窒化タンタル膜に代えて、タングステン膜、窒化タングステン膜、窒化モリブデン膜、窒化チタン膜を用いてもよい。また、膜厚 30 nm のタングステン膜に代えて、モリブデン膜を形成してもよい。銅膜を用いることにより、配線抵抗を低減することができる。また、銅膜上に、タングステン膜またはモリブデン膜を積層することで、銅が酸化物半導体膜 114 に達することを防止できる。また、タングステン膜またはモリブデン膜は、仕事関数が比較的高いため、ゲート電極層 106 として用いると、トランジスタのしきい値電圧がプラスになりやすい（すなわちノーマリ -

10

20

30

40

50

オフのトランジスタとしやすい) ため、好適である。なお、ゲート絶縁膜 112 によって、銅が酸化物半導体膜 114 に達することを防止することができれば、タングステン膜およびモリブデン膜は形成しなくともよい。

#### 【0037】

また、ゲート絶縁膜 112 としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、または窒化酸化シリコンを用いて形成することができる。また、ゲート絶縁膜 112 として、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート ( $\text{HfSi}_x\text{O}_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート ( $\text{HfSiO}_x\text{N}_y$  ( $x > 0$ ,  $y > 0$ ))、ハフニウムアルミネート ( $\text{HfAl}_x\text{O}_y$  ( $x > 0$ ,  $y > 0$ ))、酸化ランタンなどの high-k 材料を用いることでゲートリーク電流を低減できる。また、ゲート絶縁膜 112 は、上記の材料を用いて、単層構造または積層構造で形成する。

10

#### 【0038】

ゲート絶縁膜 112 を単層構造とする場合は、膜厚 200 nm の酸化窒化シリコン膜を用いればよい。

#### 【0039】

また、ゲート絶縁膜 112 を積層構造とする場合は、膜厚 50 nm の窒化シリコン膜、膜厚 200 nm の酸化窒化シリコン膜を積層して用いればよい。窒化シリコン膜を用いることにより、金属(たとえば銅、ナトリウム、リチウム等)や水などが、基板やゲート電極層 106 から、後に形成される酸化物半導体膜に浸入することを抑制できる。

20

#### 【0040】

酸化物半導体膜 114 は、少なくともインジウムを含む。特に、インジウムと亜鉛を含むことが好ましい。また、トランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、インジウムまたはノおよび亜鉛に加えてガリウム (Ga)、スズ (Sn)、ハフニウム (Hf)、アルミニウム (Al)、ジルコニウム (Zr) のいずれか一種または複数種を含む。

#### 【0041】

なお、ここで、例えば、In-Ga-Zn 系酸化物とは、In、Ga および Zn を主成分として有する酸化物という意味であり、In、Ga および Zn の比率は問わない。また、In、Ga および Zn 以外の金属元素が入っていてもよい。

30

#### 【0042】

酸化物半導体膜 114 は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC (C Axis Aligned Crystal)、多結晶、微結晶、非晶質部を有する。非晶質部は、微結晶、CAAC よりも欠陥準位密度が高い。また、微結晶は、CAAC よりも欠陥準位密度が高い。なお、CAAC を有する酸化物半導体を、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) と呼ぶ。

#### 【0043】

酸化物半導体膜 114 は、例えば CAAC-OS を有してもよい。CAAC-OS は、例えば、c 軸配向し、a 軸またはノおよび b 軸はマクロに揃っていない。

40

#### 【0044】

酸化物半導体膜 114 は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1 nm 以上 10 nm 未満のサイズの微結晶 (ナノ結晶ともいう。) を膜中に含む。または、微結晶酸化物半導体膜は、例えば、1 nm 以上 10 nm 未満の結晶部を有する結晶-非晶質混相構造の酸化物半導体を有している。

#### 【0045】

酸化物半導体膜 114 は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な

50

非晶質であり、結晶部を有さない。

【0046】

なお、酸化物半導体膜114が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、の積層構造を有してもよい。

【0047】

なお、酸化物半導体膜114は、例えば、単結晶を有してもよい。

【0048】

酸化物半導体膜114は、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、CAAC-OS膜がある。

【0049】

CAAC-OS膜は、完全な非晶質ではない。CAAC-OS膜は、例えば、結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体を有している。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界、結晶部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には明確な粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

【0050】

CAAC-OS膜に含まれる結晶部は、例えば、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつab面に垂直な方向から見て金属原子が三角形または六角形状に配列し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

【0051】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0052】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部のc軸は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

【0053】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0054】

なお、本実施の形態では、酸化物半導体膜114がCAAC-OS膜であるとして説明を

10

20

30

40

50



行うが、酸化物半導体膜 114 が単結晶、多結晶（ポリクリスタルともいう）、または非晶質であってもよい。

【0055】

酸化物半導体膜 114 は、不純物が低減され、かつ酸素欠損が低減されることで高純度化された領域であることが好ましい。高純度化された酸化物半導体（purified OS）は、i 型（真性半導体）または i 型に限りなく近い。そのため、上記酸化物半導体をチャネルが形成される領域に用いたトランジスタは、オフ電流が著しく低く、しきい値電圧がマイナスにシフトすることが少ない（すなわちノーマリ - オフの特性が得られやすい）という特性を有する。

【0056】

具体的に、酸化物半導体膜 114 は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）による水素濃度の測定値が、 $5 \times 10^{18} / \text{cm}^3$  未満、より好ましくは  $5 \times 10^{17} / \text{cm}^3$  以下、更に好ましくは  $1 \times 10^{16} / \text{cm}^3$  以下とすることが好ましい。また、ホール効果測定により測定できる酸化物半導体膜のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$  未満、好ましくは  $1 \times 10^{12} / \text{cm}^3$  未満、更に好ましくは  $1 \times 10^{11} / \text{cm}^3$  未満とすることが好ましい。また、酸化物半導体のバンドギャップは、2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。不純物濃度が十分に低減され、かつ酸素欠損が低減されることで高純度化された酸化物半導体をチャネルが形成される領域に用いることにより、トランジスタのオフ電流を下げ、しきい値電圧のマイナスにシフトすることを少なくする（すなわちノーマリ - オフの特性を得る）ことができる。

【0057】

酸化物半導体膜 114 において、不純物や酸素欠損が低減されていることにより、キャリアの発生を抑制することができる。キャリア密度が高まることを抑制することで、しきい値電圧のマイナス方向のシフトを小さくすることができる。なお酸化物半導体膜 114 の端部では不純物が集中しやすく、また酸素が脱離しやすいため、キャリア密度が高まりやすい。

【0058】

従って、トランジスタのソース電極およびドレイン電極が酸化物半導体膜の外周端部と電気的に接続することで、酸化物半導体膜の外周端部を介した電流経路が形成されることがある。

【0059】

そこで、本発明の一態様では、図 1 に示すように、ドレイン電極層 116 a の外周端部を、ゲート電極層 106 の外周端部の内側に位置させることで、ドレイン電極層 116 a と、酸化物半導体膜 114 の外周端部とが電気的に接続されない構造としている。そのため、酸化物半導体膜 114 の外周端部の影響を受けない。その結果、トランジスタ 201 のしきい値電圧がマイナスにシフトすることを防止できる。

【0060】

ドレイン電極層 116 a およびソース電極層 116 b としては、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いることができる。また、ドレイン電極層 116 a およびソース電極層 116 b は、窒化タングステン、窒化タンタル、窒化チタン、窒化モリブデン等の窒化金属材料を用いて形成することもできる。また、ドレイン電極層 116 a およびソース電極層 116 b は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウムスズ酸化物などの導電性材料を適用することもできる。ドレイン電極層 116 a およびソース電極層 116 b は、単層構造または積層構造とする。

【0061】

ドレイン電極層 116a およびソース電極層 116b の一部に銅膜やアルミニウム膜を用いる場合、銅やアルミニウムが酸化物半導体膜 114 に達することを防止するためのバリア層を設けることが好ましい。銅やアルミニウムの移動を阻害するバリア層としては、窒化タンタル膜、タングステン膜、窒化タングステン膜、モリブデン膜、窒化モリブデン膜、チタン膜、窒化チタン膜、クロム膜、窒化クロム膜が挙げられる。これらを適宜選択して、銅膜やアルミニウム膜と接して設けることで、銅やアルミニウムが酸化物半導体膜 114 に達することを防止することができる。

【0062】

図 1 に示すトランジスタ 201 では、上面から見てチャネル領域 114a が矩形となるようにドレイン電極層 116a の 1 辺と対向してソース電極層 116b を設けているが、これに限定されない。例えば、チャネル領域が上面から見て台形となるようにドレイン電極層 116a の 1 辺と対向してソース電極層 116b を設けても構わない。

10

【0063】

また、図 1 に示すトランジスタ 201 ではゲート電極層 106 の開口部が設けられている。このようにゲート電極層 106 の内周端部と重畳するようにドレイン電極層 116a を設けることで、ゲート電極層 106 とドレイン電極層 116a との寄生容量を低減することができる。また、ゲート電極層 106 の内周端部と重畳するようにドレイン電極層 116a を設けることを、ゲート電極層 106 の開口部と重畳するようにドレイン電極層 116a を設けると言い換えてもよい。

【0064】

20

本発明の一態様に係るトランジスタとしては、たとえば図 2 に示すトランジスタ 202 のように、ドレイン電極層 116a の 2 辺と対向してソース電極層 116b を設けてもよい。ドレイン電極層 116a の 2 辺以上と対向してソース電極層 116b を設けることで、トランジスタのチャネル幅を大きくすることができる。

【0065】

また、図 2 に示すトランジスタ 202 のように、ゲート電極層 106 は、開口部がない構成としてもよい。

【0066】

また図 3 に示すトランジスタ 203 のように、ドレイン電極層 116a の 3 辺以上と対向してソース電極層 116b を設けてもよい。ドレイン電極層 116a の 3 辺以上と対向してソース電極層 116b を設けることで、トランジスタのチャネル幅をさらに大きくすることができる。

30

【0067】

また図 4 に示すトランジスタ 204 のように、ゲート電極層 106、酸化物半導体膜 114、ドレイン電極層 116a およびソース電極層 116b の平面形状を円形としてもよい。

【0068】

また図 5 に示すトランジスタ 205 のように、ゲート電極層 106 の外周端部が、酸化物半導体膜 114 の外周端部の外側に位置するように配置してもよい。

【0069】

40

なお、図 2 乃至図 5 に示す構造を有するトランジスタは、ソース電極およびドレイン電極が一辺でのみ対向しているトランジスタと比べて、チャネル幅を大きくしても面積の増大が抑えられる。そのため、チャネル幅の大きいトランジスタとして特に好適である。

【0070】

またトランジスタ 201 乃至トランジスタ 205 では、ドレイン電極層 116a およびソース電極層 116b を単層としたがこれに限らない。たとえば図 6 (A) および図 6 (B) に示すように複数の層を積層させたドレイン電極層 116a およびソース電極層 116b としてもよい。

【0071】

たとえば図 6 (A) のように、導電層 140a、導電層 142a および導電層 144a の

50

3層を積層させてドレイン電極層116aとしてもよい。同様に導電層140b、導電層142bおよび導電層144bの3層を積層させてソース電極層116bとしてもよい。

【0072】

たとえば図6(A)のトランジスタ206では、導電層140aおよび導電層140bとして膜厚50nmのタングステン、導電層142aおよび導電層142bとして膜厚400nmのアルミニウム、導電層144aおよび導電層144bとして膜厚100nmのチタンを積層させることでドレイン電極層116aおよびソース電極層116bとすることができる。

【0073】

ドレイン電極層116aおよびソース電極層116bとして、たとえば銅のみを用いた場合でも配線抵抗を低減することができるが、酸化物半導体膜114との密着性が十分でなくなる、または銅が酸化物半導体膜114に達して電気的特性を劣化させる不純物となる等の恐れがある。またドレイン電極層116aおよびソース電極層116bとしてアルミニウムのみを用いた場合、同様に配線抵抗を低減することができるが、アルミニウムと酸化物半導体膜114との界面に酸化アルミニウム膜が形成され、電気的接続が困難となる恐れがある。

【0074】

そこで導電層142aおよび導電層142bに銅やアルミニウムを用い、導電層142aおよび導電層142bと重畳して導電層140aおよび導電層140bならびに導電層144aおよび導電層144bを設けることで、配線抵抗を低減しつつ、密着性を確保し、不純物が酸化物半導体膜114に達することを抑え、電気的接続を良好にすることができる。

【0075】

さらに図6(B)のように、導電層142bを封止するように導電層140bおよび導電層144bを設けたソース電極層116bとしてもよい。このような構成とすることで、導電層142bに用いられる金属が、酸化物半導体膜114に達することをさらに抑制できる。ここで、導電層140bおよび導電層144bは、導電層142bのバリア層として機能を有する。

【0076】

なお図6(B)ではドレイン電極層116aは導電層140aおよび導電層144aの2層を有する構成となっているがこれに限らない。ソース電極層116bと同様に、導電層142aを覆うように導電層140aおよび導電層144aを設けたドレイン電極層116aとしてもよい。

【0077】

たとえば図6(B)のトランジスタ207では、導電層140bとしてタングステン、導電層142bとして銅、導電層144bとして窒化タンタルを積層させてソース電極層116bとすることができる。

【0078】

さらに、導電層140a、導電層140b、導電層142b、導電層144aおよび導電層144bはそれぞれ積層構造を有していてもよい。

【0079】

たとえば、導電層140aとしてタングステンと窒化タングステンを積層させて用い、導電層142aとして銅、導電層144aとして窒化タンタルを用いてドレイン電極層116aとしてもよい。

【0080】

また、図6(A)および図6(B)のソース電極層116bおよびドレイン電極層116aのような積層構造は、ゲート電極層106に適用してもよい。

【0081】

また図6(C)のトランジスタ208のように、酸化物半導体膜114において、ソース電極層116bおよびドレイン電極層116aと重畳する領域の厚さが、ソース電極層1

10

20

30

40

50

16bおよびドレイン電極層116aと重畳しない領域の厚さより大きいトランジスタとしてもよい。また、酸化物半導体膜114の中央に開口部が設けられていてもよい。

【0082】

また、図1乃至図6のトランジスタ201乃至トランジスタ208の特徴の一部の組み合わせを有するトランジスタとしてもよい。

【0083】

(実施の形態2)

本実施の形態では、図2の半導体装置の作製方法の一例について、図7乃至図9を参照して説明する。また配線接続部の形成方法の一例について、各図の右側に併せて示す。

【0084】

まず、絶縁表面を有する基板100を用意する。

【0085】

基板100に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有することが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板100として用いてもよい。

【0086】

また、基板100として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上に酸化物半導体膜114を含むトランジスタ201を直接作製してもよいし、他の作製基板上に酸化物半導体膜114を含むトランジスタ201を作製し、その後、可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体膜114を含むトランジスタ201との間に剥離層(例えば、タングステン)を設けるとよい。

【0087】

次に、基板100上に、下地膜として機能する絶縁膜を形成してもよい。絶縁膜としては、PECVD法またはスパッタリング法により、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウムなどの酸化物絶縁材料、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁材料、またはこれらの混合材料を用いて、単層構造または積層構造で、形成することができる。

【0088】

絶縁膜として、例えば、窒化シリコン膜と酸化窒化シリコン膜との積層構造を用いることが好ましい。窒化シリコン膜を用いることにより、基板から金属や水素などが、後に形成される酸化物半導体膜に達することを抑制できる。

【0089】

次に、基板100上に、ゲート電極層(これと同じ層で形成される配線を含む)となる導電膜を形成する。

【0090】

導電膜は、スパッタリング法やPECVD法により形成することができる。導電膜として、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いることができる。また、導電膜は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウムスズ酸化物などの導電性材料を用いることもできる。また、導電膜は、上記の導電材料を用いて、単層構造または積層構造で形成される。

【0091】

導電膜を単層構造で形成する場合は、例えば、膜厚 100 nm のタングステン膜を形成すればよい。

【0092】

導電膜を2層の積層構造で形成する場合は、例えば、膜厚 30 nm の窒化タンタル膜と膜厚 200 nm の銅膜を積層して形成すればよい。銅膜を用いることにより、配線抵抗を低減することができる。また膜厚 30 nm の窒化タンタル膜に代えて、タングステン膜、窒化タングステン膜、窒化モリブデン膜、窒化チタン膜を用いてもよい。また膜厚 200 nm の銅膜に代えて、タングステン膜を用いてもよい。

【0093】

また導電膜を3層の積層構造で形成する場合は、例えば、膜厚 30 nm の窒化タンタル膜、膜厚 200 nm の銅膜、膜厚 30 nm のタングステン膜を形成すればよい。また、膜厚 30 nm の窒化タンタル膜に代えて、タングステン膜、窒化タングステン膜、窒化モリブデン膜、窒化チタン膜を用いてもよい。また、膜厚 30 nm のタングステン膜に代えて、モリブデン膜を形成してもよい。銅膜を用いることにより、配線抵抗を低減することができる。また、銅膜上に、タングステン膜またはモリブデン膜を積層することで、銅が酸化物半導体膜 114 に達することを抑制できる。

【0094】

また、タングステン膜またはモリブデン膜は、仕事関数が比較的高いため、ゲート電極層として用いると、トランジスタのしきい値電圧がプラスになりやすい（すなわちノーマリーオフのトランジスタとしやすい）ため、好適である。なお、後に形成されるゲート絶縁膜によって、銅が酸化物半導体膜 114 に達することを防止することができれば、タングステン膜およびモリブデン膜は形成しなくともよい。

【0095】

次に、図7(A)に示すように、フォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってゲート電極層 106 を形成する。本実施の形態では、ゲート電極層 106 として、膜厚 30 nm の窒化タンタル膜と膜厚 200 nm の銅膜を積層させたものを形成することとする。

【0096】

ゲート電極層 106 を形成した後、レジストマスクを除去する。導電膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0097】

ここで、レジストマスクを除去する際に汚染物が生成する場合がある。この生成した汚染物を除去する処理（不純物除去処理ともいう）を行ってもよい。不純物除去処理は、酸素、一酸化二窒素、もしくは希ガス（代表的にはアルゴン）を用いたプラズマ処理、または希フッ化水素酸、水、現像液もしくは TMAH 溶液を用いた溶液処理などを好適に用いることができる。

【0098】

また、ゲート電極層 106 の形成と同一工程で、配線接続部において配線 107 を形成することができる。

【0099】

次に、基板 100、およびゲート電極層 106 に加熱処理を行ってもよい。例えば、電気炉により、350 以上 500 以下、30 分～1 時間、加熱処理を行ってもよい。加熱処理を行うことにより、基板 100 やゲート電極層 106 に含まれる水素や水などを除去することができる。

【0100】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、LRTA (Lamp Rapid Thermal Anneal) 装置、GRTA (Gas Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドラ

10

20

30

40

50

ンプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。例えば、GRTA装置を用いて加熱処理を行う場合には、650、1分～5分間、加熱処理を行えばよい。

#### 【0101】

次に、図7（B）に示すように、ゲート電極層106上にゲート絶縁膜112を形成する。

#### 【0102】

なお、ゲート絶縁膜112の被覆性を向上させるために、ゲート電極層106表面に平坦化処理を行ってもよい。特に、ゲート絶縁膜112として膜厚の薄い絶縁膜を用いる場合、ゲート電極層106表面の平坦性が良好であることが好ましい。

#### 【0103】

ゲート絶縁膜112の膜厚は、1nm以上300nm以下とし、スパッタリング法、MBE法、LPCVD法、PECVD法、ミストCVD法等のCVD法、パルスレーザ堆積法、ALD（Atomic Layer Deposition）法等を適宜用いることができる。

#### 【0104】

ゲート絶縁膜112としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、または窒化酸化シリコンを用いて形成することができる。また、ゲート絶縁膜112として、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $\text{HfSi}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $\text{HfSiO}_x\text{N}_y$ （ $x > 0$ 、 $y > 0$ ））、ハフニウムアルミネート（ $\text{HfAl}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、酸化ランタンなどのhigh-k材料を用いることでゲートリーク電流を低減できる。また、ゲート絶縁膜112は、上記の材料を用いて、単層構造または積層構造で形成することができる。

#### 【0105】

ゲート絶縁膜112を単層構造で形成する場合は、例えば膜厚200nmの酸化窒化シリコン膜を形成すればよい。

#### 【0106】

また、ゲート絶縁膜112を積層構造で形成する場合は、例えば膜厚50nmの窒化シリコン膜と、膜厚200nmの酸化窒化シリコン膜を形成すればよい。窒化シリコン膜を用いることにより、金属（たとえば、銅、ナトリウム、リチウム等）や水などが、基板やゲート電極層106から、後に形成される酸化物半導体膜に浸入することを抑制できる。

#### 【0107】

この場合の膜厚50nmの窒化シリコン膜は、例えばPECVD法を用いてガス流量 $\text{SiH}_4/\text{N}_2 = 50\text{ sccm} / 5000\text{ sccm}$ 、電極面積が $6000\text{ cm}^2$ のとき成膜電力150W（RF）、成膜圧力40Pa、基板温度350として形成することができる。膜厚200nmの酸化窒化シリコン膜は、例えばPECVD法を用いて、ガス流量 $\text{SiH}_4/\text{N}_2\text{O} = 20\text{ sccm} / 3000\text{ sccm}$ 、電極面積が $6000\text{ cm}^2$ のとき成膜電力100W（RF）、成膜圧力40Pa、基板温度350として形成することができる。

#### 【0108】

また、RF電源電力（電源出力）を高く、たとえば電極面積が $6000\text{ cm}^2$ のとき、300W以上、または500W以上、または1000W以上としてもよい。RF電源電力（電源出力）を高くすることで、緻密なゲート絶縁膜112を形成でき、不純物が後に形成される酸化物半導体膜に侵入することを抑制できる。

#### 【0109】

次に、基板100、ゲート電極層106、およびゲート絶縁膜112に加熱処理を行って

もよい。例えば、GRTA装置により、650、1分～10分間、加熱処理を行えばよい。また、電気炉により、350以上500以下、30分～1時間、加熱処理を行ってもよい。加熱処理を行うことにより、ゲート絶縁膜112に含まれる水素や水等を除去することができる。

#### 【0110】

次に、ゲート絶縁膜112に対して、酸素を添加する処理（酸素添加処理や、酸素注入処理ともいう）を行ってもよい。酸素を添加する処理を行うことによって、酸素過剰領域を有するゲート絶縁膜112が形成される。

#### 【0111】

酸素には、少なくとも、酸素ラジカル、オゾン、酸素原子、酸素イオン（分子イオン、クラスタイオンを含む）、のいずれかが含まれている。脱水化または脱水素化処理を行ったゲート絶縁膜112に酸素添加処理を行うことにより、ゲート絶縁膜112中に酸素を含有させることができ、先の熱処理によって脱離した酸素を補填するとともに、酸素過剰領域を形成することができる。

#### 【0112】

ゲート絶縁膜112への酸素の添加は、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理等を用いることができる。なお、イオン注入法として、ガスクラスタイオンビームを用いてもよい。また、酸素の添加は、基板100の全面を一度に処理してもよいし、例えば、被照射面が線状であるイオンビーム（線状のイオンビーム）を用いてもよい。線状のイオンビームを用いる場合には、基板またはイオンビームを相対的に移動（スキャン）させることで、ゲート絶縁膜112全面に酸素を添加することができる。また、プラズマ処理として、アッシング処理を用いてもよい。

#### 【0113】

酸素の供給ガスとしては、Oを含有するガスを用いればよく、例えば、O<sub>2</sub>ガス、N<sub>2</sub>Oガス、CO<sub>2</sub>ガス、COガス、NO<sub>2</sub>ガス等を用いることができる。なお、酸素の供給ガスに希ガス（例えばAr）を含有させてもよい。

#### 【0114】

また、例えば、イオン注入法で酸素の添加を行う場合、酸素のドーズ量は $1 \times 10^{13}$  ions/cm<sup>2</sup>以上 $5 \times 10^{16}$  ions/cm<sup>2</sup>以下とするのが好ましく、酸素添加処理後のゲート絶縁膜112中の酸素の含有量は、ゲート絶縁膜112の化学量論的組成を超える程度とするのが好ましい。なお、このような化学量論的組成よりも酸素を過剰に含む領域は、ゲート絶縁膜112の一部に存在していればよい。なお、酸素の注入深さは、注入条件により適宜制御すればよい。

#### 【0115】

酸素の供給源となる酸素を過剰に含むゲート絶縁膜112を、後に形成される酸化物半導体膜113と接して設けることによって、さらに後に行う加熱処理により、ゲート絶縁膜112から酸素が脱離し、酸化物半導体膜113へ酸素を供給することができる。これにより、酸化物半導体膜113中の酸素欠損を低減することができる。

#### 【0116】

なお、ゲート絶縁膜112に対して、酸素を添加する処理は、ゲート絶縁膜112の加熱処理前に行ってもよく、ゲート絶縁膜112の加熱処理の前後に行ってもよい。

#### 【0117】

次に、図7（C）に示すように、ゲート絶縁膜112上にフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁膜112の配線接続部となる領域に開口を形成する。

#### 【0118】

次に、ゲート絶縁膜112上に酸化物半導体膜113を形成する（図7（D）参照）。

#### 【0119】

酸化物半導体膜113は、スパッタリング法、MBE（Molecular Beam

10

20

30

40

50

Epitaxy)法、LPCVD法、PECVD法、ミストCVD法等のCVD法、パルスレーザ堆積法、ALD法等を適宜用いて形成することができる。

【0120】

酸化物半導体膜113に用いる酸化物半導体としては、少なくともインジウム(In)を含む。特に、インジウムと亜鉛(Zn)を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、インジウムまたはノおよび亜鉛に加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、ジルコニウム(Zr)のいずれか一種または複数種を有することが好ましい。

【0121】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種または複数種を有してもよい。

【0122】

例えば、酸化物半導体として、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0123】

なお、図7(D)では単層構造の酸化物半導体膜113を形成しているが、積層構造の酸化物半導体膜を形成してもよい。たとえば、構成元素が異なる酸化物半導体膜を積層させてもよいし、構成元素が同じで組成が異なる酸化物半導体膜を積層させてもよいし、膜中の水素濃度の異なる酸化物半導体膜を積層させてもよい。

【0124】

また、酸化物半導体膜113は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とすることが好ましい。また、酸化物半導体膜113は、単結晶または多結晶(ポリクリスタルともいう)であってもよい。

【0125】

また、CAAC-OS膜のように結晶部を有する酸化物半導体膜では、よりバルク内欠陥を低減することができ、形成面の平坦性を高めればアモルファス状態の酸化物半導体以上のキャリア移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体膜113を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0126】

なお、Raとは、JIS B 0601:2001(ISO 4287:1997)で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義される。

【0127】

10

20

30

40



【数 1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0128】

ここで、指定面とは、粗さ計測の対象となる面であり、座標  $(x_1, y_1, f(x_1, y_1))$ ,  $(x_1, y_2, f(x_1, y_2))$ ,  $(x_2, y_1, f(x_2, y_1))$ ,  $(x_2, y_2, f(x_2, y_2))$  の4点で表される四角形の領域とし、指定面を  $xy$  平面に投影した長方形の面積を  $S_0$ 、基準面の高さ(指定面の平均の高さ)を  $Z_0$  とする。 $Ra$  は原子間力顕微鏡 (AFM: Atomic Force Microscope) にて測定可能である。

10

【0129】

酸化物半導体膜 113 形成面の平坦性を高めるために、ゲート絶縁膜 112 において、酸化物半導体膜 113 が接して形成される領域に、平坦化処理を行うことが好ましい。平坦化処理としては、特に限定されないが、研磨処理(例えば、化学的機械研磨法 (Chemical Mechanical Polishing: CMP))、ドライエッチング処理、プラズマ処理を用いることができる。

【0130】

プラズマ処理としては、例えば、アルゴンガスを用いてプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、ゲート絶縁膜 112 の表面に付着している粉状物質(パーティクル、ごみともいう)を除去することができる。

20

【0131】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、ゲート絶縁膜 112 表面の凹凸状態に合わせて適宜設定すればよい。

【0132】

酸化物半導体膜 113 の膜厚は、1 nm 以上 200 nm 以下、好ましくは 5 nm 以上 50 nm 以下とすることが好ましい。また、酸化物半導体膜 113 は、スパッタリング法、MBE 法、CVD 法、パルスレーザ堆積法、ALD 法等を適宜用いて成膜することができる。

30

【0133】

また、酸化物半導体膜 113 に含まれる水素または水は、できる限り低いことが好ましい。水素濃度が高いと、酸化物半導体に含まれる元素と水素との結合により、キャリアである電子が生じてしまうことがあるためである。

【0134】

したがって、酸化物半導体膜 113 の成膜工程において、酸化物半導体膜 113 に不純物になるべく含まれないようにするために、酸化物半導体膜 113 の成膜の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜 112 が形成された基板を予備加熱し、基板およびゲート絶縁膜 112 中の不純物を脱離させ、排気することが好ましい。予備加熱室に設ける排気手段は、クライオポンプが好ましい。

40

【0135】

また、酸化物半導体膜 113 は、成膜時に酸素が多く含まれるような条件(例えば、酸素が 30% ~ 100% の雰囲気下でスパッタリング法により成膜を行うなど)で成膜して、酸素を多く含む(好ましくは酸化物半導体が結晶状態における化学量論的組成に対し、酸素の含有量が過剰な領域が含まれている)膜とすることが好ましい。

【0136】

酸化物半導体膜 113 を、成膜する際に用いるガスは不純物が除去された高純度ガスを用

50

いることが好ましい。

【0137】

減圧状態に保持された成膜室内に基板を保持する。そして、成膜室内の残留水分を除去しつつ不純物の少ないガスを用い、下記で説明するターゲットを用いて、温度を130 以上700 以下として、基板100上に酸化物半導体膜113を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。特に、クライオポンプまたはコールドトラップを用いることで、例えば、残留水分が効率よく排気されるため、当該成膜室で成膜した酸化物半導体膜113に含まれる不純物の濃度を低減できる。

10

【0138】

なお、本実施の形態において、酸化物半導体膜113として、AC電源装置を有するスパッタリング装置を用いたスパッタリング法を用い、膜厚35nmのIn-Ga-Zn系酸化物膜(IGZO膜ともいう)を成膜する。本実施の形態において、In:Ga:Zn=3:1:2の原子数比のIn-Ga-Zn系酸化物ターゲットを用いる。なお、成膜条件は、酸素およびアルゴン雰囲気下(酸素流量比率50%)、圧力0.4Pa、電極面積が6000cm<sup>2</sup>のとき電源電力0.5kW、基板温度200 とする。

【0139】

また、ゲート絶縁膜112を成膜後、大気曝露せずにゲート絶縁膜112と酸化物半導体膜113を連続的に形成することが好ましい。ゲート絶縁膜112を大気に曝露せずにゲート絶縁膜112と酸化物半導体膜113を連続して形成すると、ゲート絶縁膜112表面に不純物が含まれることを防止することができる。

20

【0140】

ここで、酸化物半導体膜113に、過剰な水素(水や水酸基を含む)を除去(脱水化または脱水素化)するための加熱処理を行ってもよい。加熱処理の温度は、300 以上700 以下、または基板の歪み点未満とする。加熱処理は減圧下、酸素雰囲気下または窒素雰囲気下などで行うことができる。なお、酸素雰囲気は、広く酸化性ガス雰囲気と読み替えることができる。例えば、酸化性ガスである酸素、一酸化二窒素およびオゾン、または超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55 )以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気)を含む雰囲気であってもよい。

30

【0141】

本実施の形態では、加熱処理装置の一つである電気炉を用いて、酸化物半導体膜113に対して窒素雰囲気下450 において1時間、さらに窒素および酸素の混合雰囲気下450 において1時間の加熱処理を行う。

【0142】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、LRTA装置、GRTA装置等のRTA装置を用いることができる。例えば、加熱処理として、650 ~700 の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

40

【0143】

なお、加熱処理においては、窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に用いるガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0144】

また、減圧下又は不活性雰囲気下で酸化物半導体膜113を加熱した後、酸素雰囲気下で加熱しても構わない。減圧下、不活性雰囲気下による加熱処理によって、酸化物半導体膜113中の不純物を排除するとともに酸素欠損が生じる場合、後に行う酸素雰囲気下の加

50

熱処理によって酸化物半導体膜 1 1 3 の酸素欠損を低減することができる。

【 0 1 4 5 】

なお、脱水化または脱水素化のための加熱処理は、酸化物半導体膜を島状に加工する前、または島状に加工した後に行えばよい。また、脱水化または脱水素化のための加熱処理は、複数回行ってよく、他の加熱処理と兼ねてもよい。また、酸化物半導体膜 1 1 3 に加熱処理を行うことにより、酸化物半導体膜 1 1 3 の結晶性を高めることができる。

【 0 1 4 6 】

脱水化または脱水素化のための加熱処理を、酸化物半導体膜 1 1 3 が島状に加工される前、つまり、酸化物半導体膜がゲート絶縁膜 1 1 2 を覆った状態で行うと、ゲート絶縁膜 1 1 2 に含まれる酸素が加熱処理によって外部に放出されてしまうことを防止できる。

10

【 0 1 4 7 】

次に、図 7 ( E ) に示すように、フォトリソグラフィ工程により酸化物半導体膜 1 1 3 上にレジストマスクを形成し、酸化物半導体膜 1 1 3 に選択的にエッチングを行って島状の酸化物半導体膜 1 1 4 を形成する。島状の酸化物半導体膜 1 1 4 を形成した後、レジストマスクを除去する。島状の酸化物半導体膜 1 1 4 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成すると、フォトマスクを使用しないため、製造コストを低減できる。

【 0 1 4 8 】

酸化物半導体膜 1 1 3 のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜 1 1 3 のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO - 0 7 N ( 関東化学社製 ) を用いてもよい。また、ICP ( Inductively Coupled Plasma : 誘導結合型プラズマ ) エッチング法によるドライエッチングによってエッチング加工してもよい。

20

【 0 1 4 9 】

酸化物半導体膜 1 1 3 のエッチングの際、ゲート絶縁膜 1 1 2 が過剰にエッチングされないよう、十分にエッチング比のある条件で行うことが好ましい。

【 0 1 5 0 】

次に、ゲート絶縁膜 1 1 2 および酸化物半導体膜 1 1 4 上に、後にソース電極層およびドレイン電極層 ( これと同じ層で形成される配線を含む ) となる導電膜 1 1 6 を形成する ( 図 8 ( A ) 参照 ) 。

30

【 0 1 5 1 】

導電膜 1 1 6 は、スパッタリング法や PECVD 法により形成することができる。導電膜 1 1 6 として、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、導電膜 1 1 6 は、窒化タングステン、窒化タンタル、窒化チタン、窒化モリブデン等の窒化金属材料を用いて形成することもできる。また、導電膜 1 1 6 は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウムスズ酸化物などの導電性材料を適用することもできる。導電膜 1 1 6 は、単層構造または積層構造で成膜される。

40

【 0 1 5 2 】

本実施の形態では、導電膜 1 1 6 は、膜厚 5 0 n m のタングステン膜、膜厚 4 0 0 n m の銅膜、膜厚 1 0 0 n m の窒化タンタル膜の 3 層構造で形成することとする。

【 0 1 5 3 】

次に、図 8 ( B ) に示すように、フォトリソグラフィ工程により導電膜 1 1 6 上にレジストマスクを形成し、選択的にエッチングを行って、ソース電極層 1 1 6 b およびドレイン電極層 1 1 6 a を形成する。このとき、酸化物半導体膜 1 1 4 の一部は、露出される。

【 0 1 5 4 】

50

このとき、ドレイン電極層 116a の外周端部が、ゲート電極層 106 の外周端部の内側に位置するように形成する。ドレイン電極層 116a の外周端部を、ゲート電極層 106 の外周端部の内側に位置させることで、ドレイン電極層 116a と、酸化物半導体膜 114 の端部とが電氣的に接続されることを防止できる。

【0155】

また酸化物半導体膜 114 の外周端部の一部を覆うようにソース電極層 116b を形成することが好ましい。酸化物半導体膜 114 の外周端部の一部をソース電極層 116b で覆うことで、酸化物半導体膜 114 の外周端部に不純物が混入すること、または酸化物半導体膜 114 から酸素が脱離することを防ぐことができる。

【0156】

上記のようにソース電極層 116b およびドレイン電極層 116a を形成した後、レジストマスクを除去する。

【0157】

またソース電極層 116b およびドレイン電極層 116a の形成と同一の工程で、配線接続部において、配線 107 と電氣的に接続される配線 116c を形成することができる。

【0158】

なお、ソース電極層 116b およびドレイン電極層 116a の形成により露出した酸化物半導体膜 114 の表面には、ソース電極層 116b およびドレイン電極層 116a を構成する元素や、処理室内に存在する元素、エッチングに用いたエッチングガスを構成する元素が不純物として付着する場合がある。

【0159】

不純物が付着すると、トランジスタのオフ電流の増加、またはトランジスタの電氣的特性の劣化をもたらされやすい。また、酸化物半導体膜 114 に寄生チャネルが生じやすくなり、電氣的に分離されるべき電極が酸化物半導体膜 114 を介して電氣的に接続されやすくなる。

【0160】

そこで、ソース電極層 116b およびドレイン電極層 116a を形成するためのエッチングが終了した後、酸化物半導体膜 114 の表面や側面に付着した不純物を除去するための洗浄処理（不純物除去処理）を行ってもよい。

【0161】

不純物除去処理は、プラズマ処理、または溶液による処理によって行うことができる。プラズマ処理としては、酸素プラズマ処理または一酸化二窒素プラズマ処理などを用いることができる。また、プラズマ処理として希ガス（代表的にはアルゴン）を用いてもよい。

【0162】

また、溶液による洗浄処理としては、TMAH 溶液などのアルカリ性の溶液、水、希フッ化水素酸などの酸性の溶液を用いて行うことができる。例えば、希フッ化水素酸を用いる場合、50wt% フッ化水素酸を、水で  $1/10^5$  乃至  $1/10^2$  程度、好ましくは  $1/10^5$  乃至  $1/10^3$  程度に希釈した希フッ化水素酸を使用する。すなわち、濃度が  $5 \times 10^{-4}$  重量% 乃至 0.5 重量% の希フッ化水素酸、好ましくは  $5 \times 10^{-4}$  重量% 乃至  $5 \times 10^{-2}$  重量% の希フッ化水素酸を洗浄処理に用いることが望ましい。洗浄処理により、露出した酸化物半導体膜 114 の表面に付着した上記不純物を除去することができる。

【0163】

また、希フッ化水素酸溶液を用いて不純物除去処理を行うと、露出した酸化物半導体膜 114 の表面をエッチングすることができる。すなわち、露出した酸化物半導体膜 114 の表面に付着した不純物や、酸化物半導体膜 114 内の表面近傍に混入した不純物を、酸化物半導体膜 114 の一部とともに除去することができる。これにより、たとえば図 6 (C) のトランジスタ 208 における酸化物半導体膜 114 のように、ソース電極層 116b およびドレイン電極層 116a と重畳する領域の厚さが、ソース電極層 116b およびドレイン電極層 116a と重畳しない領域の厚さより大きくなる。

## 【0164】

不純物除去処理を行うことで、SIMSを用いた分析により得られる濃度ピークにおいて、酸化物半導体層表面における塩素濃度を $1 \times 10^{19} / \text{cm}^3$ 以下（好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} / \text{cm}^3$ 以下）とすることができる。また、ホウ素濃度を $1 \times 10^{19} / \text{cm}^3$ 以下（好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} / \text{cm}^3$ 以下）とすることができる。また、アルミニウム濃度を $1 \times 10^{19} / \text{cm}^3$ 以下（好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} / \text{cm}^3$ 以下）とすることができる。

## 【0165】

以上の工程により、トランジスタ201を作製することができる（図8（B）参照）。 10

## 【0166】

次いで、トランジスタ201上に絶縁膜122を形成する。絶縁膜122は、1つの工程で形成してもよいし、複数の工程を経て形成してもよい。また異なる材料からなる膜を積層させてもよい。本実施の形態では、絶縁層118および絶縁層120の2層を積層させた絶縁膜122を形成することとする。

## 【0167】

まず酸化物半導体膜114の一部に接し、ソース電極層116bおよびドレイン電極層116a上に、絶縁層118を20nm乃至50nmの厚さで形成する（図8（C）参照）。絶縁層118はゲート絶縁膜112と同様の材料および方法で形成することができる。例えば、酸化シリコンや、酸化窒化シリコンなどをスパッタリング法やCVD法で形成し、絶縁層118として用いることができる。 20

## 【0168】

本実施の形態では、絶縁層118として、PECVD法により厚さ30nm乃至50nmの酸化窒化シリコンを形成する。絶縁層118の形成は、例えば、ガス流量を $\text{SiH}_4 / \text{N}_2\text{O} = 20 \text{ sccm} / 3000 \text{ sccm}$ とし、圧力を40Paとし、電極面積が $6000 \text{ cm}^2$ のときRF電源電力（電源出力）を100Wとし、基板温度を350 とすればよい。

## 【0169】

次に、絶縁層118に酸素119を添加し、絶縁層118を、酸素を過剰に含む絶縁層118とする。酸素119には、少なくとも、酸素ラジカル、オゾン、酸素原子、酸素イオン（分子イオン、クラスティオンを含む）、のいずれかが含まれている。酸素119の添加は、酸素添加処理により行うことができる。 30

## 【0170】

また、酸素119の添加は、絶縁層118の全面を一度に処理してもよいし、例えば、線状のイオンビームを用いてもよい。線状のイオンビームを用いる場合には、基板100またはイオンビームを相対的に移動（スキャン）させることで、絶縁層118の全面に酸素119を添加することができる。

## 【0171】

酸素119の供給ガスとしては、酸素原子を含有するガスを用いればよく、例えば、 $\text{O}_2$ ガス、 $\text{N}_2\text{O}$ ガス、 $\text{CO}_2$ ガス、COガス、 $\text{NO}_2$ ガス等を用いることができる。なお、酸素119の供給ガスに希ガス（例えばAr）を含有させてもよい。 40

## 【0172】

また、例えば、イオン注入法で酸素119の添加を行う場合、酸素のドーズ量は $1 \times 10^{13} \text{ ions} / \text{cm}^2$ 以上 $5 \times 10^{16} \text{ ions} / \text{cm}^2$ 以下とするのが好ましく、絶縁層118の酸素の含有量は、化学量論的組成を超える程度とするのが好ましい。なお、このような化学量論的組成よりも酸素を過剰に含む領域は、絶縁層118の一部に存在していればよい。なお、酸素119の注入深さは、注入条件により適宜制御すればよい。

## 【0173】

本実施の形態では、酸素119の添加を、酸素雰囲気下で行うプラズマ処理で行う。なお、絶縁層118は、酸化物半導体膜114と接する絶縁層であるため、可能な限り不純物 50

が含まれないことが好ましい。したがって、酸素の添加の前に、絶縁層 118 中の過剰な水素（水や水酸基を含む）を除去するための加熱処理を行うことが好ましい。脱水化または脱水素化処理を目的とした加熱処理の温度は、300 以上700 以下、または基板の歪み点未満とする。脱水化または脱水素化処理を目的とした加熱処理は、前述の加熱処理と同様に行うことができる。

#### 【0174】

酸素 119 の添加のためのプラズマ処理（酸素プラズマ処理）は、酸素流量を 250 sccm とし、ICP 電源電力を 0 W とし、バイアス電力を 4500 W とし、圧力を 15 Pa として行う。この時、酸素プラズマ処理により絶縁層 118 に添加された酸素 119 の一部は、絶縁層 118 を通過して酸化物半導体膜 114 に添加される。酸化物半導体膜 114 中に絶縁層 118 を介して酸素 119 が添加されるため、酸化物半導体膜 114 の表面にプラズマによるダメージが入りにくく、半導体装置の信頼性を向上することができる。絶縁層 118 は、10 nm より厚く、100 nm より薄くすることが好ましい。絶縁層 118 の厚さを 10 nm 以下とすると、酸化物半導体膜 114 が酸素プラズマ処理時のダメージを受けやすくなる。また、絶縁層 118 の厚さを 100 nm 以上とすると、酸素プラズマ処理により添加された酸素 119 が、十分に酸化物半導体膜 114 に供給されない恐れがある。また、絶縁層 118 の脱水化または脱水素化処理を目的とした加熱処理または/および酸素 119 の添加は、複数回行ってよい。絶縁層 118 に酸素 119 を添加することにより、絶縁層 118 を酸素供給層として機能させることができる。

#### 【0175】

次に、絶縁層 118 上に絶縁層 120 を 200 nm 乃至 500 nm の厚さで形成する（図 8（D）参照）。絶縁層 120 は、絶縁層 102 またはゲート絶縁層 104 と同様の材料および方法で形成することができる。例えば、酸化シリコンや酸化窒化シリコンなどをスパッタリング法や CVD 法で形成し、絶縁層 120 として用いることができる。

#### 【0176】

本実施の形態では、絶縁層 120 として、PECVD 法により厚さ 370 nm の酸化窒化シリコンを形成する。絶縁層 120 の形成は、例えば、ガス流量を  $\text{SiH}_4 / \text{N}_2\text{O} = 30 \text{ sccm} / 4000 \text{ sccm}$  とし、圧力を 200 Pa とし、電極面積が  $6000 \text{ cm}^2$  のとき RF 電源電力（電源出力）を 150 W とし、基板温度を 220 乃至 350 とすればよい。

#### 【0177】

また、RF 電源電力（電源出力）を高く、たとえば電極面積が  $6000 \text{ cm}^2$  のとき、300 W 以上、または 500 W 以上、または 1000 W 以上としてもよい。RF 電源電力（電源出力）を高くすることで、緻密な絶縁層 120 を形成できる。

#### 【0178】

なお、絶縁層 120 の形成後、不活性ガス雰囲気下、酸素雰囲気下、または不活性ガスと酸素の混合雰囲気下で 250 以上 650 以下、好ましくは 300 以上 600 以下の温度で加熱処理を行ってもよい。より具体的には窒素および酸素の混合雰囲気下で加熱処理を行ってもよいし、窒素雰囲気下で加熱処理を行ってからさらに窒素および酸素の混合雰囲気下で加熱処理を行ってもよい。当該加熱処理によって、絶縁層 118 に含まれる酸素が、絶縁層 118 と酸化物半導体膜 114 の界面に拡散して酸化物半導体膜 114 へと供給され、酸化物半導体膜 114 の酸素欠損を補填することができる。

#### 【0179】

また、絶縁層 120 に酸素添加処理を行い、酸素過剰な状態としてもよい。絶縁層 120 への酸素の添加は、絶縁層 118 への酸素の添加と同様に行ってもよい。また、絶縁層 120 への酸素の添加後、不活性ガス雰囲気下、酸素雰囲気下、または不活性ガスと酸素の混合雰囲気下で 250 以上 650 以下、好ましくは 300 以上 600 以下の温度で加熱処理を行ってもよい。

#### 【0180】

次に、絶縁膜 122 上にアルミニウム膜を成膜する。

## 【0181】

アルミニウム膜は、スパッタリング法、蒸着法、CVD法等によって形成することが好ましい。また、アルミニウム膜の膜厚は3 nm以上20 nm以下（好ましくは3 nm以上10 nm以下、より好ましくは4 nm以上5 nm以下）とすることが好ましい。

## 【0182】

アルミニウム膜として、チタン、またはマグネシウムが添加されたアルミニウム膜を用いてもよい。また、アルミニウム膜として、アルミニウム膜と、チタン膜またはマグネシウム膜との積層を用いてもよい。

## 【0183】

次に、図9（A）に示すようにアルミニウム膜に対して、酸素添加処理を行う。酸素添加処理は、絶縁膜122に、酸素添加処理を行う場合を参照すればよい。詳細な説明は省略する。アルミニウム膜に対して、酸素添加処理を行うことにより、アルミニウム膜の酸化物である、酸化アルミニウム膜が形成される。該酸化アルミニウム膜を、絶縁膜124として用いる。

10

## 【0184】

絶縁膜124は、トランジスタ201に不純物が侵入することを防止すると共に、絶縁膜122中の酸素が外部に離脱することを防止する、バリア膜として機能する。

## 【0185】

酸素を、絶縁膜122およびアルミニウム膜に添加した後、加熱処理を行ってもよい。加熱処理は250 以上600 以下、例えば300 で行えばよい。

20

## 【0186】

酸化物半導体を用いたトランジスタの場合、絶縁膜から酸化物半導体膜に酸素が供給されることで、酸化物半導体膜と絶縁膜との界面準位密度を低減できる。この結果、トランジスタの動作などに起因して、酸化物半導体膜と絶縁膜との界面にキャリアが捕獲されることを抑制することができ、信頼性の高いトランジスタを得ることができる。

## 【0187】

また、絶縁膜122および絶縁膜124への、脱水化または脱水素化処理、または/および酸素添加処理は、複数回行ってもよい。

## 【0188】

また、絶縁膜122上に接して設けられる絶縁膜124は、アルミニウム膜を酸化させることによって形成された膜である。アルミニウム膜の酸化によって、酸化アルミニウム膜を形成することで、スパッタリング法によって酸化アルミニウム膜を成膜する場合と比較して生産性を向上させることができる。また、絶縁膜122への酸素添加処理とアルミニウム膜の酸化処理を同一工程によっても行ってもよい。この場合、工程の簡略化を図ることができる。よって、半導体装置の製造コストを低減することができる。

30

## 【0189】

なお、絶縁膜122として酸化物絶縁膜（例えば、酸化シリコン、酸化窒化シリコン）を用いる場合、該酸化物絶縁膜において、酸素は主たる成分材料の一つである。このため、酸化物絶縁膜中の酸素濃度を、SIMSなどの方法を用いて、正確に見積もることは難しい。つまり、酸化物絶縁膜に酸素が意図的に添加されたか否かを判別することは困難であるといえる。また、絶縁膜122に含まれる過剰な酸素が後の工程で酸化物半導体膜114へと供給される場合においても同様のことがいえる。

40

## 【0190】

ところで、酸素には $^{17}\text{O}$ や $^{18}\text{O}$ といった同位体が存在し、自然界におけるこれらの存在比率はそれぞれ酸素原子全体の0.038%、0.2%程度であることが知られている。つまり、酸化物半導体膜と接する絶縁膜中または酸化物半導体膜中におけるこれら同位体の濃度は、SIMSなどの方法によって見積もることができる程度になるから、これらの濃度を測定することで、酸化物半導体膜と接する絶縁膜中、または酸化物半導体膜中の酸素濃度をより正確に見積もることが可能な場合がある。よって、これらの濃度を測定することで、酸化物半導体膜と接する絶縁膜に意図的に酸素が添加されたか否かを判別して

50

もよい。

【0191】

絶縁膜124上に層間絶縁膜（保護絶縁膜、平坦化絶縁膜）となる絶縁膜を形成してもよい。層間絶縁膜（保護絶縁膜、平坦化絶縁膜）を設けることで薄膜の絶縁膜124に対する応力を緩和することができる。よって、絶縁膜124の破損を防止することができる。

【0192】

保護絶縁膜は、絶縁膜122と同様な材料および方法を用いて形成することができる。例えば、スパッタリング法により形成した酸化シリコン膜を400nm形成する。また、保護絶縁膜の形成後、加熱処理を行ってもよい。例えば、窒素雰囲気下300℃で1時間加熱処理を行う。

10

【0193】

本実施の形態では、図9（B）に示すように絶縁膜124上に、平坦化絶縁膜126を形成する。平坦化絶縁膜126を形成することにより、トランジスタ201起因の表面凹凸を低減することができる。平坦化絶縁膜126としては、ポリイミド樹脂、アクリル樹脂、ベンゾシクロブテン樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜126を形成してもよい。

【0194】

例えば、平坦化絶縁膜126として、膜厚1.5μmのアクリル樹脂膜を形成すればよい。アクリル樹脂膜は塗布法による塗布後、焼成（例えば窒素雰囲気下250℃1時間）して形成することができる。

20

【0195】

平坦化絶縁膜126を形成後、加熱処理を行ってもよい。例えば、窒素雰囲気下250℃で1時間加熱処理を行う。

【0196】

このように、トランジスタ201形成後、加熱処理を行ってもよい。また、加熱処理は複数回行ってもよい。

【0197】

次に、図9（C）に示すように、平坦化絶縁膜126に開口部を形成し、ドレイン電極層116aと電氣的に接続される電極130を形成する。電極130の形成には、ゲート電極層106と同様の材料、方法を用いることができる。またこれと同一工程で、配線接続部において、配線116cと電氣的に接続される配線131を形成することができる。

30

【0198】

以上の工程により、トランジスタ201を有する半導体装置を作製することができる。

【0199】

本発明の一態様により、酸化物半導体膜を用いたトランジスタ201に安定した電氣的特性を付与し、信頼性の高い半導体装置を提供することができる。

【0200】

本実施の形態では図1に示すトランジスタ201の作製方法について詳述したが、図2乃至図6に記載のトランジスタ202乃至トランジスタ208もトランジスタ201の作製方法を参酌して作製することができる。

40

【0201】

たとえば図2乃至図5のトランジスタ202乃至トランジスタ205は、ゲート電極層106、酸化物半導体膜114、ドレイン電極層116aおよびソース電極層116b等の上面形状を変更することで作製することができる。

【0202】

また、図6（A）のトランジスタ206のドレイン電極層116aおよびソース電極層116bは、複数の導電層を同一のマスクを用いてエッチングすることで形成することができる。

【0203】

50



また、図6(B)のトランジスタ207のドレイン電極層116aおよびソース電極層116bは、複数の導電層を、たとえば以下のような工程でエッチングすることで形成することができる。

【0204】

まず導電層140aおよび導電層140bとなる導電層を形成する。

【0205】

次に導電層142bとなる導電層を形成し、該導電層をウェットエッチングして導電層142bを形成する。

【0206】

最後に導電層144aおよび導電層144bとなる導電層を形成し、導電層140aおよび導電層140bとなる導電層と、導電層144aおよび導電層144bとなる導電層をドライエッチングして、導電層140a、導電層140b、導電層144aおよび導電層144bを形成する。

10

【0207】

導電層140aおよび導電層140bのドライエッチングと、導電層144aおよび導電層144bのドライエッチングには、同一のマスクを用いることができる。導電層142bのウェットエッチングには、導電層140a、導電層140b、導電層144aおよび導電層144bのドライエッチングと異なるマスクを用いてもよい。

【0208】

このような工程で、導電層142bを覆うように導電層140bおよび導電層144bを形成することができる。このような構成とすることで、導電層142bに用いられる金属が、酸化半導体膜114に達することを抑制できる。

20

【0209】

また、図6(A)および図6(B)のソース電極層116bおよびドレイン電極層116aのような積層構造は、ゲート電極層106に適用してもよい。

【0210】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0211】

(実施の形態3)

30

本実施の形態では、本発明の一態様に係る表示装置について説明する。なお、表示装置に設けられるトランジスタは、先の実施の形態で示したトランジスタを適用することができる。先の実施の形態で示したトランジスタは、安定した電気的特性を有するため、表示装置の信頼性を高めることができる。

【0212】

本発明の一態様に係る表示装置は、駆動回路の一部または/および画素の一部に、先の実施の形態で示したトランジスタを適用すればよい。なお、駆動回路のみ、画素のみに先の実施の形態で示したトランジスタを適用しても構わない。駆動回路に設けられるトランジスタは、大電流が求められるためチャネル幅の大きいトランジスタであることが多い。そのため、特に駆動回路に先の実施の形態で示したトランジスタを適用すると、駆動回路の面積を縮小する効果が大きい。好ましい。

40

【0213】

<表示装置の構成例>

図10は、表示装置の構成例を示す図である。図10に示す表示装置は、m行n列に配設された複数の画素10と、走査線駆動回路1と、信号線駆動回路2と、電流源3と、各々が複数の画素10のうちいずれか1行に配設された画素に電気的に接続され、かつ走査線駆動回路1によって電位が制御される、m本の走査線4、m本の走査線5、およびm本の走査線6、ならびにm本の反転走査線7と、各々が複数の画素10のうちいずれか1列に配設された画素に電気的に接続され、かつ信号線駆動回路2によって電位が制御される、n本の信号線8と、複数の支線が設けられ、かつ電流源3に電気的に接続される電源線9

50

とを有する。

#### 【0214】

< 走査線駆動回路の構成例 >

図11は、図10に示す表示装置が有する走査線駆動回路1の構成例を示す図である。図11に示す走査線駆動回路1は、第1の走査線駆動回路用クロック信号(GCK-1)を供給する配線~第6の走査線駆動回路用クロック信号(GCK-6)を供給する配線と、第1のパルス幅制御信号A(PWC-A1)を供給する配線および第2のパルス幅制御信号A(PWC-A2)を供給する配線と、第1のパルス幅制御信号B(PWC-B1)を供給する配線~第6のパルス幅制御信号B(PWC-B6)を供給する配線と、第1のパルス幅制御信号C(PWC-C1)を供給する配線~第3のパルス幅制御信号C(PWC-C3)を供給する配線と、走査線4\_\_1、走査線5\_\_1、および走査線6\_\_1を介して1行に配設された画素10に電氣的に接続された第1のパルス出力回路20\_\_1~走査線4\_\_m、走査線5\_\_m、および走査線6\_\_mを介してm行に配設された画素10に電氣的に接続された第mのパルス出力回路20\_\_mと、反転走査線7\_\_1を介して1行に配設された画素10に電氣的に接続された第1の反転パルス出力回路60\_\_1~反転走査線7\_\_mを介してm行に配設された画素10に電氣的に接続された第mの反転パルス出力回路60\_\_mとを有する。

10

#### 【0215】

なお、第1のパルス出力回路20\_\_1~第mのパルス出力回路20\_\_mは、第1のパルス出力回路20\_\_1に入力される走査線駆動回路用スタートパルス(GSP)をきっかけとしてシフトパルスを順次シフトする機能を有する。詳述すると、第1のパルス出力回路20\_\_1は、走査線駆動回路用スタートパルス(GSP)が入力された後に第2のパルス出力回路20\_\_2に対してシフトパルスを入力する。次いで、第2のパルス出力回路20\_\_2は、第1のパルス出力回路20\_\_1が出力するシフトパルスが入力された後に第3のパルス出力回路20\_\_3に対してシフトパルスを入力する。以後、第mのパルス出力回路に対してシフトパルスが入力されるまで上記動作が行われる。

20

#### 【0216】

さらに、第1のパルス出力回路20\_\_1~第mのパルス出力回路20\_\_mのそれぞれは、走査線駆動回路用スタートパルス(GSP)またはシフトパルスが入力された際に走査線4\_\_1~走査線4\_\_mのいずれか一、走査線5\_\_1~走査線5\_\_mのいずれか一、および走査線6\_\_1~走査線6\_\_mのいずれか一のそれぞれに対して選択信号を出力する機能を有する。なお、選択信号とは、走査線4\_\_1~走査線4\_\_m、走査線5\_\_1~走査線5\_\_m、および走査線6\_\_1~走査線6\_\_mのそれぞれの電位によってスイッチングが制御されるスイッチをオン状態とする信号を指す。

30

#### 【0217】

図12は、上記信号の具体的な波形の一例を示す図である。

#### 【0218】

図12に示す第1の走査線駆動回路用クロック信号(GCK-1)は、周期的にハイレベルの電位(高電源電位(Vdd))とロウレベルの電位(低電源電位(Vss))を繰り返す、デューティ比が1/2の信号である。また、第2の走査線駆動回路用クロック信号(GCK-2)は、第1の走査線駆動回路用クロック信号(GCK-1)から1/6周期位相がずれた信号であり、第3の走査線駆動回路用クロック信号(GCK-3)は、第1の走査線駆動回路用クロック信号(GCK-1)から1/3周期位相がずれた信号であり、第4の走査線駆動回路用クロック信号(GCK-4)は、第1の走査線駆動回路用クロック信号(GCK-1)から1/2周期位相がずれた信号であり、第5の走査線駆動回路用クロック信号(GCK-5)は、第1の走査線駆動回路用クロック信号(GCK-1)から2/3周期位相がずれた信号であり、第6の走査線駆動回路用クロック信号(GCK-6)は、第1の走査線駆動回路用クロック信号(GCK-1)から5/6周期位相がずれた信号である。

40

#### 【0219】

50

図 1 2 に示す第 1 のパルス幅制御信号 A ( P W C - A 1 ) は、周期的にハイレベルの電位 ( 高電源電位 ( V d d ) ) とロウレベルの電位 ( 低電源電位 ( V s s ) ) を繰り返す、デューティ比が  $2 / 5$  の信号である。また、第 2 のパルス幅制御信号 A ( P W C - A 2 ) は、第 1 のパルス幅制御信号 A ( P W C - A 1 ) から  $1 / 2$  周期位相がずれた信号である。

#### 【 0 2 2 0 】

図 1 2 に示す第 1 のパルス幅制御信号 B ( P W C - B 1 ) は、周期的にハイレベルの電位 ( 高電源電位 ( V d d ) ) とロウレベルの電位 ( 低電源電位 ( V s s ) ) を繰り返す、デューティ比が  $2 / 1 5$  の信号である。また、第 2 のパルス幅制御信号 B ( P W C - B 2 ) は、第 1 のパルス幅制御信号 B ( P W C - B 1 ) から  $1 / 6$  周期位相がずれた信号であり、第 3 のパルス幅制御信号 B ( P W C - B 3 ) は、第 1 のパルス幅制御信号 B ( P W C - B 1 ) から  $1 / 3$  周期位相がずれた信号であり、第 4 のパルス幅制御信号 B ( P W C - B 4 ) は、第 1 のパルス幅制御信号 B ( P W C - B 1 ) から  $1 / 2$  周期位相がずれた信号であり、第 5 のパルス幅制御信号 B ( P W C - B 5 ) は、第 1 のパルス幅制御信号 B ( P W C - B 1 ) から  $2 / 3$  周期位相がずれた信号であり、第 6 のパルス幅制御信号 B ( P W C - B 6 ) は、第 1 のパルス幅制御信号 B ( P W C - B 1 ) から  $5 / 6$  周期位相がずれた信号である。

#### 【 0 2 2 1 】

図 1 2 に示す第 1 のパルス幅制御信号 C ( P W C - C 1 ) は、周期的にハイレベルの電位 ( 高電源電位 ( V d d ) ) とロウレベルの電位 ( 低電源電位 ( V s s ) ) を繰り返す、デューティ比が  $4 / 1 5$  の信号である。なお、第 1 のパルス幅制御信号 C ( P W C - C 1 ) は、第 2 のパルス幅制御信号 B ( P W C - B 2 ) がハイレベルの電位となる期間および第 5 のパルス幅制御信号 B ( P W C - B 5 ) がハイレベルの電位となる期間においてハイレベルの電位となる信号であると表現することもできる。また、第 2 のパルス幅制御信号 C ( P W C - C 2 ) は、第 1 のパルス幅制御信号 C ( P W C - C 1 ) から  $1 / 3$  周期位相がずれた信号であり、第 3 のパルス幅制御信号 C ( P W C - C 3 ) は、第 1 のパルス幅制御信号 C ( P W C - C 1 ) から  $2 / 3$  周期位相がずれた信号である。

#### 【 0 2 2 2 】

図 1 1 に示す表示装置においては、第 1 のパルス出力回路 2 0 \_ 1 ~ 第 m のパルス出力回路 2 0 \_ m として、同一の構成を有する回路を適用することができる。ただし、パルス出力回路が有する複数の端子の電気的な接続関係は、パルス出力回路毎に異なる。具体的な接続関係について図 1 1 および図 1 3 ( A ) を参照して説明する。

#### 【 0 2 2 3 】

第 1 のパルス出力回路 2 0 \_ 1 ~ 第 m のパルス出力回路 2 0 \_ m のそれぞれは、端子 2 1 ~ 端子 3 0 を有する。なお、端子 2 1 ~ 端子 2 5 および端子 2 9 は入力端子であり、端子 2 6 ~ 2 8 および端子 3 0 は出力端子である。

#### 【 0 2 2 4 】

まず、端子 2 1 について述べる。第 1 のパルス出力回路 2 0 \_ 1 の端子 2 1 は、走査線駆動回路用スタートパルス ( G S P ) を供給する配線に電気的に接続され、第 2 のパルス出力回路 2 0 \_ 2 ~ 第 m のパルス出力回路 2 0 \_ m の端子 2 1 は、前段のパルス出力回路の端子 3 0 に電気的に接続されている。

#### 【 0 2 2 5 】

次いで、端子 2 2 について述べる。第 ( 6 a - 5 ) のパルス出力回路 2 0 \_ 6 a - 5 ( a は m / 6 以下の自然数 ) の端子 2 2 は、第 1 の走査線駆動回路用クロック信号 ( G C K - 1 ) を供給する配線に電気的に接続され、第 ( 6 a - 4 ) のパルス出力回路 2 0 \_ 6 a - 4 の端子 2 2 は、第 2 の走査線駆動回路用クロック信号 ( G C K - 2 ) を供給する配線に電気的に接続され、第 ( 6 a - 3 ) のパルス出力回路 2 0 \_ 6 a - 3 の端子 2 2 は、第 3 の走査線駆動回路用クロック信号 ( G C K - 3 ) を供給する配線に電気的に接続され、第 ( 6 a - 2 ) のパルス出力回路 2 0 \_ 6 a - 2 の端子 2 2 は、第 4 の走査線駆動回路用クロック信号 ( G C K - 4 ) を供給する配線に電気的に接続され、第 ( 6 a - 1 ) のパル

10

20

30

40

50

ス出力回路 20\_\_6a-1 の端子 22 は、第 5 の走査線駆動回路用クロック信号 (GCK-5) を供給する配線に電氣的に接続され、第 6a のパルス出力回路 20\_\_6a の端子 22 は、第 6 の走査線駆動回路用クロック信号 (GCK-6) を供給する配線に電氣的に接続されている。

【0226】

次いで、端子 23 について述べる。第 (6a-5) のパルス出力回路 20\_\_6a-5 の端子 23、第 (6a-3) のパルス出力回路 20\_\_6a-3 の端子 23、および第 (6a-1) のパルス出力回路 20\_\_6a-1 の端子 23 は、第 1 のパルス幅制御信号 A (PWC-A1) を供給する配線に電氣的に接続され、第 (6a-4) のパルス出力回路 20\_\_6a-4 の端子 23、第 (6a-2) のパルス出力回路 20\_\_6a-2 の端子 23、および第 6a のパルス出力回路 20\_\_6a の端子 23 は、第 2 のパルス幅制御信号 A (PWC-A2) を供給する配線に電氣的に接続されている。

10

【0227】

次いで、端子 24 について述べる。第 (6a-5) のパルス出力回路 20\_\_6a-5 の端子 24 は、第 1 のパルス幅制御信号 B (PWC-B1) を供給する配線に電氣的に接続され、第 (6a-4) のパルス出力回路 20\_\_6a-4 の端子 24 は、第 2 のパルス幅制御信号 B (PWC-B2) を供給する配線に電氣的に接続され、第 (6a-3) のパルス出力回路 20\_\_6a-3 の端子 24 は、第 3 のパルス幅制御信号 B (PWC-B3) を供給する配線に電氣的に接続され、第 (6a-2) のパルス出力回路 20\_\_6a-2 の端子 24 は、第 4 のパルス幅制御信号 B (PWC-B4) を供給する配線に電氣的に接続され、第 (6a-1) のパルス出力回路 20\_\_6a-1 の端子 24 は、第 5 のパルス幅制御信号 B (PWC-B5) を供給する配線に電氣的に接続され、第 6a のパルス出力回路 20\_\_6a の端子 24 は、第 6 のパルス幅制御信号 B (PWC-B6) を供給する配線に電氣的に接続されている。

20

【0228】

次いで、端子 25 について述べる。第 (6a-5) のパルス出力回路 20\_\_6a-5 の端子 25 および第 (6a-2) のパルス出力回路 20\_\_6a-2 の端子 25 は、第 1 のパルス幅制御信号 C (PWC-C1) を供給する配線に電氣的に接続され、第 (6a-4) のパルス出力回路 20\_\_6a-4 の端子 25 および第 (6a-1) のパルス出力回路 20\_\_6a-1 の端子 25 は、第 2 のパルス幅制御信号 C (PWC-C2) を供給する配線に電氣的に接続され、第 (6a-3) のパルス出力回路 20\_\_6a-3 の端子 25 および第 6a のパルス出力回路 20\_\_6a の端子 25 は、第 3 のパルス幅制御信号 C (PWC-C3) を供給する配線に電氣的に接続されている。

30

【0229】

次いで、端子 26 について述べる。第 x のパルス出力回路 20\_\_x (x は m 以下の自然数) の端子 26 は、x 行目に配設された走査線 4\_\_x に電氣的に接続されている。

【0230】

次いで、端子 27 について述べる。第 x のパルス出力回路 20\_\_x の端子 27 は、x 行目に配設された走査線 5\_\_x に電氣的に接続されている。

【0231】

次いで、端子 28 について述べる。第 x のパルス出力回路 20\_\_x の端子 28 は、x 行目に配設された走査線 6\_\_x に電氣的に接続されている。

40

【0232】

次いで、端子 29 について述べる。第 y のパルス出力回路 20\_\_y (y は、(m-3) 以下の自然数) の端子 29 は、第 (y+3) のパルス出力回路 20\_\_y+3 の端子 30 に電氣的に接続され、第 (m-2) のパルス出力回路 20\_\_m-2 の端子 29 は、第 (m-2) のパルス出力回路用ストップ信号 (STP1) を供給する配線に電氣的に接続され、第 (m-1) のパルス出力回路 20\_\_m-1 の端子 29 は、第 (m-1) のパルス出力回路用ストップ信号 (STP2) を供給する配線に電氣的に接続され、第 m のパルス出力回路 20\_\_m の端子 29 は、第 m のパルス出力回路用ストップ信号 (STP3) を供給する

50

配線に電氣的に接続されている。なお、第 $(m-2)$ のパルス出力回路用ストップ信号( $STP1$ )は、仮に第 $(m+1)$ のパルス出力回路が設けられていれば、当該第 $(m+1)$ のパルス出力回路の端子30から出力される信号に相当する信号であり、第 $(m-1)$ のパルス出力回路用ストップ信号( $STP2$ )は、仮に第 $(m+2)$ のパルス出力回路が設けられていれば、当該第 $(m+2)$ のパルス出力回路の端子30から出力される信号に相当する信号であり、第 $m$ のパルス出力回路用ストップ信号( $STP3$ )は、仮に第 $(m+3)$ のパルス出力回路が設けられていれば、当該第 $(m+3)$ のパルス出力回路の端子30から出力される信号に相当する信号である。具体的には、実際にダミー回路として第 $(m+1)$ のパルス出力回路～第 $(m+3)$ のパルス出力回路を設けること、または外部から当該信号を直接入力することなどによって、これらの信号を得ることができる。

10

#### 【0233】

各パルス出力回路の端子30の接続関係は既出である。そのため、ここでは前述の説明を援用することとする。

#### 【0234】

また、図11に示す表示装置においては、第1の反転パルス出力回路60\_\_1～第 $m$ の反転パルス出力回路60\_\_ $m$ として、同一の構成を有する回路を適用することができる。ただし、反転パルス出力回路が有する複数の端子の電氣的な接続関係は、反転パルス出力回路毎に異なる。具体的な接続関係について図11および図13(B)を参照して説明する。

#### 【0235】

20

第1の反転パルス出力回路60\_\_1～第 $m$ の反転パルス出力回路60\_\_ $m$ のそれぞれは、端子61～端子65を有する。なお、端子61～端子64は入力端子であり、端子65は出力端子である。

#### 【0236】

まず、端子61について述べる。第1の反転パルス出力回路60\_\_1の端子61は、走査線駆動回路用スタートパルス( $GSP$ )を供給する配線に電氣的に接続され、第2の反転パルス出力回路60\_\_2～第 $m$ の反転パルス出力回路60\_\_ $m$ の端子61は、前段のパルス出力回路の端子30に電氣的に接続されている。

#### 【0237】

次いで、端子62について述べる。第 $x$ の反転パルス出力回路60\_\_ $x$ の端子62は、第 $x$ のパルス出力回路20\_\_ $x$ の端子30に電氣的に接続されている。

30

#### 【0238】

次いで、端子63について述べる。第 $(6a-5)$ の反転パルス出力回路60\_\_ $6a-5$ の端子63は、第4のパルス幅制御信号 $B(PWC-B4)$ を供給する配線に電氣的に接続され、第 $(6a-4)$ の反転パルス出力回路60\_\_ $6a-4$ の端子63は、第5のパルス幅制御信号 $B(PWC-B5)$ を供給する配線に電氣的に接続され、第 $(6a-3)$ の反転パルス出力回路60\_\_ $6a-3$ の端子63は、第6のパルス幅制御信号 $B(PWC-B6)$ を供給する配線に電氣的に接続され、第 $(6a-2)$ の反転パルス出力回路60\_\_ $6a-2$ の端子63は、第1のパルス幅制御信号 $B(PWC-B1)$ を供給する配線に電氣的に接続され、第 $(6a-1)$ の反転パルス出力回路60\_\_ $6a-1$ の端子63は、第2のパルス幅制御信号 $B(PWC-B2)$ を供給する配線に電氣的に接続され、第 $6a$ の反転パルス出力回路60\_\_ $6a$ の端子63は、第3のパルス幅制御信号 $B(PWC-B3)$ を供給する配線に電氣的に接続されている。

40

#### 【0239】

次いで、端子64について述べる。第 $y$ の反転パルス出力回路60\_\_ $y$ の端子64は、第 $(y+3)$ のパルス出力回路20\_\_ $y+3$ の端子30に電氣的に接続され、第 $(m-2)$ の反転パルス出力回路60\_\_ $m-2$ の端子64は、第 $(m-2)$ のパルス出力回路用ストップ信号( $STP1$ )を供給する配線に電氣的に接続され、第 $(m-1)$ の反転パルス出力回路60\_\_ $m-1$ の端子64は、第 $(m-1)$ のパルス出力回路用ストップ信号( $STP2$ )を供給する配線に電氣的に接続され、第 $m$ の反転パルス出力回路60\_\_ $m$ の端子

50

64は、第mのパルス出力回路用ストップ信号(STP3)を供給する配線に電氣的に接続されている。次いで、端子65について述べる。第xの反転パルス出力回路60\_\_xの端子65は、x行目に配設された反転走査線7\_\_xに電氣的に接続されている。

【0240】

<パルス出力回路の構成例>

図14(A)は、図11および図13(A)に示すパルス出力回路の構成例を示す図である。図14(A)に示すパルス出力回路は、トランジスタ31～トランジスタ42を有する。

【0241】

トランジスタ31では、ソースおよびドレインの一方が高電源電位(Vdd)を供給する配線(以下、高電源電位線ともいう)に電氣的に接続され、ゲートが端子21に電氣的に接続されている。

【0242】

トランジスタ32では、ソースおよびドレインの一方が低電源電位(Vss)を供給する配線(以下、低電源電位線ともいう)に電氣的に接続され、ソースおよびドレインの他方がトランジスタ31のソースおよびドレインの他方に電氣的に接続されている。

【0243】

トランジスタ33では、ソースおよびドレインの一方が端子22に電氣的に接続され、ソースおよびドレインの他方が端子30に電氣的に接続され、ゲートがトランジスタ31のソースおよびドレインの他方ならびにトランジスタ32のソースおよびドレインの他方に電氣的に接続されている。

【0244】

トランジスタ34では、ソースおよびドレインの一方が低電源電位線に電氣的に接続され、ソースおよびドレインの他方が端子30に電氣的に接続され、ゲートがトランジスタ32のゲートに電氣的に接続されている。

【0245】

トランジスタ35では、ソースおよびドレインの一方が低電源電位線に電氣的に接続され、ソースおよびドレインの他方がトランジスタ32のゲートおよびトランジスタ34のゲートに電氣的に接続され、ゲートが端子21に電氣的に接続されている。

【0246】

トランジスタ36では、ソースおよびドレインの一方が高電源電位線に電氣的に接続され、ソースおよびドレインの他方がトランジスタ32のゲート、トランジスタ34のゲート、およびトランジスタ35のソースおよびドレインの他方に電氣的に接続され、ゲートが端子29に電氣的に接続されている。

【0247】

トランジスタ37では、ソースおよびドレインの一方が端子23に電氣的に接続され、ソースおよびドレインの他方が端子26に電氣的に接続され、ゲートがトランジスタ31のソースおよびドレインの他方、トランジスタ32のソースおよびドレインの他方、およびトランジスタ33のゲートに電氣的に接続されている。

【0248】

トランジスタ38では、ソースおよびドレインの一方が低電源電位線に電氣的に接続され、ソースおよびドレインの他方が端子26に電氣的に接続され、ゲートがトランジスタ32のゲート、トランジスタ34のゲート、トランジスタ35のソースおよびドレインの他方、およびトランジスタ36のソースおよびドレインの他方に電氣的に接続されている。

【0249】

トランジスタ39では、ソースおよびドレインの一方が端子24に電氣的に接続され、ソースおよびドレインの他方が端子27に電氣的に接続され、ゲートがトランジスタ31のソースおよびドレインの他方、トランジスタ32のソースおよびドレインの他方、トランジスタ33のゲート、およびトランジスタ37のゲートに電氣的に接続されている。

10

20

30

40

50

## 【 0 2 5 0 】

トランジスタ 4 0 では、ソースおよびドレインの一方が低電源電位線に電氣的に接続され、ソースおよびドレインの他方が端子 2 7 に電氣的に接続され、ゲートがトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソースおよびドレインの他方、トランジスタ 3 6 のソースおよびドレインの他方、およびトランジスタ 3 8 のゲートに電氣的に接続されている。

## 【 0 2 5 1 】

トランジスタ 4 1 では、ソースおよびドレインの一方が端子 2 5 に電氣的に接続され、ソースおよびドレインの他方が端子 2 8 に電氣的に接続され、ゲートがトランジスタ 3 1 のソースおよびドレインの他方、トランジスタ 3 2 のソースおよびドレインの他方、トランジスタ 3 3 のゲート、トランジスタ 3 7 のゲート、およびトランジスタ 3 9 のゲートに電氣的に接続されている。

10

## 【 0 2 5 2 】

トランジスタ 4 2 では、ソースおよびドレインの一方が低電源電位線に電氣的に接続され、ソースおよびドレインの他方が端子 2 8 に電氣的に接続され、ゲートがトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソースおよびドレインの他方、トランジスタ 3 6 のソースおよびドレインの他方、トランジスタ 3 8 のゲート、およびトランジスタ 4 0 のゲートに電氣的に接続されている。

## 【 0 2 5 3 】

なお、以下においては、トランジスタ 3 1 のソースおよびドレインの他方、トランジスタ 3 2 のソースおよびドレインの他方、トランジスタ 3 3 のゲート、トランジスタ 3 7 のゲート、トランジスタ 3 9 のゲート、ならびにトランジスタ 4 1 のゲートが電氣的に接続するノードをノード A と呼ぶ。また、トランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソースおよびドレインの他方、トランジスタ 3 6 のソースおよびドレインの他方、トランジスタ 3 8 のゲート、トランジスタ 4 0 のゲート、およびトランジスタ 4 2 のゲートが電氣的に接続するノードをノード B と呼ぶ。

20

## 【 0 2 5 4 】

< パルス出力回路の動作例 >

上述したパルス出力回路の動作例について図 1 4 ( B ) を参照して説明する。なお、図 1 4 ( B ) には、第 1 のパルス出力回路 2 0 \_ 1 からシフトパルスが入力される際の第 2 のパルス出力回路 2 0 \_ 2 の各端子に入力される信号、および各端子から出力される信号の電位、ならびにノード A およびノード B の電位を示している。また、図中において、G o u t 4 は、パルス出力回路の走査線 4 に対する出力信号を表し、G o u t 5 は、パルス出力回路の走査線 5 に対する出力信号を表し、G o u t 6 は、パルス出力回路の走査線 6 に対する出力信号を表し、S R o u t は、当該パルス出力回路の、後段のパルス出力回路に対する出力信号を表している。

30

## 【 0 2 5 5 】

まず、図 1 4 ( B ) を参照して、第 2 のパルス出力回路 2 0 \_ 2 に第 1 のパルス出力回路 2 0 \_ 1 からシフトパルスが入力される場合について説明する。

## 【 0 2 5 6 】

期間 t 1 において、端子 2 1 にハイレベルの電位 ( 高電源電位 ( V d d ) ) が入力される。これにより、トランジスタ 3 1 、 3 5 がオン状態となる。そのため、ノード A の電位がハイレベルの電位 ( 高電源電位 ( V d d ) ) からトランジスタ 3 1 のしきい値電圧分下降した電位) に上昇し、かつノード B の電位が低電源電位 ( V s s ) に下降する。これに付随して、トランジスタ 3 3 、 3 7 、 3 9 、 4 1 がオン状態となり、トランジスタ 3 2 、 3 4 、 3 8 、 4 0 、 4 2 がオフ状態となる。以上により、期間 t 1 において、端子 2 6 から出力される信号は、端子 2 3 に入力される信号となり、端子 2 7 から出力される信号は、端子 2 4 に入力される信号となり、端子 2 8 から出力される信号は、端子 2 5 に入力される信号となり、端子 3 0 から出力される信号は、端子 2 2 に入力される信号となる。ここで、期間 t 1 において、端子 2 2 ~ 端子 2 5 に入力される信号は、ロウレベルの電位 ( 低

40

50

電源電位（ $V_{ss}$ ）である。そのため、期間  $t_1$  において、第 2 のパルス出力回路 20\_\_2 は、第 3 のパルス出力回路 20\_\_3 の端子 21、ならびに画素部において 2 行目に配設された走査線 4\_\_2、走査線 5\_\_2、および走査線 6\_\_2 にロウレベルの電位（低電源電位（ $V_{ss}$ ））を出力する。

#### 【0257】

期間  $t_2$  において、端子 23 にハイレベルの電位（高電源電位（ $V_{dd}$ ））が入力される。なお、ノード A の電位（トランジスタ 31 のソースの電位）は、期間  $t_1$  においてハイレベルの電位（高電源電位（ $V_{dd}$ ））からトランジスタ 31 のしきい値電圧分下降した電位）まで上昇している。そのため、トランジスタ 31 はオフ状態となっている。この時、端子 23 にハイレベルの電位（高電源電位（ $V_{dd}$ ））が入力されることで、トランジスタ 37 のゲートおよびソース間の容量結合によって、ノード A の電位（トランジスタ 37 のゲートの電位）がさらに上昇する（ブートストラップ動作）。また、当該ブートストラップ動作を行うことによって、端子 26 から出力される信号が端子 23 に入力されるハイレベルの電位（高電源電位（ $V_{dd}$ ））から下降することがない（端子 23 に入力される信号と同一または略同一の信号を端子 26 から出力する）。そのため、期間  $t_2$  において、第 2 のパルス出力回路 20\_\_2 は、画素部において 2 行目に配設された走査線 4\_\_2 にハイレベルの電位（高電源電位（ $V_{dd}$ ））＝選択信号）を出力する。また、第 3 のパルス出力回路 20\_\_3 の端子 21 ならびに画素部において 2 行目に配設された走査線 5\_\_2 および走査線 6\_\_2 にロウレベルの電位（低電源電位（ $V_{ss}$ ））を出力する。

#### 【0258】

期間  $t_3$  において、少なくとも端子 22 にハイレベルの電位（高電源電位（ $V_{dd}$ ））が入力される。そのため、ノード A の電位は、期間  $t_2$  と同様に、期間  $t_1$  におけるノード A の電位よりも高い電位を維持する。これにより、端子 26 から出力される信号が端子 23 に入力される信号と同一または略同一の信号となり、端子 27 から出力される信号が端子 24 に入力される信号と同一または略同一の信号となり、端子 28 から出力される信号が端子 25 に入力される信号と同一または略同一の信号となり、端子 30 から出力される信号が端子 22 に入力される信号と同一または略同一の信号となる。すなわち、期間  $t_3$  において、第 2 のパルス出力回路 20\_\_2 は、第 3 のパルス出力回路 20\_\_3 の端子 21 に対して端子 22 に入力される信号と同一または略同一の信号を出力し、走査線 4\_\_2 に対して端子 23 に入力される信号と同一または略同一の信号を出力し、走査線 5\_\_2 に対して端子 24 に入力される信号と同一または略同一の信号を出力し、走査線 6\_\_2 に対して端子 25 に入力される信号と同一または略同一の信号を出力する。

#### 【0259】

期間  $t_4$  において、端子 29 にハイレベルの電位（高電源電位（ $V_{dd}$ ））が入力される。これにより、トランジスタ 36 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（ $V_{dd}$ ））からトランジスタ 36 のしきい値電圧分下降した電位）に上昇する。つまり、トランジスタ 32、34、38、40、42 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（ $V_{ss}$ ））へと下降する。つまり、トランジスタ 33、37、39、41 がオフ状態となる。以上により、期間  $t_4$  において、端子 26、端子 27、端子 28、および端子 30 から出力される信号は、共に低電源電位（ $V_{ss}$ ）となる。すなわち、期間  $t_4$  において、第 2 のパルス出力回路 20\_\_2 は、第 3 のパルス出力回路 20\_\_3 の端子 21、ならびに画素部において 2 行目に配設された走査線 4\_\_2、走査線 5\_\_2、および走査線 6\_\_2 に低電源電位（ $V_{ss}$ ）を出力する。

#### 【0260】

<反転パルス出力回路の構成例>

図 15（A）は、図 11 および図 13（B）に示す反転パルス出力回路の構成例を示す図である。図 15（A）に示す反転パルス出力回路は、トランジスタ 71～トランジスタ 77 を有する。

#### 【0261】

10

20

30

40

50



トランジスタ 7 1 では、ソースおよびドレインの一方が高電源電位線に電氣的に接続され、ゲートが端子 6 3 に電氣的に接続されている。

【 0 2 6 2 】

トランジスタ 7 2 では、ソースおよびドレインの一方が高電源電位線に電氣的に接続され、ソースおよびドレインの他方がトランジスタ 7 1 のソースおよびドレインの他方に電氣的に接続され、ゲートが端子 6 4 に電氣的に接続されている。

【 0 2 6 3 】

トランジスタ 7 3 では、ソースおよびドレインの一方が低電源電位線に電氣的に接続され、ソースおよびドレインの他方がトランジスタ 7 1 のソースおよびドレインの他方、およびトランジスタ 7 2 のソースおよびドレインの他方に電氣的に接続され、ゲートが端子 6 1 に電氣的に接続されている。

10

【 0 2 6 4 】

トランジスタ 7 4 では、ソースおよびドレインの一方が低電源電位線に電氣的に接続され、ソースおよびドレインの他方がトランジスタ 7 1 のソースおよびドレインの他方、トランジスタ 7 2 のソースおよびドレインの他方、およびトランジスタ 7 3 のソースおよびドレインの他方に電氣的に接続され、ゲートが端子 6 2 に電氣的に接続されている。

【 0 2 6 5 】

トランジスタ 7 5 では、ソースおよびドレインの一方が高電源電位線に電氣的に接続され、ソースおよびドレインの他方が端子 6 5 に電氣的に接続され、ゲートがトランジスタ 7 1 のソースおよびドレインの他方、トランジスタ 7 2 のソースおよびドレインの他方、トランジスタ 7 3 のソースおよびドレインの他方、およびトランジスタ 7 4 のソースおよびドレインの他方に電氣的に接続されている。

20

【 0 2 6 6 】

トランジスタ 7 6 では、ソースおよびドレインの一方が低電源電位線に電氣的に接続され、ソースおよびドレインの他方が端子 6 5 に電氣的に接続され、ゲートが端子 6 1 に電氣的に接続されている。

【 0 2 6 7 】

トランジスタ 7 7 では、ソースおよびドレインの一方が低電源電位線に電氣的に接続され、ソースおよびドレインの他方が端子 6 5 に電氣的に接続され、ゲートが端子 6 2 に電氣的に接続されている。

30

【 0 2 6 8 】

なお、以下においては、トランジスタ 7 1 のソースおよびドレインの他方、トランジスタ 7 2 のソースおよびドレインの他方、トランジスタ 7 3 のソースおよびドレインの他方、トランジスタ 7 4 のソースおよびドレインの他方、およびトランジスタ 7 5 のゲートが電氣的に接続するノードをノード C と呼ぶ。

【 0 2 6 9 】

< 反転パルス出力回路の動作例 >

上述した反転パルス出力回路の動作例について図 1 5 ( B ) を参照して説明する。なお、図 1 5 ( B ) には、図 1 5 ( B ) に示す期間 t 1 ~ 期間 t 4 において第 2 の反転パルス出力回路 2 0 \_ 2 の各端子に入力される信号、および出力される信号の電位、ならびにノード C の電位を示している。また、図 1 5 ( B ) における期間 t 1 ~ 期間 t 4 は、図 1 4 ( B ) における期間 t 1 ~ t 4 と同じ期間である。また、図 1 5 ( B ) では、各端子に入力される信号を括弧書きで付記している。なお、図中において、G B o u t は、反転パルス出力回路の反転走査線に対する出力信号を表している。

40

【 0 2 7 0 】

期間 t 1 ~ 期間 t 3 において、端子 6 1 および端子 6 2 の少なくとも一方にハイレベルの電位 ( 高電源電位 ( V d d ) ) が入力される。これにより、トランジスタ 7 3 、 7 4 、 7 6 、 7 7 がオン状態となる。そのため、ノード C の電位は、ロウレベルの電位 ( 低電源電位 ( V s s ) ) へと下降する。これに付随して、トランジスタ 7 5 がオフ状態となる。以上により、期間 t 1 ~ 期間 t 3 において、端子 6 5 から出力される信号は、ロウレベル

50

の電位（低電源電位（ $V_{ss}$ ））となる。そのため、期間  $t_1 \sim$  期間  $t_3$  において、第 2 の反転パルス出力回路 60\_\_2 は、画素部において 2 行目に配設された反転走査線 7\_\_2 にロウレベルの電位（低電源電位（ $V_{ss}$ ））を出力する。

【0271】

期間  $t_4$  において、端子 61 および端子 62 にロウレベルの電位（低電源電位（ $V_{ss}$ ））が入力され、端子 64 にハイレベルの電位（高電源電位（ $V_{dd}$ ））が入力される。これにより、トランジスタ 73、74、76、77 がオフ状態となり、トランジスタ 72 がオン状態となる。そのため、ノード C の電位がハイレベルの電位（高電源電位（ $V_{dd}$ ））からトランジスタ 72 のしきい値電圧分下降した電位に上昇し、トランジスタ 75 がオン状態となる。なお、トランジスタ 72 は、ノード C の電位が高電源電位（ $V_{dd}$ ）からトランジスタ 72 のしきい値電圧分下降した電位まで上昇した段階でオフ状態となる。そして、トランジスタ 72 がオフ状態となる段階においては、トランジスタ 75 はオン状態を維持している。この場合、ノード C の電位は、トランジスタ 72 がオフ状態となった後もさらに上昇する。トランジスタ 75 のゲート（ノード C）及びソース間の容量結合が生じるためである。その結果、端子 65 から出力される信号が高電源電位（ $V_{dd}$ ）から下降することがない。

10

【0272】

以上により、期間  $t_4$  において、端子 65 から出力される信号は、高電源電位（ $V_{dd}$ ）となる。すなわち、期間  $t_4$  において、第 2 の反転パルス出力回路 60\_\_2 は、画素部において 2 行目に配設された反転走査線 7\_\_2 に高電源電位（ $V_{dd}$ ）を出力する。

20

【0273】

< 画素の構成例 >

図 16 (A) は、図 10 に示す画素 10 の構成例を示す回路図である。ここでは、表示素子として、一対の電極間に電流励起によって発光する有機物を備えた素子（以下、有機エレクトロルミネッセンス（EL）素子ともいう）を用いる場合について説明する。

【0274】

図 16 (A) に示す画素 10 は、トランジスタ 11 ~ 16 と、キャパシタ 17、18 と、有機 EL 素子 19 とを有する。

【0275】

トランジスタ 11 では、ソースおよびドレインの一方が信号線 8 に電氣的に接続され、ゲートが走査線 6 に電氣的に接続されている。

30

【0276】

トランジスタ 12 では、ソースおよびドレインの一方が電位  $V_1$  を供給する配線に電氣的に接続され、ゲートが走査線 5 に電氣的に接続されている。なお、ここでは、電位  $V_1$  は、高電源電位（ $V_{dd}$ ）よりも低電位でありかつ低電源電位（ $V_{ss}$ ）よりも高電位であることとする。

【0277】

トランジスタ 13 では、ソースおよびドレインの一方が電源線 9 に電氣的に接続され、ゲートがトランジスタ 12 のソースおよびドレインの他方に電氣的に接続されている。

40

【0278】

トランジスタ 14 では、ソースおよびドレインの一方がトランジスタ 11 のソースおよびドレインの他方に電氣的に接続され、ソースおよびドレインの他方がトランジスタ 13 のソースおよびドレインの他方に電氣的に接続され、ゲートが走査線 5 に電氣的に接続されている。

【0279】

トランジスタ 15 では、ソースおよびドレインの一方が電位  $V_0$  を供給する配線に電氣的に接続され、ソースおよびドレインの他方がトランジスタ 13 のソースおよびドレインの他方、およびトランジスタ 14 のソースおよびドレインの他方に電氣的に接続され、ゲートが走査線 4 に電氣的に接続されている。なお、ここでは、電位  $V_0$  は、電位  $V_1$  よりも低電位でありかつ低電源電位（ $V_{ss}$ ）よりも高電位であることとする。

50

## 【0280】

トランジスタ16では、ソースおよびドレインの一方がトランジスタ13のソースおよびドレインの他方、トランジスタ14のソースおよびドレインの他方、およびトランジスタ15のソースおよびドレインの他方に電氣的に接続され、ゲートが反転走査線7に電氣的に接続されている。

## 【0281】

キャパシタ17では、一方の電極がトランジスタ12のソースおよびドレインの他方、およびトランジスタ13のゲートに電氣的に接続され、他方の電極がトランジスタ11のソースおよびドレインの他方、およびトランジスタ14のソースおよびドレインの一方に電氣的に接続されている。

10

## 【0282】

キャパシタ18では、一方の電極がトランジスタ11のソースおよびドレインの他方、トランジスタ14のソースおよびドレインの一方、およびキャパシタ17の他方の電極に電氣的に接続され、他方の電極がトランジスタ13のソースおよびドレインの他方、トランジスタ14のソースおよびドレインの他方、トランジスタ15のソースおよびドレインの他方、およびトランジスタ16のソースおよびドレインの一方に電氣的に接続されている。

## 【0283】

有機EL素子19では、アノードがトランジスタ16のソースおよびドレインの他方、に電氣的に接続され、カソードが共通電位を供給する配線に電氣的に接続されている。なお、上述のトランジスタ12のソースおよびドレインの一方が電氣的に接続する配線に与えられる共通電位と、有機EL素子19のカソードに与えられる共通電位とが異なる電位であってもよい。

20

## 【0284】

なお、ここでは、電源線9が供給する電位は、高電源電位( $V_{dd}$ )よりも低電位でありかつ電位 $V_1$ よりも高電位であり、共通電位は、低電源電位( $V_{ss}$ )よりも低電位であることとする。

## 【0285】

また、以下においては、トランジスタ12のソースおよびドレインの他方、トランジスタ13のゲート、およびキャパシタ17の一方の電極が電氣的に接続するノードをノードDと呼び、トランジスタ11のソースおよびドレインの他方、トランジスタ14のソースおよびドレインの一方、キャパシタ17の他方の電極、およびキャパシタ18の一方の電極が電氣的に接続するノードをノードEと呼び、トランジスタ13のソースおよびドレインの他方、トランジスタ14のソースおよびドレインの他方、トランジスタ15のソースおよびドレインの他方、トランジスタ16のソースおよびドレインの一方、およびキャパシタ18の他方の電極が電氣的に接続するノードをノードFと呼ぶこととする。

30

## 【0286】

図17(A)に、画素10の断面の一部を示す。なお、簡単のため、トランジスタ16以外のトランジスタは省略して示す。

## 【0287】

図17(A)には、トランジスタ16とキャパシタ18とが、同一平面に設けられた例を示す。このような構造とすることで、キャパシタ18を構成する容量電極の一方、誘電体層および容量電極の他方を、それぞれトランジスタ16のゲート電極、ゲート絶縁膜およびソース電極(ドレイン電極)と同一層かつ同一材料を用いて形成することができる。

40

## 【0288】

トランジスタ16とキャパシタ18とを同一平面に設けることにより、表示装置の作製工程を短縮化し、生産性を高めることができる。

## 【0289】

トランジスタ16としては、先の実施の形態で示したトランジスタを適用することができる。図17(A)においては、図1に示すトランジスタと同様の構造および作製方法で得

50

られるトランジスタを適用する例を示す。

【0290】

トランジスタ16およびキャパシタ18上には、トランジスタ16のドレイン電極に達する開口部を有する平坦化絶縁膜80が設けられる。

【0291】

平坦化絶縁膜80上には、アノード81が設けられる。アノード81は、平坦化絶縁膜80の有する開口部でトランジスタ16のドレイン電極と接する。

【0292】

アノード81上には、アノード81に達する開口部を有する隔壁84が設けられる。

【0293】

隔壁84上には、隔壁84に設けられた開口部でアノード81と接する発光層82が設けられる。

【0294】

発光層82上には、カソード83が設けられる。

【0295】

アノード81、発光層82およびカソード83の重畳する領域が、有機EL素子19となる。

【0296】

なお、平坦化絶縁膜80は、平坦化絶縁膜126として示した材料から選択して用いればよい。

【0297】

発光層82は、一層に限定されず、複数種の発光材料などを積層して設けてもよい。例えば、図17(B)に示すような構造とすればよい。図17(B)は、中間層85a、発光層86a、中間層85b、発光層86b、中間層85c、発光層86cおよび中間層85dの順番で積層した構造である。このとき、発光層86a、発光層86bおよび発光層86cに適切な発光色の材料を用いると演色性の高い、または発光効率の高い、有機EL素子19を形成することができる。

【0298】

発光材料を複数種積層して設けることで、白色光を得てもよい。図17(A)には示さないが、白色光を着色層を介して取り出す構造としても構わない。

【0299】

ここでは発光層を3層および中間層を4層設けた構造を示しているが、これに限定されるものではなく、適宜発光層の数および中間層の数を変更することができる。例えば、中間層85a、発光層86a、中間層85b、発光層86bおよび中間層85cのみで構成することもできる。また、中間層85a、発光層86a、中間層85b、発光層86b、発光層86cおよび中間層85dで構成し、中間層85cを省いた構造としても構わない。

【0300】

また、中間層は、正孔注入層、正孔輸送層、電子輸送層および電子注入層などを積層構造で用いることができる。なお、中間層は、これらの層を全て備えなくてもよい。これらの層は適宜選択して設ければよい。なお、同様の機能を有する層を重複して設けてもよい。また、中間層としてキャリア発生層のほか、電子リレー層などを適宜加えてもよい。

【0301】

アノード81は、可視光透過性を有する導電膜を用いればよい。可視光透過性を有するとは、可視光領域(例えば400nm~800nmの波長範囲)における平均の透過率が70%以上、特に80%以上であることをいう。

【0302】

アノード81としては、例えば、In-Zn-W系酸化物膜、In-Sn系酸化物膜、In-Zn系酸化物膜、In系酸化物膜、Zn系酸化物膜およびSn系酸化物膜などの酸化物膜を用いればよい。また、前述の酸化物膜は、Al、Ga、Sb、Fなどが微量添加されてもよい。また、光を透過する程度の金属薄膜(好ましくは、5nm~30nm程度)

10

20

30

40

50

を用いることもできる。例えば5 nmの膜厚を有するAg膜、Mg膜またはAg-Mg合金膜を用いてもよい。

#### 【0303】

または、アノード81は、可視光を効率よく反射する膜が好ましい。アノード81は、例えば、リチウム、アルミニウム、チタン、マグネシウム、ランタン、銀、シリコンまたはニッケルを含む膜を用いればよい。

#### 【0304】

カソード83は、アノード81として示した膜から選択して用いることができる。ただし、アノード81が可視光透過性を有する場合は、カソード83が可視光を効率よく反射すると好ましい。また、アノード81が可視光を効率よく反射する場合は、カソード83が可視光透過性を有すると好ましい。

10

#### 【0305】

なお、アノード81およびカソード83を図17(A)に示す構造で設けているが、アノード81とカソード83を入れ替えても構わない。アノードとして機能する電極には、仕事関数の大きい材料を用いることが好ましく、カソードとして機能する電極には仕事関数の小さい材料を用いることが好ましい。ただし、アノードと接してキャリア発生層を設ける場合には、仕事関数を考慮せずに様々な導電性材料を陽極に用いることができる。

#### 【0306】

隔壁84は、平坦化絶縁膜126として示した材料から選択して用いればよい。

#### 【0307】

20

有機EL素子19と接続するトランジスタ16は、電気的特性のばらつきが小さいため、表示装置の表示品質を高めることができる。

#### 【0308】

<画素の動作例>

上述した画素の動作例について図16(A)、(B)を参照して説明する。具体的には、以下では、図14(B)および図15(B)に示す期間t1～期間t4に含まれる期間である期間ta～期間thにおける画素の動作例について、図16(A)、(B)を参照して説明する。なお、図16(B)には、画素部において2行目に配設された走査線4\_\_2、走査線5\_\_2、および走査線6\_\_2、ならびに反転走査線7\_\_2の電位、ならびにノードD～ノードFの電位を示している。また、図16(B)では、各配線に入力される信号を括弧書きで付記している。

30

#### 【0309】

期間taにおいて、走査線4\_\_2に選択信号が入力され、かつ走査線5\_\_2、走査線6\_\_2、および反転走査線7\_\_2に選択信号が入力されない。これにより、トランジスタ15がオン状態となり、かつトランジスタ11、12、14、16がオフ状態となる。その結果、ノードFの電位が、電位V0となる。

#### 【0310】

期間tbにおいて、走査線5\_\_2に選択信号が入力されるようになる。これにより、トランジスタ12、14がオン状態となる。その結果、ノードDの電位が、電位V1となり、ノードEの電位が、電位V0となる。さらに、ノードDの電位が電位V1になったことに付随して、トランジスタ13がオン状態となる。

40

#### 【0311】

期間tcにおいて、走査線4\_\_2に選択信号が入力されなくなる。これにより、トランジスタ15がオフ状態となる。ここで、トランジスタ13は、ゲートとソース間の電圧がしきい値電圧以下となるまでオン状態を維持する。すなわち、トランジスタ13は、ノードE、F(トランジスタ13のソース)の電位が、ノードDの電位(電位V1)からトランジスタ13のしきい値電圧(Vth13)分低い値となるまでオン状態を維持する。その結果、ノードE、Fの電位が、当該値となる。

#### 【0312】

期間tdにおいて、走査線5\_\_2に選択信号が入力されなくなる。これにより、トラン

50

ジスタ 12、14 がオフ状態となる。

【0313】

期間  $t_e$  において、走査線 6 \_\_ 2 に選択信号が入力されるようになる。これにより、トランジスタ 11 がオン状態となる。なお、信号線 8 には、画像信号に応じた電位 ( $V_{data}$ ) が供給されていることとする。その結果、ノード E の電位が当該画像信号に応じた電位 ( $V_{data}$ ) となる。さらに、ノード D とノード F の電位もノード E の電位によって変動する。具体的には、浮遊状態にあるノード D の電位が、キャパシタ 17 を介したノード E との容量結合によりノード E の電位の変動分 (画像信号に応じた電位 ( $V_{data}$ )) と、電位  $V_1$  からトランジスタ 13 のしきい値電圧 ( $V_{th13}$ ) 分低い値との差分) 上昇または下降し (ノード D の電位が、 $V_1 + [V_{data} - (V_1 - V_{th13})] = V_{data} + V_{th13}$  となる)、かつ浮遊状態にあるノード F の電位が、キャパシタ 18 を介したノード E との容量結合により当該ノード E の電位の変動分上昇または下降する (ノード F の電位が、 $V_1 - V_{th13} + [V_{data} - (V_1 - V_{th13})] = V_{data}$  となる)。

10

【0314】

期間  $t_f$  において、走査線 4 \_\_ 2 に選択信号が入力されるようになる。これにより、トランジスタ 15 がオン状態となる。その結果、ノード F の電位が、電位  $V_0$  となる。

【0315】

期間  $t_g$  において、走査線 4 \_\_ 2 に選択信号が入力されなくなる。これにより、トランジスタ 15 がオフ状態となる。

20

【0316】

期間  $t_h$  において、反転走査線 7 \_\_ 2 に選択信号が入力されるようになる。これにより、トランジスタ 16 がオン状態となる。その結果、トランジスタ 13 のゲートとソース間の電圧に応じた電流が有機 EL 素子 19 に供給される。ここで、当該電圧は、ノード D の電位 ( $V_{data} + V_{th13}$ ) とノード F の電位の差である。この場合、有機 EL 素子 19 に供給される電流 (トランジスタ 13 の飽和領域におけるドレイン電流) は、トランジスタ 13 のしきい値電圧に依存することがない。

【0317】

以上の動作によって、画素 10 において、画像信号に応じた電位 ( $V_{data}$ ) に応じた表示が行われる。上述した画素の動作例においては、画素 10 に設けられるトランジスタ 13 のしきい値電圧に依存することなく、有機 EL 素子 19 に対して電流を供給することが可能である。これにより、本明細書で開示される表示装置においては、複数の画素のそれぞれが有するトランジスタ 13 のしきい値電圧がばらつく場合であっても、表示品質の低下を抑制することが可能である。

30

【0318】

以上に示す表示装置は、反転パルス出力回路の動作を複数種の信号によって制御する。これにより、当該反転パルス出力回路において生じる貫通電流を低減することが可能となる。また、当該複数種の信号として複数のパルス出力回路の動作に用いられる信号を適用する。すなわち、別途に信号を生成することなく、当該反転パルス出力回路を動作させることが可能である。

40

【0319】

<液晶素子を用いた表示装置の例>

なお、本実施の形態では、表示素子として、有機 EL 素子を用いた表示装置について詳細に示したが、これに限定されるものではない。例えば、表示素子として、液晶素子を用いた表示装置に本実施の形態を適用することは、当業者であれば容易に想到しうるものである。具体的な例として、液晶素子を用いた表示装置に適用可能な画素の構成について、以下に説明する。

【0320】

図 18 (A) は、液晶素子を用いた表示装置の画素の構成例を示す回路図である。図 18 (A) に示す画素 50 は、トランジスタ 51 と、キャパシタ 52 と、一対の電極間に液晶

50

材料の充填された素子（以下液晶素子ともいう）５３とを有する。

【０３２１】

トランジスタ５１では、ソースおよびドレインの一方が信号線５５に電氣的に接続され、ゲートが走査線５４に電氣的に接続されている。

【０３２２】

キャパシタ５２では、一方の電極がトランジスタ５１のソースおよびドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

【０３２３】

液晶素子５３では、一方の電極がトランジスタ５１のソースおよびドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述のキャパシタ５２の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子５３の他方の電極に与えられる共通電位とが異なる電位であってもよい。

10

【０３２４】

図１８（Ｂ）に、画素５０の断面の一部を示す。

【０３２５】

図１８（Ｂ）には、トランジスタ５１とキャパシタ５２とが、同一平面に設けられた例を示す。このような構造とすることで、キャパシタ５２を構成する容量電極の一方、誘電体層および容量電極の他方を、それぞれトランジスタ５１のゲート電極、ゲート絶縁膜およびソース電極（ドレイン電極）と同一層かつ同一材料を用いて形成することができる。

20

【０３２６】

トランジスタ５１とキャパシタ５２とを同一平面に設けることにより、表示装置の作製工程を短縮化し、生産性を高めることができる。

【０３２７】

トランジスタ５１としては、先の実施の形態で示したトランジスタを適用することができる。図１８（Ｂ）においては、図１に示すトランジスタと同様の構造および作製方法で得られるトランジスタを適用する例を示す。

【０３２８】

トランジスタ５１およびキャパシタ５２上には、トランジスタ５１のドレイン電極に達する開口部を有する平坦化絶縁膜９０が設けられる。

【０３２９】

平坦化絶縁膜９０上には、電極９１が設けられる。電極９１は、平坦化絶縁膜９０の有する開口部でトランジスタ５１のドレイン電極と接する。

30

【０３３０】

電極９１上には、配向膜として機能する絶縁膜９２が設けられる。

【０３３１】

絶縁膜９２上には、液晶層９３が設けられる。

【０３３２】

液晶層９３上には、配向膜として機能する絶縁膜９４が設けられる。

【０３３３】

絶縁膜９４上には、スペーサ９５が設けられる。

40

【０３３４】

スペーサ９５および絶縁膜９４上には、電極９６が設けられる。

【０３３５】

電極９６上には、基板９７が設けられる。

【０３３６】

なお、平坦化絶縁膜９０は、実施の形態２の平坦化絶縁膜１２６として示した材料から選択して用いればよい。

【０３３７】

液晶層９３は、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶などを用いればよい。これらの液晶材料は、条件により、コ

50

レステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相などを示す。

【0338】

なお、液晶層93として、ブルー相を示す液晶材料を用いてもよい。その場合、配向膜として機能する絶縁膜92、94を設けない構成とすればよい。

【0339】

電極91は、可視光透過性を有する導電膜を用いればよい。

【0340】

電極91としては、例えば、In-Zn-W系酸化物膜、In-Sn系酸化物膜、In-Zn系酸化物膜、In系酸化物膜、Zn系酸化物膜およびSn系酸化物膜などの酸化物膜を用いればよい。また、前述の酸化物膜は、Al、Ga、Sb、Fなどが微量添加されてもよい。また、光を透過する程度の金属薄膜（好ましくは、5nm～30nm程度）を用いることもできる。

10

【0341】

または、電極91は、可視光を効率よく反射する膜が好ましい。電極91は、例えば、アルミニウム、チタン、クロム、銅、モリブデン、銀、タンタルまたはタングステンを含む膜を用いればよい。

【0342】

電極96は、電極91として示した膜から選択して用いることができる。ただし、電極91が可視光透過性を有する場合は、電極96が可視光を効率よく反射すると好ましい。また、電極91が可視光を効率よく反射する場合は、電極96が可視光透過性を有すると好ましい。

20

【0343】

なお、電極91および電極96を図18(B)に示す構造で設けているが、電極91と電極96を入れ替えても構わない。

【0344】

絶縁膜92、94は、有機化合物材料または無機化合物材料から選択して用いればよい。

【0345】

スペーサ95は、有機化合物材料または無機化合物材料から選択して用いればよい。

なお、スペーサ95の形状は、柱状、球状など様々にとることができる。

30

【0346】

液晶素子53と接続するトランジスタ51は、電気的特性のばらつきが小さいため、表示装置の表示品質を高めることができる。

【0347】

電極91、絶縁膜92、液晶層93、絶縁膜94および電極96の重畳する領域が、液晶素子53となる。

【0348】

基板97は、ガラス材料、樹脂材料または金属材料などを用いればよい。基板97は可撓性を有してもよい。

【0349】

トランジスタ51は、電気的特性のばらつきが小さいため、表示装置の表示品質を高めることができる。

40

【0350】

本実施の形態に示したように、先の実施の形態で示したトランジスタを表示装置の一部に適用することができる。当該トランジスタは電気的特性のばらつきが小さいため、表示装置の表示品質を高めることができる。

【0351】

（実施の形態4）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、テレビジョン装置（テレビ、またはテレビジョン受信機と

50



もいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、遊技機(パチンコ機、スロットマシン等)、ゲーム筐体が挙げられる。これらの電子機器の具体例を図19及び図20に示す。

【0352】

図19(A)は、表示部を有するテーブル9000を示している。テーブル9000は、筐体9001に表示部9003が組み込まれており、表示部9003により映像を表示することが可能である。なお、4本の脚部9002により筐体9001を支持した構成を示している。また、電力供給のための電源コード9005を筐体9001に有している。

【0353】

先の実施の形態に示す半導体装置は、表示部9003に用いることが可能であり、電子機器に高い信頼性を付与することができる。

【0354】

表示部9003は、タッチ入力機能を有しており、テーブル9000の表示部9003に表示された表示ボタン9004を指などで触れることで、画面操作や、情報を入力することができ、また他の家電製品との通信を可能とする、または制御を可能とすることで、画面操作により他の家電製品をコントロールする制御装置としてもよい。例えば、イメージセンサ機能を有する半導体装置を用いれば、表示部9003にタッチ入力機能を持たせることができる。

【0355】

また、筐体9001に設けられたヒンジによって、表示部9003の画面を床に対して垂直に立てることもでき、テレビジョン装置としても利用できる。狭い部屋においては、大きな画面のテレビジョン装置は設置すると自由な空間が狭くなってしまうが、テーブルに表示部が内蔵されていれば、部屋の空間を有効に利用することができる。

【0356】

図19(B)は、テレビジョン装置9100を示している。テレビジョン装置9100は、筐体9101に表示部9103が組み込まれており、表示部9103により映像を表示することが可能である。なお、ここではスタンド9105により筐体9101を支持した構成を示している。

【0357】

テレビジョン装置9100の操作は、筐体9101が備える操作スイッチや、別体のリモコン操作機9110により行うことができる。リモコン操作機9110が備える操作キー9109により、チャンネルや音量の操作を行うことができ、表示部9103に表示される映像を操作することができる。また、リモコン操作機9110に、当該リモコン操作機9110から出力する情報を表示する表示部9107を設ける構成としてもよい。

【0358】

図19(B)に示すテレビジョン装置9100は、受信機やモデムなどを備えている。テレビジョン装置9100は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、または受信者間同士など)の

【0359】

先の実施の形態に示す半導体装置は、表示部9103、9107に用いることが可能であり、テレビジョン装置、およびリモコン操作機に高い信頼性を付与することができる。

【0360】

図19(C)はコンピュータであり、本体9201、筐体9202、表示部9203、キーボード9204、外部接続ポート9205、ポインティングデバイス9206等を含む。

【0361】

先の実施の形態に示す半導体装置は、表示部9203に用いることが可能であり、信頼性

10

20

30

40

50

の高いコンピュータとすることが可能となる。

【0362】

図20(A)および図20(B)は2つ折り可能なタブレット型端末である。図20(A)は、開いた状態であり、タブレット型端末は、筐体9630、表示部9631a、表示部9631b、表示モード切り替えスイッチ9034、電源スイッチ9035、省電力モード切り替えスイッチ9036、留め具9033、操作スイッチ9038、を有する。

【0363】

先の実施の形態に示す半導体装置は、表示部9631a、表示部9631bに用いることが可能であり、信頼性の高いタブレット型端末とすることが可能となる。

【0364】

表示部9631aは、一部をタッチパネルの領域9632aとすることができ、表示された操作キー9638にふれることでデータ入力を行うことができる。なお、表示部9631aにおいては、一例として半分の領域が表示のみの機能を有する構成、もう半分の領域がタッチパネルの機能を有する構成を示しているが該構成に限定されない。表示部9631aの全ての領域がタッチパネルの機能を有する構成としてもよい。例えば、表示部9631aの全面をキーボードボタン表示させてタッチパネルとし、表示部9631bを表示画面として用いることができる。

【0365】

また、表示部9631bにおいても表示部9631aと同様に、表示部9631bの一部をタッチパネルの領域9632bとすることができる。また、タッチパネルのキーボード表示切り替えボタン9639が表示されている位置に指やスタイラスなどでふれることで表示部9631bにキーボードボタン表示することができる。

【0366】

また、タッチパネルの領域9632aとタッチパネルの領域9632bに対して同時にタッチ入力することもできる。

【0367】

また、表示モード切り替えスイッチ9034は、縦表示または横表示などの表示の向きを切り替え、白黒表示やカラー表示の切り替えなどを選択できる。省電力モード切り替えスイッチ9036は、タブレット型端末に内蔵している光センサで検出される使用時の外光の光量に応じて表示の輝度を最適なものとすることができる。タブレット型端末は光センサだけでなく、ジャイロ、加速度センサ等の傾きを検出するセンサなどの他の検出装置を内蔵させてもよい。

【0368】

また、図20(A)では表示部9631bと表示部9631aの表示面積が同じ例を示しているが特に限定されず、一方のサイズともう一方のサイズが異なってもよく、表示の品質も異なってもよい。例えば一方が他方よりも高精細な表示を行える表示パネルとしてもよい。

【0369】

図20(B)は、閉じた状態であり、タブレット型端末は、筐体9630、太陽電池9633、充放電制御回路9634、バッテリー9635、DCDCコンバータ9636を有する。なお、図20(B)では充放電制御回路9634の一例としてバッテリー9635、DCDCコンバータ9636を有する構成について示している。

【0370】

なお、タブレット型端末は2つ折り可能なため、未使用時に筐体9630を閉じた状態とすることができる。従って、表示部9631a、表示部9631bを保護できるため、耐久性に優れ、長期使用の観点からも信頼性の優れたタブレット型端末を提供できる。

【0371】

また、この他にも図20(A)および図20(B)に示したタブレット型端末は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付または時刻などを表示部に表示する機能、表示部に表示した情報をタッチ入力操作または編集するタ

10

20

30

40

50

タッチ入力機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。

【 0 3 7 2 】

タブレット型端末の表面に装着された太陽電池 9 6 3 3 によって、電力をタッチパネル、表示部、または映像信号処理部等に供給することができる。なお、太陽電池 9 6 3 3 は、筐体 9 6 3 0 の片面又は両面に設けることができ、バッテリー 9 6 3 5 の充電を効率的に行う構成とすることができる。なお、バッテリー 9 6 3 5 としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

【 0 3 7 3 】

また、図 2 0 ( B ) に示す充放電制御回路 9 6 3 4 の構成、および動作について図 2 0 ( C ) にブロック図を示し説明する。図 2 0 ( C ) には、太陽電池 9 6 3 3、バッテリー 9 6 3 5、D C D C コンバータ 9 6 3 6、コンバータ 9 6 3 7、スイッチ S W 1 乃至 S W 3、表示部 9 6 3 1 について示しており、バッテリー 9 6 3 5、D C D C コンバータ 9 6 3 6、コンバータ 9 6 3 7、スイッチ S W 1 乃至 S W 3 が、図 2 0 ( B ) に示す充放電制御回路 9 6 3 4 に対応する箇所となる。

【 0 3 7 4 】

まず、外光により太陽電池 9 6 3 3 により発電がされる場合の動作の例について説明する。太陽電池で発電した電力は、バッテリー 9 6 3 5 を充電するための電圧となるよう D C D C コンバータ 9 6 3 6 で昇圧または降圧がなされる。そして、表示部 9 6 3 1 の動作に太陽電池 9 6 3 3 からの電力が用いられる際にはスイッチ S W 1 をオンにし、コンバータ 9 6 3 7 で表示部 9 6 3 1 に必要な電圧に昇圧または降圧をすることとなる。また、表示部 9 6 3 1 での表示を行わない際には、S W 1 をオフにし、S W 2 をオンにしてバッテリー 9 6 3 5 の充電を行う構成とすればよい。

【 0 3 7 5 】

なお、太陽電池 9 6 3 3 については、発電手段の一例として示したが、特に限定されず、圧電素子（ピエゾ素子）や熱電変換素子（ベルティエ素子）などの他の発電手段によるバッテリー 9 6 3 5 の充電を行う構成であってもよい。例えば、無線（非接触）で電力を送受信して充電する無接点電力伝送モジュールや、また他の充電手段を組み合わせる構成としてもよい。

【 0 3 7 6 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【 符号の説明 】

【 0 3 7 7 】

- 1 0 画素
- 1 1 トランジスタ
- 1 2 トランジスタ
- 1 3 トランジスタ
- 1 4 トランジスタ
- 1 5 トランジスタ
- 1 6 トランジスタ
- 1 7 キャパシタ
- 1 8 キャパシタ
- 1 9 有機 E L 素子
- 2 1 端子
- 2 2 端子
- 2 3 端子
- 2 4 端子
- 2 5 端子
- 2 6 端子

10

20

30

40

50

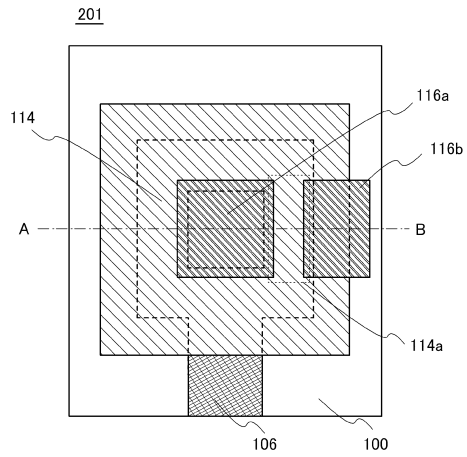
2 7	端子	
2 8	端子	
2 9	端子	
3 0	端子	
3 1	トランジスタ	
3 2	トランジスタ	
3 3	トランジスタ	
3 4	トランジスタ	
3 5	トランジスタ	
3 6	トランジスタ	10
3 7	トランジスタ	
3 8	トランジスタ	
3 9	トランジスタ	
4 0	トランジスタ	
4 1	トランジスタ	
4 2	トランジスタ	
5 0	画素	
5 1	トランジスタ	
5 2	キャパシタ	
5 3	液晶素子	20
5 4	走査線	
5 5	信号線	
6 1	端子	
6 2	端子	
6 3	端子	
6 4	端子	
6 5	端子	
7 1	トランジスタ	
7 2	トランジスタ	
7 3	トランジスタ	30
7 4	トランジスタ	
7 5	トランジスタ	
7 6	トランジスタ	
7 7	トランジスタ	
8 0	平坦化絶縁膜	
8 1	アノード	
8 2	発光層	
8 3	カソード	
8 4	隔壁	
8 5 a	中間層	40
8 5 b	中間層	
8 5 c	中間層	
8 5 d	中間層	
8 6 a	発光層	
8 6 b	発光層	
8 6 c	発光層	
9 0	平坦化絶縁膜	
9 1	電極	
9 2	絶縁膜	
9 3	液晶層	50

9 4	絶縁膜	
9 5	スペーサ	
9 6	電極	
9 7	基板	
1 0 0	基板	
1 0 2	絶縁層	
1 0 4	ゲート絶縁層	
1 0 6	ゲート電極層	
1 0 7	配線	
1 1 2	ゲート絶縁膜	10
1 1 3	酸化物半導体膜	
1 1 4	酸化物半導体膜	
1 1 4 a	チャネル領域	
1 1 6	導電膜	
1 1 6 a	ドレイン電極層	
1 1 6 b	ソース電極層	
1 1 6 c	配線	
1 1 8	絶縁層	
1 1 9	酸素	
1 2 0	絶縁層	20
1 2 2	絶縁膜	
1 2 4	絶縁膜	
1 2 6	平坦化絶縁膜	
1 3 0	電極	
1 3 1	配線	
1 4 0 a	導電層	
1 4 0 b	導電層	
1 4 2 a	導電層	
1 4 2 b	導電層	
1 4 4 a	導電層	30
1 4 4 b	導電層	
2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 0 3	トランジスタ	
2 0 4	トランジスタ	
2 0 5	トランジスタ	
2 0 6	トランジスタ	
2 0 7	トランジスタ	
2 0 8	トランジスタ	
9 0 0 0	テーブル	40
9 0 0 1	筐体	
9 0 0 2	脚部	
9 0 0 3	表示部	
9 0 0 4	表示ボタン	
9 0 0 5	電源コード	
9 0 3 3	留め具	
9 0 3 4	スイッチ	
9 0 3 5	電源スイッチ	
9 0 3 6	スイッチ	
9 0 3 8	操作スイッチ	50

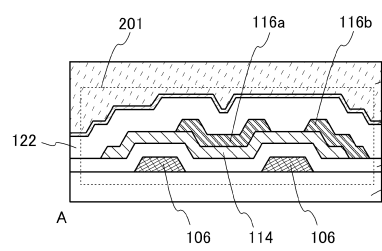
9 1 0 0	テレビジョン装置	
9 1 0 1	筐体	
9 1 0 3	表示部	
9 1 0 5	スタンド	
9 1 0 7	表示部	
9 1 0 9	操作キー	
9 1 1 0	リモコン操作機	
9 2 0 1	本体	
9 2 0 2	筐体	
9 2 0 3	表示部	10
9 2 0 4	キーボード	
9 2 0 5	外部接続ポート	
9 2 0 6	ポインティングデバイス	
9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 1 a	表示部	
9 6 3 1 b	表示部	
9 6 3 2 a	領域	
9 6 3 2 b	領域	
9 6 3 3	太陽電池	20
9 6 3 4	充放電制御回路	
9 6 3 5	バッテリー	
9 6 3 6	D C D C コンバータ	
9 6 3 7	コンバータ	
9 6 3 8	操作キー	
9 6 3 9	ボタン	

【図 1】

(A)

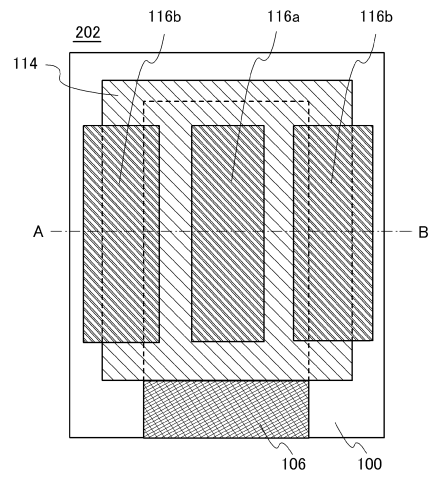


(B)

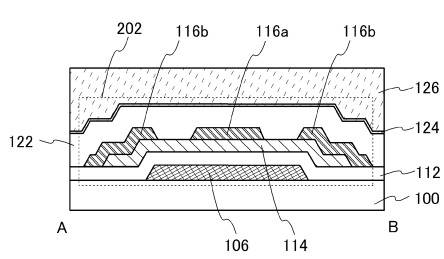


【図 2】

(A)

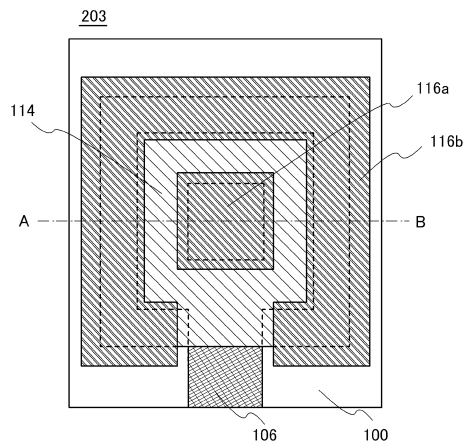


(B)

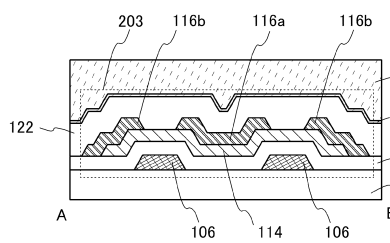


【図 3】

(A)

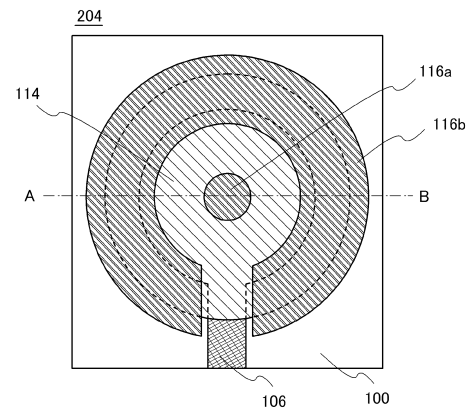


(B)

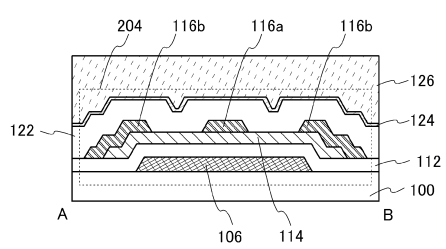


【図 4】

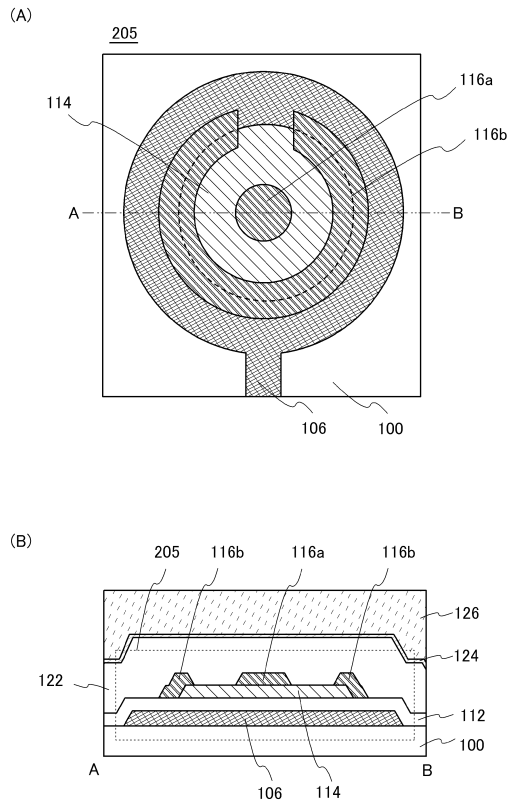
(A)



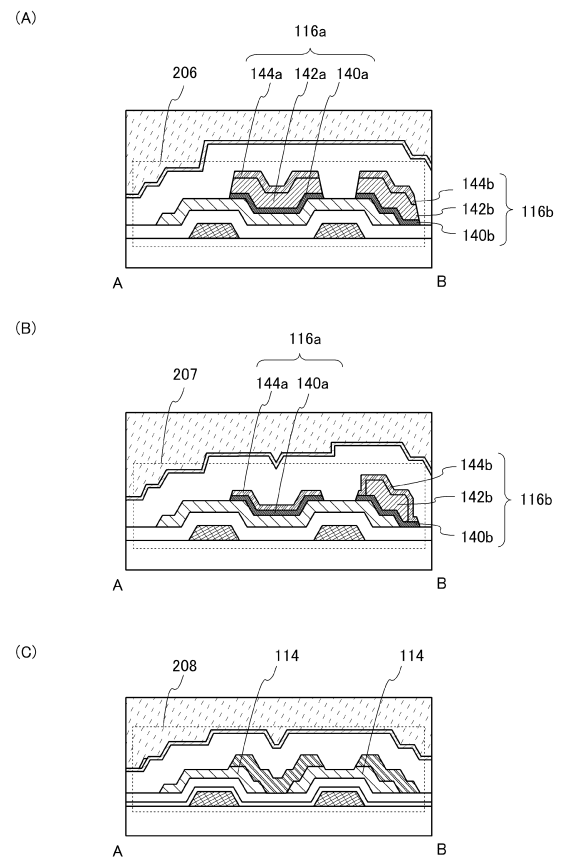
(B)



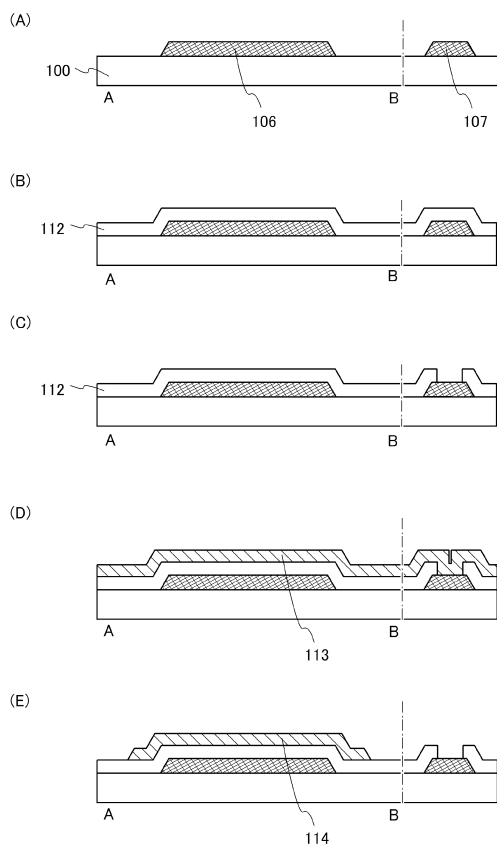
【図 5】



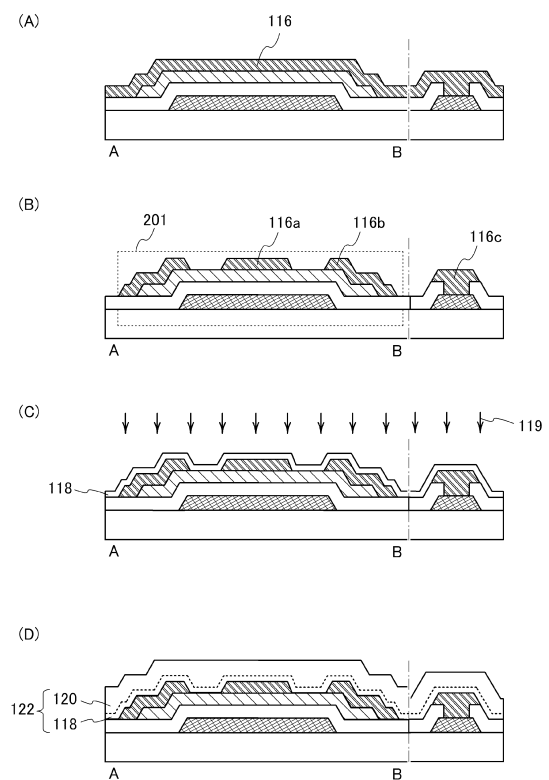
【図 6】



【図 7】

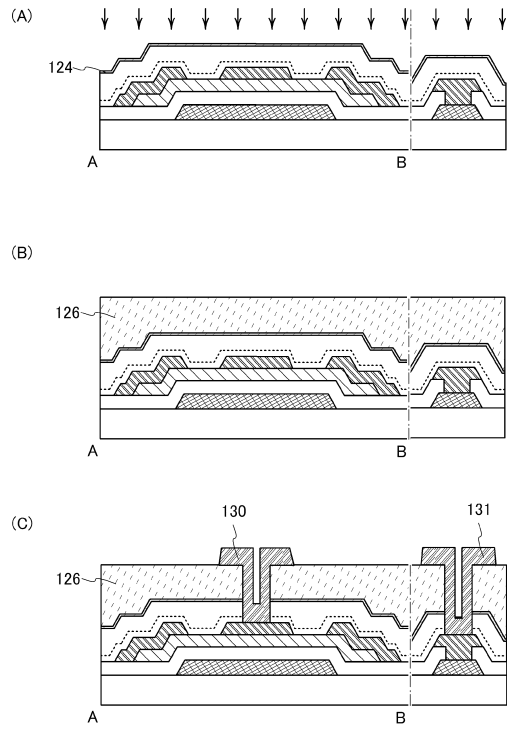


【図 8】

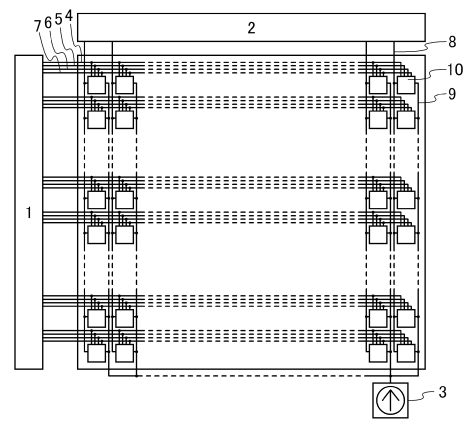




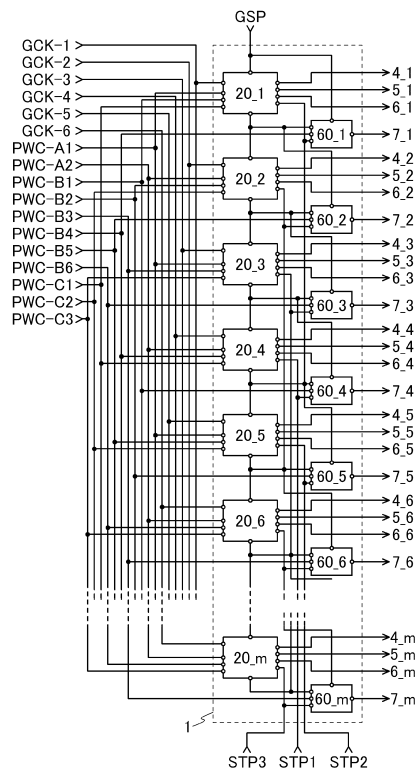
【図 9】



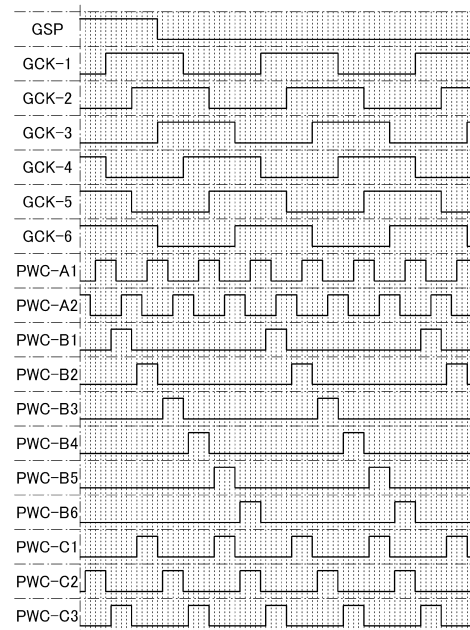
【図 10】



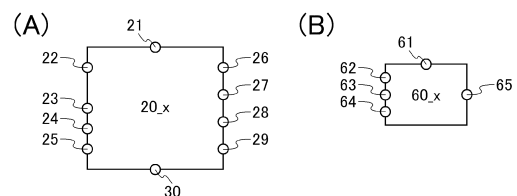
【図 11】



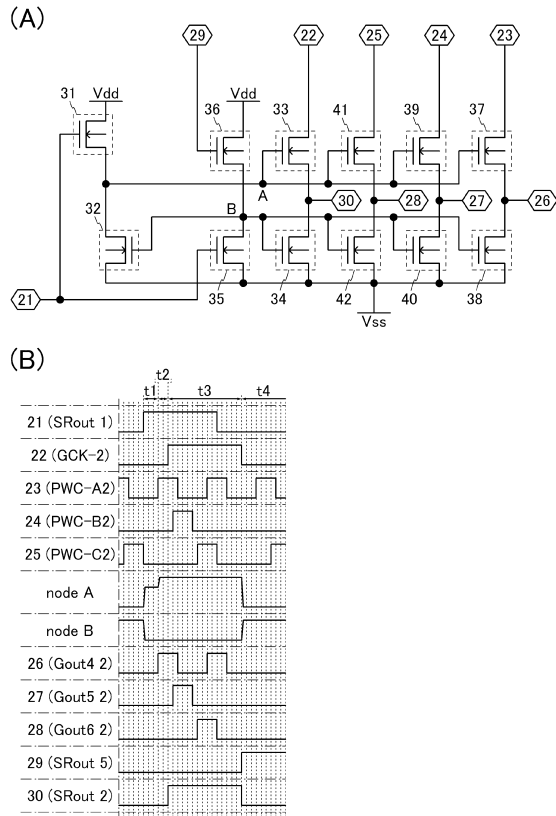
【図 12】



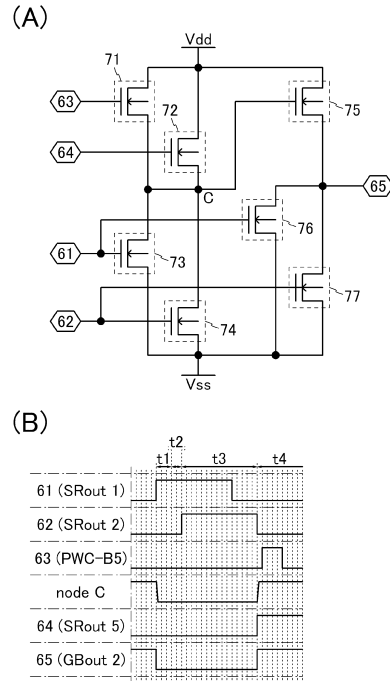
【図 13】



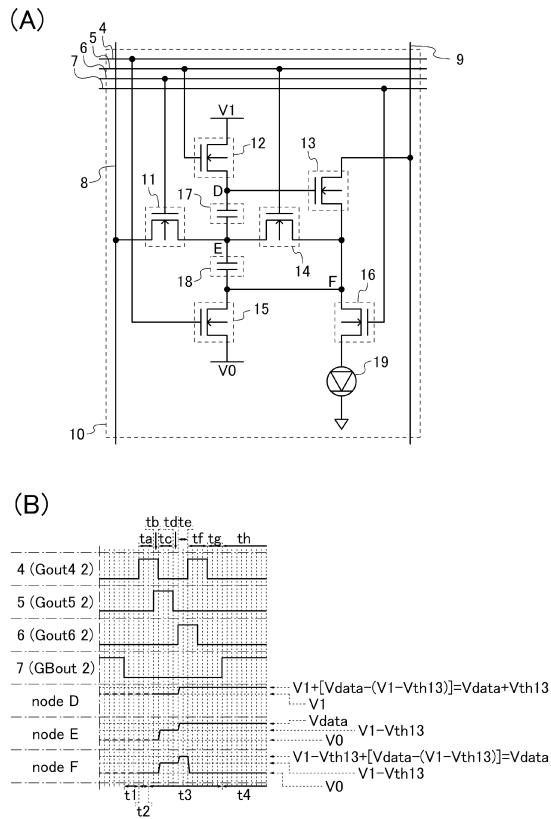
【図 14】



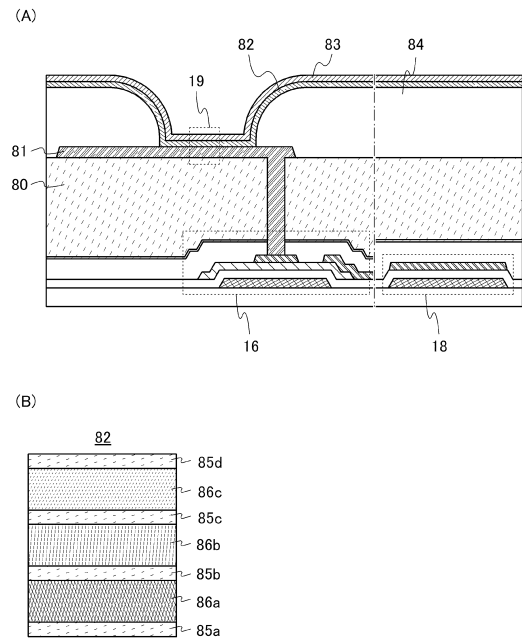
【図 15】



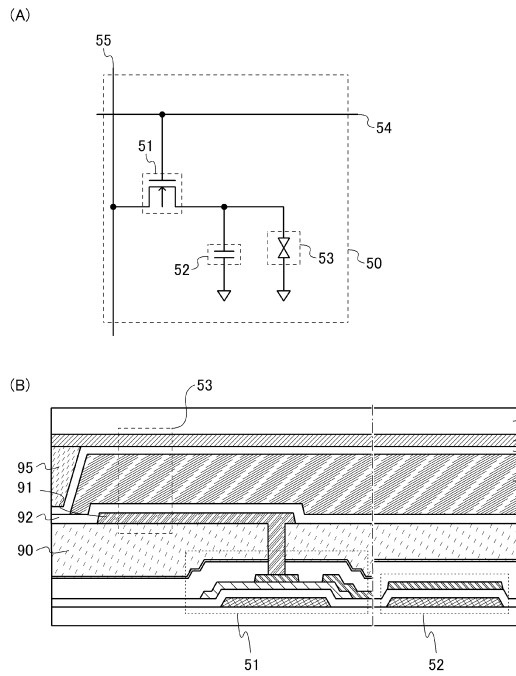
【図 16】



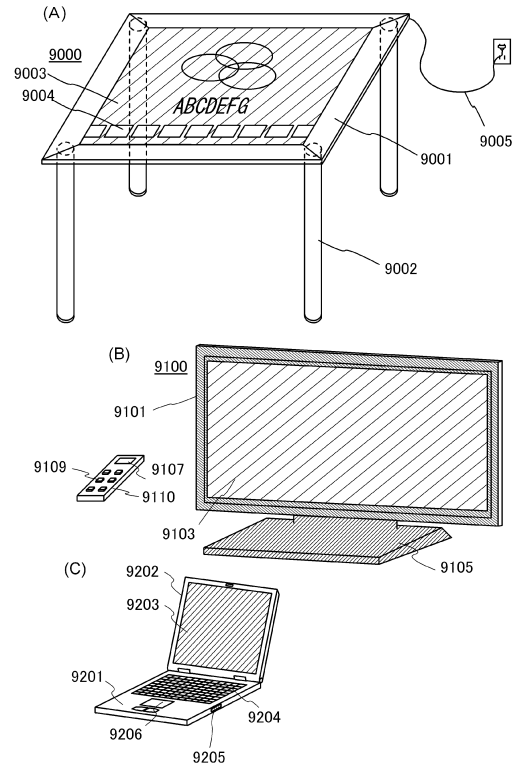
【図 17】



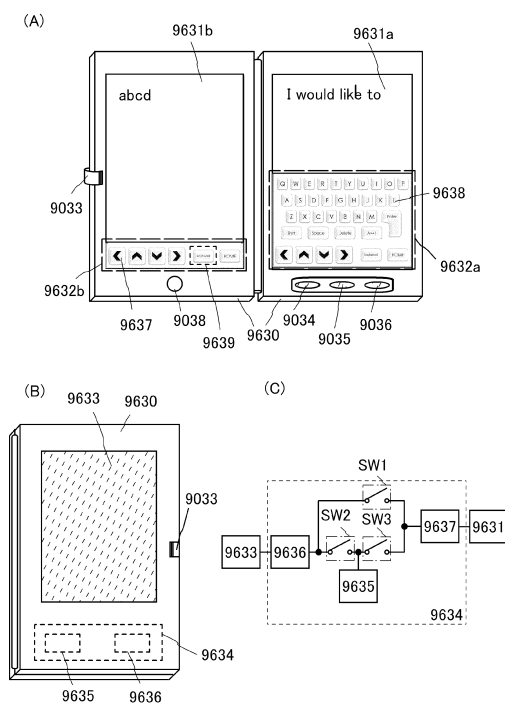
【図 18】



【図 19】



【図 20】



---

 フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	29/78 6 2 0
<i>G 0 2 F</i>	<i>1/1368</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	29/78 6 1 9 A
			<i>H 0 1 L</i>	21/28 3 0 1 B
			<i>H 0 1 L</i>	29/44 P
			<i>H 0 5 B</i>	33/08
			<i>H 0 5 B</i>	33/14 A
			<i>G 0 2 F</i>	1/1368

(56)参考文献 特開 2 0 1 1 - 1 4 1 5 2 2 ( J P , A )  
 特開 2 0 0 6 - 3 5 2 0 8 7 ( J P , A )  
 特開 2 0 1 1 - 1 2 0 2 2 2 ( J P , A )  
 特開 2 0 0 6 - 2 8 6 7 7 2 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
 H 0 1 L 2 1 / 3 3 6、2 9 / 7 8 6