

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5663150号
(P5663150)

(45) 発行日 平成27年2月4日(2015.2.4)

(24) 登録日 平成26年12月12日(2014.12.12)

(51) Int.Cl. F I
H O 1 L 21/02 (2006.01)
H O 1 L 27/12 (2006.01)

請求項の数 1 (全 50 頁)

(21) 出願番号	特願2009-166030 (P2009-166030)	(73) 特許権者	000153878
(22) 出願日	平成21年7月14日(2009.7.14)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2010-50444 (P2010-50444A)		神奈川県厚木市長谷398番地
(43) 公開日	平成22年3月4日(2010.3.4)	(72) 発明者	石塚 章広
審査請求日	平成24年6月15日(2012.6.15)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2008-189015 (P2008-189015)		半導体エネルギー研究所内
(32) 優先日	平成20年7月22日(2008.7.22)	(72) 発明者	笹川 慎也
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	倉田 求
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	彦坂 厚史
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 SOI基板の作製方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に酸化膜を形成し、

前記酸化膜を介して前記半導体基板に加速されたイオンを照射することにより、前記半導体基板に脆化領域を形成し、

ベース基板に対して、第1のプラズマ処理を行い、前記ベース基板表面の平坦性を向上させ、

前記第1のプラズマ処理が行われた前記ベース基板上に窒素含有層を形成し、

前記半導体基板上の前記酸化膜及び前記ベース基板上の前記窒素含有層の少なくとも一方に対して、第2のプラズマ処理を行い、

前記半導体基板の表面と前記ベース基板の表面とを対向させ、前記酸化膜の表面と前記窒素含有層の表面とを接合させ、

前記酸化膜の表面と前記窒素含有層の表面とを接合させた後に熱処理を行い、前記脆化領域を境として分離することにより、前記ベース基板上に前記窒素含有層及び前記酸化膜を介して半導体層を形成することを有することを特徴とするSOI基板の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁膜を介して半導体層が設けられた基板の作製方法に関し、特にSOI(Silicon on Insulator)基板の作製方法に関する。また、絶縁膜を介

して半導体層が設けられた基板を用いた半導体装置の作製方法に関する。

【背景技術】

【0002】

近年、バルク状のシリコンウエハに代わり、絶縁表面に薄い単結晶半導体層が存在するSOI(Silicon on Insulator)基板を使った集積回路が開発されている。SOI基板を使うことで、トランジスタのドレインと基板間における寄生容量が低減されるため、SOI基板は半導体集積回路の性能を向上させるものとして注目されている。

【0003】

SOI基板を製造する方法の1つに、スマートカット法が知られている(例えば、特許文献1参照)。スマートカット法によるSOI基板の作製方法の概要を以下に説明する。まず、シリコンウエハにイオン注入法を用いて水素イオンを注入することによって表面から所定の深さに脆化領域を形成する。次に、水素イオンを注入したシリコンウエハを、酸化シリコン膜を介して、別のシリコンウエハに接合させる。その後、熱処理を行うことにより、水素イオンが注入されたシリコンウエハの一部が脆化領域を境に薄膜状に分離し、接合させた別のシリコンウエハ上に単結晶シリコン膜を形成することができる。また、スマートカット法は水素イオン注入剥離法と呼ぶこともある。

10

【0004】

また、このようなスマートカット法を用いて単結晶シリコン層をガラスからなるベース基板上に形成する方法が提案されている(例えば、特許文献2参照)。ガラス基板はシリコンウエハよりも大面積化が可能であり且つ安価な基板であるため、主に、液晶表示装置等の製造に用いられている。ガラス基板をベース基板として用いることにより、大面積で安価なSOI基板を作製することが可能となる。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2000-124092号公報

【特許文献2】特開2002-170942号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0006】

単結晶シリコン基板とベース基板との貼り合わせ工程において、ガラスからなるベース基板の表面の凹凸やパーティクルによって、接合界面にボイドが多発して、接合不良が増加する原因となっている。また、凹凸やパーティクルが存在すると、接合界面において、水素結合が起こりにくくなり、ベース基板と単結晶シリコン基板との接合強度が不十分となる。

【0007】

このような接合不良が多発すると接合強度が低下して、ベース基板となるガラス基板と劈開された薄い単結晶シリコン層との接合界面において、薄い単結晶シリコン層が剥がれてしまうおそれがある。また、半導体装置を製造する場合においてもこのような接着不良があると、高品質の半導体装置を製造するための妨げとなる。

40

【0008】

本発明の一態様は、これらの点に鑑みてなされたものであり、単結晶半導体層とベース基板との密着性を向上させ、貼り合わせ不良を低減することを目的の一とする。また、貼り合わせ工程及び半導体装置製造工程においても十分な接着強度をもつSOI基板の作製方法を提供することを目的の一とする。

【課題を解決するための手段】

【0009】

本発明の一態様は、半導体基板側に酸化膜を設け、ベース基板側にプラズマ処理を行い、半導体基板上に形成された酸化膜とベース基板とを接合する。

50

【 0 0 1 0 】

また、本発明の一態様は、半導体基板上に酸化膜を形成し、酸化膜を介して半導体基板に加速されたイオンを照射することにより、半導体基板に脆化領域を形成し、ベース基板に対して、バイアス電圧を印加してプラズマ処理を行い、半導体基板の表面とベース基板の表面とを対向させ、酸化膜の表面とベース基板の表面とを接合させ、酸化膜の表面とベース基板の表面とを接合させた後に熱処理を行い、脆化領域を境として分離することにより、ベース基板上に酸化膜を介して半導体層を形成することを含むS O I基板の作製方法である。

【 0 0 1 1 】

また、本発明の一態様は、複数の半導体基板上にそれぞれ酸化膜を形成し、酸化膜を介して複数の半導体基板に加速されたイオンを照射することにより、複数の半導体基板それぞれ脆化領域を形成し、ベース基板に対して、バイアス電圧を印加してプラズマ処理を行い、複数の半導体基板のそれぞれの表面とベース基板の表面とを対向させ、酸化膜の表面とベース基板の表面とを接合させ、酸化膜の表面とベース基板の表面とを接合させた後に熱処理を行い、脆化領域を境として分離することにより、ベース基板上に酸化膜を介して複数の半導体層を形成することを含むS O I基板の作製方法である。

10

【 0 0 1 2 】

プラズマ処理は、誘導結合プラズマ（ I C P ）エッチングで行うことが好ましい。

【 0 0 1 3 】

また、本発明の一態様は、半導体基板上に酸化膜を形成し、酸化膜を介して半導体基板に加速されたイオンを照射することにより、半導体基板に脆化領域を形成し、ベース基板に対して、第1のバイアス電圧を印加して第1のプラズマ処理を行い、第1のプラズマ処理がされたベース基板上に窒素含有層を形成し、半導体基板上の酸化膜及びベース基板上の窒素含有層の少なくとも一方に対して、第2のバイアス電圧を印加して第2のプラズマ処理を行い、半導体基板の表面とベース基板の表面とを対向させ、酸化膜の表面と窒素含有層の表面とを接合させ、酸化膜の表面と窒素含有層の表面とを接合させた後に熱処理を行い、脆化領域を境として分離することにより、ベース基板上に酸化膜及び窒素含有層を介して半導体層を形成することを含むS O I基板の作製方法である。

20

【 0 0 1 4 】

また、本発明の一態様は、複数の半導体基板上にそれぞれ酸化膜を形成し、酸化膜を介して複数の半導体基板に加速されたイオンを照射することにより、複数の半導体基板にそれぞれ脆化領域を形成し、ベース基板に対して、第1のバイアス電圧を印加して第1のプラズマ処理を行い、第1のプラズマ処理がされたベース基板上に窒素含有層を形成し、複数の半導体基板上の酸化膜及びベース基板上の窒素含有層の少なくとも一方に対して、第2のバイアス電圧を印加して第2のプラズマ処理を行い、複数の半導体基板のそれぞれの表面とベース基板の表面とを対向させ、酸化膜の表面と窒素含有層の表面とを接合させ、酸化膜の表面と窒素含有層の表面とを接合させた後に熱処理を行い、脆化領域を境として分離することにより、ベース基板上に酸化膜及び窒素含有層を介して複数の半導体層を形成することを含むS O I基板の作製方法である。

30

【 0 0 1 5 】

上記作製方法において、第1のプラズマ処理は、誘導結合プラズマエッチングで行い、第2のプラズマ処理は、反応性イオンエッチングで行うことが好ましい。

40

【 0 0 1 6 】

また、本発明の一態様は、半導体基板上に酸化膜を形成し、酸化膜を介して半導体基板に加速されたイオンを照射することにより、半導体基板に脆化領域を形成し、ベース基板上に窒素含有層を形成し、半導体基板上の酸化膜及びベース基板上の窒素含有層の少なくとも一方に対して、第1のバイアス電圧を印加して第1のプラズマ処理を行い、半導体基板の表面とベース基板の表面とを対向させ、酸化膜の表面と窒素含有層の表面とを接合させ、酸化膜の表面と窒素含有層の表面とを接合させた後に熱処理を行い、脆化領域を境として分離することにより、ベース基板上に酸化膜及び窒素含有層を介して半導体層を形成す

50

ることを含むSOI基板の作製方法である。

【0017】

また、本発明の一態様は、複数の半導体基板上にそれぞれ酸化膜を形成し、酸化膜を介して複数の半導体基板に加速されたイオンを照射することにより、複数の半導体基板にそれぞれ脆化領域を形成し、ベース基板上に窒素含有層を形成し、複数の半導体基板の酸化膜及びベース基板上の窒素含有層の少なくとも一方に対して、第1のバイアス電圧を印加して第1のプラズマ処理を行い、複数の半導体基板の表面とベース基板の表面とを対向させ、酸化膜の表面と窒素含有層との表面とを接合させ、酸化膜の表面と窒素含有層の表面とを接合させた後に熱処理を行い、脆化領域を境として分離することにより、ベース基板上に窒素含有層及び酸化膜を介して半導体層を形成することを含むSOI基板の作製方法

10

【0018】

上記作製方法において、第1のプラズマ処理は、誘導結合プラズマエッチングで行うことが好ましい。

【0019】

窒素含有層としては、酸化窒化シリコン、窒化酸化シリコンを用いることができる。本明細書中において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、濃度範囲として酸素が50～70原子%、窒素が0.5～15原子%、シリコンが25～35原子%、水素が0.1～10原子%で含まれるものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5～30原子%、窒素が20～55原子%、シリコンが25～35原子%、水素が10～30原子%で含まれるものをいう。ただし、酸化窒化シリコン又は窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

20

【0020】

ベース基板は、絶縁体でなる基板を用いる。具体的には、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。

30

【0021】

単結晶とは、ある結晶軸に注目した場合、その結晶軸の方向が試料のどの部分において同じ方向を向いている結晶のことをいい、かつ結晶と結晶との間に結晶粒界が存在しない結晶である。なお、本明細書では、結晶欠陥やダングリグボンドを含んでいても、上記のように結晶軸の方向が揃っており、粒界が存在していない結晶であるものは単結晶とする。

【0022】

また、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電子機器は全て半導体装置に含まれる。

40

【0023】

また、本明細書中において表示装置とは、発光装置や液晶表示装置を含む。発光装置は発光素子を含み、液晶表示装置は液晶素子を含む。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)素子、有機EL素子等が含まれる。

【発明の効果】

【0024】

本発明の一態様により、半導体層とベース基板との密着性を向上させ貼り合わせ不良を低減し、貼り合わせ工程及び半導体装置製造工程においても十分な接着強度をもつSOI基板を作製することができる。

50

【図面の簡単な説明】

【0025】

【図1】本発明の一態様に係るSOI基板の作製方法の一例を示す図。

【図2】本発明の一態様に係るSOI基板の作製方法の一例を示す図。

【図3】本発明の一態様に係るSOI基板の作製方法の一例を示す図。

【図4】本発明の一態様に係るSOI基板の作製方法の一例を示す図。

【図5】本発明の一態様に係るSOI基板の作製方法の一例を示す図。

【図6】本発明の一態様に係るSOI基板を用いた半導体装置の一例を示す図。

【図7】本発明の一態様に係るSOI基板を用いた半導体装置の一例を示す図。

【図8】本発明の一態様に係るSOI基板を用いた表示装置の一例を示す図。

10

【図9】本発明の一態様に係るSOI基板を用いた表示装置の一例を示す図。

【図10】本発明の一態様に係るSOI基板を用いた電子機器を示す図。

【図11】本発明の一態様に係るSOI基板を用いた電子機器を示す図。

【図12】本発明の一態様に係るSOI基板の作製方法におけるプラズマ処理の一例を説明する図。

【図13】本発明の一態様に係るSOI基板の作製方法におけるプラズマ処理の一例を説明する図。

【図14】本発明の一態様に係るSOI基板の作製方法におけるプラズマ処理の一例を説明する図。

【図15】ベース基板の表面粗さを測定した結果。

20

【図16】接触角を示す図。

【図17】接触角の測定位置を示す図。

【図18】ブレード法を説明する図。

【図19】断面STEM像を示す図。

【図20】断面STEM像を示す図。

【図21】基板に対するイオンの入射角を説明する図。

【図22】本発明の一態様に係るSOI基板の作製方法の一例を示す図。

【図23】窒素含有層の表面粗さを測定した結果。

【図24】試料S乃至試料TのXPSを示す図。

【発明を実施するための形態】

30

【0026】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態および詳細を変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0027】

(実施の形態1)

本実施の形態では、半導体基板とベース基板を貼り合わせて、絶縁膜を介して半導体層が設けられた基板(例えば、SOI基板)を作製する方法に関して図面を参照して説明する。

40

【0028】

まず、半導体基板100を準備する(図1(A-1)参照)。

【0029】

半導体基板100は、単結晶半導体基板や多結晶半導体基板を用いることができ、例えば、単結晶又は多結晶のシリコン基板や、ゲルマニウム基板、ガリウムヒ素やインジウムリン等の化合物半導体基板が挙げられる。市販のシリコン基板としては、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)、直径16インチ(400mm)サイズの円形のものが代表的である。

50

なお、形状は円形に限られず矩形状等に加工したシリコン基板を用いることも可能である。以下の説明では、半導体基板 100 として、単結晶シリコン基板を用いる場合について示す。

【0030】

また、半導体基板 100 の表面をあらかじめ硫酸過酸化水素水混合溶液 (SPM)、アンモニア過酸化水素水混合溶液 (APM)、塩酸過酸化水素水混合溶液 (HPM)、希フッ酸 (DHF)、オゾン水などを用いて適宜洗浄することが汚染除去の点から好ましい。また、希フッ酸とオゾン水を交互に吐出して洗浄してもよい。

【0031】

次に、半導体基板 100 の表面に酸化膜 102 を形成する (図 1 (A - 2) 参照)。

10

【0032】

酸化膜 102 は、例えば、酸化シリコン膜、酸化窒化シリコン膜等の単層、又はこれらを積層させた膜を用いることができる。これらの膜は、熱酸化法、CVD 法又はスパッタリング法などを用いて形成することができる。また、CVD 法を用いて酸化膜 102 を形成する場合には、テトラエトキシシラン (略称; TEOS: 化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$) 等の有機シランを用いて作製される酸化シリコン膜を酸化膜 102 に用いることが生産性の点から好ましい。

【0033】

本実施の形態では、半導体基板 100 に熱酸化処理を行うことにより酸化膜 102 (ここでは、 SiO_x 膜) を形成する (図 1 (A - 2) 参照)。熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。

20

【0034】

例えば、塩素 (Cl) が添加された酸化性雰囲気中で半導体基板 100 に熱酸化処理を行うことにより HCl 酸化された酸化膜 102 を形成する。従って、酸化膜 102 は、塩素原子を含有した膜となる。

【0035】

酸化膜 102 中に含有された塩素原子は、歪みを形成する。その結果、酸化膜 102 の水分に対する吸収割合が向上し、拡散速度が増大する。つまり、酸化膜 102 表面に水分が存在する場合に、当該表面に存在する水分を酸化膜 102 中に素早く吸収し、拡散させることができる。このような酸化膜を接合層として利用することによって、ベース基板との接合強度を高めることができる。

30

【0036】

熱酸化処理の一例としては、酸素に対し塩化水素 (HCl) を 0.5 ~ 10 体積% (好ましくは 2 体積%) の割合で含む酸化性雰囲気中で、900 ~ 1150 の温度 (例えば、1000) で行うと良い。処理時間は 0.1 ~ 6 時間、好ましくは 0.5 ~ 1 時間とすればよい。形成される酸化膜の膜厚としては、10 nm ~ 1000 nm (好ましくは 50 nm ~ 300 nm)、例えば 100 nm の厚さとする。

【0037】

熱酸化処理の他の一例としては、酸素に対し、トランス - 1, 2 - ジクロロエチレン (DCE) を 0.25 ~ 5 体積% (好ましくは 3 体積%) の割合で含む酸化性雰囲気中で、700 ~ 1150 の温度 (代表的には 950) で行うとよい。処理時間は 0.1 ~ 6 時間、好ましくは 0.5 ~ 1 時間とすればよい。形成される酸化膜の膜厚としては、10 nm ~ 1000 nm (好ましくは 50 nm ~ 300 nm)、例えば 100 nm の厚さとする。トランス - 1, 2 - ジクロロエチレンは熱分解する温度が低いため、熱酸化処理の温度を塩化水素で行う場合よりも、低温で行うことができる。特に、半導体基板を繰り返し再利用する場合には、熱酸化処理の温度を低くすることにより生産性の向上と熱衝撃の影響を低減することができる。なお、トランス - 1, 2 - ジクロロエチレンにかえて、シス - 1, 2 - ジクロロエチレン、1, 1 - ジクロロエチレンや、これらの中から二種類以上のガスの混合ガスを用いてもよい。

40

【0038】

50

本実施の形態では、酸化膜 102 に含まれる塩素原子の濃度を $1 \times 10^{17} \text{ atoms/cm}^3 \sim 1 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【0039】

また、酸化膜 102 に塩素原子を含有させることによって、外因性不純物である重金属（例えば、Fe、Cr、Ni、Mo等）を捕集して半導体基板 100 が汚染されることを防止する効果を奏する。

【0040】

酸化膜 102 として、HCl 酸化などによって膜中に塩素等のハロゲンを含ませることにより、半導体基板に悪影響を与える不純物（例えば、Na等の可動イオン）をゲッタリングすることができる。つまり、酸化膜 102 を形成した後に行われる熱処理により、半導体基板に含まれる不純物が酸化膜 102 に析出し、ハロゲン（例えば塩素）と反応して捕獲されることとなる。それにより酸化膜 102 中に捕集した当該不純物を固定して半導体基板 100 の汚染を防ぐことができる。また、酸化膜 102 はガラス基板と貼り合わせた場合に、ガラスに含まれるNa等の不純物を中和する膜として機能しうる。

【0041】

特に、酸化膜 102 として、HCl 酸化などによって膜中に塩素等のハロゲンを含ませることは、半導体基板の洗浄が不十分である場合や、繰り返し再利用して用いられる半導体基板の汚染除去に有効となる。

【0042】

また、熱酸化処理のガスに水素を含有させることにより、半導体基板 100 と酸化膜 102 の界面の欠陥を補償して界面の局在準位密度を低減する作用を奏する。そのため、酸化膜 102 中に水素原子が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上含まれるようにすることが好ましい。

【0043】

上記説明では、塩素原子を含有する酸化膜 102 の形成方法として、塩化水素やジクロロエチレンを含有させた酸化性雰囲気中で熱酸化処理を行う場合を示したが、これに限られない。例えば、半導体基板 100 に酸化性雰囲気中で熱酸化処理を行い、半導体基板 100 表面に酸化膜 102（例えば、 SiO_x ）を形成した後、イオンドーピング装置又はイオン注入装置を用いて、電界で加速された塩素イオンを添加することにより酸化膜 102 中に塩素原子を含有させてもよい。他にも、表面を塩化水素（HCl）溶液で処理した後に酸化性雰囲気中で熱酸化処理を行ってもよい。

【0044】

また、酸化膜 102 に含有させるハロゲンとしては塩素原子に限られない。酸化膜 102 にフッ素原子を含有させてもよい。半導体基板 100 表面をフッ素酸化するには、半導体基板 100 表面を HF 溶液に浸漬した後に酸化性雰囲気中で熱酸化処理を行うことや、 NF_3 を酸化性雰囲気に添加して熱酸化処理を行えばよい。

【0045】

次に、運動エネルギーを有するイオンを半導体基板 100 に照射することで、半導体基板 100 の所定の深さに結晶構造が損傷された脆化領域 104 を形成する（図 1（A-3）参照）。図 1（A-3）に示すように、酸化膜 102 を介して、加速されたイオン 103 を半導体基板 100 に照射することで、半導体基板 100 の表面から所定の深さの領域にイオン 103 が導入され、脆化領域 104 を形成することができる。イオン 103 は、ソースガスを励起して、ソースガスのプラズマを生成し、このプラズマに含まれるイオンを、電界の作用によりプラズマから引き出して、加速したイオンである。

【0046】

脆化領域 104 が形成される領域の深さは、イオン 103 の運動エネルギー、イオン種、イオン 103 の入射角によって調節することができる。運動エネルギーは加速電圧などにより調節できる。イオン 103 の平均侵入深さとほぼ同じ深さの領域に脆化領域 104 が形成される。そのため、イオン 103 を添加する深さで、半導体基板 100 から分離される半導体層の厚さが決定される。この半導体層の厚さが 10 nm 以上 500 nm 以下、好

10

20

30

40

50

ましくは50nm以上200nm以下になるように、脆化領域104が形成される深さを調節する。例えば、半導体層の厚さを120nmとする場合、イオンの深さ方向プロファイルのピーク値が120nmとなるようにイオンを照射すればよい。

【0047】

脆化領域104の形成は、イオンドーピング処理で行うことができる。イオンドーピング処理は、イオンドーピング装置を用いて行うことができる。イオンドーピング装置の代表的な装置は、プロセスガスをプラズマ励起して生成された全てのイオン種をチャンバー内に配置された被処理体に照射する非質量分離型の装置である。非質量分離型の装置であるのは、プラズマ中のイオン種を質量分離しないで、全てのイオン種を被処理体に照射しているからである。これに対して、イオン注入装置は質量分離型の装置である。イオン注入装置は、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する装置である。

10

【0048】

イオンドーピング装置の主要な構成は、被処理物を配置するチャンバー、所望のイオンを発生させるイオン源、およびイオンを加速し、照射するための加速機構である。イオン源は、所望のイオン種を生成するためのソースガスを供給するガス供給装置、ソースガスを励起して、プラズマを生成させるための電極などで構成される。プラズマを生成するための電極として、フィラメント型の電極や容量結合高周波放電用の電極などが用いられる。加速機構は、引出電極、加速電極、減速電極、接地電極等の電極など、およびこれらの電極に電力を供給するための電源などで構成される。加速機構を構成する電極には複数の開口やスリットが設けられており、イオン源で生成されたイオンは電極に設けられた開口やスリットを通過して加速される。なお、イオンドーピング装置の構成は上述したものに限定されず、必要に応じた機構が設けられる。

20

【0049】

本実施形態では、イオンドーピング装置で、水素を半導体基板100に添加する。プラズマソースガスとして水素を含むガスを供給する。例えば、 H_2 を供給する。水素ガスを励起してプラズマを生成し、質量分離せずに、プラズマ中に含まれるイオンを加速し、加速されたイオンを半導体基板100に照射する。

【0050】

イオンドーピング装置において、水素ガスから生成されるイオン種(H^+ 、 H_2^+ 、 H_3^+)の総量に対して H_3^+ の割合が50%以上とする。より好ましくは、その H_3^+ の割合を80%以上とする。イオンドーピング装置は質量分離を行わないため、プラズマ中に生成される複数のイオン種のうち、1つ(H_3^+)を50%以上とすることが好ましく、80%以上とすることが好ましい。同じ質量のイオンを照射することで、半導体基板100の同じ深さに集中させてイオンを添加することができる。ここで、複数のイオン種のうち同じ質量のイオンが50%以上含まれるとき、当該イオンを主成分という。上記において、 H_3^+ を主成分とする複数のイオンを半導体基板100に照射する。

30

【0051】

脆化領域104を浅い領域に形成するためには、イオン103の加速電圧を低くする必要はあるが、プラズマ中の H_3^+ イオンの割合を高くすることで、原子状水素(H)を効率よく、半導体基板100に添加できる。 H_3^+ イオンは H^+ イオンの3倍の質量を持つことから、同じ深さに水素原子を1つ添加する場合、 H_3^+ イオンの加速電圧は、 H^+ イオンの加速電圧の3倍にすることが可能となる。イオンの加速電圧を大きくできれば、イオンの照射工程のタクトタイムを短縮することが可能となり、生産性やスループットの向上を図ることができる。

40

【0052】

イオンドーピング装置は廉価で、大面積処理に優れているため、このようなイオンドーピング装置を用いて H_3^+ を照射することで、半導体特性の向上、大面積化、低コスト化、生産性向上などの顕著な効果を得ることができる。また、イオンドーピング装置を用いた場合、イオンを照射する際に重金属も同時に導入されるおそれがあるが、塩素原子を含有

50

する酸化膜 102 を介してイオンの照射を行うことによって、上述したようにこれらの重金属による半導体基板 100 の汚染を防ぐことができる。

【0053】

なお、加速されたイオン 103 を半導体基板 100 に照射する工程は、イオン注入装置を行うこともできる。イオン注入装置は、チャンバー内に配置された被処理体に、ソースガスをプラズマ励起して生成された複数のイオン種を質量分離し、特定のイオン種を照射する質量分離型の装置である。したがって、イオン注入装置を用いる場合は、水素ガスや PH_3 を励起して生成された H^+ イオンおよび H_2^+ イオンを質量分離して、 H^+ イオンまたは H_2^+ イオンの一方のイオンを加速して、半導体基板 100 に照射する。

【0054】

次に、ベース基板 110 を準備する（図 1（B-1）参照）。

【0055】

ベース基板 110 は、絶縁体となる基板を用いる。具体的には、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。本実施の形態では、ガラス基板を用いる場合について説明する。ベース基板 110 として大面積化が可能で安価なガラス基板を用いることにより、シリコンウエハを用いる場合と比較して低コスト化を図ることができる。

【0056】

また、ベース基板 110 を用いるに際し、ベース基板 110 の表面をあらかじめ洗浄することが好ましい。具体的には、ベース基板 110 を、塩酸過酸化水素水混合溶液（HPM）、硫酸過酸化水素水混合溶液（SPM）、アンモニア過酸化水素水混合溶液（APM）、希フッ酸（DHF）、オゾン水等を用いて超音波洗浄を行う。例えば、ベース基板 110 の表面に HPM を用いて超音波洗浄を行うことが好ましい。このような洗浄処理を行うことによって、ベース基板 110 表面の平坦化や残存する研磨粒子を除去することができる。

【0057】

次に、ベース基板 110 の表面にプラズマ処理を行う（図 1（B-2）参照）。

【0058】

ここでは、真空状態のチャンバーに不活性ガス（例えば、Ar ガス）を導入し、被処理面（ここでは、ベース基板）にバイアスを印加してプラズマ状態として行う。プラズマ中には電子と Ar の陽イオンが存在し、陰極方向（ベース基板 110 側）に Ar の陽イオンが加速される。加速された Ar の陽イオンがベース基板 110 表面に衝突することによって、ベース基板 110 表面がスパッタエッチングされる。このとき、ベース基板 110 表面の凸部から優先的にスパッタエッチングされ、当該ベース基板 110 表面の平坦性を向上することができる。また、加速された Ar の陽イオンによって、ベース基板の有機物等の不純物を除去し、ベース基板を活性化することができる。また、真空状態のチャンバーに不活性ガスに加えて、反応性ガス（例えば、 O_2 ガス、 N_2 ガス）を導入し、被処理面にバイアス電圧を印加してプラズマ状態として行うこともできる。反応性ガスを導入する場合、ベース基板 110 表面がスパッタエッチングされることにより生じる欠損を、補修

【0059】

本実施の形態では、アルゴンガスを用いて、誘導結合プラズマ（ICP：Inductively Coupled Plasma）方式のプラズマ処理で行う。図 12 に、プラズマ処理装置の簡略構造図を示す。チャンバー 600 上部の石英板 601 上にマルチスパイラルコイル 602 を配置し、マッチングボックス 603 を介して RF 電源 604 に接続されている。また、対向に配置されたベース基板 110 側の下部電極 605 が RF 電源 606 に接続されている。ベース基板 110 上方のマルチスパイラルコイル 602 に RF 電流が印加されると、マルチスパイラルコイル 602 に RF 電流 J が 方向に流れ、Z 方向に磁界 B が発生する。なお、式中 μ_0 は磁化率である。

10

20

30

40

50

【 0 0 6 0 】

【 数 1 】

$$\mu_0 J = \text{rot } B$$

【 0 0 6 1 】

ファラデーの電磁誘導の法則に従い、 方向に誘導電界 E が生じる。

【 0 0 6 2 】

【 数 2 】

$$-\frac{\partial B}{\partial t} = \text{rot } E$$

10

【 0 0 6 3 】

この誘導電界 E で電子が 方向に加速され、ガス分子と衝突し、プラズマが生成される。基板側には、磁界 B がほとんどないので、電極間でシート状に広がった高密度のプラズマ領域が得られる。ベース基板 1 1 0 側に印加するバイアス電圧により陽イオンが加速されてベース基板 1 1 0 に衝突する。

【 0 0 6 4 】

20

アルゴンプラズマの具体的な条件としては、ICP電力 1 0 0 ~ 3 0 0 0 W、圧力 0 . 1 ~ 5 . 0 Pa、ガス流量 5 ~ 2 0 0 0 s c c m、RFバイアス電圧 7 5 ~ 3 0 0 Wで行えばよい。より具体的には、ICP電力 5 0 0 W (0 . 1 1 W / c m ^ 2)、圧力 1 . 3 5 Pa、ガス流量 1 0 0 s c c m、RFバイアス電圧 1 0 0 W (0 . 6 1 W / c m ^ 2)で行えばよい。

【 0 0 6 5 】

プラズマ処理による平坦化処理を行うことにより、ベース基板 1 1 0 表面の平均粗さ (R a) 及び最大高低差 (P - V) を低減させることができる。

【 0 0 6 6 】

なお、本実施の形態では、ベース基板側にプラズマ処理を行う方法について説明したが、本発明の一態様はこれに限られず、半導体基板 1 0 0 及びベース基板 1 1 0 の少なくとも一方にプラズマ処理を行えばよい (図 1 (A - 4)、(B - 2) 参照)。

30

【 0 0 6 7 】

次に、半導体基板 1 0 0 の表面とベース基板 1 1 0 の表面とを対向させ、酸化膜 1 0 2 の表面とベース基板 1 1 0 の表面とを接合させる (図 1 (C) 参照)。

【 0 0 6 8 】

ここでは、半導体基板 1 0 0 とベース基板 1 1 0 を密接させた後、半導体基板 1 0 0 の一箇所に 0 . 1 ~ 5 0 N / c m ^ 2、好ましくは 0 . 1 ~ 2 0 N / c m ^ 2 程度の圧力を加える。圧力を加えた部分から酸化膜 1 0 2 とベース基板 1 1 0 とが接合しはじめ、接合がほぼ全面におよぶ。この接合工程は、ファンデルワールス力や水素結合が作用しており、加熱処理を伴わず、常温で行うことができるため、ベース基板 1 1 0 に、ガラス基板のように耐熱温度が低い基板を用いることができる。

40

【 0 0 6 9 】

なお、半導体基板 1 0 0 とベース基板 1 1 0 を接合させる前に、半導体基板 1 0 0 上に形成された酸化膜 1 0 2 又はベース基板 1 1 0 の少なくとも一方に表面処理を行うことが好ましい。表面処理としては、オゾン処理 (例えば、オゾン水洗浄) やメガソニック洗浄、又はこれらを組み合わせて行うことができる。また、半導体基板 1 0 0 上に形成された酸化膜 1 0 2 については、オゾン水洗浄とフッ酸による洗浄を複数回繰り返し行ってもよい。このような表面処理を行うことにより、酸化膜 1 0 2 及びベース基板 1 1 0 表面の有機物等のゴミを除去し、表面を親水化することができる。

50

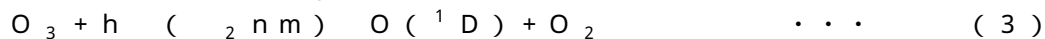
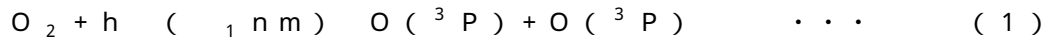
【 0 0 7 0 】

ここで、オゾン処理の一例を説明する。例えば、酸素を含む雰囲気下で紫外線（UV）を照射することにより、被処理体表面にオゾン処理を行うことができる。酸素を含む雰囲気下で紫外線を照射するオゾン処理は、UVオゾン処理または紫外線オゾン処理などとも言われる。酸素を含む雰囲気下において、紫外線のうち200nm未満の波長を含む光と200nm以上の波長を含む光を照射することにより、オゾンを生成させるとともに、オゾンから一重項酸素を生成させることができる。紫外線のうち180nm未満の波長を含む光を照射することにより、オゾンを生成させるとともに、オゾンから一重項酸素を生成させることもできる。

【 0 0 7 1 】

10

酸素を含む雰囲気下で、200nm未満の波長を含む光および200nm以上の波長を含む光を照射することにより起きる反応例を示す。



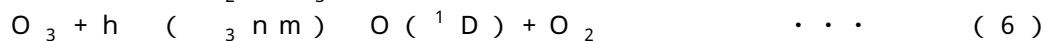
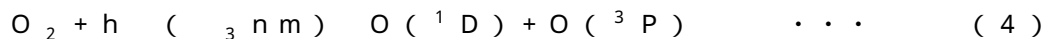
【 0 0 7 2 】

上記反応式（1）において、酸素（ O_2 ）を含む雰囲気下で200nm未満の波長（ λ_1 nm）を含む光（ $h\nu$ ）を照射することにより基底状態の酸素原子（ $O(^3P)$ ）が生成する。次に、反応式（2）において、基底状態の酸素原子（ $O(^3P)$ ）と酸素（ O_2 ）とが反応してオゾン（ O_3 ）が生成する。そして、反応式（3）において、生成されたオゾン（ O_3 ）を含む雰囲気下で200nm以上の波長（ λ_2 nm）を含む光が照射されることにより、励起状態の一重項酸素 $O(^1D)$ が生成される。酸素を含む雰囲気下において、紫外線のうち200nm未満の波長を含む光を照射することによりオゾンを生成させるとともに、200nm以上の波長を含む光を照射することによりオゾンを分解して一重項酸素を生成する。上記のようなオゾン処理は、例えば、酸素を含む雰囲気下での低圧水銀ランプの照射（ $\lambda_1 = 185\text{ nm}$ 、 $\lambda_2 = 254\text{ nm}$ ）により行うことができる。

20

【 0 0 7 3 】

また、酸素を含む雰囲気下で、180nm未満の波長を含む光を照射することにより起きる反応例を示す。



30

【 0 0 7 4 】

上記反応式（4）において、酸素（ O_2 ）を含む雰囲気下で180nm未満の波長（ λ_3 nm）を含む光を照射することにより、励起状態の一重項酸素 $O(^1D)$ と基底状態の酸素原子（ $O(^3P)$ ）が生成する。次に、反応式（5）において、基底状態の酸素原子（ $O(^3P)$ ）と酸素（ O_2 ）とが反応してオゾン（ O_3 ）が生成する。反応式（6）において、生成されたオゾン（ O_3 ）を含む雰囲気下で180nm未満の波長（ λ_3 nm）を含む光が照射されることにより、励起状態の一重項酸素と酸素が生成される。酸素を含む雰囲気下において、紫外線のうち180nm未満の波長を含む光を照射することによりオゾンを生成させるとともにオゾンまたは酸素を分解して一重項酸素を生成する。上記のようなオゾン処理は、例えば、酸素を含む雰囲気下でのXeエキシマUVランプの照射（ $\lambda_3 = 172\text{ nm}$ ）により行うことができる。

40

【 0 0 7 5 】

200nm未満の波長を含む光により被処理体表面に付着する有機物などの化学結合を切断し、オゾンまたはオゾンから生成された一重項酸素により被処理体表面に付着する有機物、または化学結合を切断した有機物などを酸化分解して除去することができる。上記のようなオゾン処理を行うことで、被処理体表面の親水性および清浄性を高めることができ、接合を良好に行うことができる。

【 0 0 7 6 】

50

酸素を含む雰囲気下で紫外線を照射することによりオゾンが生成される。オゾンは、被処理体表面に付着する有機物の除去に効果を奏する。また、一重項酸素も、オゾンと同等またはそれ以上に、被処理体表面に付着する有機物の除去に効果を奏する。オゾン及び一重項酸素は、活性状態にある酸素の例であり、総称して活性酸素とも言われる。上記反応式等で説明したとおり、一重項酸素を生成する際にオゾンが生じる、またはオゾンから一重項酸素を生成する反応もあるため、ここでは一重項酸素が寄与する反応も含めて、便宜的にオゾン処理と称する。

【0077】

半導体基板100とベース基板110を接合させる前に、半導体基板100上に形成された酸化膜102又はベース基板110の少なくとも一方にプラズマ処理又は表面処理の一方、又は双方を組み合わせる行うことにより、貼り合わせに係る不良を低減することができる。

10

【0078】

また、ベース基板110に半導体基板100を接合させた後、酸化膜102とベース基板110との接合強度を増加させるための熱処理を行うことが好ましい。この熱処理の温度は、脆化領域104に亀裂を発生させない温度とし、例えば、室温以上400 未満の温度範囲で処理する。また、この温度範囲で加熱しながら、酸化膜102とベース基板110を接合させてもよい。熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA（瞬間熱アニール、Rapid Thermal Anneal）装置、マイクロ波加熱装置などを用いることができる。

20

【0079】

一般的に、酸化膜102とベース基板110の接合と同時又は接合させた後に熱処理を行うと、接合界面において脱水反応が進行し、接合面同士が近づき、水素結合の強化や共有結合が形成されることにより接合が強化される。脱水反応を促進させるためには、脱水反応により接合界面に生じる水分を高温で熱処理を行うことにより除去する必要がある。つまり、接合後の熱処理温度が低い場合には、脱水反応で接合界面に生じた水分を効果的に除去できないため、脱水反応が進まず接合強度を十分に向上させることが難しい。

【0080】

一方で、酸化膜102として、塩素原子等を含有させた酸化膜を用いた場合、当該酸化膜102が水分を吸収し拡散させることができるため、接合後の熱処理を低温で行う場合であっても、脱水反応で接合界面に生じた水分を酸化膜102へ吸収、拡散させ脱水反応を効率良く促進させることができる。

30

【0081】

この場合、ベース基板110としてガラス等の耐熱性が低い基板を用いた場合であっても、酸化膜102とベース基板110の接合強度を十分に向上させることが可能となる。また、バイアス電圧を印加してプラズマ処理を行うことにより、接合界面における水分を効果的に吸収し拡散させ、低温であっても酸化膜102とベース基板110の接合強度を向上させることができる。

【0082】

次に、熱処理を行い脆化領域104にて分離（劈開）することにより、ベース基板110上に、酸化膜102を介して半導体層114（ここでは、単結晶半導体層）を設ける（図1（D）参照）。

40

【0083】

加熱処理を行うことで、温度上昇によって脆化領域104に形成されている微小な孔の内部の圧力が上昇する。微小な孔の圧力が上昇することにより、脆化領域104の微小な孔に体積変化が起こり、脆化領域104に亀裂が生じるので、脆化領域104に沿って半導体基板100が分離する。酸化膜102はベース基板110と接合しているため、ベース基板110上には半導体基板100から分離された半導体層114が形成される。また、ここでの熱処理の温度は、ベース基板110の歪み点を越えない温度とする。

【0084】

50

この加熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA（瞬間熱アニール、Rapid Thermal Anneal）装置、マイクロ波加熱装置などを用いることができる。例えば、RTA装置を用いる場合、加熱温度550以上730以下、処理時間0.5分以上60分以内で行うことができる。

【0085】

なお、上述したベース基板110と酸化膜102との接合強度を増加させるための熱処理を行わず、図1(D)の熱処理を行うことにより、酸化膜102とベース基板110との接合強度の増加の熱処理工程と、脆化領域104における分離の熱処理工程を同時に行ってもよい。

【0086】

以上の工程により、ベース基板110上に酸化膜102を介して半導体層114が設けられたSOI基板を作製することができる。

【0087】

また、半導体基板側に塩素等のハロゲンを含む酸化膜を形成することにより、作製工程を簡略化すると共にベース基板との貼り合わせ前に当該半導体基板へ不純物元素が侵入することを抑制することができる。また、半導体基板側に設ける接合層として塩素等のハロゲンを含む酸化膜を形成することにより、接合後の熱処理を低温で行う場合であっても、脱水反応を効率良く促進させることにより接合強度を向上させることができる。

【0088】

なお、本実施の形態において、剥離後のSOI基板の表面に平坦化処理を行ってもよい。平坦化処理を行うことにより、剥離後にベース基板110上に設けられた半導体層114の表面に凹凸が生じた場合でもSOI基板の表面を平坦化することができる。

【0089】

平坦化処理としては、CMP（Chemical Mechanical Polishing）、エッチング処理、レーザー光の照射等により行うことができる。ここでは、ドライエッチングまたはウエットエッチングの一方、または双方を組み合わせたエッチング処理（エッチバック処理）を行った後にレーザー光を照射することによって、半導体層114の再結晶化と表面の平坦化を行う。

【0090】

レーザー光を単結晶半導体層の上面側から照射することで、単結晶半導体層の上面を溶融させることができる。溶融した後、単結晶半導体層が冷却、固化することで、その上面の平坦性が向上した単結晶半導体層が得られる。レーザー光を用いることにより、ベース基板110は直接加熱されないため、当該ベース基板110の温度上昇を抑えることができる。このため、ガラス基板のような耐熱性の低い基板をベース基板110に用いることが可能である。

【0091】

なお、レーザー光の照射による半導体層114の溶融は、部分溶融とすることが好ましい。完全溶融させた場合には、液相となった後の無秩序な核発生により微結晶化し、結晶性が低下する可能性が高いためである。一方で、部分溶融させることにより、溶融されていない固相部分から結晶成長が進行する。これにより、半導体層中の欠陥を減少させることができる。ここで、完全溶融とは、単結晶半導体層が下部界面付近まで溶融されて、液体状態になることをいう。他方、部分溶融とは、この場合、単結晶半導体層の上部は溶融して液相となるが、下部は溶融せずに固相のままであることをいう。

【0092】

上記レーザー光の照射には、パルス発振レーザーを用いることが好ましい。これは、瞬間的に高エネルギーのパルスレーザー光を発振することができ、溶融状態を作り出すことが容易となるためである。発振周波数は、1Hz以上10MHz以下程度とすることが好ましい。

【0093】

上述のようにレーザー光を照射した後には、半導体層114の膜厚を小さくする薄膜化工

10

20

30

40

50

程を行っても良い。半導体層 114 の薄膜化には、ドライエッチングまたはウエットエッチングの一方、または双方を組み合わせたエッチング処理（エッチバック処理）を適用すればよい。例えば、半導体層 114 がシリコン材料からなる層である場合、ドライエッチングとして SF_6 と O_2 をプロセスガスに用いて、半導体層 114 を薄くすることができる。なお、本実施の形態では、レーザー光を照射した後に、エッチバック処理を行う場合について説明したが、本発明の一態様はこれに限定されず、レーザー光を照射する前にエッチバック処理を行っても良いし、レーザー光の照射前後にエッチバック処理を行ってもよい。

【0094】

以上により、SOI 基板を作製することができる。ベース基板にプラズマ処理を行うことにより、ベース基板表面の凹凸やパーティクルを低減することができる。また、ベース基板の平坦性が向上するため、ベース基板の親水性を向上させることができる。この結果、半導体基板とベース基板との貼り合わせ工程において、接合界面において水素結合が起こりやすくなり、ベース基板と半導体基板との接合強度を向上させることができる。従って、半導体層とベース基板との密着性を向上させ貼り合わせ不良を低減し、貼り合わせ工程及び半導体装置製造工程においても十分な接着強度をもつ SOI 基板を作製することができる。

【0095】

なお、平坦化処理は SOI 基板に限らず分離後の半導体基板 100 に対して行ってもよい。分離後の半導体基板 100 の表面を平坦にすることによって、当該半導体基板 100 を SOI 基板の作製工程において再利用することが可能となる。

【0096】

なお、本実施の形態で示した SOI 基板の作製方法は、本明細書の他の実施の形態で示す作製方法と適宜組み合わせを行うことができる。

【0097】

（実施の形態 2）

本実施の形態では、上記実施の形態と異なる SOI 基板の作製方法に関して図面を参照して説明する。具体的には、ベース基板上に窒素含有層を形成する前に、当該ベース基板にプラズマ処理を行う場合について説明する。

【0098】

まず、表面に酸化膜 102 が設けられ、所定の深さに脆化領域 104 が設けられた半導体基板 100 を準備する（図 2（A-1）～（A-3）参照）。なお、図 2（A-1）～（A-3）は上記図 1（A-1）～（A-3）と同様に行うことができる。

【0099】

次に、ベース基板 110 を準備した後、当該ベース基板 110 にプラズマ処理による平坦化処理を行う（図 2（B-1）参照）。

【0100】

プラズマ処理は、実施の形態 1 で説明したように真空状態のチャンバーに不活性ガス（例えば、アルゴン（Ar）ガスを導入し、被処理面にバイアス電圧を印加してプラズマ状態として行う。または、真空状態のチャンバーに不活性ガスに加えて、反応性ガス（例えば、 O_2 ガス、 N_2 ガス）を導入し、被処理面にバイアス電圧を印加してプラズマ状態として行うこともできる。

【0101】

具体的な条件としては、ICP 電力 100～3000W、圧力 0.1～5.0Pa、ガス流量 5～2000sccm、RF バイアス電圧 75～300W で行えばよい。より具体的には、ICP 電力 500W（0.11W/cm²）、圧力 1.35Pa、ガス流量 100sccm、RF バイアス電圧 100W（0.61W/cm²）で行えばよい。

【0102】

プラズマ処理による平坦化処理を行うことにより、ベース基板 110 表面の平均粗さ（Ra）及び最大高低差（P-V）を低減させることができる。

【0103】

また、上述したプラズマ処理を行う際に、チャンバー内をプレコート処理しておくことにより、反応室を構成する金属（鉄（Fe）、ニッケル（Ni）、クロム（Cr）等）が不純物としてベース基板110の表面に付着することを防ぐことができる。例えば、プレコート処理として、反応室内を酸化シリコン膜、シリコン膜、酸化アルミニウム膜、シリコンカーバイド（SiC）膜等の絶縁膜で被覆しておくことにより、平坦化処理に伴うベース基板110の表面汚染を低減することが可能となる。

【0104】

このように、平坦化処理を行うことによって、ベース基板110の表面の平坦性を向上させることができる。仮にベース基板110としてCMP等により研磨された基板を用いる場合であっても、ベース基板110上に残留する研磨粒子（ CeO_2 等）を除去し、表面を平坦化することができる。その結果、ベース基板110上に形成される膜の平坦性を向上させることができる。

10

【0105】

なお、ベース基板110の平坦化処理を行う前にベース基板110の洗浄を行ってもよい。具体的には、ベース基板110を、塩酸過酸化水素水混合溶液（HPM）、硫酸過酸化水素水混合溶液（SPM）、アンモニア過酸化水素水混合溶液（APM）、希フッ酸（DHF）、オゾン水等を用いて超音波洗浄を行う。例えば、ベース基板110の表面にHPMを用いて超音波洗浄を行うことが好ましい。このような洗浄処理を行うことによって、ある程度ベース基板110表面の平坦化や残存する研磨粒子を除去することができる。

20

【0106】

次に、ベース基板110の表面に窒素含有層111を形成する（図2（B-2）参照）。

【0107】

プラズマ処理により平坦化されたベース基板110上に窒素含有層111（例えば、窒化シリコン膜（ SiN_x ）又は窒化酸化シリコン膜（ SiN_xO_y ）（ $x > y$ ）等の窒素を含有する絶縁膜）を形成する（図2（B-2）参照）。

【0108】

このような窒素含有層111を形成するため、本実施の形態では、プラズマCVD法を用いて、成膜時の基板温度を室温以上350以下、好ましくは室温以上300以下として窒化シリコン膜又は窒化酸化シリコン膜の成膜を行うことが好ましい。成膜時の基板温度を低くすることによって、形成される窒素含有層111の表面の粗さを小さくすることができる。これは、成膜時の基板温度が高くなるにつれて膜の堆積表面での水素ラジカル等によるエッチング反応が過多となり表面荒れを起こすためである。

30

【0109】

ベース基板110表面をプラズマ処理により平坦化した後に、窒素含有層111を形成すると、窒素含有層の表面を平滑とすることができる。窒素含有層の表面を平滑とすることにより、窒素含有層を接合層に用いた場合であっても接合不良を抑制することができる。具体的には、窒素含有層111の表面の平均面粗さ（Ra）を0.5nm以下、自乗平均粗さ（Rms）を0.60nm以下、より好ましくは、平均面粗さを0.45nm以下となるように窒素含有層111を形成する。膜厚は、10nm以上200nm以下、好ましくは、50nm以上100nm以下の範囲で設けることが好ましい。

40

【0110】

また、半導体基板100上に設けられた酸化膜102との接合には、水素結合が大きく寄与するため、窒素含有層111に水素が含まれるように成膜することが好ましい。窒素含有層111として、水素を含有する窒化シリコン膜又は窒化酸化シリコン膜を用いることによって、 Si-OH 、 N-OH の結合を用いてガラス等のベース基板と水素結合による強固な接合を形成することが可能である。

【0111】

本実施の形態において、窒素含有層111は、半導体基板100上に設けられた酸化膜102と貼り合わされる層（接合層）となる。また、窒素含有層111は、後にベース基板

50

上に単結晶半導体層を設けた際に、ベース基板に含まれるNa（ナトリウム）等の不純物が単結晶半導体層に拡散することを防ぐためのバリア層として機能する。

【0112】

また、本実施の形態では、プラズマCVD法において、少なくともシランガス、アンモニアガス及び水素ガスを用いて成膜を行うことが好ましい。アンモニアガスや水素ガスを用いることによって、膜中に水素を含む窒素含有層111を得ることができる。また、成膜時の基板温度を低くすることによって、成膜中の脱水反応が抑制され、窒素含有層111に含まれる水素の量を多くすることができるという利点もある。

【0113】

また、プラズマCVD法において、成膜時の基板温度を低くすることにより得られた窒素含有層111は、水素を多く含んでおり緻密性が低い（膜質が柔らかい）膜となる。緻密性が低い窒素含有層111は、加熱処理により緻密性を高める（膜質を硬くする）ことができるため、加熱処理の前後で膜厚が収縮しうる。

10

【0114】

そのため、窒素含有層111の緻密性が低い状態で半導体基板100との貼り合わせを行うことによって、半導体基板100上の酸化膜の表面や窒素含有層111の表面に凹凸がある場合であっても、当該窒素含有層111の収縮により凹凸を吸収することができ、接合不良を低減することが可能となる。また、貼り合わせと同時に又はその後に加熱処理を行うことによって、窒素含有層111を緻密化した（膜質を硬くした）後に、トランジスタ等の素子を形成することができる。

20

【0115】

次に、半導体基板100上に形成された酸化膜102又はベース基板110上に形成された窒素含有層111の少なくとも一方の表面にプラズマ処理を行うことが好ましい。半導体基板100上の酸化膜102の表面及びベース基板110上の窒素含有層111の表面にプラズマ処理を行ってもよい（図2（A-4）、（B-3）参照）。このように、酸化膜102と窒素含有層111の双方にプラズマ処理を行うことによって、親水基の増加や、ダングリングボンドの生成により表面を活性化することができる。

【0116】

例えば、プラズマ処理を行う場合、真空状態のチャンバーに酸素ガスを導入し、被処理物にバイアス電圧を印加してプラズマ状態として行う。プラズマ中には、酸素の陽イオンが存在し、陰極方向（半導体基板100側）に酸素の陽イオンが加速される。加速された酸素の陽イオンが被処理物表面に衝突することによって、被処理面の有機物等の不純物を除去し、被処理面を活性化することができる。

30

【0117】

例えば、半導体基板100上の酸化膜102にプラズマ処理を行った場合、加速された酸素の陽イオンが酸化膜102の表面に衝突することによって、酸化膜102表面のSi-H、SiH₂、SiO₂を減少させ、(SiO₂)_n-OHを増加することができる。つまり、酸化膜102表面の親水基を増加させることにより、接合面における水素結合数を増やすことができるため、接合強度を向上させることができる。また、バイアス電圧を印加してプラズマ処理を行うことにより、酸化膜102表面近傍にマイクロポアを生成することができる。

40

【0118】

また、ベース基板110上の窒素含有層111にプラズマ処理を行った場合、窒素含有層111表面の疎水性を有するSiN及びSiH₃を減少させ、親水性を有するSiO_xを増加させることができるため、窒素含有層111を接合層とした場合であっても接合強度を向上させることができる。

【0119】

本実施の形態では、酸素ガスを用いて、容量結合プラズマの一種でRIE（リアクティブイオンエッチング）モードと呼ばれる方式のプラズマ処理を行うことができる（図13参照）。酸化膜102が形成された半導体基板100を、コンデンサ193を介して高周波

50

電圧が印加されるカソードとなる第1の電極191上のステージに設置し、高周波電圧を印加して第1の電極191とアノードとなる第2の電極192間にプラズマを生成する。その結果、第1の電極191に負の自己バイアスが発生し（バイアスが印加された状態となり）、プラズマ中の陽イオンが加速されて半導体基板100に衝突する。なお、半導体基板100上に形成された酸化膜102が酸化シリコンであるため、原料ガスとして酸素を用いることにより、酸化膜102のエッチング作用を小さくすることができる。なお、RIEモードのプラズマ密度は、ICPのプラズマ密度よりも低い。

【0120】

酸素プラズマの具体的な条件としては、処理電力 $0.3 \sim 1.5 \text{ W/cm}^2$ 、圧力 $30 \sim 130 \text{ Pa}$ 、ガス(O_2)流量 $10 \sim 200 \text{ sccm}$ で行えばよい。また、酸素プラズマ処理を行うことにより、酸化膜102の表面の面粗さ(Ra)を好ましくは、 0.7 nm 以下、より好ましくは 0.3 nm 以下とする。

【0121】

なお、本実施の形態で適用するプラズマ処理の方法は、図13を用いて説明した場合に限られない。他にも、誘電体バリア放電等の大気圧プラズマで行うことができる（図14参照）。例えば、ベース基板110上に形成された窒素含有層111表面にプラズマ処理を行う場合、窒素含有層111が形成されたベース基板110を導体からなるステージ195上の支持台196（例えば、ガラス基板）上に設置し、第1の電極197と第2の電極198間にガスを導入して大気圧プラズマを生成する。第1の電極197と第2の電極198間に生成されたプラズマ化したガスと支持台196上に設置されたベース基板110との間に自己バイアスが発生し（バイアスが印加された状態となり）、プラズマ中の陽イオンが加速されて、ベース基板110上に形成された窒素含有層111表面に衝突する。なお、大気圧プラズマの具体的な条件としては、処理電力 $100 \sim 500 \text{ W}$ 、ガス(O_2 、 N_2 、 $\text{O}_2 + \text{N}_2$ 、 Ar 又は He)流量 $10 \sim 200 \text{ sccm}$ で行えばよい。なお、第1の電極197と第2の電極198の間隔より被処理体（ここでは、窒素含有層111）が大きい場合には、第1の電極197及び第2の電極198を移動させて被処理体をスキャンすればよい。

【0122】

次に、半導体基板100とベース基板110とを接合させる前に、半導体基板100上に形成された酸化膜102及びベース基板110上に形成された窒素含有層111に表面処理を行うことが好ましい。表面処理の方法は、実施の形態1を参照すれば良いため詳細な説明は省略する。

【0123】

その後、半導体基板100の表面とベース基板110の表面とを対向させ、酸化膜102の表面と窒素含有層111の表面とを接合させた後（図2（C）参照）、熱処理を行い脆化領域104にて分離（劈開）することにより、ベース基板110上に、窒素含有層111及び酸化膜102を介して半導体層114を設ける（図2（D）参照）。さらに、半導体層114に対して、平坦化処理を行うこともできる。平坦化処理は、実施の形態1で示したように、CMP、エッチング処理、レーザー光の照射により行うことができる。平坦化処理を行った後、薄膜化処理を行っても良い。

【0124】

以上により、SOI基板を作製することができる。ベース基板にプラズマ処理を行うことにより、ベース基板表面の凹凸やパーティクルを低減することができる。また、ベース基板の平坦性が向上するため、ベース基板上に窒素含有層を形成した場合に、窒素含有層の平坦性を向上させることができる。さらに、ベース基板上の窒素含有層又は半導体基板上の酸化膜の少なくとも一方にプラズマ処理を行うことにより、窒素含有層又は酸化膜の表面の凹凸やパーティクルを低減することができる。また、プラズマ処理が行われた窒素含有層又は酸化膜の平坦性が向上するため、窒素含有層又は酸化膜の親水性を向上させることができる。この結果、半導体基板とベース基板との貼り合わせ工程において、接合界面において水素結合が起こりやすくなり、ベース基板と半導体基板との接合強度を向上させ

10

20

30

40

50

ることができる。従って、半導体層とベース基板との密着性を向上させ、貼り合わせ不良を低減し、貼り合わせ工程及び半導体装置製造工程においても十分な接着強度をもつSOI基板を作製することができる。

【0125】

なお、本実施の形態で示したSOI基板の作製方法は、本明細書の他の実施の形態で示す作製方法と適宜組み合わせを行うことができる。

【0126】

(実施の形態3)

本実施の形態では、上記実施の形態と異なるSOI基板の作製方法に関して図面を参照して説明する。具体的には、ベース基板上に窒素含有層を形成した後に、当該窒素含有層に

10

【0127】

まず、表面に酸化膜102が設けられ、所定の深さに脆化領域104が設けられた半導体基板100を準備する(図22(A-1)~(A-3)参照)。なお、図22(A-1)~(A-3)は、上記図1(A-1)~(A-3)と同様に行うことができる。

【0128】

次に、ベース基板を準備(図22(B-1)参照)した後、当該ベース基板110の表面に窒素含有層111を形成する(図22(B-2)参照)。なお、図22(B-2)は、図2(B-2)と同様に行うことができる。

【0129】

次に、半導体基板100上に形成された酸化膜102又はベース基板110上に形成された窒素含有層111の少なくとも一方の表面にプラズマ処理を行うことが好ましい。半導体基板100上の酸化膜102の表面及びベース基板110上の窒素含有層111の表面の双方にプラズマ処理を行ってもよい(図22(A-4)、(B-3)参照)。

20

【0130】

本実施の形態では、実施の形態1と同様にして、誘導結合プラズマ(ICP: Inductively Coupled Plasma)方式のプラズマ処理を行うことができる。真空状態のチャンバーに不活性ガス(例えば、Arガス)を導入し、被処理面(ここでは、窒素含有層111)にバイアスを印加してプラズマ状態として行う。プラズマ中には電子とArの陽イオンが存在し、陰極方向(被処理物側)にArの陽イオンが加速される。加速されたArの陽イオンが被処理面に衝突することによって、被処理面がスパッタエッチングされる。このとき、被処理面の凸部から優先的にスパッタエッチングされ、当該被処理面の平坦性を向上することができる。また、加速されたArの陽イオンによって、被処理面の有機物等の不純物を除去し、被処理面を活性化することができる。また、真空状態のチャンバーに不活性ガスに加えて、反応性ガス(例えば、O₂ガス、N₂ガス)を導入し、被処理面にバイアス電圧を印加してプラズマ状態として行うこともできる。反応性ガスを導入する場合、被処理面がスパッタエッチングされることにより生じる欠損を、補修することができる。

30

【0131】

半導体基板100上に形成された酸化膜102表面又はベース基板110上に形成された窒素含有層111表面にプラズマ処理を行うことにより、表面の平均粗さ(Ra)、及び最大高低差(P-V)を低減させることができる。また、ベース基板110上の窒素含有層111にプラズマ処理を行った場合、加速されたアルゴンの陽イオンが窒素含有層111の表面に衝突することによって、窒素含有層111表面のSiNO成分又はSiN成分が減少し、SiO₂(X>0)成分を増加させることができる。つまり、窒素含有層111表面の親水基を増加させることができ、接合面における水素結合数を増やすことができるため、接合強度を向上させることができる。

40

【0132】

次に、半導体基板100とベース基板110とを接合させる前に、半導体基板100上に形成された酸化膜102及びベース基板110上に形成された窒素含有層111に表面処

50

理を行うことが好ましい。表面処理の方法は、実施の形態 1 を参照すれば良いため詳細な説明は省略する。

【0133】

その後、半導体基板 100 の表面とベース基板 110 の表面とを対向させ、酸化膜 102 の表面と窒素含有層 111 の表面とを接合させた後（図 22（C）参照）、熱処理を行い脆化領域 104 にて分離することにより、ベース基板 110 上に、窒素含有層 111 及び酸化膜 102 を介して半導体層 114 を設ける（図 22（D）参照）。さらに、半導体層 114 に対して、平坦化処理を行うこともできる。平坦化処理は、実施の形態 1 で示したように、CMP、エッチング処理、レーザー光の照射により行うことができる。平坦化処理を行った後、薄膜化処理を行っても良い。

10

【0134】

以上の工程により、SOI 基板を作製することができる。ベース基板上の窒素含有層又は半導体基板上の酸化膜の少なくとも一方にプラズマ処理を行うことにより、窒素含有層又は酸化膜の表面の凹凸やパーティクルを低減することができる。また、窒素含有層又は酸化膜の平坦性が向上するため、窒素含有層又は酸化膜の親水性を向上させることができる。この結果、半導体基板とベース基板との貼り合わせ工程において、接合界面において水素結合が起こりやすくなり、ベース基板と半導体基板との接合強度を向上させることができる。従って、半導体層とベース基板との密着性を向上させ、貼り合わせ不良を低減し、貼り合わせ工程及び半導体装置製造工程においても十分な接着強度をもつ SOI 基板を作製することができる。

20

【0135】

なお、本実施の形態で示した SOI 基板の作製方法は、本明細書の他の実施の形態で示す作製方法と適宜組み合わせを行うことができる。

【0136】

（実施の形態 4）

本実施の形態では、上記実施の形態と異なる SOI 基板の作製方法に関して図面を参照して説明する。具体的には、1 枚のベース基板に複数の半導体基板を貼り合わせる場合に関して説明する。

【0137】

まず、ベース基板 110 を準備し、当該ベース基板 110 の表面にプラズマ処理を行う（図 3（A）参照）。なお、上記実施の形態 2 で示したように、ベース基板 110 の表面にプラズマ処理を行った後に、ベース基板 110 上に窒素含有層を形成してもよいし、上記実施の形態 3 で示したように、ベース基板 110 上に窒素含有層を形成した後に、プラズマ処理を行ってもよい。ベース基板に対して行うプラズマ処理は、実施の形態 1～3 と同様に行うことができるため、詳細な説明は省略する。

30

【0138】

次に、表面に酸化膜 102 が設けられ、所定の深さに脆化領域 104 が設けられた半導体基板 100 を複数準備する（図 3（B）参照）。当該複数の半導体基板 100 をベース基板 110 と貼り合わせる（図 3（C）参照）。ここでは、半導体基板 100 上に形成された酸化膜 102 とベース基板 110 を接合させる。なお、複数の半導体基板 100 をベース基板 110 と貼り合わせる前に、複数の半導体基板上に形成された酸化膜 102 に対してプラズマ処理を行ってもよい。酸化膜 102 に対して行うプラズマ処理は、実施の形態 1～3 と同様に行うことができるため、詳細な説明は省略する。

40

【0139】

次に、熱処理を行い脆化領域 104 にて分離（劈開）することにより、ベース基板 110 上に、それぞれ酸化膜 102 を介して複数の半導体層 114 を設ける（図 3（D）参照）。さらに、半導体層 114 に対して、平坦化処理を行うこともできる。平坦化処理は、実施の形態 1 で示したように、CMP、エッチング処理、レーザー光の照射により行うことができる。平坦化処理を行った後、薄膜化処理を行っても良い。

【0140】

50

また、１枚のベース基板に複数の半導体基板を貼り合わせる場合に、サイズが大きいベース基板１１０側にバリア層として機能する窒素含有層を形成することによって、半導体基板側にのみ窒素含有層を設ける構成と比較して、半導体層１１４が設けられていない領域（複数の半導体層１１４の隙間）にもバリア層を形成できるため、当該隙間から半導体層１１４に不純物が侵入することを効果的に抑制することができる。

【０１４１】

以上の工程により、１枚のベース基板に複数の半導体層が設けられたＳＯＩ基板を作製することができる。ベース基板上の窒素含有層又は半導体基板上の酸化膜の少なくとも一方にプラズマ処理を行うことにより、窒素含有層又は酸化膜の表面の凹凸やパーティクルを低減することができる。また、窒素含有層又は酸化膜の平坦性が向上するため、窒素含有層又は酸化膜の親水性を向上させることができる。この結果、半導体基板とベース基板との貼り合わせ工程において、接合界面において水素結合が起こりやすくなり、ベース基板と半導体基板との接合強度を向上させることができる。従って、半導体層とベース基板との密着性を向上させ、貼り合わせ不良を低減し、貼り合わせ工程及び半導体装置製造工程においても十分な接着強度をもつＳＯＩ基板を作製することができる。

【０１４２】

なお、本実施の形態で示したＳＯＩ基板の作製方法は、本明細書の他の実施の形態で示す作製方法と適宜組み合わせることができる。

【０１４３】

（実施の形態５）

本実施の形態では、上記実施の形態で作製したＳＯＩ基板を用いて、半導体装置を作製する方法を説明する。

【０１４４】

まず、図４および図５を参照して、ｎチャネル型薄膜トランジスタ、およびｐチャネル型薄膜トランジスタを作製する方法を説明する。複数の薄膜トランジスタ（ＴＦＴ）を組み合わせることで、各種の半導体装置を形成することができる。

【０１４５】

ＳＯＩ基板として、上記実施の形態１の方法で作製したＳＯＩ基板を用いる場合について説明する。もちろん、上記実施の形態２、３の方法で作製したＳＯＩ基板を用いることも可能である。

【０１４６】

図４（Ａ）は、図１を用いて説明した方法で作製されたＳＯＩ基板の断面図である。

【０１４７】

エッチングにより、半導体層１１４を素子分離して、図４（Ｂ）に示すように半導体層１２１、１２２を形成する。半導体層１２１はｎチャネル型のＴＦＴを構成し、半導体層１２２はｐチャネル型のＴＦＴを構成する。

【０１４８】

図４（Ｃ）に示すように、半導体層１２１、１２２上に絶縁膜１２３を形成する。次に、絶縁膜１２３を介して半導体層１２１上にゲート電極１２４を形成し、半導体層１２２上にゲート電極１２５を形成する。

【０１４９】

なお、半導体層１１４のエッチングを行う前に、ＴＦＴのしきい値電圧を制御するために、ホウ素、アルミニウム、ガリウムなどの不純物元素、またはリン、ヒ素などの不純物元素を半導体層１１４に添加することが好ましい。例えば、ｎチャネル型ＴＦＴが形成される領域に硼素、アルミニウム、ガリウムなどの不純物元素を添加し、ｐチャネル型ＴＦＴが形成される領域にリン、ヒ素などの不純物元素を添加する。

【０１５０】

次に、図４（Ｄ）、（Ｅ）に示すように半導体層１２１にｎ型の低濃度不純物領域１２８ａ、１２８ｂを形成し、半導体層１２２にｐ型の高濃度不純物領域１３２ａ、１３２ｂを形成する。具体的には、まず、半導体層１２１にｎ型の低濃度不純物領域１２８ａ、１２

10

20

30

40

50

8 bを形成する。このため、pチャネル型TFTとなる半導体層122をレジストマスク126で覆い、不純物元素127を半導体層121に添加する(図4(D)参照)。不純物元素としてリンまたはヒ素を添加すればよい。イオンドーピング法またはイオン注入法により不純物元素を添加することにより、ゲート電極124がマスクとなり、半導体層121に自己整合的にn型の低濃度不純物領域128a、128bが形成される。半導体層121のゲート電極124と重なる領域はチャネル形成領域129となる。

【0151】

次に、半導体層122を覆うレジストマスク126を除去した後、nチャネル型TFTとなる半導体層121をレジストマスク130で覆う。次に、イオンドーピング法またはイオン注入法により不純物元素131を半導体層122に添加する(図4(E)参照)。不純物元素131として、ボロンを添加することができる。不純物元素の添加工程では、ゲート電極125がマスクとして機能して、半導体層122にp型の高濃度不純物領域132a、132bが自己整合的に形成される。高濃度不純物領域132a、132bはソース領域またはドレイン領域として機能する。半導体層122のゲート電極125と重なる領域はチャネル形成領域133となる。ここでは、n型の低濃度不純物領域128a、128bを形成した後、p型の高濃度不純物領域132a、132bを形成する方法を説明したが、先にp型の高濃度不純物領域132a、132bを形成することもできる。

【0152】

次に、半導体層121を覆うレジストマスク130を除去した後、プラズマCVD法等によって窒化シリコン等の窒素化合物や酸化シリコン等の酸化物からなる単層構造または積層構造の絶縁膜を形成する。この絶縁膜を垂直方向の異方性エッチングすることで、図5(A)に示すように、ゲート電極124、125の側面に接するサイドウォール絶縁膜134a、134b、135a、135bを形成する。この異方性エッチングにより、絶縁膜123もエッチングされる。

【0153】

次に、図5(B)に示すように、半導体層122をレジスト136で覆う。半導体層121にソース領域またはドレイン領域として機能する高濃度不純物領域を形成するため、イオン注入法またはイオンドーピング法により、半導体層121に高ドーズ量で不純物元素137を添加する。ゲート電極124およびサイドウォール絶縁膜134a、134bがマスクとなり、n型の高濃度不純物領域138a、138bが形成される。次に、不純物元素の活性化のための加熱処理を行う。

【0154】

活性化の加熱処理の後、図5(C)に示すように、水素を含んだ絶縁膜139を形成する。絶縁膜139を形成後、350 以上450 以下の温度による加熱処理を行い、絶縁膜139中に含まれる水素を半導体層121、122中に拡散させる。絶縁膜139は、プロセス温度が350 以下のプラズマCVD法により窒化シリコンまたは窒化酸化シリコンを堆積することで形成できる。半導体層121、122に水素を供給することで、半導体層121、122中および絶縁膜123との界面での捕獲中心となるような欠陥を効果的に補償することができる。

【0155】

その後、層間絶縁膜140を形成する。層間絶縁膜140は、酸化シリコン膜、BPSG(Boron Phosphorus Silicon Glass)膜などの無機材料でなる絶縁膜、または、ポリイミド、アクリルなどの有機樹脂膜から選ばれた単層構造の膜、積層構造の膜で形成することができる。層間絶縁膜140にコンタクトホールを形成した後、図5(C)に示すように配線141a、141b、142a、142bを形成する。配線141a、141b、142a、142bの形成には、例えば、アルミニウム膜またはアルミニウム合金膜などの低抵抗金属膜をバリアメタル膜で挟んだ3層構造の導電膜で形成することができる。バリアメタル膜は、モリブデン、クロム、チタンなどの金属膜で形成することができる。

【0156】

以上の工程により、 n チャネル型TFTと p チャネル型TFTを有する半導体装置を作製することができる。SOI基板の作製過程で、チャネル形成領域を構成する半導体層の金属元素の濃度を低減させているので、オフ電流が小さく、しきい値電圧の変動が抑制されたTFTを作製することができる。

【0157】

図4及び図5を参照してTFTの作製方法を説明したが、TFTの他、容量、抵抗などTFTと共に各種の半導体素子を形成することで、高付加価値の半導体装置を作製することができる。以下、図面を参照しながら半導体装置の具体的な態様を説明する。

【0158】

まず、半導体装置の一例として、マイクロプロセッサについて説明する。図6はマイクロプロセッサ500の構成例を示すブロック図である。

10

【0159】

マイクロプロセッサ500は、演算回路501(Arithmetic logic unit。ALUともいう。)、演算回路制御部502(ALU Controller)、命令解析部503(Instruction Decoder)、割り込み制御部504(Interrupt Controller)、タイミング制御部505(Timing Controller)、レジスタ506(Register)、レジスタ制御部507(Register Controller)、バスインターフェース508(Bus I/F)、読み出し専用メモリ509(ROMとも記す)、およびメモリインターフェース510(ROMインターフェースとも記す)を有している。

20

【0160】

バスインターフェース508を介してマイクロプロセッサ500に入力された命令は、命令解析部503に入力され、デコードされた後、演算回路制御部502、割り込み制御部504、レジスタ制御部507、タイミング制御部505に入力される。演算回路制御部502、割り込み制御部504、レジスタ制御部507、タイミング制御部505は、デコードされた命令に基づき様々な制御を行う。

【0161】

演算回路制御部502は、演算回路501の動作を制御するための信号を生成する。また、割り込み制御部504は、マイクロプロセッサ500のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を処理する回路であり、割り込み制御部504は、割り込み要求の優先度やマスク状態を判断して、割り込み要求を処理する。レジスタ制御部507は、レジスタ506のアドレスを生成し、マイクロプロセッサ500の状態に応じてレジスタ506の読み出しや書き込みを行う。タイミング制御部505は、演算回路501、演算回路制御部502、命令解析部503、割り込み制御部504、およびレジスタ制御部507の動作のタイミングを制御する信号を生成する。例えば、タイミング制御部505は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えている。図6に示すように、内部クロック信号CLK2は他の回路に入力される。

30

【0162】

次に、非接触でデータの送受信を行う機能、および演算機能を備えた半導体装置の一例を説明する。図7は、このような半導体装置の構成例を示すブロック図である。図7に示す半導体装置は、無線通信により外部装置と信号の送受信を行って動作するコンピュータ(以下、「RF CPU」という)と呼ぶことができる。

40

【0163】

図7に示すように、RF CPU 511は、アナログ回路部512とデジタル回路部513を有している。アナログ回路部512として、共振容量を有する共振回路514、整流回路515、定電圧回路516、リセット回路517、発振回路518、復調回路519、変調回路520と、電源管理回路530を有している。デジタル回路部513は、RFインターフェース521、制御レジスタ522、クロックコントローラ523、CPUインターフェース524、中央処理ユニット525(CPUとも記す)、ランダムアクセスメ

50

メモリ 526 (RAMとも記す)、読み出し専用メモリ 527 (ROMとも記す)を有している。

【0164】

RFCPU 511の動作の概要は以下の通りである。アンテナ 528が受信した信号によって共振回路 514で誘導起電力が生じる。誘導起電力は、整流回路 515を経て容量部 529に充電される。この容量部 529はセラミックコンデンサや電気二重層コンデンサなどのキャパシタで形成されていることが好ましい。容量部 529は、RFCPU 511を構成する基板に集積されている必要はなく、他の部品としてRFCPU 511に組み込むこともできる。

【0165】

リセット回路 517は、デジタル回路部 513をリセットし初期化する信号を生成する。例えば、リセット回路 517は電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路 518は、定電圧回路 516により生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。復調回路 519は、受信信号を復調する回路であり、変調回路 520は、送信するデータを変調する回路である。

【0166】

例えば、復調回路 519はローパスフィルタで形成され、振幅変調 (ASK) 方式の受信信号を、その振幅の変動をもとに、二値化する。また、変調回路 520は、振幅変調 (ASK) 方式の送信信号の振幅を変動させて送信する。変調回路 520は、共振回路 514の共振点を変化させることで通信信号の振幅を変化させている。

【0167】

クロックコントローラ 523は、電源電圧または中央処理ユニット 525における消費電流に応じてクロック信号の周波数とデューティ比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 530が行っている。

【0168】

アンテナ 528からRFCPU 511に入力された信号は復調回路 519で復調された後、RFインターフェース 521で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ 522に格納される。制御コマンドには、読み出し専用メモリ 527に記憶されているデータの読み出し、ランダムアクセスメモリ 526へのデータの書き込み、中央処理ユニット 525への演算命令などが含まれている。

【0169】

中央処理ユニット 525は、CPUインターフェース 524を介して読み出し専用メモリ 527、ランダムアクセスメモリ 526、制御レジスタ 522にアクセスする。CPUインターフェース 524は、中央処理ユニット 525が要求するアドレスより、読み出し専用メモリ 527、ランダムアクセスメモリ 526、制御レジスタ 522のいずれかに対するアクセス信号を生成する機能を有している。

【0170】

中央処理ユニット 525の演算方式は、読み出し専用メモリ 527にOS (オペレーティングシステム) を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の演算処理を行い、プログラムを使って、残りの演算を中央処理ユニット 525が処理する方式を適用できる。

【0171】

次に、図 8、図 9 を用いて、表示装置について説明する。

【0172】

図 8 は液晶表示装置を説明するための図面である。図 8 (A) は液晶表示装置の画素の平面図であり、図 8 (B) は、J - K 切断線による図 8 (A) の断面図である。

【0173】

図 8 (A) に示すように、画素は、単結晶半導体層 320、単結晶半導体層 320 と交差

10

20

30

40

50

している走査線 322、走査線 322 と交差している信号線 323、画素電極 324、画素電極 324 と単結晶半導体層 320 を電氣的に接続する電極 328 を有する。単結晶半導体層 320 は、ベース基板 110 上に設けられた単結晶半導体層から形成された層であり、画素の TFT 325 を構成する。

【0174】

SOI 基板には上記実施の形態で示した SOI 基板が用いられている。図 8 (B) に示すように、ベース基板 110 上に、酸化膜 102 を介して単結晶半導体層 320 が積層されている。ベース基板 110 としては、ガラス基板を用いることができる。TFT 325 の単結晶半導体層 320 は、SOI 基板の単結晶半導体層をエッチングにより素子分離して形成された膜である。単結晶半導体層 320 には、チャネル形成領域 340、不純物元素が添加された n 型の高濃度不純物領域 341 が形成されている。TFT 325 のゲート電極は走査線 322 に含まれ、ソース電極およびドレイン電極の一方は信号線 323 に含まれている。

10

【0175】

層間絶縁膜 327 上には、信号線 323、画素電極 324 および電極 328 が設けられている。層間絶縁膜 327 上には、柱状スペーサ 329 が形成されている。信号線 323、画素電極 324、電極 328 および柱状スペーサ 329 を覆って配向膜 330 が形成されている。対向基板 332 には、対向電極 333、対向電極 333 を覆う配向膜 334 が形成されている。柱状スペーサ 329 は、ベース基板 110 と対向基板 332 の隙間を維持するために形成される。柱状スペーサ 329 によって形成される隙間に液晶層 335 が形成されている。信号線 323 および電極 328 と高濃度不純物領域 341 との接続部は、コンタクトホール形成によって層間絶縁膜 327 に段差が生じるので、この接続部では液晶層 335 の液晶の配向が乱れやすい。そのため、この段差部に柱状スペーサ 329 を形成して、液晶の配向の乱れを防ぐ。本発明の一態様に係る SOI 基板の作製工程を適用して液晶表示装置を作製することで、接合不良に起因する表示ムラを低減することができる。

20

【0176】

次に、エレクトロルミネセンス表示装置（以下、EL 表示装置という。）について図 9 を参照して説明する。図 9 (A) は EL 表示装置の画素の平面図であり、図 9 (B) は、J-K 切断線による図 9 (A) の断面図である。

30

【0177】

図 9 (A) に示すように、画素は、TFT となる選択用トランジスタ 401、表示制御用トランジスタ 402、走査線 405、信号線 406、および電流供給線 407、画素電極 408 を含む。エレクトロルミネセンス材料を含んで形成される層（EL 層）が一对の電極間に挟んだ構造の発光素子が各画素に設けられている。発光素子の一方の電極が画素電極 408 である。また、半導体層 403 は、選択用トランジスタ 401 のチャネル形成領域、ソース領域およびドレイン領域が形成されている。半導体層 404 は、表示制御用トランジスタ 402 のチャネル形成領域、ソース領域およびドレイン領域が形成されている。半導体層 403、404 は、ベース基板上に設けられた単結晶半導体層から形成された層である。

40

【0178】

選択用トランジスタ 401 において、ゲート電極は走査線 405 に含まれ、ソース電極またはドレイン電極の一方は信号線 406 に含まれ、他方は電極 411 として形成されている。表示制御用トランジスタ 402 は、ゲート電極 412 が電極 411 と電氣的に接続され、ソース電極またはドレイン電極の一方は、画素電極 408 に電氣的に接続される電極 413 として形成され、他方は、電流供給線 407 に含まれている。

【0179】

表示制御用トランジスタ 402 は p チャネル型の TFT である。図 9 (B) に示すように、半導体層 404 には、チャネル形成領域 451、および p 型の高濃度不純物領域 452 が形成されている。なお、SOI 基板は、実施の形態で作製した SOI 基板が用いられて

50

いる。

【 0 1 8 0 】

表示制御用トランジスタ 4 0 2 のゲート電極 4 1 2 を覆って、層間絶縁膜 4 2 7 が形成されている。層間絶縁膜 4 2 7 上に、信号線 4 0 6、電流供給線 4 0 7、電極 4 1 1、4 1 3 などが形成されている。また、層間絶縁膜 4 2 7 上には、電極 4 1 3 に電氣的に接続されている画素電極 4 0 8 が形成されている。画素電極 4 0 8 は周辺部が絶縁性の隔壁層 4 2 8 で囲まれている。画素電極 4 0 8 上には E L 層 4 2 9 が形成され、E L 層 4 2 9 上には対向電極 4 3 0 が形成されている。補強板として対向基板 4 3 1 が設けられており、対向基板 4 3 1 は樹脂層 4 3 2 によりベース基板 1 1 0 に固定されている。

【 0 1 8 1 】

E L 表示装置の階調の制御は、発光素子の輝度を電流で制御する電流駆動方式と、電圧でその輝度を制御する電圧駆動方式とがあるが、電流駆動方式は、画素ごとでトランジスタの特性値の差が大きい場合、採用することは困難であり、そのためには特性のばらつきを補正する補正回路が必要になる。本発明の一態様に係る S O I 基板の作製工程を適用して E L 表示装置を作製することで、接合不良に起因する表示ムラを低減することができる。

【 0 1 8 2 】

つまり、S O I 基板を用いることで、様々な電気機器を作製することができる。電気機器としては、ビデオカメラやデジタルカメラなどのカメラ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボなど）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍など）、記録媒体を備えた画像再生装置（具体的には D V D (d i g i t a l v e r s a t i l e d i s c) などの記録媒体に記憶された音声データを再生し、かつ記憶された画像データを表示しうる表示装置を備えた装置）などが含まれる。それらの一例を図 1 0 に示す。

【 0 1 8 3 】

図 1 0 (A) は表示装置であり、筐体 8 0 1、支持台 8 0 2、表示部 8 0 3、スピーカ部 8 0 4、ビデオ入力端子 8 0 5 等を含む。本発明の一態様を用いて形成される発光装置をその表示部 8 0 3 に用いることにより作製される。なお、表示装置は、パーソナルコンピュータ用、T V 放送受信用、広告表示用などの全ての情報表示用装置が含まれる。本発明の一態様を適用することで、主に発光装置の成膜工程における材料の利用効率向上、および製造効率向上を図ることができるので、表示装置の製造における製造コストの低減、および生産性の向上を図ることができ、安価な表示装置を提供することができる。

【 0 1 8 4 】

図 1 0 (B) はコンピュータであり、筐体 8 1 2、表示部 8 1 3、キーボード 8 1 4、外部接続ポート 8 1 5、マウス 8 1 6 等を含む。なお、コンピュータは、本発明の一態様を用いて形成される発光装置をその表示部 8 1 3 に用いることにより作製される。本発明の一態様を適用することで、主に発光装置の成膜工程における材料の利用効率向上、および製造効率向上を図ることができるので、コンピュータの製造における製造コストの低減、および生産性の向上を図ることができ、安価なコンピュータを提供することができる。

【 0 1 8 5 】

図 1 0 (C) はビデオカメラであり、表示部 8 2 2、外部接続ポート 8 2 4、リモコン受信部 8 2 5、受像部 8 2 6、操作キー 8 2 9 等を含む。なお、ビデオカメラは、本発明の一態様を用いて形成される発光装置をその表示部 8 2 2 に用いることにより作製される。本発明の一態様を適用することで、主に発光装置の成膜工程における材料の利用効率向上、および製造効率向上を図ることができるので、ビデオカメラの製造における製造コストの低減、および生産性の向上を図ることができ、安価なビデオカメラを提供することができる。

【 0 1 8 6 】

図 1 0 (D) は携帯電話であり、表示部 8 4 3、音声入力部 8 4 4、音声出力部 8 4 5、操作キー 8 4 6、外部接続ポート 8 4 7 等を含む。なお、携帯電話は、本発明の一態様を用いて形成される発光装置をその表示部 8 4 3 に用いることにより作製される。また、赤

10

20

30

40

50

外線通信機能、テレビ受信機能等を備えた携帯電話としてもよい。本発明の一態様を適用することで、主に発光装置の成膜工程における材料の利用効率向上、および製造効率向上を図ることができるので、携帯電話の製造における製造コストの低減、および生産性の向上を図ることができ、安価な携帯電話を提供することができる。

【0187】

図10(E)は卓上照明器具であり、照明部831、傘832、可変アーム833、電源835等を含む。なお、卓上照明器具は、本発明の一態様を用いて形成される発光装置を照明部831に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。本発明の一態様を適用することで、主に発光装置の成膜工程における材料の利用効率向上、および製造効率向上を図ることができるので、卓上照明器具の製造における製造コストの低減、および生産性の向上を図ることができる、安価な卓上照明器具を提供することができる。

10

【0188】

図11は、本発明の一態様を適用した携帯電話の一例であり、図11(A)が正面図、図11(B)が背面図、図11(C)が2つの筐体をスライドさせたときの正面図である。携帯電話700は、筐体701及び筐体702二つの筐体で構成されている。携帯電話700は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能な所謂スマートフォンである。

【0189】

携帯電話700は、筐体701及び筐体702で構成されている。筐体701においては、表示部703、スピーカー704、マイクロフォン705、操作キー706、ポインティングデバイス707、表面カメラ用レンズ708、外部接続端子ジャック709及びイヤホン端子710等を備え、筐体702においては、キーボード711、外部メモリスロット712、裏面カメラ713、ライト714等により構成されている。また、アンテナは筐体701に内蔵されている。

20

【0190】

また、携帯電話700には、上記の構成に加えて、非接触型ICチップ、小型記録装置等を内蔵していてもよい。

【0191】

重なり合った筐体701と筐体702(図11(A)参照)は、スライドさせることが可能であり、スライドさせることで図11(C)のように展開する。表示部703には、上記実施の形態で説明し表示装置の作製方法を適用した表示パネル又は表示装置を組み込むことが可能である。表示部703と表面カメラ用レンズ708を同一の面に備えているため、テレビ電話としての使用が可能である。また、表示部703をファインダーとして用いることで、裏面カメラ713及びライト714で静止画及び動画の撮影が可能である。

30

【0192】

スピーカー704及びマイクロフォン705を用いることで、携帯電話700は、音声記録装置(録音装置)又は音声再生装置として使用することができる。また、操作キー706により、電話の発着信操作、電子メール等の簡単な情報入力操作、表示部に表示する画面のスクロール操作、表示部に表示する情報の選択等を行うカーソルの移動操作等が可能である。

40

【0193】

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード711を用いると便利である。更に、重なり合った筐体701と筐体702(図11(A))をスライドさせることで、図11(C)のように展開させることができる。携帯情報端末として使用する場合には、キーボード711及びポインティングデバイス707を用いて、カーソルの円滑な操作が可能である。外部接続端子ジャック709はACアダプタ及びUSBケーブル等の各種ケーブルと接続可能であり、充電及びパーソナルコンピュータ等とのデータ通信が可能である。また、外部メモリスロット712に記録媒体を挿入し、より大量のデータ保存及び移動が可能になる。

50

【0194】

筐体702の裏面(図11(B))には、裏面カメラ713及びライト714を備え、表示部703をファインダーとして静止画及び動画の撮影が可能である。

【0195】

また、上記の機能構成に加えて、赤外線通信機能、USBポート、テレビワンセグ受信機能、非接触ICチップ又はイヤホンジャック等を備えたものであってもよい。

【0196】

図8及び図9では、実施の形態1を適用したSOI基板を用いて表示装置をそれぞれ作製しているが、他の実施の形態で説明したSOI基板を用いて作製することができる。また、図10及び図11において説明した各種電子機器は、上述したトランジスタ及び表示装置の作製方法を適用して作製することができる。

10

【0197】

以上のようにして、本発明の一態様に係るSOI基板を適用してあらゆる電子機器を得ることができる。本発明の一態様に係る発光装置の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【実施例1】

【0198】

本実施例では、ベース基板の表面にプラズマ処理を行った場合の表面特性の変化に関して説明する。本実施例において、ベース基板はガラス基板を用いている。

【0199】

20

ガラス基板の表面に処理時間の異なるプラズマ処理を行い、ガラス基板の表面粗さを測定した。プラズマ処理の条件は、東京エレクトロン社製の装置(ME-500 ICPプラズマドライエッチング装置)を用い、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)と呼ばれる方式で、ICP電力500W(0.11W/cm²)、RFバイアス100W(0.61W/cm²)、圧力1.35Pa、アルゴンガス流量100sccm、処理時間(0分、2分、3分、4分、5分、6分)の条件で行った。

【0200】

本実施例においてはガラス基板の表面粗さの測定には、原子間力顕微鏡(AFM; Atomic Force Microscope)を用いて、ガラス基板の平均面粗さ(Ra)30、山谷の最大高低差(P-V)を測定した。

【0201】

ここで、平均面粗さ(Ra)とは、JISB0601:2001(ISO4287:1997)で定義されている中心線平均粗さRaを、測定面に対して適用できるように三次元に拡張したものである。基準面から指定面までの偏差の絶対値を平均した値と表現でき、次式で与えられる。

【0202】

【数3】

$$R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X,Y) - Z_0| dXdY$$

40

【0203】

なお、測定面とは、全測定データの示す面であり、下記の式で表す。

【0204】

【数4】

$$Z = F(X,Y)$$

50

【 0 2 0 5 】

また、指定面とは、粗さ計測の対象となる面であり、座標 (X_1, Y_1) (X_1, Y_2) (X_2, Y_1) (X_2, Y_2) で表される4点により囲まれる長方形の領域とし、指定面が理想的にフラットであるとしたときの面積を S_0 とする。なお、 S_0 は下記の式で求められる。

【 0 2 0 6 】

【数5】

$$S_0 = (X_2 - X_1) \cdot (Y_2 - Y_1)$$

10

【 0 2 0 7 】

自乗平均面粗さ (RMS) とは、断面曲線に対する RMS を、測定面に対して適用できるよう、Ra と同様に三次元に拡張したものである。基準面から指定面までの偏差の自乗を平均した値の平方根と表現でき、次式で与えられる。

【 0 2 0 8 】

【数6】

$$Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X, Y) dX dY$$

20

【 0 2 0 9 】

また、基準面とは、指定面の高さの平均値を Z_0 とするとき、 $Z = Z_0$ で表される平面である。基準面はXY平面と平行となる。なお、 Z_0 は下記の式で求められる。

【 0 2 1 0 】

【数7】

$$R_{ms} = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X, Y) - Z_0\}^2 dX dY}$$

30

【 0 2 1 1 】

山谷の最大高低差 (P - V) とは、指定面において、最も高い山頂の標高 Z_{max} と最も低い谷底の標高 Z_{min} の差と表現でき、次式で与えられる。

【 0 2 1 2 】

【数8】

$$P - V = Z_{max} - Z_{min}$$

40

【 0 2 1 3 】

ここでいう山頂と谷底とは JIS B 0601 : 2001 (ISO 4287 : 1997) で定義されている「山頂」「谷底」を三次元に拡張したものであり、山頂とは指定面の山において最も標高の高いところ、谷底とは指定面において最も標高の低いところと表現される。

【 0 2 1 4 】

本実施例における平均面粗さ (Ra)、山谷の最大高低差 (P - V) の測定条件を以下に記す。

50

- ・原子間力顕微鏡（AFM）：走査型プローブ顕微鏡SPI3800N / SPA500（セイコーインスツルメンツ（株）製）
- ・測定モード：ダイナミックフォースモード（DFMモード）
- ・カンチレバー：SI-DF40（シリコン製バネ定数42N/m、共振周波数250～390kHz、探針の先端R 10nm）
- ・走査速度：1.0Hz
- ・測定面積：10×10μm
- ・測定点数：256×256点

なお、DFMモードとは、ある周波数（カンチレバーに固有の周波数）でカンチレバーを共振させた状態で、レバーの振動振幅が一定になるように探針と試料との距離を制御しながら、表面形状を測定する測定モードのことである。このDFMモードは試料の表面に非接触で測定するため、試料の表面を傷つけることなく、元の形状を保ったまま測定できる。

【0215】

ガラス基板の表面粗さの測定は、上記条件にて、処理時間を0分、2分、3分、4分、5分、6分と振ったガラス基板に対して行い、三次元表面形状の像を得た。この得られた測定画像の基板断面の曲率を考慮し、付属のソフトウェアにより、画像の全データから最小二乗方により一次平面を求めてフィッティングし、面内の傾きを補正する一次傾き補正を行い、続いて二次曲線を補正する二次傾き補正を行ったのち、付属のソフトウェアにより、表面粗さ解析を行い、平均面粗さ（Ra）、山谷の最大高低差（P-V）をそれぞれ算出した。

【0216】

表1及び図15に、算出された平均面粗さ（Ra）と、山谷の最大高低差（P-V）を示す。なお、図15では、処理時間0分を、プラズマ未処理と示している。

【0217】

【表1】

処理時間 [min]	Ra[nm]	P-V[nm]
0	0.45	29.66
1	—	—
2	0.39	20.55
3	0.36	17.97
4	0.34	16.63
5	0.33	14.59
6	0.33	8.47

【0218】

ガラス基板の表面の表面粗さ（Ra）が0.45nmから、アルゴンガスを用いてプラズマ処理を2min行うことにより、0.39nmに低減し、6min行うことにより、0.33nmにまで低減した。また、山谷の最大高低差（P-V）は、プラズマ処理前の29.66から、6min行うことにより8.47nmにまで低減した。プラズマ処理を行うことによって、ガラス基板表面の表面粗さ及び山谷の最大高低差を低減することができた。

【実施例2】

【0219】

本実施例では、ガラス基板にプラズマ処理を行った場合の接触角を測定した結果について説明する。

【0220】

まず、互いに異なる条件でプラズマ処理が行われた複数の試料A、試料B、試料Cを用意し、当該試料A、試料B、試料Cの表面の接触角を測定した。なお、接触角とは、図16

に示すように、滴下したドットのふちにおける、形成面と液滴の接線がなす角度 のことを指し、接触角が小さいほどその表面が親水性であるといえる。

【 0 2 2 1 】

試料 A はプラズマ処理が行われていないガラス基板である。試料 B と試料 C はプラズマ処理を行ったガラス基板である。試料 B のプラズマ処理の条件は、東京エレクトロン社製の装置 (ME - 500 ICP プラズマドライエッチング装置) を用い、ICP 方式で、ICP 電力 500 W (0.11 W / cm²)、RF バイアス 100 W (0.61 W / cm²)、圧力 1.35 Pa、アルゴンガス流量 100 sccm、処理時間 3 分の条件で行った。また、試料 C のプラズマ処理の条件は、Ar / O₂ ガス流量 100 / 20 sccm 以外は、試料 B と同様にして行った。

10

【 0 2 2 2 】

次に、接触角測定装置を用いて水に対する接触角を測定した。測定は、接触角測定装置を用いて水がガラス基板 1010 表面に滴下する瞬間 (後の) の画像を断面観察方向により撮影した。ここで、図 16 に示すように、水滴 1011 端部が、ガラス基板表面と接触している箇所の接線 (矢印) がガラス基板の表面となす角度を、接触角 として測定した。この測定を、基板面内の 9 点 (図 17 (A) 参照) に対して行った。

【 0 2 2 3 】

表 2 に試料 A、試料 B、試料 C におけるガラス基板の接触角の測定結果を示す。

【 0 2 2 4 】

【表 2】

20

Point	接触角[°]		
	試料A	試料B	試料C
1	5.32	4.00	4.30
2	10.41	4.00	4.52
3	31.03	4.00	4.00
4	6.05	4.00	4.00
5	6.57	4.00	4.00
6	11.35	4.69	5.22
7	10.55	4.00	5.00
8	9.51	5.68	5.63
9	7.08	4.21	7.17
平均	10.87	4.29	4.87

30

【 0 2 2 5 】

表 2 に示すように、プラズマ処理が行われていない試料 A は、ガラス基板面内で接触角にばらつきがあることがわかった。これに対して、プラズマ処理をおこなった試料 B 及び試料 C は、試料 A よりも基板面内で接触角 のばらつきが少ないことがわかった。

【 0 2 2 6 】

次に、プラズマ処理が行われていないガラス基板 (試料 D) と、アルゴンガスを用いてプラズマ処理を行ったガラス基板 (試料 E) と、アルゴンガスを用いてプラズマ処理を行った後、洗浄を行ったガラス基板 (試料 F) との接触角 を測定した。

40

【 0 2 2 7 】

試料 E は、試料 B と同様の条件でプラズマ処理を行った。試料 F は、試料 B と同様の条件でプラズマ処理を行った後、洗浄を行った。

【 0 2 2 8 】

次に、接触角測定装置を用いて水に対する接触角を測定した。接触角の測定は、試料 A ~ 試料 C に対して行った方法と同様にして行った。

【 0 2 2 9 】

表 3 に試料 D ~ 試料 F におけるガラス基板の接触角の測定結果を示す。なお、4 ° 以下は接触角の測定下限値である。

50

【 0 2 3 0 】

【表 3】

Point	接触角[°]		
	試料D	試料E	試料F
1	4.12	4.50	5.28
2	5.53	4.26	4.96
3	4.93	5.49	4.33
4	7.37	4.44	4.69
5	6.81	5.17	4.00
6	4.00	4.26	4.86
7	4.72	4.37	4.87
8	5.64	5.18	4.66
9	4.88	5.06	4.00
平均	5.33	4.75	4.63

10

表 3 に示すように、プラズマ処理が行われていない試料 D は、ガラス基板面内で接触角にばらつきがあった。また、試料 D と試料 A と比べても、基板間で接触角にばらつきがあることがわかった。これに対し、プラズマ処理を行った試料 E は、試料 D よりも基板面内で接触角のばらつきが試料 D と比べて少ないことがわかった。さらに、試料 E と試料 B と比べても、基板間で接触角のばらつきが少ないことがわかった。さらに、プラズマ処理が行われた後に、洗浄した試料 F も、基板面内の接触角のばらつきは試料 D と比べて少ないことがわかった。

20

【実施例 3】

【 0 2 3 1 】

次に、ガラス基板に対してプラズマ処理の有無による S O I 基板の接合強度を調べるために、表面エネルギーを測定した結果について説明する。

【 0 2 3 2 】

まず、半導体基板として単結晶シリコン基板を 3 枚用意した。3 枚の単結晶シリコン基板それぞれに、酸素に対し塩化水素 (H C l) を 3 体積 % の割合で含有させた酸化性雰囲気中で、950 の温度で、200min、酸化処理を行うことにより酸化膜を形成した。次に、酸化膜が形成された 3 枚の単結晶シリコン基板に水素イオンを照射した。水素イオンの照射は、イオンドーピング装置を用いて、電源出力 100W、加速電圧 40kV、ドーズ量 $2.2 \times 10^{16} \text{ ions/cm}^2$ の条件で行った。

30

【 0 2 3 3 】

次に、単結晶シリコン基板と貼り合わせるためのベース基板としてガラス基板を三枚用意した。1 枚はプラズマ処理が行われていないガラス基板である。他の 2 枚は、プラズマ処理を行ったガラス基板である。プラズマ処理の条件を試料 B と同様に行ったものを 1 枚、試料 C と同様に行ったものを 1 枚ずつ用意した。

【 0 2 3 4 】

すべての基板に洗浄を行った後、ガラス基板と単結晶シリコン基板とを貼り合わせた。プラズマ処理が行われていないガラス基板と単結晶シリコン基板とを貼り合わせたものを試料 G、試料 B と同様の条件でプラズマ処理が行われたガラス基板と単結晶シリコン基板とを貼り合わせたものを試料 H、試料 C と同様の条件でプラズマ処理が行われたガラス基板と単結晶シリコン基板とを貼り合わせたものを試料 I とした。次に、貼り合わされたそれぞれの基板に対して 200 、2 時間で熱処理を行った。

40

【 0 2 3 5 】

次に、貼り合わされたそれぞれの基板の接合強度を調べるために、表面エネルギーを測定した。表面エネルギーの測定には、ブレード法を用いた。

【 0 2 3 6 】

ブレード法とは、第 1 の基板 1200 (ここでは、単結晶シリコン基板) 上に、形成され

50

た酸化膜と、第2の基板1201（ここでは、ガラス基板）とを貼り合わせた後、単結晶シリコン基板とガラス基板との間にブレードを差し込んだ際の、ブレード1205を差しこんだ端部から発生したクラック1203の境界1204までの距離Lに基づいて、下記の式から表面エネルギー（ ）を算出する方法である。

【0237】

【数9】

$$\gamma = \frac{3t_b^2 E_1 t_{w1}^3 E_2 t_{w2}^3}{16L^4 (E_1 t_{w1}^3 + E_2 t_{w2}^3)}$$

10

【0238】

上式において、 t_b はブレードの厚さ、 E_1 は第1の基板のヤング率、 E_2 は第2の基板のヤング率、 t_{w1} は第1の基板の厚さ、 t_{w2} は第2の基板の厚さ、 L はブレードの先端からCrackの境界までの距離を示している（図18）。なお、本実施例においては、ブレードの厚さ t_b は 2×10^{-4} (m)、第1の基板のヤング率 E_1 は、 1.3×10^{11} Pa、第2の基板のヤング率 E_2 は、 7.7×10^{10} Pa、第1の基板の厚さ t_{w1} は、0.7 mm、第2の基板の厚さ t_{w2} は、0.7 mmである。

【0239】

20

熱処理が行われた後、単結晶シリコン基板とガラス基板との間にブレードを差し込み、ブレードを差し込んだ端部から発生したCrackの境界までの距離Lについて測定した。ブレードは、基板の一辺から差し込み、差し込んでから3分経った後に、距離Lを測定した。ブレードは、基板の上方向、下方向、左方向、右方向の順に差し込み、測定をおこなっている。距離Lを測定した後、上記の数式にそれぞれの値を代入し、表面エネルギーを計算して求めた。表4に、表面エネルギーを求めた結果について示す。

【0240】

【表4】

		進入距離 [mm]	表面エネルギー [mJ/m ²]	表面エネルギー 平均値[mJ/m ²]
試料G	上	-	-	-
	左	-	-	
	下	-	-	
	右	-	-	
試料H	上	20.64	685	703
	左	20.45	711	
	下	20.50	704	
	右	20.46	710	
試料I	上	20.07	315	408
	左	22.69	469	
	下	23.32	421	
	右	23.21	429	

30

40

【0241】

プラズマ処理が行われていないガラス基板と単結晶シリコン基板とは、自発接合が起こらず、貼り合わせはできなかったため、表面エネルギーを求めることができなかった。これに対して、プラズマ処理が行われたベース基板は、プラズマ処理を行うことによって、ベース基板の凸部が優先的にスパッタエッチングされ、凸部が平坦化され、単結晶シリコン基板と良好に貼り合わせを行うことができた。アルゴンガスでプラズマ処理を行った場合の表面エネルギーが703 mJ/m²、アルゴンガス及び酸素ガスでプラズマ処理を行った場合の表面エネルギーが408 mJ/m²となったことから、アルゴンガスでプラズマ処理を行った方が、高い表面エネルギーが得られることがわかった。

50

【実施例 4】

【0242】

本実施例では、ガラス基板表面の凹凸がプラズマ処理により、どのように平坦化されるのかを調査した結果について説明する。

【0243】

ガラス基板表面の凹凸は数 nm であるため、プラズマ処理によってどのように平坦化されるかを直接観察することが困難である。したがって、本実施例では、ガラス基板上に意図的に凹凸を形成することによって観察を行った。

【0244】

本実施例で用いた試料 J について説明する。まず、ガラス基板上に、窒化珪素膜 (50 nm)、酸化珪素膜 (200 nm) を順に積層した。次に、いわゆるラインアンドスペースと呼ばれるパターンを形成し、ドライエッチングを行って、酸化珪素膜にラインアンドスペースの凹凸を形成した。試料 J に対して、アルゴンガスを用いてプラズマ処理を行い、プラズマ処理前後での断面観察を STEM (Scanning Transmission Electron Microscope) により行った。

【0245】

プラズマ処理は、東京エレクトロン社製の装置 (ME-500 ICP プラズマドライエッチング装置) を用い、ICP 方式で、ICP 電力 500 W (0.11 W/cm^2)、RF バイアス 100 W (0.61 W/cm^2)、圧力 1.35 Pa、アルゴンガス流量 100 sccm、処理時間 3 分の条件で行った。

【0246】

図 19、図 20 に、プラズマ処理前後の STEM 像を示す。図 19 (A) は、プラズマ処理前のラインの像であり、図 19 (B) は、プラズマ処理前のスペースの像である。図 20 (A) は、プラズマ処理後のラインの像であり、図 20 (B) は、プラズマ処理後のスペースの像である。

【0247】

図 19 (A) に示すように、プラズマ処理前のライン (凸部) の長さは 1010 nm であったが、図 20 (A) に示すように、プラズマ処理後には 907 nm となり、約 100 nm 減少した。また、凸の高さについても、プラズマ処理前は、91.9 nm であったが、プラズマ処理後には、80.2 nm となり、約 10 nm 減少した。

【0248】

また、図 19 (B) に示すように、スペースの長さについても、プラズマ処理前は 422 nm であったが、図 20 (B) に示すように、プラズマ処理後には、545 nm となり、スペースは約 100 nm 増加した。スペースの部分の酸化珪素膜の膜厚については、膜減りが観察できなかった。

【0249】

さらに、プラズマ処理によって、図 20 (A) に示すように、凸部の上端部がエッチングされ曲線を描く形状になったことが観察できた。

【0250】

アルゴンガスを用いてプラズマ処理を行うことによって、凸部の上端部では、凸部の下端部 (スペース) と比べてエッチングレートが速くなり、結果的に凸部の高さが減少することがわかった。また、凸部の上端部がエッチングされて曲線を描く形状となることがわかった。すなわち、上端部は優先的にエッチングされるが、下端部はほとんど変化しない現象がこのプラズマ処理によって確認できる。

【0251】

このエッチングのメカニズムは、イオンの入射角依存性によって説明することができる。酸化珪素膜に対するイオンの入射角 (図 21) が大きくなれば、酸化珪素膜スパッタ率が大きくなるため、エッチングレートが速くなる。また、イオンの入射角が小さい (例えば、0 度) のときは、酸化珪素膜のスパッタ率が小さくなるため、エッチングレートが遅くなる。したがって、酸化珪素膜の上端部においては、イオンの入射角が大きくなりやす

10

20

30

40

50

いため、エッチングレートが速くなるものと考えられる。

【 0 2 5 2 】

以上の結果から、ガラス基板の数 $n\text{ m}$ の凹凸においても、凸部の上端部では、凸部の下端部と比べてエッチングレートが速くなると考えられる。その結果、凸部の高さ（山谷の最大高低差 $P - V$ ）が減少し、ガラス基板の表面ラフネス（平均面粗さ R_a ）が減少すると考えられる。

【実施例 5】

【 0 2 5 3 】

本実施例では、ベース基板上に形成された窒素含有層の表面にプラズマ処理を行った場合の表面特性の変化に関して説明する。本実施例において、ベース基板はガラス基板を用いており、窒素含有層として窒化酸化珪素膜を用いている。

【 0 2 5 4 】

まず、ガラス基板上に窒化酸化珪素膜（膜厚 50 nm ）を CVD 法により形成した。次に、窒化酸化珪素膜の表面に処理時間の異なるプラズマ処理を行い、窒化酸化珪素膜の表面粗さを測定した。プラズマ処理の条件は、東京エレクトロン社製の装置（ $\text{ME} - 500$ ICP プラズマドライエッチング装置）を用い、 ICP 方式で、 ICP 電力 1000 W （ 0.25 W/cm^2 ）、 RF バイアス 50 W （ 0.03 W/cm^2 ）、圧力 1.35 Pa 、アルゴンガス流量 100 sccm 、下部電極の温度 -10 、処理時間（ 0 分、 1 分、 3 分、 5 分、 7 分、 9 分）の条件で行った（図 23 参照）。

【 0 2 5 5 】

本実施例においては、原子間力顕微鏡を用いて、窒化酸化珪素膜の平均面粗さ（ R_a ）、山谷の最大高低差（ $P - V$ ）を測定した。

【 0 2 5 6 】

本実施例における平均面粗さ（ R_a ）、山谷の最大高低差（ $P - V$ ）の測定条件及び算出方法は、実施例 1 と同様であるため、詳細な説明は省略する。

【 0 2 5 7 】

表 5 及び図 23 に、算出された平均面粗さ R_a と、山谷の最大高低差 $P - V$ を示す。なお、白塗りの丸印は平均面粗さを示し、白塗りの三角印は山谷の最大高低差を示している。図 23 では、処理時間 0 分を、プラズマ未処理と示している。

【 0 2 5 8 】

【表 5】

処理時間 [min]	平均面粗さ R_a [nm]	最大高低差 $P-V$ [nm]
0	0.15	4.50
1	0.11	1.39
3	0.09	1.54
5	0.11	1.25
7	0.11	1.41
9	0.13	1.44

【 0 2 5 9 】

表 5 及び図 23 において、プラズマ未処理の条件では、平均面粗さ R_a は、 0.15 nm 、山谷の最大高低差 $P - V$ は、 4.50 nm であったのに対し、プラズマ処理を 1 分行うことで、平均面粗さ R_a を 0.11 nm 、山谷の最大高低差 $P - V$ を 1.39 nm に低減することができた。また、プラズマ処理を 3 分、 5 分、 7 分、 9 分行った場合についても、プラズマ未処理の場合と比較して、平均面粗さ R_a 、山谷の最大高低差 $P - V$ を低減することができた。これらの結果から、ベース基板上に形成された窒素含有層の表面にプラズマ処理を行うことにより、窒素含有層の表面の平坦性を向上させることができることがわかった。

【 0 2 6 0 】

次に、窒化酸化珪素膜にプラズマ処理を行った場合の接触角を測定した結果について説明する。

【 0 2 6 1 】

まず、ガラス基板上に窒化酸化珪素膜（膜厚 5 0 n m）を C V D 法により形成した試料を 4 つ用意した。4 つの試料のうち、3 つの試料についてプラズマ処理を行った。プラズマ処理の条件は、I C P 電力 1 0 0 0 W（ $0.25 \text{ W} / \text{cm}^2$ ）、R F バイアス 5 0 W（ $0.03 \text{ W} / \text{cm}^2$ ）、圧力 1 . 3 5 P a、アルゴンの流量 1 0 0 s c c m、下部電極の温度 - 1 0、処理時間（3 分、6 分、9 分）とした。処理時間 3 分の試料を試料 L とし、処理時間 6 分の試料を試料 M とし、処理時間 9 分の試料を試料 N とした。プラズマ処理を行わなかった試料を試料 K とした。

10

【 0 2 6 2 】

次に、実施例 2 と同様の方法で、接触角測定装置を用いて、水に対する接触角を測定した。測定は、接触角測定装置を用いて水が窒化酸化珪素膜表面に滴下する瞬間（後の）の画像を断面観察方向により撮影した。ここで、水滴 1 0 1 1 端部が、窒化酸化珪素膜表面と接触している箇所の接線（矢印）が窒化酸化珪素膜の表面となす角度を、接触角として測定した。この測定を、基板面内の 9 点（図 1 7（B）参照）に対して行った。

【 0 2 6 3 】

表 6 に試料 K、試料 L、試料 M、試料 N における窒化酸化珪素膜の接触角の測定結果を示す。

【 0 2 6 4 】

20

【表 6】

Point	接触角[°]			
	試料K	試料L	試料M	試料N
1	59.9	19.7	23.2	30.2
2	66.5	26.3	36.0	35.7
3	64.4	28.4	31.1	31.4
4	63.4	23.0	27.1	29.3
5	62.0	22.5	32.1	35.0
6	65.4	30.0	40.9	37.7
7	57.8	22.8	26.0	27.7
8	65.9	24.7	34.4	36.3
9	59.2	27.2	29.6	24.5
平均	62.7	24.9	31.1	32.0

30

【 0 2 6 5 】

表 6 に示すように、プラズマ処理が行われていない試料 K の基板面内の平均は、6 2 . 7 °であった。これに対して、プラズマ処理を行った試料 L、試料 M、試料 N のそれぞれの基板面内の平均は、2 4 . 9 °、3 1 . 1 °、3 2 . 0 °であり、プラズマ処理が行われていない試料 K と比較して接触角を小さくすることができた。

【 0 2 6 6 】

次に、窒化酸化珪素膜に対するプラズマ処理の有無による S O I 基板の接合強度を調べるために、表面エネルギーを測定した結果について説明する。

40

【 0 2 6 7 】

まず、半導体基板として単結晶シリコン基板を 4 枚用意した。4 枚の単結晶シリコン基板それぞれに、酸素に対し塩化水素（H C l）を 3 体積 % の割合で含有させた酸化性雰囲気中で、9 5 0 の温度で、2 0 0 m i n、酸化処理を行うことにより酸化膜を形成した。次に、酸化膜が形成された 4 枚の単結晶シリコン基板に水素イオンを照射した。水素イオンの照射は、イオンドーピング装置を用いて、電源出力 1 0 0 W、加速電圧 4 0 k V、ドーズ量 $2.2 \times 10^{16} \text{ ions} / \text{cm}^2$ の条件で行った。

【 0 2 6 8 】

次に、単結晶シリコン基板と貼り合わせるためのベース基板としてガラス基板を 4 枚用意した。4 枚のガラス基板上に、窒化酸化珪素膜（膜厚 5 0 n m）を形成した。次に、4 つ

50

の基板のうち、3つの基板についてプラズマ処理を行った。プラズマ処理の条件は、I C P電力1000W(0.25W/cm²)、RFバイアス50W(0.03W/cm²)、圧力1.35Pa、アルゴンの流量100sccm、下部電極の温度-10、処理時間(3分、6分、9分)とした。残りの1つの基板には、プラズマ処理を行わなかった。

【0269】

すべての基板に洗浄を行った後、それぞれのガラス基板とそれぞれの単結晶シリコン基板とを窒化酸化珪素膜を介して貼り合わせた。プラズマ処理が行われていない窒化酸化珪素膜と単結晶シリコン基板とを貼り合わせたものを試料Oとし、処理時間3分でプラズマ処理が行われた窒化酸化珪素膜と単結晶シリコン基板とを貼り合わせたものを試料P、処理時間6分でプラズマ処理が行われた窒化酸化珪素膜と単結晶シリコン基板とを貼り合わせたものを試料Q、処理時間9分でプラズマ処理が行われた窒化酸化珪素膜と単結晶シリコン基板とを貼り合わせたものを試料Rとした。次に、貼り合わされたそれぞれの基板に対して200、2時間で熱処理を行った。

【0270】

次に、貼り合わされたそれぞれの基板の接合強度を調べるために、表面エネルギーを測定した。表面エネルギーの測定は、ブレード法により実施例3と同様の条件で行った。

【0271】

熱処理が行われた後、単結晶シリコン基板と窒化酸化珪素膜との間にブレードを差し込み、ブレードを差し込んだ端部から発生したCrackの境界までの距離Lについて測定した。ブレードは、基板の一辺から差し込み、差し込んでから3分経った後に、距離Lを測定した。ブレードは、基板の上方向、下方向、左方向、右方向の順に差し込み、測定をおこなっている。距離Lを測定した後、上記の数式にそれぞれの値を代入し、表面エネルギーを計算して求めた。表7に、表面エネルギーを求めた結果について示す。なお、表7において、棒線で示されている部分は、単結晶シリコン基板と窒化酸化珪素膜との間にブレードを差し込む際に、単結晶シリコン基板と窒化酸化珪素膜との貼り合わせの強度が強かったため、ガラス基板側が耐えられず割れてしまったことを示している。

【0272】

【表7】

		進入距離 [mm]	表面エネルギー [mJ/m ²]	表面エネルギー 平均値[mJ/m ²]
試料O	上	19.95	785	782.5
	左	19.79	811	
	下	19.97	782	
	右	20.17	752	
試料P	上	割れ	-	1172
	左	18.13	1151	
	下	17.97	1193	
	右	割れ	-	
試料Q	上	18.42	1081	1038
	左	18.39	1088	
	下	18.77	1002	
	右	18.87	981	
試料R	上	19.39	880	908.0
	左	18.84	987	
	下	19.13	929	
	右	19.64	836	

【0273】

表7に示すように、プラズマ処理を行っていない場合の表面エネルギーが782.5mJ/m²、プラズマ処理を行った場合の表面エネルギーが1172mJ/m²、1038mJ/m²、908.0mJ/m²となったことから、プラズマ処理を行うことにより、表面エネルギーを向上させることができることがわかった。

【0274】

次に、ガラス基板上に形成された窒化酸化珪素膜に対してプラズマ処理を行った後の窒化酸化珪素膜の表面の状態について、X線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いて、窒化酸化珪素膜の表面に存在する元素の種類、存在量、化学結合状態について調査した。

【0275】

本実施例で用いた試料について説明する。まず、ガラス基板上に窒化酸化珪素膜（膜厚50nm）をCVD法により形成した。このようにして形成された試料を試料Sとした。

【0276】

次に、ガラス基板上に試料Sと同様にして形成した窒化酸化珪素膜（膜厚50nm）に対してプラズマ処理を行った試料を用意した。プラズマ処理の条件は、ICP電力1000W（0.25W/cm²）、RFバイアス50W（0.03W/cm²）、圧力1.35Pa、アルゴンの流量100sccm、下部電極の温度-10、処理時間3分とした。以上により得られた試料を試料Tとした。

【0277】

次に、試料Sの表面、試料Tの表面に対してXPS測定を行った。図24に、試料S及び試料Tのシリコンの2p軌道の電子について測定した結果を示す。横軸は、束縛エネルギー[eV]、縦軸は、強度（相対単位）を示している。実線は、試料Sの光電子分光スペクトルを示し、点線は試料Tの光電子分光スペクトルを示している。また、両スペクトルにおいて、強度は規格化されている。また、表8にシリコンの2p軌道においてピークが現れる結合状態と、束縛エネルギー値を示す。シリコンの2p軌道の電子のXPSスペクトルからエネルギー状態を調べることにより、どのような珪素化合物が存在するかを特定することができる。

【0278】

【表8】

結合状態	束縛エネルギー値[eV]
Si3N4	101.7
SiNO等	101.5~103
SiOx(x<2)	100~102
SiO2	103~103.6

【0279】

図24に示すように、試料Sのスペクトルについて、102eV付近にピークが観測され、SiNO等の束縛エネルギーと一致した。また、試料Tのスペクトルについては、103eV付近にピークが観測され、SiO₂の束縛エネルギーと一致した。このことから、窒化酸化珪素膜に対してプラズマ処理を行うことにより窒化酸化珪素膜の表面は、SiNO成分が減少し、SiO₂成分が増加することがわかった。

【0280】

以上の結果より、窒化酸化珪素膜に対してプラズマ処理を行うことにより、窒化酸化珪素膜の表面においてSiO₂成分が増加していることが確認できた。窒化酸化珪素膜の表面においてSiO₂成分が増加することにより、窒化酸化珪素膜の表面の親水性が向上したと考えられる。その結果、ガラス基板上に形成された窒化酸化珪素膜と、半導体基板上に形成された酸化膜との接合強度を向上させることができたと考えられる。さらに、プラズマ処理を行うことにより、窒化酸化珪素膜の表面は平坦化され、接合強度が向上したものと考えられる。

【実施例6】

【0281】

本実施例では、半導体基板とベース基板との接合界面において不良数を測定した結果について説明する。

【0282】

条件 1 として、半導体基板として単結晶シリコン基板を用意し、ベース基板としてガラス基板を用意した。当該単結晶シリコン基板に、塩素が添加された酸化性雰囲気中で熱酸化処理により酸化シリコン膜を約 100 nm 形成した後、水素イオンを照射して単結晶シリコン基板中に脆化領域を形成した。次に、単結晶シリコン基板に対して洗浄処理を行った。洗浄処理は、炭酸水を用いて行った。

【 0 2 8 3 】

次に、貼り合わせを行う前に単結晶シリコン基板とガラス基板に対して洗浄処理を行った。洗浄処理は、炭酸水を用いて行った。次に、単結晶シリコン基板とガラス基板とを貼り合わせた。次に熱処理を行い、単結晶シリコン層が設けられたガラス基板と、単結晶シリコン基板とに分離した。サンプル 1 ~ 4 として、単結晶シリコン層が設けられたガラス基板を 4 つ用意した。

10

【 0 2 8 4 】

条件 2 として、半導体基板として単結晶シリコン基板を用意し、ベース基板としてガラス基板を用意した。当該単結晶シリコン基板に、塩素が添加された酸化性雰囲気中で熱酸化処理により酸化シリコン膜を約 100 nm 形成した後、水素イオンを照射して単結晶シリコン基板中に脆化領域を形成した。次に、単結晶シリコン基板に対して UV オゾン処理を行った。UV オゾン処理は、大気雰囲気下にて低圧水銀ランプの照射により行った。

【 0 2 8 5 】

次に、貼り合わせを行う前に単結晶シリコン基板とガラス基板に対して洗浄処理を行った。洗浄処理は、炭酸水及びオゾン水を用いて洗浄を行った。次に、単結晶シリコン基板とガラス基板とを貼り合わせた。次に、熱処理を行い、単結晶シリコン層が設けられたガラス基板と、単結晶シリコン基板とに分離した。サンプル 5 ~ 9 として、単結晶シリコン層が設けられたガラス基板を 5 つ用意した。

20

【 0 2 8 6 】

その後、条件 1、条件 2 によって作製されたガラス基板上に設けられた単結晶シリコン層をゴミ検査機（日立電子エンジニアリング株式会社製、ガラス基板表面検査装置 G I - 4 6 0 0）で観察した。ゴミ検査機で観察された不良の数を表 9 及び表 10 に示す。表 9 は、条件 1 で作製したサンプルの結果であり、表 10 は、条件 2 で作製したサンプルの結果である。

【 0 2 8 7 】

30

【表 9】

サンプルNo.	不良数(個/107mm ²)
1	3749
2	4209
3	1841
4	41

【 0 2 8 8 】

【表 10】

サンプルNo.	不良数(個/107mm ²)
5	19
6	16
7	16
8	14
9	17

40

【 0 2 8 9 】

表 9 に示す条件 1 により作製したサンプルは不良数が多く、サンプル間の不良数のバラツキも多くなった。条件 1 で作製したサンプルは、炭酸水洗浄において乾燥した後にウォーターマークが単結晶シリコン基板に残ったと考えられる。その結果、貼り合わせに係る

50

不良が増大したと考えられる。これに対し、表 10 に示す条件 2 により作製したサンプルは、ほとんど不良が検出されず、良好に接合が行うことができた。条件 2 で作製したサンプルは、UV オゾン処理を行ったことにより、単結晶シリコン基板の表面に付着する有機物などを酸化分解して除去することができた。したがって、単結晶シリコン基板表面が親水性となり、炭酸水洗浄において乾燥した後にウォーターマークの発生を抑制できたと考えられる。その結果、貼り合わせに係る不良が生じることを抑制することができたと考えられる。

【符号の説明】

【 0 2 9 0 】

1 0 0	半導体基板	10
1 0 2	酸化膜	
1 0 3	イオン	
1 0 4	脆化領域	
1 0 5	絶縁層	
1 1 0	ベース基板	
1 1 1	窒素含有層	
1 1 4	半導体層	
1 2 1	半導体層	
1 2 2	半導体層	
1 2 3	絶縁膜	20
1 2 4	ゲート電極	
1 2 5	ゲート電極	
1 2 6	レジストマスク	
1 2 7	不純物元素	
1 2 8 a	低濃度不純物領域	
1 2 8 b	低濃度不純物領域	
1 2 9	チャネル形成領域	
1 3 0	レジストマスク	
1 3 1	不純物元素	
1 3 2 a	高濃度不純物領域	30
1 3 2 b	高濃度不純物領域	
1 3 3	チャネル形成領域	
1 3 4 a	サイドウォール絶縁膜	
1 3 4 b	サイドウォール絶縁膜	
1 3 5 a	サイドウォール絶縁膜	
1 3 5 b	サイドウォール絶縁膜	
1 3 6	レジストマスク	
1 3 7	不純物元素	
1 3 8 a	高濃度不純物領域	
1 3 8 b	高濃度不純物領域	40
1 3 9	絶縁膜	
1 4 0	層間絶縁膜	
1 4 0	層間絶縁膜	
1 4 1 a	配線	
1 4 1 b	配線	
1 4 2 a	配線	
1 4 2 b	配線	
1 9 1	電極	
1 9 2	電極	
1 9 3	コンデンサ	50

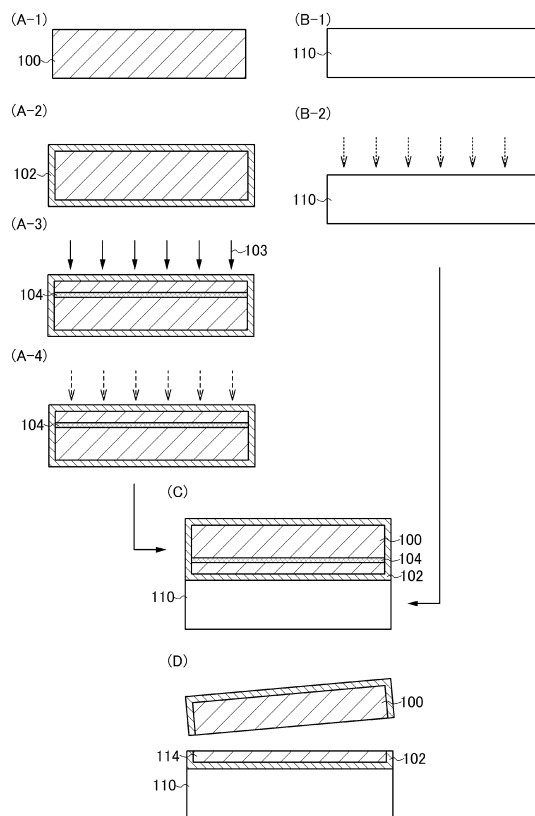
1 9 5	ステージ	
1 9 6	支持台	
1 9 7	電極	
1 9 8	電極	
1 3 9	絶縁膜	
3 0 2	単結晶半導体層	
3 2 0	単結晶半導体層	
3 2 2	走査線	
3 2 3	信号線	
3 2 4	画素電極	10
3 2 5	T F T	
3 2 7	層間絶縁膜	
3 2 8	電極	
3 2 9	柱状スペーサ	
3 3 0	配向膜	
3 3 2	対向基板	
3 3 3	対向電極	
3 3 4	配向膜	
3 3 5	液晶層	
3 4 0	チャネル形成領域	20
3 4 1	高濃度不純物領域	
3 5 0	室温以上	
4 0 0	室温以上	
4 0 1	選択用トランジスタ	
4 0 2	表示制御用トランジスタ	
4 0 3	半導体層	
4 0 4	半導体層	
4 0 5	走査線	
4 0 6	信号線	
4 0 7	電流供給線	30
4 0 8	画素電極	
4 1 0	電極	
4 1 1	電極	
4 1 2	ゲート電極	
4 1 3	電極	
4 2 7	層間絶縁膜	
4 2 8	隔壁層	
4 2 9	E L 層	
4 3 0	対向電極	
4 3 1	対向基板	40
4 3 2	樹脂層	
4 5 1	チャネル形成領域	
4 5 2	高濃度不純物領域	
5 0 0	マイクロプロセッサ	
5 0 1	演算回路	
5 0 2	演算回路制御部	
5 0 3	命令解析部	
5 0 4	制御部	
5 0 5	タイミング制御部	
5 0 6	レジスタ	50

5 0 7	レジスタ制御部	
5 0 8	バスインターフェース	
5 0 9	専用メモリ	
5 1 0	メモリインターフェース	
5 1 1	R F C P U	
5 1 2	アナログ回路部	
5 1 3	デジタル回路部	
5 1 4	共振回路	
5 1 5	整流回路	
5 1 6	定電圧回路	10
5 1 7	リセット回路	
5 1 8	発振回路	
5 1 9	復調回路	
5 2 0	変調回路	
5 2 1	R F インターフェース	
5 2 2	制御レジスタ	
5 2 3	クロックコントローラ	
5 2 4	C P U インターフェース	
5 2 5	中央処理ユニット	
5 2 6	ランダムアクセスメモリ	20
5 2 7	専用メモリ	
5 2 8	アンテナ	
5 2 9	容量部	
5 3 0	電源管理回路	
6 0 0	チャンバー	
6 0 1	石英板	
6 0 2	マルチスパイラルコイル	
6 0 3	マッチングボックス	
6 0 4	R F 電源	
6 0 5	下部電極	30
6 0 6	R F 電源	
7 0 0	携帯電話	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	スピーカー	
7 0 5	マイクロフォン	
7 0 6	操作キー	
7 0 7	ポインティングデバイス	
7 0 8	表面カメラ用レンズ	40
7 0 9	外部接続端子ジャック	
7 1 0	イヤホン端子	
7 1 1	キーボード	
7 1 2	外部メモリスロット	
7 1 3	裏面カメラ	
7 1 4	ライト	
8 0 1	筐体	
8 0 2	支持台	
8 0 3	表示部	
8 0 4	スピーカー部	50

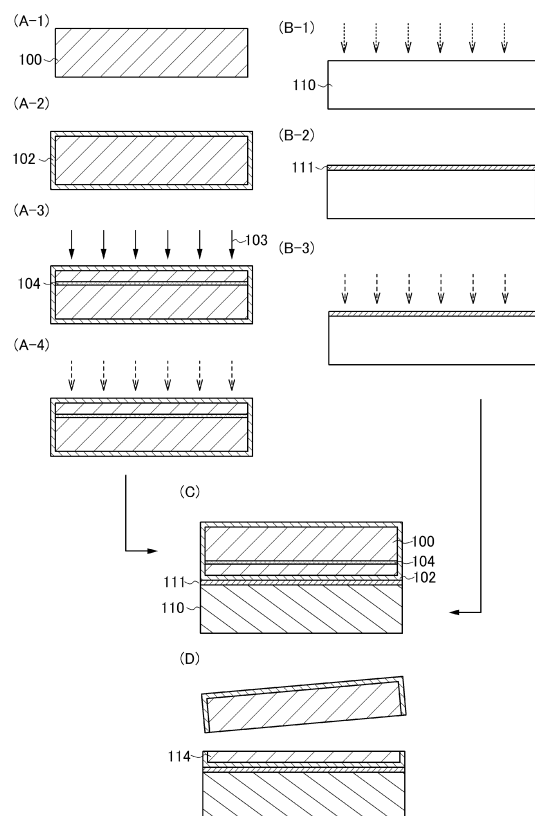
8 0 5	ビデオ入力端子	
8 1 2	筐体	
8 1 3	表示部	
8 1 4	キーボード	
8 1 5	外部接続ポート	
8 1 6	マウス	
8 2 2	表示部	
8 2 4	外部接続ポート	
8 2 5	リモコン受信部	
8 2 6	受像部	10
8 2 9	操作キー	
8 3 1	照明部	
8 3 2	傘	
8 3 3	可変アーム	
8 3 5	電源	
8 4 3	表示部	
8 4 4	音声入力部	
8 4 5	音声出力部	
8 4 6	操作キー	
8 4 7	外部接続ポート	20
1 0 1 0	ガラス基板	
1 0 1 1	水滴	
1 2 0 0	基板	
1 2 0 1	基板	
1 2 0 3	クラック	
1 2 0 4	境界	
1 2 0 5	ブレード	
8 0 0 1	筐体	
8 0 0 2	支持台	
8 0 0 3	表示部	30
8 0 0 4	スピーカ部	
8 0 0 5	ビデオ入力端子	
8 1 0 2	筐体	
8 1 0 3	表示部	
8 1 0 4	キーボード	
8 1 0 5	外部接続ポート	
8 1 0 6	マウス	
8 2 0 2	表示部	
8 2 0 4	外部接続ポート	
8 2 0 5	リモコン受信部	40
8 2 0 6	受像部	
8 2 0 9	操作キー	
8 3 0 1	照明部	
8 3 0 2	傘	
8 3 0 3	可変アーム	
8 3 0 5	電源	
8 4 0 3	表示部	
8 4 0 4	音声入力部	
8 4 0 5	音声出力部	
8 4 0 6	操作キー	50

8 4 0 7 外部接続ポート

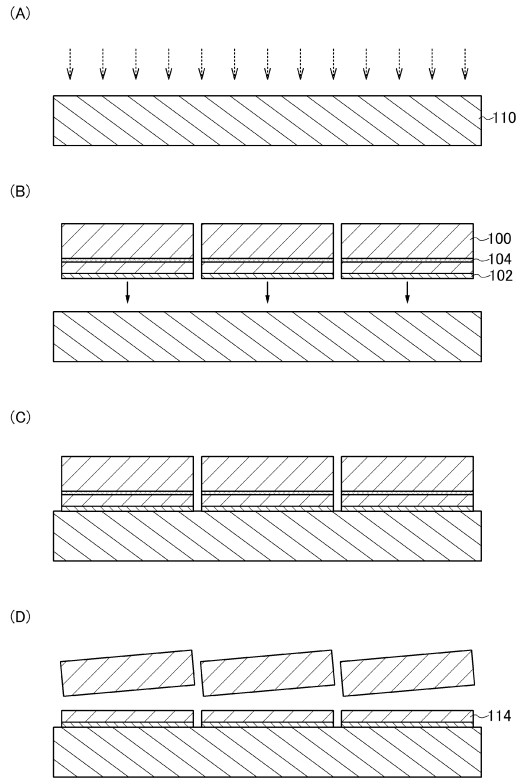
【図 1】



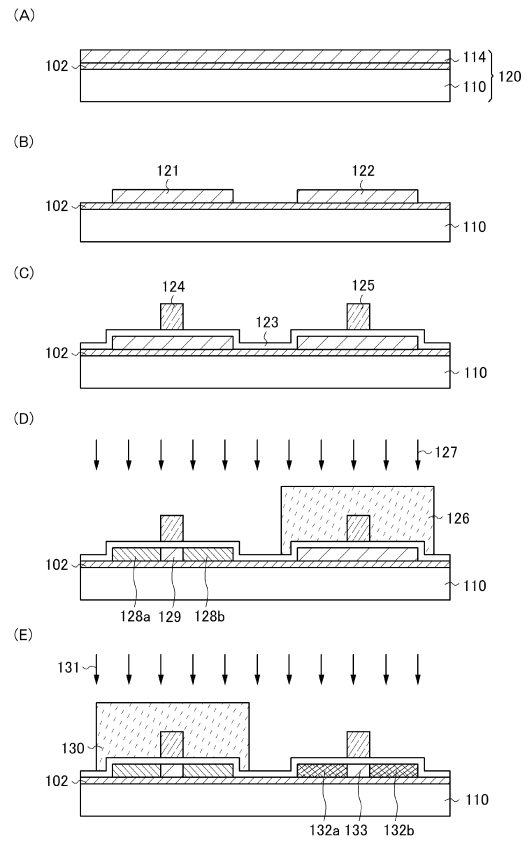
【図 2】



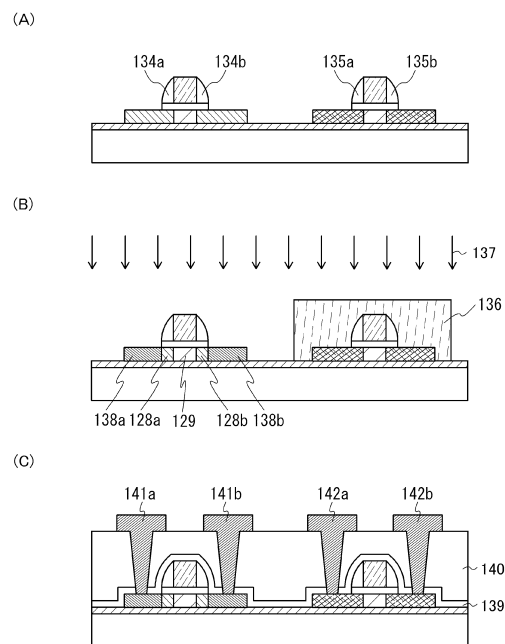
【図 3】



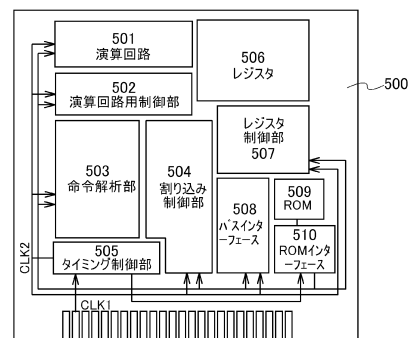
【図 4】



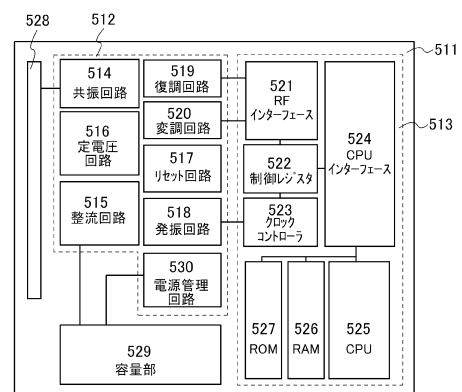
【図 5】



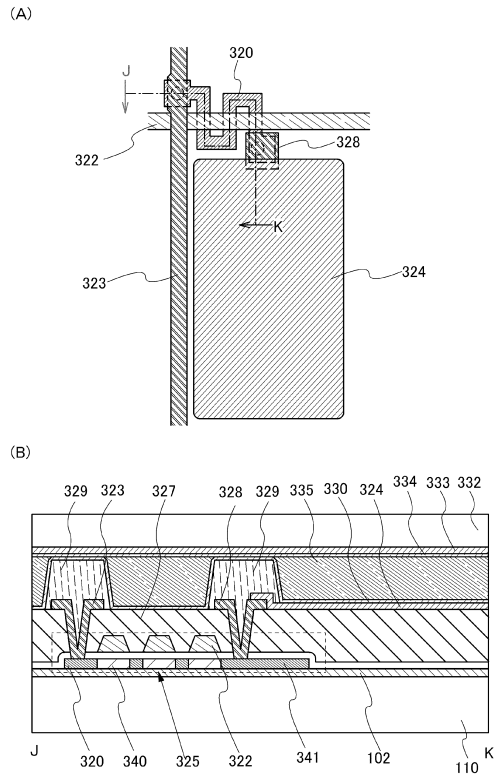
【図 6】



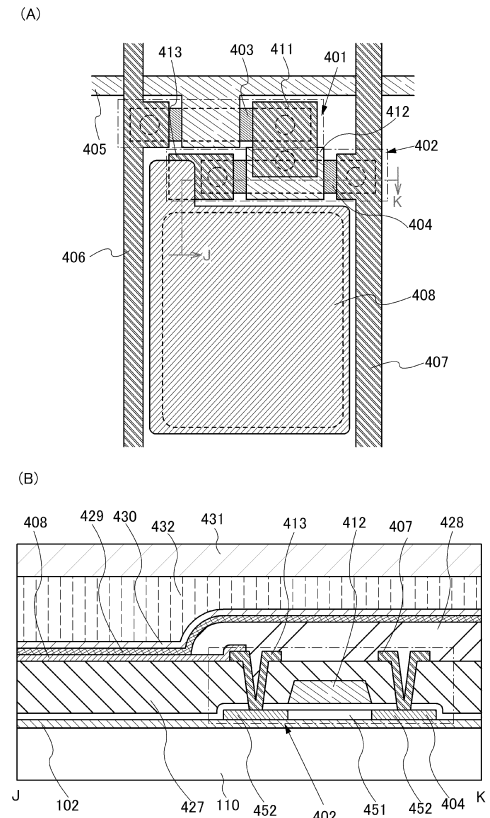
【図 7】



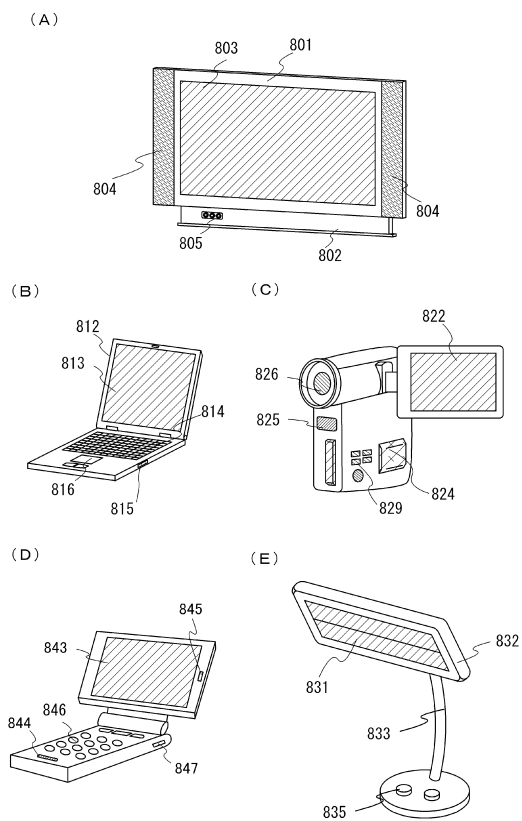
【図 8】



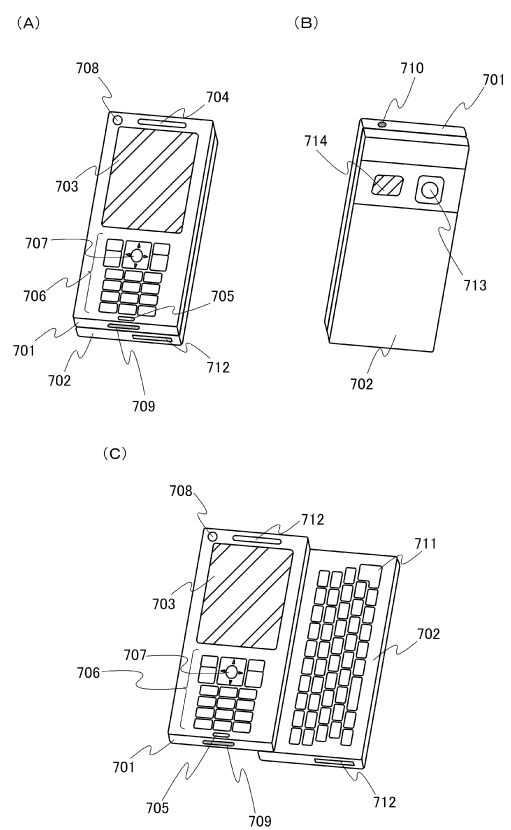
【図 9】



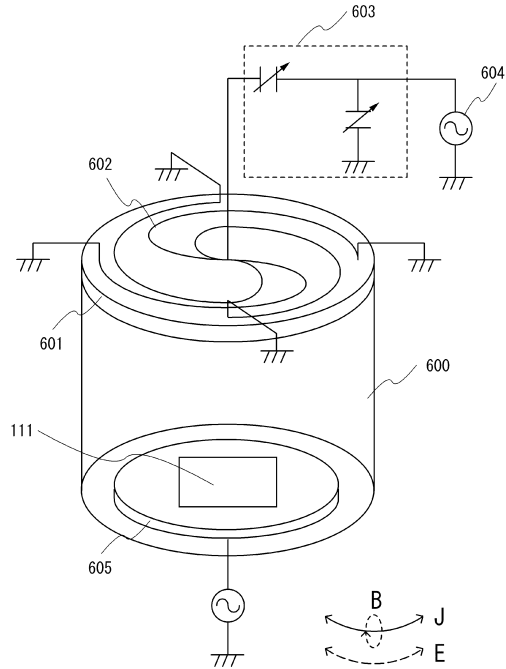
【図 10】



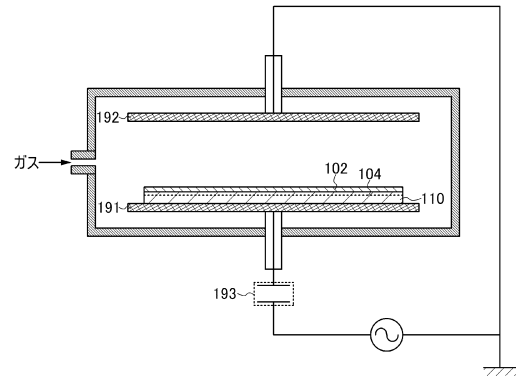
【図 11】



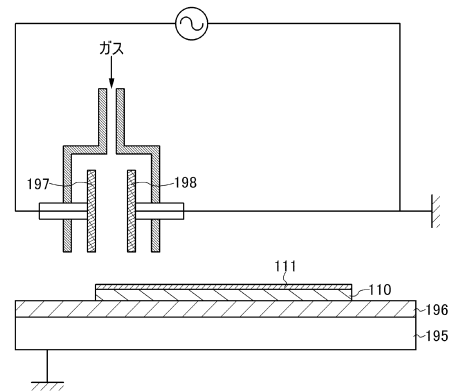
【図 1 2】



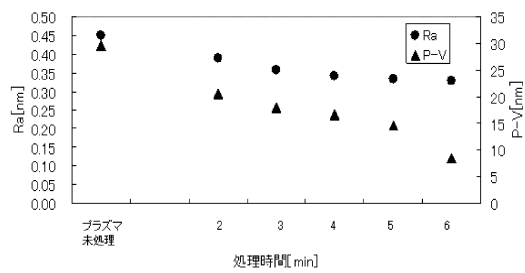
【図 1 3】



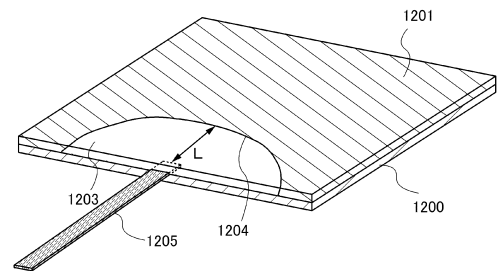
【図 1 4】



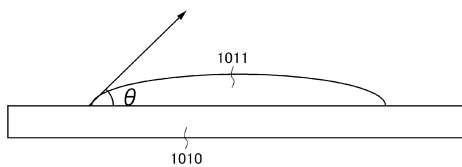
【図 1 5】



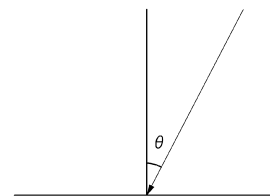
【図 1 8】



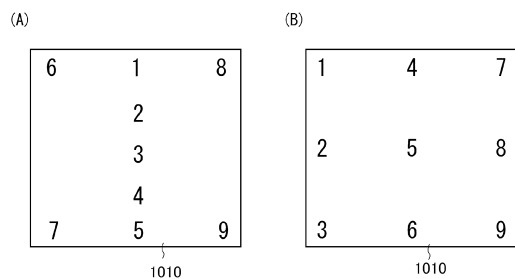
【図 1 6】



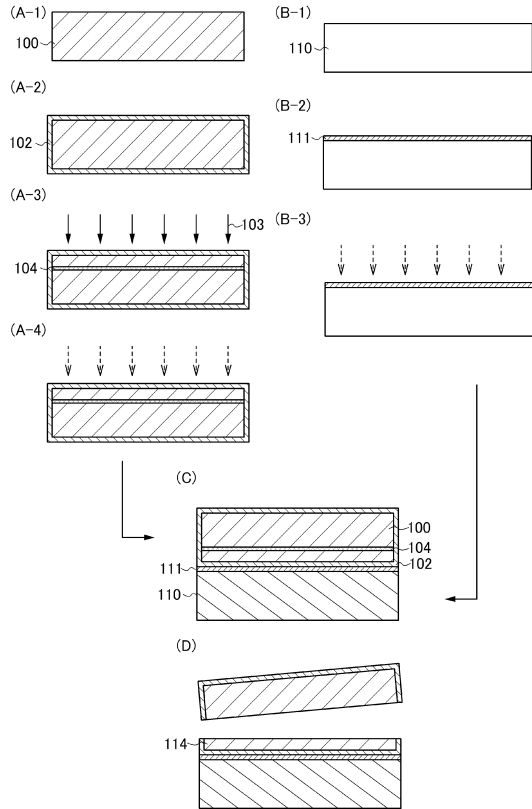
【図 2 1】



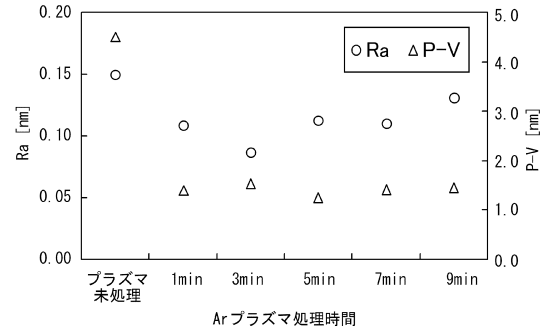
【図 1 7】



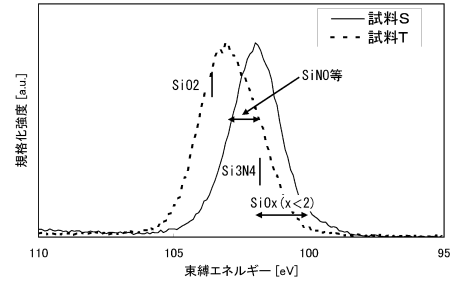
【図 22】



【図 23】

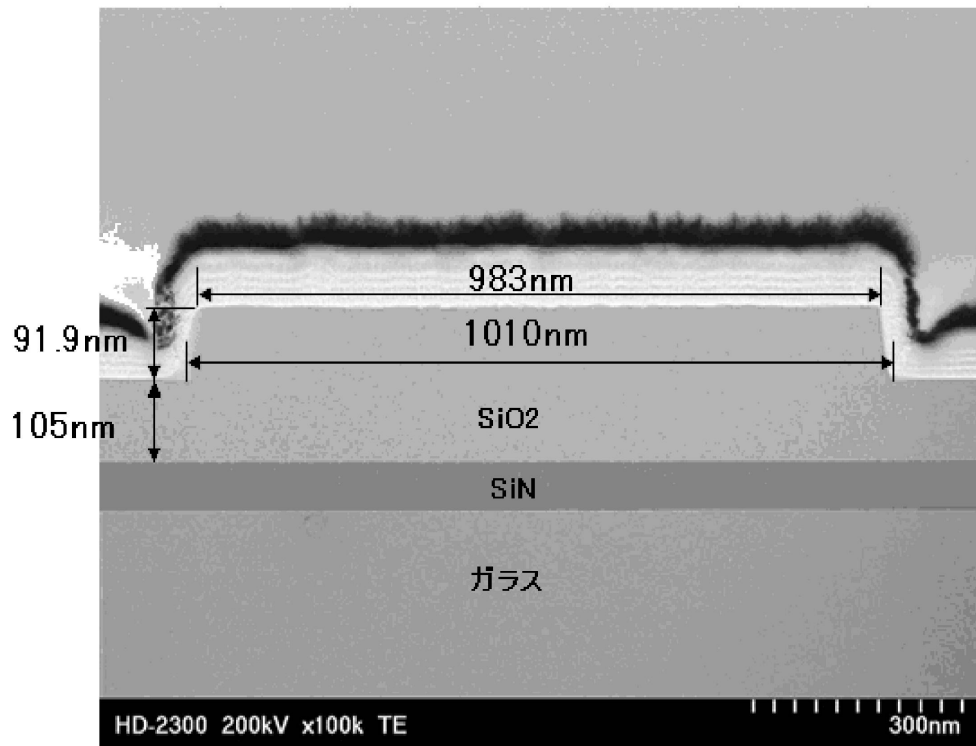


【図 24】

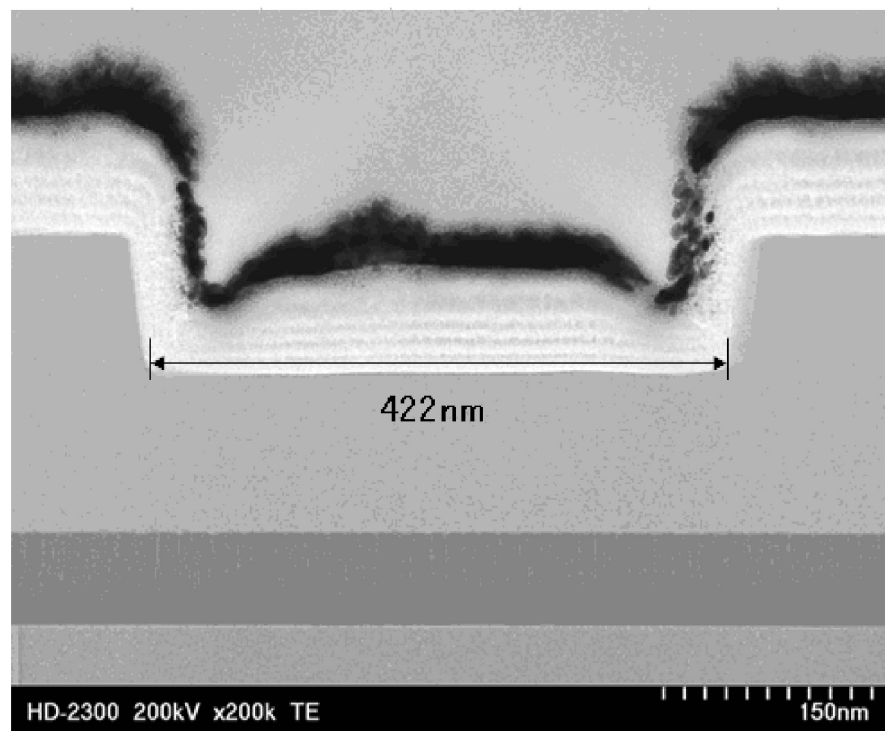


【図 19】

(A)

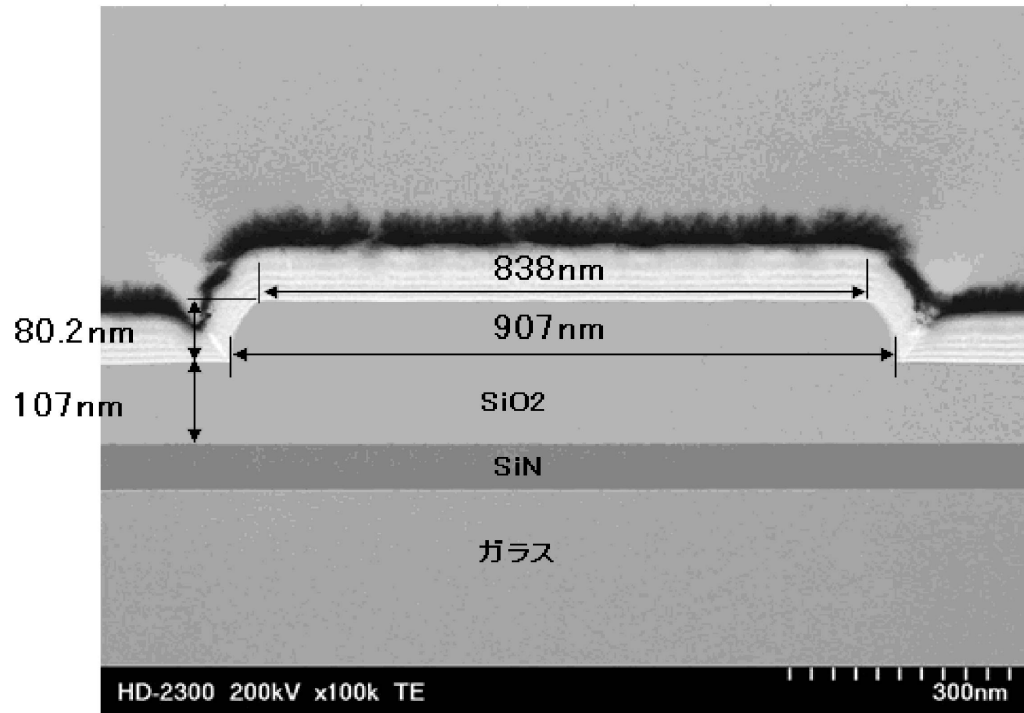


(B)

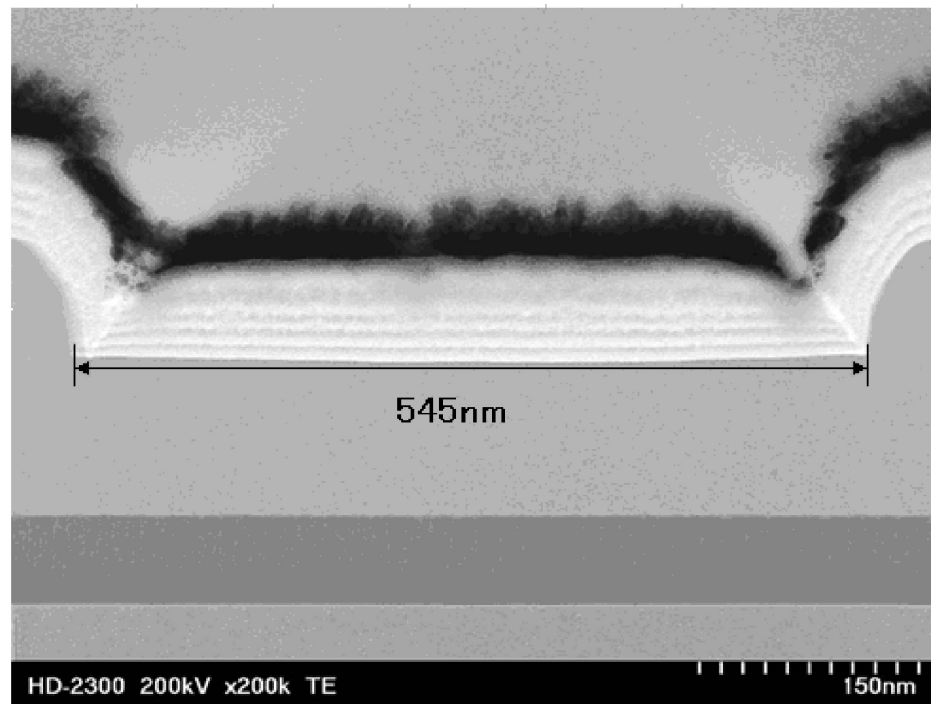


【図 20】

(A)



(B)



フロントページの続き

- (72)発明者 村岡 大河
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 中山 整
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 綿引 隆

- (56)参考文献 特開2007-201430(JP,A)
特開平11-163363(JP,A)
国際公開第2007/006803(WO,A1)
特表2007-526645(JP,A)
特表2008-513975(JP,A)
特開平02-054532(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| H01L | 21/02 |
| H01L | 27/12 |