



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월06일
(11) 등록번호 10-0810815
(24) 등록일자 2008년02월28일

- (51) Int. Cl.
H03H 7/30 (2006.01)
- (21) 출원번호 10-2006-7017915
(22) 출원일자 2006년09월04일
심사청구일자 2006년09월04일
번역문제출일자 2006년09월04일
(65) 공개번호 10-2006-0116862
(43) 공개일자 2006년11월15일
(86) 국제출원번호 PCT/US2004/018678
국제출원일자 2004년06월10일
(87) 국제공개번호 WO 2005/094198
국제공개일자 2005년10월13일
- (30) 우선권주장
10/794,015 2004년03월05일 미국(US)
- (56) 선행기술조사문헌
US2002/0054655 A1
(뒷면에 계속)
- 전체 청구항 수 : 총 10 항

- (73) 특허권자
실리콘 이미지, 인크.(델라웨어주 법인)
미국 캘리포니아 94086 써니베일 이스트 아쿠에스
에비뉴 1060
- (72) 발명자
김, 욱
미국 94306 캘리포니아주 팔로 알토 에머슨 스트
리트 3145
김, 규동
미국 94086 캘리포니아주 서니베일 넘버0-209 사
우스 페어 오크스에비뉴 655
- (74) 대리인
백만기, 이중희, 주성민

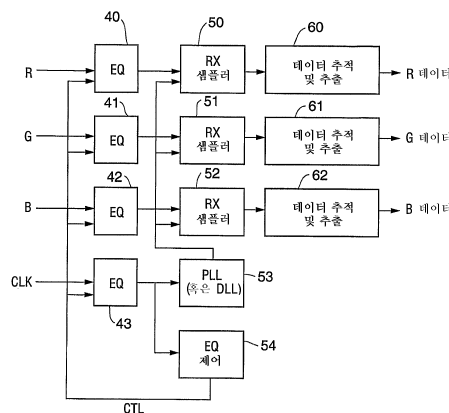
심사관 : 장석환

(54) 등화 신호들 중 하나로부터 생성되는 제어 신호에 응답하여 다수의 신호를 적응성 등화하기 위한 방법 및 회로

(57) 요약

바람직한 실시예에서, 적어도 2개의 등화 필터(40-43)(이들 각각은 멀티 채널 직렬 링크를 통해 전송되는 신호를 등화하기 위한 것임) 및 모든 필터에 의해 사용하기 위한 등화 제어 신호(CTL)를 생성하기 위한 제어 회로(54)를 포함하는 적응성 등화 회로가 개시된다. 제어 회로는 필터들 중 하나의 필터에 의해 생성되는 등화 신호에 응답하여 제어 신호를 생성하고, 제어 신호를 모든 필터에 어서트한다. 바람직하게는, 하나의 필터는 고정 패턴 신호(예를 들어, 클럭 신호)에 응답하여 등화 고정 패턴 신호를 생성하며, 각각의 다른 필터는 데이터 신호를 등화하고, 제어 회로는 등화 고정 패턴 신호에 응답하여 제어 신호를 생성한다. 다른 실시예에서, 본 발명은 등화 필터 및 소정의 고정 패턴을 나타내는 신호에 응답하여 필터에 대한 제어 신호를 생성하기 위한 회로를 포함하는 적응성 등화 회로, 적응성 등화 회로를 포함하는 수신기, 수신기를 포함하는 시스템, 및 멀티 채널 직렬 링크를 통해 수신되는 신호의 적응성 등화 방법이다.

대표도 - 도4



- (56) 선행기술조사문헌
US5163066 A
US2005/0270076 A1
US6097767 A
US2003/0193495 A1
US5402444 A
US2002/0085115 A1
US2002/0064108 A1
US6603817 B1
-

특허청구의 범위

청구항 1

적어도 2개의 신호를 등화하기 위한 적응성 등화 회로로서,

등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 상기 신호들 중 상이한 하나의 신호를 등화하도록 각각 결합되고 구성되는 적어도 2개의 등화 필터 - 상기 필터들 중 하나의 필터는 상기 등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 상기 신호들 중 하나의 신호에 응답하여 제1 등화 신호를 생성하도록 결합되고 구성됨 -; 및

상기 제1 등화 신호에 응답하여 상기 등화 제어 신호를 생성하고 상기 등화 제어 신호를 모든 상기 필터에 어서트(assert)하도록 결합되고 구성되는 제어 회로

를 포함하는 적응성 등화 회로.

청구항 2

제1항에 있어서, 상기 필터들 각각은 멀티 채널 직렬 링크의 상이한 채널에 결합되어, 상기 링크를 통해 전송되는 신호들 중 상이한 하나의 신호를 수신하도록 구성되는 적응성 등화 회로.

청구항 3

제1항에 있어서, 상기 신호들 중 상기 하나의 신호는 고정 패턴 신호이고, 상기 필터들 중 상기 하나의 필터는 상기 고정 패턴 신호에 응답하여 등화 고정 패턴 신호를 생성하도록 구성되고, 상기 제어 회로는 상기 등화 고정 패턴 신호에 응답하여 상기 등화 제어 신호를 생성하도록 구성되는 적응성 등화 회로.

청구항 4

제3항에 있어서, 상기 제어 회로는, 상기 등화 고정 패턴 신호의 각각의 사이클 동안 상이한 시간에 상기 사이클당 적어도 두 번 상기 등화 고정 패턴 신호를 샘플링함으로써 상기 등화 고정 패턴 신호의 샘플을 생성하고, 상기 샘플에 응답하여 상기 등화 제어 신호를 생성하도록 구성되는 회로를 포함하는 적응성 등화 회로.

청구항 5

제3항에 있어서, 상기 제어 회로는, 상기 등화 고정 패턴 신호의 사이클들 내의 가변 시간에 상기 등화 고정 패턴 신호를 샘플링함으로써 상기 등화 고정 패턴 신호의 샘플을 생성하고, 상기 샘플에 응답하여 상기 등화 제어 신호를 생성하도록 구성되는 회로를 포함하는 적응성 등화 회로.

청구항 6

제3항에 있어서, 상기 제어 회로는, 상기 등화 고정 패턴 신호를 샘플링함으로써 상기 등화 고정 패턴 신호의 샘플 쌍들을 생성하되, 상기 쌍들 각각 내의 샘플들이 상기 등화 고정 패턴 신호의 상이한 사이클 동안에 취득되고, 상기 쌍들 각각 내의 각각의 샘플이 상기 샘플이 취득되는 사이클의 개시에 대하여 상이한 시간에 취득되도록 상기 샘플 쌍들을 생성하고, 상기 샘플 쌍들에 응답하여 상기 등화 제어 신호를 생성하도록 구성되는 회로를 포함하는 적응성 등화 회로.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

송신기;

수신기; 및

상기 송신기와 상기 수신기 사이에 결합되는 멀티 채널 직렬 링크

를 포함하고,

상기 송신기는 상기 링크를 통해 상기 수신기로 신호들을 전송하도록 구성되고, 상기 수신기는 상기 신호들을 수신하여 등화하도록 구성되고,

상기 수신기는,

등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 상기 링크를 통해 전송되는 상기 신호들 중 상이한 하나의 신호를 등화하도록 각각 결합되고 구성되는 적어도 2개의 적응성 등화 필터 - 상기 필터들 중 하나의 필터는 상기 등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 상기 신호들 중 하나의 신호에 응답하여 제1 등화 신호를 생성하도록 구성됨 -; 및

상기 필터들에 결합되고, 상기 제1 등화 신호에 응답하여 상기 등화 제어 신호를 생성하고, 상기 등화 제어 신호를 모든 상기 필터에 어서트하도록 구성되는 제어 회로

를 포함하는 시스템.

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 신호를 등화함으로써 등화 신호를 생성하도록 결합되고 구성되는 적어도 하나의 등화 필터; 및

상기 등화 신호에 응답하여 상기 등화 제어 신호를 생성하고, 상기 등화 제어 신호를 상기 등화 필터에 어서트하도록 결합되고 구성되는 제어 회로

를 포함하고,

상기 제어 회로는, 상기 등화 신호의 샘플들을 생성하고, 상기 등화 신호의 적어도 하나의 고정 패턴 세그먼트 - 각각의 상기 고정 패턴 세그먼트는 소정의 고정 패턴을 나타내는 상기 등화 신호의 세그먼트임 - 를 식별하고, 상기 샘플들 중 하나의 상기 고정 패턴 세그먼트의 샘플이 아닌 것은 이용하지 않고 상기 샘플들의 서브세트만을 이용하여 상기 등화 제어 신호를 생성하도록 구성되는 적응성 등화 회로.

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

직렬 링크에 결합되어, 상기 링크를 통해 송신기에 의해 전송되는 신호를 수신하도록 구성되는 수신기로서,

상기 링크에 결합되어 상기 신호를 수신하도록 구성되는 입력;

상기 입력에 결합되고, 등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 상기 입력에서 수신되는 상기 신호를 등화함으로써 등화 신호를 생성하도록 구성되는 적어도 하나의 적응성 등화 필터; 및

상기 등화 신호에 응답하여 상기 등화 제어 신호를 생성하고, 상기 등화 제어 신호를 상기 적응성 등화 필터에 어서트하도록 결합되고 구성되는 제어 회로

를 포함하고,

상기 제어 회로는, 상기 등화 신호의 샘플을 생성하고, 상기 등화 신호의 적어도 하나의 고정 패턴 세그먼트 - 각각의 상기 고정 패턴 세그먼트는 소정의 고정 패턴을 나타내는 상기 등화 신호의 세그먼트임 - 를 식별하고, 상기 샘플들 중 하나의 상기 고정 패턴 세그먼트의 샘플이 아닌 것은 이용하지 않고 상기 샘플들의 서브세트를 이용하여 상기 등화 제어 신호를 생성하도록 구성되는 수신기.

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

(a) 신호를 직렬 링크를 통해, 적응성 등화 필터를 포함하는 수신기로 전송하는 단계;

(b) 상기 등화 필터가 상기 링크를 통해 상기 수신기로 전송되는 상기 신호를 등화하도록 동작하는 동안, 상기 등화 필터를 포함하는 제어 루프에서 등화 제어 신호를 생성하는 단계; 및

(c) 상기 등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 상기 등화 필터에서 상기 신호를 등화함으로써 등화 신호를 생성하는 단계

를 포함하고,

상기 단계 (b)는,

상기 등화 신호의 샘플들을 생성하는 단계;

상기 등화 신호의 적어도 하나의 고정 패턴 세그먼트 - 각각의 상기 고정 패턴 세그먼트는 소정의 고정 패턴을 나타내는 상기 등화 신호의 세그먼트임 - 를 식별하는 단계; 및

상기 샘플들 중 하나의 상기 고정 패턴 세그먼트의 샘플이 아닌 것은 이용하지 않고 상기 샘플들의 서브세트만을 이용하여 상기 등화 제어 신호를 생성하는 단계

를 포함하는 적응성 등화 방법.

청구항 64

삭제

명세서

기술분야

<1> 본 발명은 멀티 채널 직렬 링크를 통해 전송되는 신호(예를 들어, 멀티 채널 직렬 링크의 상이한 채널을 통한 데이터 및 클럭 신호)의 적응성 등화를 위한 방법 및 회로에 관한 것이다.

배경기술

- <2> "송신기"라는 용어는 본 명세서에서 직렬 링크를 통해 데이터를 전송할 수 있고, 또한 선택적으로는 전송할 데이터의 인코딩 및/또는 암호화를 포함할 수 있는 부가 기능을 수행할 수 있는 임의의 장치를 나타내기 위해 넓은 의미로 사용된다. "수신기"라는 용어는 본 명세서에서 직렬 링크를 통해 전송된 데이터를 수신할 수 있고, 또한 선택적으로는 수신 데이터의 디코딩 및/또는 해독, 및 수신 데이터의 디코딩, 수신 또는 해독과 관련된 다른 동작을 포함할 수 있는 부가 기능을 수행할 수 있는 임의의 장치를 나타내기 위해 넓은 의미로 사용된다. 예를 들어, 수신기라는 용어는 수신기의 기능은 물론 송신기의 기능을 수행하는 트랜시버를 나타낼 수 있다.
- <3> "직렬 링크"라는 표현은 본 명세서에서 직렬 링크(임의의 수의 채널을 가짐) 또는 직렬 링크의 채널을 나타내는 데 사용되는데, 직렬 링크의 "채널"이라는 용어는 직렬 방식으로 데이터를 전송하는 데 사용되는 링크의 일부를 나타낸다(예를 들어, 데이터가 직렬로, 차동적 또는 단일 종단 방식으로 전송되는 송신기와 수신기 사이의 도전체 또는 도전체 쌍).
- <4> 본 명세서에서 사용되는 데이터의 "스트림"이라는 용어는 모든 데이터가 동일 타입이고 동일 클럭 주파수로 전송됨을 나타낸다. 몇몇 경우에, 직렬 링크의 채널은 하나의 데이터 스트림을 전송하는 데 사용된다. 다른 경우에, 직렬 링크의 채널은 하나 보다 많은 데이터 스트림을 전송하는 데 사용된다.
- <5> 비디오 데이터 및 다른 데이터를 전송하기 위한 다양한 공지 직렬 링크가 존재한다. 하나의 통상적인 직렬 링크는 전이 최소화된 차동 시그널링 인터페이스("TMDS" 링크)로서 알려져 있다. 이 링크는 주로 셋톱 박스에서 텔레비전으로의 고속 비디오 데이터 전송, 및 호스트 프로세서(예를 들어, 개인용 컴퓨터)에서 모니터로의 고속 비디오 데이터 전송을 위해 사용된다. TMDS 링크의 특징 중에는 다음과 같은 것들이 있다:
- <6> 1. 비디오 데이터가 인코딩된 후 인코딩된 워드로서 전송된다(디지털 비디오 데이터의 각각의 8 비트 워드가 전송 전에 인코딩된 10 비트 워드로 변환된다);

- <7> 2. 인코딩된 비디오 데이터 및 비디오 클럭 신호가 차동 신호로서 전송된다(비디오 클럭 및 인코딩된 비디오 데이터는 접지 라인의 존재 없이 도전체를 통해 차동 신호로서 전송된다); 그리고
- <8> 3. 3개의 도전체 쌍이 인코딩된 데이터를 전송하는 데 사용되고, 제4 도전체 쌍이 비디오 클럭 신호를 전송하는 데 사용된다.
- <9> 또 하나의 직렬 링크는 실리콘 이미지사, 마쯔시다 전기, 로열 필립스 전자, 소니사, 톰슨 멀티미디어, 도시바사 및 히타치에 의해 개발된 "고화질 멀티미디어 인터페이스" 인터페이스("HDMI" 링크)이다.
- <10> 또 하나의 직렬 링크는 디지털 디스플레이 워킹 그룹에 의해 채택된 "디지털 비디오 인터페이스"("DVI" 링크)이다. DVI 링크를 통해 전송되는 디지털 비디오 데이터를 암호화하고 DVI 수신기에서 암호화된 비디오 데이터를 해독하기 위해 "고 대역폭 디지털 콘텐츠 보호"("HDCP") 프로토콜로서 알려진 암호 프로토콜을 이용하는 것이 제안되어 왔다. DVI 링크는 2개의 TMDS 링크(비디오 클럭 신호를 전송하기 위한 공통 도전체 쌍을 공유함) 또는 하나의 TMDS 링크는 물론 송신기와 수신기 사이의 부가적인 제어 라인을 포함하도록 구현될 수 있다. 도 1을 참조하여 DVI 링크(하나의 TMDS 링크를 포함)를 설명한다. 도 1의 DVI 링크는 송신기(1), 수신기(3) 및 송신기와 수신기 사이의 다음 도전체들, 즉 4개의 도전체 쌍(비디오 데이터를 위한 채널 0, 채널 1 및 채널 2, 및 비디오 클럭 신호를 위한 채널 C), 통상의 디스플레이 데이터 채널 표준(1996년 4월 9일자 비디오 전자 표준 협회의 "디스플레이 데이터 채널 표준" 버전 2, 개정 0)에 따른 송신기와 수신기에 연결된 모니터 간의 양방향 통신을 위한 디스플레이 데이터 채널("DDC") 라인, 핫 플러그 검출(HPD) 라인(모니터는 이 라인 상에서, 송신기와 관련된 프로세서가 모니터의 존재를 식별하는 것을 가능하게 하는 신호를 전송한다), 아날로그 라인(아날로그 비디오를 수신기로 전송하기 위한 라인), 및 전력 라인(수신기 및 수신기에 연결된 모니터에 DC 전력을 공급하기 위한 라인)을 포함한다. 디스플레이 데이터 채널 표준은 모니터의 다양한 특징을 지정하는 확장 디스플레이 식별("EDID") 데이터의 모니터에 의한 전송, 및 모니터용의 제어 신호의 송신기에 의한 전송을 포함하는 송신기와 수신기에 연결된 모니터 간의 양방향 통신을 위한 프로토콜을 지정한다. 송신기(1)는 3개의 동일한 인코더/직렬화기 유닛(유닛 2, 4 및 5) 및 부가 회로(도시되지 않음)를 포함한다. 수신기(3)는 도시된 바와 같이 접속된 3개의 동일한 복원/디코더 유닛(유닛 8, 10 및 12) 및 채널간 정렬 회로(14), 및 부가 회로(도시되지 않음)를 포함한다.
- <11> 도 1에 도시된 바와 같이, 회로(2)는 채널 0을 통해 전송될 데이터를 인코딩하고, 인코딩된 비트들을 직렬화한다. 마찬가지로, 회로(4)는 채널 1을 통해 전송될 데이터를 인코딩하고(그리고 인코딩된 비트들을 직렬화한다), 회로(6)는 채널 2를 통해 전송될 데이터를 인코딩한다(그리고 인코딩된 비트들을 직렬화한다). 회로들(2, 4, 6) 각각은 (하이 값을 가진 DE에 응답하여) 디지털 비디오 워드 또는 (로우 값을 가진 DE에 응답하여) 제어 또는 동기 신호 쌍을 선택적으로 인코딩함으로써 제어 신호("데이터 인에이블" 또는 "DE" 신호로서 지칭되는 액티브 하이 2진 제어 신호)에 응답한다. 인코더들(2, 4, 6) 각각은 상이한 제어 또는 동기 신호 쌍을 수신하는데, 인코더(2)는 수평 및 수직 동기 신호(HSYNC 및 VSYNC)를 수신하고, 인코더(4)는 제어 비트(CTL0, CTL1)를 수신하며, 인코더(6)는 제어 비트(CTL2, CTL3)를 수신한다. 따라서, 인코더들(2, 4, 6) 각각은 (하이 값을 가진 DE에 응답하여) 비디오 데이터를 나타내는 대역 내 워드를 생성하는데, 인코더(2)는 (로우 값을 가진 DE에 응답하여) HSYNC 및 VSYNC의 값을 나타내는 대역 외 워드를 생성하고, 인코더(4)는 (로우 값을 가진 DE에 응답하여) CTL0 및 CTL1의 값을 나타내는 대역 외 워드를 생성하며, 인코더(6)는 (로우 값을 가진 DE에 응답하여) CTL2 및 CTL3의 값을 나타내는 대역 외 워드를 생성한다. 로우 값을 가진 DE에 응답하여, 인코더들(4, 6) 각각은 제어 비트(CTL0, CTL1 또는 CTL2, CTL3)의 값 00, 01, 10 또는 11을 각각 나타내는 4개의 특정 대역 외 워드 중 하나를 생성한다.
- <12> 도 1의 시스템의 동작에 있어서, 접속기(20, 21) 및 도전체(22)를 포함하는 케이블이 송신기(1)와 수신기(3) 사이에 접속된다. 도전체(22)는 채널 0을 통해 인코더(2)에서 디코더(8)로 직렬 데이터를 전송하기 위한 도전체 쌍, 채널 1을 통해 인코더(4)에서 디코더(10)로 직렬 데이터를 전송하기 위한 도전체 쌍, 채널 2를 통해 인코더(6)에서 디코더(12)로 직렬 데이터를 전송하기 위한 도전체 쌍, 및 채널 C를 통해 송신기(1)에서 수신기(3)로 비디오 클럭을 전송하기 위한 도전체 쌍을 포함한다. 도전체(22)는 또한, DDC 채널용의 와이어(송신기(1)와 수신기(3) 간의 양방향 I2C 통신에 사용될 수 있다), 핫 플러그 검출(HPD) 라인, 송신기(1)에서 수신기(3)로의 아날로그 비디오 전송을 위한 "아날로그" 라인, 및 송신기(1)에서 수신기(3)로의 전력 제공을 위한 "전력" 라인을 포함한다.
- <13> 도 1의 시스템에서, 채널 C를 통해 전송되는 비디오 클럭 신호의 주파수는 일반적으로, 각각의 비디오 클럭 주기 동안 각각의 데이터 채널을 통해 10개의 데이터 비트가 전송된다는 의미에서, 데이터 채널들(채널 0, 1 및

2) 각각을 통해 데이터 전송이 이루어지는 비트 레이트의 1/10이다. 이것은 송신기에서 9개의 지연 셀을 사용하여 비디오 클럭의 9개의 다중 위상 지연 버전을 생성하고, 비디오 클럭의 9개의 지연 버전(각각 상이한 위상을 가짐)을 비디오 클럭 자체와 함께 이용하여 비디오 클럭 주기당 10 비트의 레이트로 채널들(0, 1, 2) 각각을 통해 데이터를 전송함으로써 달성될 수 있다.

- <14> 다른 직렬 링크는, 각각이 TIA/EIA-644 표준 또는 IEEE-1596.3 표준을 만족시키는 저전압 차동 시그널링 ("LVDS") 링크들(예를 들어, "LDI", LVDS 디스플레이 인터페이스)로서 알려진 직렬 링크들, 이더넷 링크들, 광섬유 채널 링크들, 디스크 드라이브에 의해 사용되는 직렬 ATA 링크들 등의 세트를 포함한다.
- <15> 링크(케이블 및/또는 접속기 및/또는 PCB 트레이스)를 통한 고속 직렬 데이터 전송 동안, 링크 자체는 수신기 단에서 신호 품질을 저하시키는 손실 및 산란을 일으킨다. 전송 신호의 주파수 및/또는 전송 거리가 증가함에 따라, 주파수 증속 지연 및 감쇠로 인한 왜곡이 증가하여, 수신 신호의 잘못된 검출의 기회가 증가하며, 어떤 경우에는 수신기에서 눈을 거의 사용할 수 없게 만든다.
- <16> 직렬 링크를 통해 데이터(예를 들어, 비디오 또는 오디오 데이터)를 나타내는 신호를 수신기로 전송하는 것은 예를 들어 데이터에 시간 지연 에러(종종 지터라고 함)를 유발함으로써 데이터의 품질을 저하시킨다. 사실상, 링크는 링크를 통한 전송 동안 신호에 필터를 적용한다. 필터(본 명세서에서, 링크는 PCB 트레이스들로 구성되거나 이들을 포함할 수 있지만, "케이블 필터"로서 지칭됨)는 심볼간 간섭(ISI)을 유발할 수 있다.
- <17> 등화는 링크를 통한 전송 후에 수신된 신호들에 케이블 필터의 반전 버전의 적용이다. 등화 필터(종종 "등화기"로 지칭됨)의 기능은 케이블 필터를 보상, 바람직하게는 소거하는 것이다.
- <18> 적응성 등화는 고속 직렬 데이터 전송 동안 발생하는 주파수 증속 감쇠를 보상함으로써 신호 완전성을 복원하는데 사용되어 왔다. 그러나, 적응성 등화에 필요한 감쇠 추정을 수행하기 위한 회로는 복잡하고 구현하기 어려웠다. 이것은 특히, 각 채널을 통해 전송되는 데이터의 적응성 등화를 수행하기 위하여 멀티 채널 직렬 링크의 둘 이상의 채널 각각을 통해 전송되는 데이터의 감쇠를 추정하기 위한 회로의 경우에 사실이다.
- <19> 적응성 등화를 위한 다양한 방법이 개발되어 왔다. 그러나, 수신기의 등화 회로는, 수신기가 전송 신호가 무엇처럼 보이는지를 알지 못하는 경우에는 수신 신호에 적용할 최적 등화 필터를 쉽게 결정할 수 없다. 안정된 알고리즘이 없을 경우, 적응성 등화는 데이터 패턴 자체에 따라 국부적 최소화로 수렴되거나 요동할 수 있다.

발명의 상세한 설명

- <20> <발명의 요약>
- <21> 일군의 실시예에서, 본 발명은 적어도 2개의 등화 필터(등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 상이한 신호를 등화하도록 각각 결합되고 구성됨), 및 모든 등화 필터에 의한 사용을 위해 등화 제어 신호를 생성하기 위한 제어 회로를 포함하는 적응성 등화 회로이다. 일반적으로, 각각의 등화 필터는 멀티 채널 직렬 링크의 상이한 채널을 통해 전송되는 신호를 수신하도록 결합된다. 제어 회로는 필터들 중 하나의 필터의 출력에서 어서트(assert)되는 등화 신호에 응답하여 등화 제어 신호를 생성하고, 등화 제어 신호를 모든 필터에 어서트하도록 결합되고 구성된다. 일반적으로, 등화 제어 신호는 적어도 하나의 등화 제어 값을 나타내며, 각각의 등화 필터의 적어도 하나의 등화 파라미터를 설정하기 위하여(예를 들어, 각 필터에 의해 적용되는 등화의 양을 제어하기 위하여) 사용된다. 본 발명의 바람직한 실시예에 따른 적응성 등화는 통상의 적응성 등화보다 훨씬 간단하고 강건하다.
- <22> 바람직한 실시예에서, 등화 필터들 중 하나는 "고정 패턴" 신호(고정 패턴을 가진 신호, 예를 들어 클럭 신호, 또는 반복 패턴일 수 있는 2진 데이터의 고정 패턴을 나타내는 신호)를 등화하여, 등화 고정 패턴 신호를 생성하며, 각각의 다른 등화 필터는 다른 신호(예를 들어, 데이터 신호)를 등화하고, 제어 회로는 등화 고정 패턴 신호에 응답하여 등화 제어 신호를 생성한다. 대표적인 바람직한 실시예에서, 고정 패턴 신호는 클럭 신호(멀티 채널 직렬 링크의 클럭 채널을 통해 수신됨)이고, 등화 고정 패턴 신호는 등화 클럭 신호이다.
- <23> 제어 회로는 그가 수신하는 입력 신호가 소정의 고정 패턴을 가진 등화 고정 패턴 신호(예를 들어, 선형적으로 알려진 주기적 파형을 가진 등화 클럭 신호)인 것으로 가정하도록 구성될 수 있다. 이 경우, 제어 회로는 그가 수신하는 입력 신호에 응답하여 등화 제어 신호를 생성하도록 본 발명에 따라 쉽게 구성될 수 있다.
- <24> 다른 군의 실시예에서, 제어 회로는 그가 수신하는 입력 신호를 모니터링하여 입력 신호가 언제 소정의 고정 패턴을 나타내는지를 식별하도록(예를 들어, 소정의 패턴을 가진 비트들의 버스트를 나타내는 입력 신호의 세그먼트

를 식별하고, 이 세그먼트를 등화 고정 패턴 신호로서 처리하도록) 구성된다. 이들 실시예에서, 제어 회로는 일반적으로, 그가 수신하는 입력 신호를 (주기적으로) 샘플링하지만, 샘플들 중 일부만을 이용하여 등화 제어 신호를 생성하도록 구성된다(입력 신호가 소정의 고정 패턴을 나타낼 때 제어 회로가 후속적으로 결정하는 이들 샘플만이, 즉 소정의 고정 패턴을 나타내는 입력 신호의 각각의 세그먼트로부터의 샘플들만이 얻어진다). 이 군의 실시예들의 예는 제어 회로에 의해 수신되는 입력 신호가 특수 문자들(예를 들어, DVI 링크를 통해 전송되는 타입의 특수 문자들, 또는 광섬유 채널 링크와 같은 IBM 코드 직렬 링크를 통해 전송되는 타입의 콤마 문자들) 및 데이터 워드들의 시퀀스를 나타내는 등화 데이터 신호이고, 특수 문자들 중 적어도 하나가 소정의 고정 패턴을 나타내는 실시예이다.

<25> 본 발명의 다른 양태는 본 발명의 적응성 등화 회로의 임의의 실시예를 포함하는 수신기, 및 송신기, 멀티 채널 직렬 링크 및 본 발명의 수신기의 임의의 실시예를 포함하는 시스템이다. 이용에 있어서, 본 발명의 수신기의 대표적인 실시예는 멀티 채널 직렬 링크에 의해 송신기에 결합되며, 송신기는 동일하거나 거의 동일한 전달 함수(주파수의 함수로서의 전송 진폭)를 가진 링크의 채널들을 통해 클럭 신호 및 데이터 신호를 전송한다. 일반적으로, 송신기는 클럭 신호를 이용하여 데이터 신호를 전송하고(예를 들어, 송신기는 상이한 위상을 각각 가진 클럭 신호의 지연 버전들을 클럭 신호 자체와 함께 이용하여 데이터 신호를 전송한다), 또한 클럭 신호를 전송하며, 데이터 신호는 클럭 신호의 주파수보다 큰 비트 레이트를 갖는다. 수신기에서, 적응성 등화 회로의 제어 회로는 데이터 신호들 중 한 신호의 등화 버전이 아닌 클럭 신호의 등화 버전을 샘플링하여, 모든 등화 필터에 의한 사용을 위한 등화 제어 신호를 생성한다.

<26> 바람직한 실시예에서, 본 발명의 적응성 등화 회로의 제어 회로는 등화 고정 패턴 신호의 안정화된 버전("안정화된" 신호) 및 (상이한 위상을 각각 가진) 안정화된 신호의 다수의 지연 버전을 생성하도록 구성된 위상 동기 루프 회로("PLL")를 포함한다. 제어 회로는 또한, 안정화된 신호의 지연 버전들 중 모두 또는 일부(예를 들어, 안정화된 신호의 2개의 지연 버전) 및 등화 고정 패턴 신호 자체를 수신하도록 결합되는 제어 신호 생성 회로를 포함한다. 제어 신호 생성 회로는 PLL로부터 수신되는 안정화된 신호의 적어도 2개의 지연 버전 각각을 이용하여 등화 고정 패턴 신호를 샘플링하고, 등화 고정 패턴 신호의 샘플들로부터 등화 제어 신호를 생성하도록 구성된다.

<27> 다른 실시예에서, 등화 고정 패턴 신호의 안정화된 버전("안정화된" 신호) 및 안정화된 신호의 다수의 지연 버전을 생성하기 위해 PLL이 아닌 지연 동기 루프 회로("DLL")가 사용된다.

<28> 일부 바람직한 실시예에서, 안정화된 신호는 등화 클럭 신호의 안정화된 버전이고, 제어 신호 생성 회로는 등화 클럭 신호의 동일 반 사이클 동안 상이한 시간에 클럭 사이클 당(즉, 등화 클럭 신호의 사이클당) 2개의 등화 클럭 신호 샘플을 취득한다. 제어 신호 생성회로는 2개의 샘플을 비교하거나 하나의 샘플을 다른 샘플로부터 감산함으로써(그리고 선택적으로는 이들 비교 또는 감산의 결과를 필터링함으로써) 등화 제어 신호를 생성한다. 등화 제어 신호는 등화 클럭 신호의 등화의 조건을 나타내며, 적응성 등화 회로의 각각의 등화 필터를 제어하는데 이용된다. 등화 제어 신호가 하나의 클럭 사이클 내에 생성되는 샘플들의 각 쌍 사이의 차이와 동일한(또는 비례하는) 값을 나타내는 구현에 있어서, 적응성 등화 회로는 샘플 쌍들 간의 차이를 최소화하여 클럭 신호의 최적 등화를 달성하도록 동작하는 제어 루프를 구현한다. 적응성 등화 회로가 멀티 채널 직렬 링크의 상이한 채널들(채널 모두는 동일하거나 유사한 전달 함수를 가짐)을 통해 전송되는 데이터 신호 및 클럭 신호를 수신하여 등화하도록 결합될 때, 데이터 신호는 물론 클럭 신호를 등화하기 위해 등화 제어 신호를 이용하는 것은 각각의 데이터 신호는 물론 클럭 신호의 최적(또는 거의 최적) 등화를 달성한다.

<29> 이전 단락에서 설명된 구현에 대한 변형에 있어서, 제어 신호 생성 회로는 상이한 클럭 사이클 동안 등화 클럭 신호의 2개의 샘플(예를 들어, 등화 클럭 신호의 가장 최근의 양방향 제로 교차 후의 제1 시간에서의 제1 사이클 동안 하나의 샘플과, 등화 클럭 신호의 가장 최근의 양방향 제로 교차 후의 제2 시간에서의 다른 사이클 동안 다른 하나의 샘플)을 취득하고, 이들 샘플을 비교하거나 하나의 샘플을 다른 샘플로부터 감산함으로써(그리고 선택적으로는 이러한 비교 및 감산 결과를 필터링함으로써) 등화 제어 신호를 생성한다. 이전 단락에서 설명된 구현에 대한 다른 변형에 있어서, 제어 신호 생성 회로는 클럭 사이클 당(또는 $M(M \geq 2)$ 개의 연속 클럭 사이클의 각 세트 동안) $N(N \geq 2)$ 개의 등화 클럭 신호 샘플을 취득하고, N 개의 샘플을 처리한 결과로서 등화 제어 신호를 생성한다.

<30> 이전 두 단락에서 설명된 구현들 중 일부에서, 제어 신호 생성 회로는 등화 클럭 신호의 사이클의 개시에 대해 고정된 시간에(예를 들어, 등화 클럭 신호의 가장 최근의 양방향 제로 교차 후의 고정 시간에) 등화 클럭 신호의 각 샘플을 취득한다. 이전 두 단락에서 설명된 구현들 중 다른 구현에서, 제어 신호 생성 회로는 등화 클럭

신호의 사이클들 내의 가변 시간에(예를 들어, 제1 사이클 동안 가장 최근의 양방향 제로 교차 후의 제1 시간에, 이어서 다른 사이클 동안 가장 최근의 양방향 제로 교차 후의 제2 시간에) 등화 클럭 신호의 샘플들을 취득한다.

<31> 본 발명의 바람직한 실시예에 따르면, 적응성 등화는 클럭 채널 및 적어도 하나의 데이터 채널을 포함하는 적어도 2개의 직렬 채널을 구비한 직렬 링크에 결합되는 수신기에서 수행된다. 일반적으로, 채널은 고속 직렬 채널이지만, 각각의 데이터 채널을 통해 데이터가 전송되는 비트 레이트는 클럭 채널을 통해 전송되는 클럭의 주파수보다 크다. 예를 들어, 일반적인 경우에, 송신기는 다수의 지연 셀을 이용하여, 클럭 채널을 통해 전송되는 클럭의 다중 위상 지연 버전들을 생성한다. (상이한 위상을 각각 가진) 이러한 클럭의 지연 버전들은 클럭 자체와 함께 데이터 채널들 각각을 통해 데이터를 전송하는 데 사용되어, 2 이상의 데이터 비트가 클럭 사이클당 각각의 데이터 채널을 통해 전송되도록 한다. 수신기의 적응성 등화 회로는 클럭 채널을 통해 수신되는 클럭 신호를 등화하고, 각 데이터 채널을 통해 수신되는 신호에 동일한 등화를 적용한다.

<32> 또 다른 균의 실시예에서, 본 발명은 신호들을 직렬 링크를 통해, 제1 등화 필터를 포함하는 적응성 등화 필터들의 세트를 포함하는 수신기로 전송하는 단계; 상기 제1 등화 필터가 상기 링크를 통해 상기 수신기로 전송되는 신호들 중 하나의 신호를 등화하도록 동작하는 동안, 상기 제1 등화 필터를 포함하는 제어 루프에서 등화 제어 신호를 생성하는 단계; 상기 등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 상기 제1 등화 필터에서 상기 신호들 중 상기 하나의 신호를 등화함으로써 제1 등화 신호를 생성하는 단계; 및 상기 등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로, 상기 제1 등화 필터가 아닌 상기 세트의 적응성 등화 필터들 중 상이한 하나의 필터에서, 상기 링크를 통해 상기 수신기로 전송되는 신호들 중 각각의 다른 하나의 신호를 등화하는 단계를 포함하는 적응성 등화 방법이다.

<33> 바람직한 실시예에서, 본 발명의 적응성 등화 회로는 DVI 또는 HDMI 링크의 3개의 데이터 채널 각각을 통해 수신되는 데이터 신호, 및 링크의 픽셀 클럭 신호를 통해 수신되는 픽셀 클럭 신호를 등화하도록 구성된다. 적응성 등화 회로는 4개의 신호 각각에 동일한 등화 필터를 적용한다. 데이터 신호들은 비디오 데이터 및 또한 선택적으로 다른 데이터(예를 들어, 오디오 데이터)를 나타낸다. 클럭 신호의 주파수는 각 데이터 채널을 통해 수신되는 데이터 신호의 비트 레이트의 1/10이지만, 클럭 신호 및 각각의 데이터 신호는 소스에서 수신기로 거의 동일한 경로를 통해 전송된다. 따라서, 각 채널에 동일한(또는 실질적으로 동일한) 등화 필터를 적용하는 것이 적절하다. 본 발명에 따르면, 클럭 신호를 등화하기 위해 하나의 적응성 등화 스킴이 적용되고, 동일한 등화가 각 데이터 채널에 적용된다.

실시예

<45> 바람직한 실시예에서, 본 발명은 클럭 채널(클럭 신호가 전송되는 채널) 및 적어도 하나의 데이터 채널을 포함하는 멀티 채널 직렬 링크의 상이한 채널들을 통해 전송되는 클럭 및 데이터 신호 상에 적응성 등화를 수행하기 위한 방법 및 장치이다. 데이터 신호는 각 데이터 채널을 통해 직렬로 전송된다. 다른 실시예에서, 본 발명은 멀티 채널 직렬 링크를 통해 전송되는 고정 패턴 신호 및 적어도 하나의 다른 신호 상에 적응성 등화를 수행하기 위한 방법 및 장치이다. 아래의 바람직한 실시예에 대한 설명은 이 분야에 통상의 지식을 가진 자에게 자명할 것인 사소한 변형(예를 들어, 전송된 클럭 신호에 대한 기준 대신에 전송된 고정 패턴 신호에 대한 기준으로의 대체)이 이루어진 다른 실시예에도 적용된다.

<46> 도 2는 본 발명을 구현하는 시스템의 간략화된 블록도이다. 도 2의 시스템은 송신기(101), 수신기(103), 및 송신기(101)와 수신기(103) 사이에 접속된 케이블(102)(접속기들(105, 106)을 포함함)을 포함한다. 송신기(101)는 케이블(102)을 통해 3개의 데이터(일반적으로 비디오 데이터 및 오디오 데이터) 채널, 즉 제1 데이터 채널("R" 채널로 표시되며, "적색" 채널로도 지칭됨), 제2 데이터 채널("G" 채널로 표시되며, "녹색" 채널로도 지칭됨), 및 제3 데이터 채널("B" 채널로 표시되며, "청색" 채널로도 지칭됨)을 직렬로 전송한다. 송신기(101)는 또한, 클럭 채널("CLK" 채널로 표시)을 통해 클럭 신호(일반적으로 R, G, B 채널을 통해 전송되는 비디오 데이터에 대한 픽셀 클럭)를 전송한다.

<47> 수신기(103)는 등화 및 데이터 추출 회로(110)를 포함한다. 회로(110)는 R, G, B 및 CLK 채널 각각을 통해 수신되는 신호 상에 적응성 등화를 수행하고, 등화 클럭 신호를 이용하여 등화 데이터 신호들 각각으로부터 비트 스트림을 복원하도록 구성된다. 도 2에서, 적색 채널 상에서 수신되는 등화 데이터 신호로부터 복원되는 비트 스트림은 "R 데이터"로 표시되고, 녹색 채널 상에서 수신되는 등화 데이터 신호로부터 복원되는 비트 스트림은 "G 데이터"로 표시되며, 청색 채널 상에서 수신되는 등화 데이터 신호로부터 복원되는 비트 스트림은 "B

데이터"로 표시된다.

- <48> 송신기(101)와 수신기(103) 사이의 직렬 링크는 DVI 또는 HDMI 링크일 수 있는데, 이 경우 R, G, B 및 CLK 채널 각각을 통해 전송되는 신호는 도전체 쌍을 통해 전송되는 차동 신호이다. 송신기(101)와 수신기(103) 사이의 직렬 링크가 DVI 또는 HDMI 링크인 경우, CLK 채널 및 R, G, B 채널 중 임의의 채널을 통해 전송되는 데이터 및 클럭 신호의 파형은 도 3의 상위 두 파형과 유사할 수 있다. 전송 데이터 신호(도 3에서 "데이터"로 표시)의 비트 레이트는 전송 클럭 신호(도 3에서 "CLK"로 표시)의 주파수의 10배이다. 그러나, 수신기(103)에 의해 수신되는 실제 신호는 송신기(101)의 PCB 트레이스 및 접속기에 의해, 그리고 케이블(102)에 의해 감쇄된다. 수신 및 감쇄된 데이터 및 클럭 신호는 이들이 등화 및 데이터 추출 회로(110)에서 등화되기 전에 도 3의 하위 두 파형과 유사한 파형을 가질 수 있다.
- <49> 도 4는 도 2의 회로(110)의 바람직한 구현의 블록도이다. 도시된 바와 같이 접속된 도 4의 요소들(40, 41, 42, 43, 53, 54)은 본 발명의 적응성 등화 회로의 일 실시예이다.
- <50> 도 4에서, 등화 블록(40)은 등화 제어 신호 생성 회로(54)에 의해 생성되는 제어 신호(CTL)에 응답하여 도 2의 데이터 채널(R) 상에서 수신되는 신호를 등화한다. 등화 블록(41)은 등화 제어 신호 생성 회로(54)에 의해 생성되는 제어 신호(CTL)에 응답하여 도 2의 데이터 채널(G) 상에서 수신되는 신호를 등화하며, 등화 블록(42)은 등화 제어 신호 생성 회로(54)에 의해 생성되는 제어 신호(CTL)에 응답하여 도 2의 데이터 채널(B) 상에서 수신되는 신호를 등화하며, 등화 블록(43)은 등화 제어 신호 생성 회로(54)에 의해 생성되는 제어신호(CTL)에 응답하여 도 2의 클럭 채널 상에서 수신되는 픽셀 클럭 신호를 등화한다. 바람직하게는, 블록(40, 41, 42, 43)은 동일하며, 따라서 이들은 동일한 입력 신호에 응답하여(동일 제어 신호(CTL)가 각각에 어서트되는 경우) 동일한 출력을 생성한다. 블록(40, 41, 42, 43) 각각은 입력 신호에 등화 필터를 적용하며, 따라서 각 블록은 종종 본 명세서에서 "등화 필터"로서 지칭된다.
- <51> 제어 신호(CTL)는 위상 동기 루프 회로(PLL; 53)에 의해 생성되는 샘플링 에지를 이용하여 블록(43)으로부터 출력되는 등화 클럭 신호(CLK)를 샘플링하는 것을 포함하는 후술되는 방식으로 회로(54)에 의해 생성된다. 동일 제어 신호(CTL)는 클럭 채널 상에서 수신되는 CLK 신호 및 R, G, B 채널 상에서 수신되는 데이터 신호들을 동일한 방식으로 등화하기 위해 블록(40, 41, 42, 43) 각각에 의해 사용된다.
- <52> 블록(43)에 의해 생성되는 등화 클럭 신호는 PLL(53)에 어서트된다. 이 클럭 신호의 안정화된 버전 및 그 지연 버전들은 PLL(53)로부터 데이터 샘플링 블록(50, 51, 52) 각각에 어서트된다.
- <53> 블록(50)은 PLL(53)으로부터의 안정화된 클럭 신호(및 그 지연 버전)를 이용하여 블록(40)으로부터의 등화 데이터 신호를 샘플링하고, 결과적인 샘플들의 시퀀스를 데이터 추적 및 추출 블록(60)에 어서트한다. 이에 응답하여, 블록(60)은 복원된 데이터 비트들의 시퀀스(도 2 및 4의 각각에서 "R 데이터"로 표시된 비트 스트림)를 출력한다. 블록(51)은 PLL(53)로부터의 안정화된 클럭 신호(및 그의 지연 버전)를 이용하여 블록(41)으로부터의 등화 데이터 신호를 샘플링하여, 결과적인 샘플들의 시퀀스를 데이터 추적 및 추출 블록(61)에 어서트한다. 이에 응답하여, 블록(61)은 복원된 데이터 비트들의 시퀀스(도 2 및 4 각각에서 "G 데이터"로 표시된 비트 스트림)를 출력한다. 블록(52)은 PLL(53)로부터의 안정화된 클럭 신호(및 그의 지연 버전)를 이용하여 블록(42)으로부터의 등화 데이터 신호를 샘플링하여, 결과적인 샘플들의 시퀀스를 데이터 추적 및 추출 블록(62)에 어서트한다. 이에 응답하여, 블록(62)은 복원된 데이터 비트들의 시퀀스(도 2 및 4 각각에서 "B 데이터"로 표시된 비트 스트림)를 출력한다.
- <54> 도 5A는 도 2의 시스템의 대표적인 구현의 데이터 및 클럭 채널 각각의 전달 함수이다. 도 5A, 5B 및 5C에서, "fspeed"는 도 2의 구현의 각 데이터 채널을 통해 전송되는 데이터의 비트 레이트이다. 도 5A로부터 명백하듯이, 각 데이터 및 클럭 채널을 통해 전송되는 신호는 그 주파수가 증가함에 따라 (채널을 통한 전송 동안) 더욱 감쇄된다.
- <55> 도 5B는 (도 5A의 전달 함수를 가진 도 2의 구현에서) 도 4의 회로의 등화 블록(40, 41, 42, 43) 각각에 의해 그의 입력에서 수신되는 데이터 또는 클럭 신호에 적용되는 등화 필터의 전달 함수이다. 이들은 주파수가 증가함에 따라 컷오프 주파수(fspeed/2보다 큼)까지 증가한다. 도 5C는 도 5A 및 5B의 전달 함수들의 곱의 그래프이다. 도 5C로부터 명백하듯이, (송신기(101)에서 수신기(103)로의 전송 및 수신기(103)의 등화 회로에 의한 등화의 결과로서) 블록(40, 41, 42, 43) 각각으로부터 출력되는 등화 신호에 적용되는 전체 이득은 fspeed/2보다 큰 주파수까지의 주파수들에서 1이다.
- <56> 도 6은 도 4의 회로의 블록(43)으로부터 출력되는 대표적인 등화 클럭 신호들의 3개 파형의 세트이다. 상위 파

형은 블록(43)에 의한 클럭 신호의 불충분 등화의 결과이고, 중간 과정은 블록(43)에 의한 클럭 신호의 과잉 등화의 결과이며, 하위 과정은 블록(43)에 의한 클럭 신호의 최적 등화의 결과이다.

- <57> 일군의 바람직한 실시예에서, 등화 제어 신호 생성회로(54)는 각 클럭 주기의 제1 반 주기(또는 제2 반 주기) 동안 블록(43)으로부터 출력되는 각각의 등화 클럭 신호를 두 번 샘플링하여, 등화 클럭 신호의 2개의 샘플링된 값 사이의 차이를 나타내도록 제어 신호(CTL)를 생성한다. 예를 들어, 이러한 회로(54)의 실시예는 하나의 클럭 사이클 내에 도 6의 불충분 등화된 클럭 신호를 두 번 샘플링하여 시간 $t=1$ 에서 샘플 "a1"을, 시간 $t=3$ 에서 샘플 "b1"을 생성하며, 양의 값을 나타내도록 제어 신호(CTL)를 생성한다(예를 들어, CTL은 샘플 클럭 값 "b1" 마이너스 샘플 클럭 값 "a1"을 나타낸다). 이러한 양의 CTL 값에 응답하여, 블록(40, 41, 42, 43) 모두는 그들의 입력에서 수신되는 신호들에 보다 많은 등화를 적용한다.
- <58> 유사하게, 회로(54)의 동일 실시예는 하나의 클럭 사이클 내에 도 6의 과잉 등화 클럭 신호를 두 번 샘플링하여 시간 $t=1$ 에 샘플 "a2"를, 시간 $t=3$ 에 샘플 "b2"를 생성하며, 음의 값을 나타내도록 제어 신호(CTL)를 생성한다(예를 들어, CTL은 샘플 클럭 값 "b2" 마이너스 샘플 클럭 값 "a2"를 나타낸다). 이러한 음의 CTL 값에 응답하여, 블록(40, 41, 42, 43) 모두는 그들의 입력에서 수신되는 신호들에 보다 적은 등화를 적용한다.
- <59> 회로(54)의 동일 실시예는 하나의 클럭 사이클 내에 도 6의 최적 등화 클럭 신호를 두 번 샘플링하여 시간 $t=1$ 에 샘플 "a3"를, 시간 $t=3$ 에 샘플 "b3"를 생성하며, CTL=0이 되도록 제어신호(CTL)를 생성한다(예를 들어, CTL은 샘플 값 "b3" 마이너스 동일 샘플 값 "a3"를 나타낸다). CTL=0에 응답하여, 블록(40, 41, 42, 43)은 그들의 입력에서 수신되는 신호들에 변경되지 않은 양의 등화를 적용한다.
- <60> 도 7은 전술한 군에 속하는 등화 제어 신호 생성 회로(54)의 일 실시예의 블록도이다. 도 7의 회로(54) 실시예는 블록(43)으로부터 출력되는 등화 클럭 신호의 지연 및 안정화된 버전에 의해 결정되는 타이밍을 가진 제어 신호에 응답하여 동작한다.
- <61> 바람직한 구현에 있어서, PLL(53)은 블록(43)으로부터의 등화 클럭 신호의 안정화된 버전("안정화된 클럭"), 및 안정화된 클럭의 L개의 지연 버전($L \geq 1$)을 생성하도록 구성되는데, 안정화된 클럭의 각각의 지연 버전은 상이한 위상을 갖는다. 안정화된 클럭의 예지들은 블록(43)으로부터 출력되는 등화 클럭의 전이 예지들과 정렬되며, 안정화된 클럭의 L번째 지연 버전은 안정화된 클럭에 대해 $L \times (36)$ 도 만큼 지연된다. 예를 들어, PLL(53)의 바람직한 구현은 (도 6에 도시된 바와 같이) 안정화된 클럭의 양방향 제로 교점인 (도 6에 도시된 시간 스케일의) $t=0$ 에서 하강 예지를 갖도록 안정화된 클럭을 생성하며, 또한 (도 6에 도시된 시간 스케일의) $t=1, t=2, t=3, t=4, t=0', t=1', t=2', t=3'$ 및 $t=4'$ 에 하강 예지를 갖는 안정화된 클럭의 9개의 지연 버전을 생성한다.
- <62> PLL(53)은 안정화된 클럭 및 그의 9개의 지연 버전을 블록(40, 41, 42)으로부터 출력되는 등화 데이터 신호를 샘플링하기 위한 데이터 샘플링 블록(50, 51, 52) 각각에 어서트한다.
- <63> 안정화된 클럭의 제1, 제3 및 제5 지연 버전(도 6에서 $t=1, t=3$ 및 $t=0'$ 에 하강 예지를 가짐)은 이러한 PLL(53) 구현에 의해 등화 제어 신호 생성 회로(54)에 어서트된다. 구체적으로, 안정화된 클럭의 제1 지연 버전(도 7에서 신호 f1으로 식별됨)은 도 7의 샘플/홀드 유닛(70)의 하나의 입력에 어서트되고, 안정화된 클럭의 제3 지연 버전(도 7에서 신호 f2로서 식별됨)은 도 7의 샘플/홀드 유닛(73)의 하나의 입력에 어서트되며, 안정화된 클럭의 제5 지연 버전(도 7에서 신호 f3로서 식별됨)은 도 7의 샘플/홀드 유닛(73)의 하나의 입력에 어서트된다.
- <64> 따라서, 유닛(70)은 신호 f1의 각각의 하강 예지에서(즉, 등화 클럭 신호의 각각의 상승 예지 후 36도의 위상 지연과 함께) (블록(43)으로부터의) 등화 클럭 신호를 샘플링하여, 샘플 "a"를 생성하고, 유닛(71)은 신호 f2의 각각의 하강 예지에서(즉, 등화 클럭 신호의 각각의 상승 예지 후 108도의 위상 지연과 함께) (블록(43)으로부터의) 등화 클럭 신호를 샘플링하여, 샘플 "b"를 생성한다. 2개의 샘플 "a" 및 "b"를 나타내는 신호들은 유닛들(71, 72)에 의해 감산 회로(72)에 어서트된다. 이에 응답하여, 회로(72)는 "b" 마이너스 "a"의 값을 나타내는 출력을 샘플/홀드 유닛(73)의 입력에 어서트한다. 유닛(73)은 신호 f3의 각각의 하강 예지에서(즉, 블록(43)으로부터의 등화 클럭 신호의 각각의 상승 예지 후 180도의 위상 지연과 함께) 후자 값을 샘플링한다. 유닛(73)의 출력은 저역 통과 필터(74)에서 저역 통과 필터링되며, 필터(74)의 출력(제어 신호(CTL))은 (도 4에 도시된 바와 같이) 블록(40, 41, 42, 43) 각각에 어서트된다.
- <65> 도 4의 몇몇 구현에 있어서, 등화 제어 신호 생성 회로(54)는 차이 값들의 시퀀스(각각의 차이 값은 안정화된 클럭의 연속 샘플들 간의 차이를 나타냄)의 추적을 유지하며, 차이 값들의 시퀀스에 응답하여 제어 신호(CTL)를 생성한다. 하나의 순간에 생성되는 단일 차이 값에 응답하여서가 아니라, 계수(차이 값) 변화의 이력에 대한 지식을 이용하여 제어 신호(CTL)를 생성함으로써, 등화의 양이 보다 신뢰성 있게 최적 방향으로 변경될 수

있다. 예를 들어, 제어 신호(CTL)가 단일 차이 값에 응답하여(예를 들어 동일하도록) 생성되는 경우, 적용되는 등화의 양은 전반적인 최적이지 아니라 국부적인 최적으로 바람직하게 않게 수렴하거나, 단일 값으로 수렴하는 것이 아니라 요동할 수 있다. 제어 신호(CTL)가 차이 값 시퀀스에 응답하여 생성되는 경우, 등화 제어의 최적 방향이 신뢰성 있게 발견될 수 있으며, 적용되는 등화의 양이 일반적으로 보다 양호한 국부적 최적 양(신호(CTL)가 단일 차이 값에 응답하여 생성되는 경우 달성될 수 있음) 또는 전반적 최적 양으로 수렴하도록 제어될 수 있다.

- <66> 도 4의 몇몇 구현에 있어서, 등화 제어 신호 생성 회로(54)는 안정화된 클럭의 연속 샘플들의(이들 간의 차이는 물론) 합을 나타내도록 제어 신호(CTL)를 생성한다. 예를 들어, 회로(54)는 안정화된 클럭의 샘플들의 시퀀스의 합(예를 들어, 안정화된 클럭의 2개의 가장 최근의 샘플 또는 N(N은 2보다 큼)개의 가장 최근의 샘플의 합)에 의해 정규화되는 안정화된 클럭의 2개의 가장 최근의 샘플 간의 차이를 나타내도록 신호(CTL)를 생성할 수 있다. 최근 샘플들의 합으로 샘플들 간의 각각의 차이를 정규화함으로써, 본 발명의 시스템은 보다 큰 동적 범위를 갖는 신호들을 처리할 수 있다.
- <67> 도 4의 몇몇 구현에 있어서, 블록(53)은 PLL이 아니라 지연 동기 루프 회로("DLL")이다. 블록(53)은 DLL로 구현될 때 (블록(43)으로부터의) 등화 클럭 신호의 안정화된 버전, 및 이 안정화 및 등화된 클럭 신호의 다수의 지연 버전(각각 상이한 위상을 가짐)을 생성한다. DLL은 종종, PLL보다 저비용으로 구현될 수 있으며(양 회로는 동일한 입력 클럭에 응답하여 동작함), 일반적으로 입력 클럭이 많은 지터를 갖는 경우 (PLL보다) 적은 위상 지연을 제공한다.
- <68> 등화 클럭 신호(또는 등화 클럭 신호의 안정화된 버전)의 요구되는 다수의 지연 버전을 생성하기 위해 PLL 또는 DLL이 아닌 회로를 이용하는 것도 본 발명의 범위 내이다.
- <69> 도 4의 실시예에 대한 변형에 있어서, 감산 회로(72)는 샘플 "b"가 샘플 "a"보다 크지, 작든지 또는 동일한지를 나타내는 출력을 (샘플/홀드 유닛(73)의 입력에) 어서트하는 비교 회로에 의해 대체된다. 이 경우, 제어 신호(CTL)는 임의의 시간에서의 3개의 이산 값 중 하나를 갖는다.
- <70> 제어 신호(CTL)는 주어진 구성에 대해 빠르게 변경되지 않으므로, 도 4의 제어 루프(즉, 요소들(43, 53, 54)을 포함하는 루프)에 대해 차라리 낮은 대역폭이 일반적으로 적합하다.
- <71> 블록(43)의 출력에서 어서트되는 등화 클럭 신호(또는 도 4 및 도 7을 참조하여 설명된 실시예에 대한 변형에 있어서 본 발명의 등화 제어 신호 생성 회로에 어서트되는 다른 등화 고정 패턴 신호)는 일반적으로 사이클마다 크게 변경되지 않으므로, 감산 회로(72)에서 감산되는 값들은 등화 클럭 신호의 동일 사이클 동안 샘플링될 필요가 없다. 이것은 샘플/홀드 유닛들(70, 71)(및 도 4의 회로(54)의 다른 구현들의 대응 회로)에 대한 요건을 줄여주며, 도 7의 감산 회로(72)(및 도 4의 회로(54)의 다른 구현들의 대응 회로)의 요구 속도를 줄여준다.
- <72> 도 7의 실시예에서, 등화 클럭은 고정 위상으로 샘플링된다. 그러나, 이것은 본 발명의 다른 실시예에서는 반드시 사실은 아니다. 예를 들어, 몇몇 실시예에서, 등화 클럭은 다수의 상이한 위상 중 임의의 위상으로(즉, 사이클마다 상이한 위상으로) 또는 클럭 사이클마다 등화 클럭을 효과적으로 샘플링하는 임의의 소정 패턴으로 샘플링된다. 이러한 패턴은 본 발명에 따른 등화의 전반적 최적화를 달성하는 것을 돕도록 미리 정의될 수 있다.
- <73> 보다 일반적으로, 본 발명의 적응성 등화 회로의 바람직한 실시예에서, 등화 필터들 중 하나는 신호(일반적으로 고정 패턴 신호)를 등화하여 제1 등화 신호(일반적으로 등화 고정 패턴 신호)를 생성하며, 각각의 다른 등화 필터는 다른 신호(예를 들어, 데이터 신호)를 등화하고, 제어 회로는 제1 등화 신호에 응답하여 등화 제어 신호를 생성한다. 제1 등화 신호는 등화 클럭 신호일 수 있지만 꼭 그럴 필요는 없는 등화 고정 패턴 신호일 수 있다. 몇몇 바람직한 실시예의 동작에 있어서, 본 발명의 적응성 등화 회로는 DVI 또는 HDMI 링크의 픽셀 클럭 채널 상에서 수신되는 픽셀 클럭 신호를 등화하고(이에 따라 등화 클럭 신호를 생성함), 링크의 3개 데이터 채널 각각에서 수신되는 데이터 신호를 등화하며, 그의 제어 회로는 등화 클럭 신호에 응답하여 등화 클럭 신호(데이터 신호 및 픽셀 클럭 신호 모두를 등화하는 데 사용)를 생성한다.
- <74> 이용에 있어서, (본 발명의 적응성 등화 회로의 일 실시예를 포함하는) 수신기의 대표적인 실시예는 DVI 또는 HDMI 링크(또는 다른 멀티 채널 직렬 링크)에 의해 송신기에 결합되며, 송신기는 동일하거나 거의 동일한 전달 함수(주파수의 함수로서의 전송 진폭)를 가진 링크의 채널들을 통해 클럭 신호(또는 다른 고정 패턴 신호) 및 데이터 신호를 전송한다. 일반적으로, 송신기는 클럭 신호를 이용하여 데이터 신호를 전송하며(예를 들어, 송신기는 상이한 위상을 각각 갖는 클럭 신호의 지연 버전들을 클럭 신호 자체와 함께 이용하여 데이터 신호를 전

송한다), 데이터 신호는 클럭 신호의 주파수보다 큰(예를 들어, 그의 배수) 비트 레이트를 갖는다. 수신기에서, 적응성 등화 회로의 제어 회로는 클럭 신호의 등화 버전을 샘플링하여 적응성 등화 회로의 모든 등화 필터에 의해 사용하기 위한 등화 제어 신호를 생성한다.

<75> 바람직하게는, 본 발명의 적응성 등화 회로의 제어 회로는 "안정화된" 신호(등화 고정 패턴 신호의 안정화된 버전) 및 안정화된 신호의 다수의 지연 버전(각각 상이한 위상을 가짐)을 생성하도록 구성되는 PLL을 포함한다. 제어회로는 또한, 안정화된 신호의 지연 버전들의 모두 또는 일부(예를 들어, 안정화된 신호의 2개의 지연 버전) 및 등화 고정 패턴 신호 자체를 수신하도록 결합되는 제어 신호 생성회로를 포함한다. 제어 신호 생성회로는 PLL로부터 수신되는 안정화된 신호의 적어도 2개의 지연 버전 각각을 이용하여 등화 고정 패턴 신호를 샘플링하고, 등화 고정 패턴 신호의 샘플로부터 등화 제어 신호를 생성하도록 구성된다.

<76> 일부 바람직한 실시예에서, 안정화된 신호는 등화 클럭 신호의 안정화된 버전이며, 제어 신호 생성 회로는 등화 클럭 신호의 가장 최근의 제로 교차 시간과 상이한 시간에(동일 반 사이클 동안에) 클럭 사이클 당(즉, 등화 클럭 신호의 사이클당) 등화 클럭 신호의 2개의 샘플을 취득한다. 제어 신호 생성 회로는 2개의 샘플을 비교하거나 하나의 샘플을 다른 샘플로부터 감산함으로써(그리고 선택적으로 이러한 비교 또는 감산의 결과를 필터링함으로써) 등화 제어 신호를 생성한다. 등화 제어 신호는 등화 클럭 신호의 등화의 조건을 나타내며, 적응성 등화 회로의 각각의 등화 필터를 제어하는 데 이용된다. 등화 제어 신호가 하나의 클럭 사이클 내에 생성되는 샘플들의 각 쌍 사이의 차이와 동일한(또는 비례하는) 값을 나타내는 구현에 있어서, 적응성 등화 회로는 샘플 쌍들 간의 차이를 최소화하여 클럭 신호의 최적 등화를 달성하도록 동작하는 제어 루프를 구현한다. 적응성 등화 회로가 멀티 채널 직렬 링크의 상이한 채널들(채널 모두는 동일하거나 유사한 전달 함수를 가짐)을 통해 전송되는 데이터 신호 및 클럭 신호를 수신하여 등화하도록 결합될 때, 데이터 신호는 물론 클럭 신호를 등화하기 위하여 등화 제어 신호를 이용하는 것은 각각의 데이터 신호는 물론 클럭 신호의 최적(또는 거의 최적) 등화를 달성한다.

<77> 이전 단락에서 설명된 구현에 대한 변형에 있어서, 제어 신호 생성 회로는 상이한 클럭 사이클 동안 등화 클럭 신호의 2개의 샘플(예를 들어, 등화 클럭 신호의 가장 최근의 양방향 제로 교차 후의 제1 시간에서의 제1 사이클 동안 하나의 샘플과, 등화 클럭 신호의 가장 최근의 양방향 제로 교차 후의 제2 시간에서의 다른 사이클 동안 다른 하나의 샘플)을 취득하고, 이들 샘플을 비교하거나 하나의 샘플을 다른 샘플로부터 감산함으로써(그리고 선택적으로는 이러한 비교 및 감산 결과를 필터링함으로써) 등화 제어 신호를 생성한다. 이전 단락에서 설명된 구현에 대한 다른 변형에 있어서, 제어 신호 생성 회로는 클럭 사이클 당(또는 $M(M \geq 2)$ 개의 연속 클럭 사이클의 각 세트 동안) $N(N \geq 2)$ 개의 등화 클럭 신호 샘플을 취득하고, N 개의 샘플을 처리한 결과로서 등화 제어 신호를 생성한다.

<78> 이전 두 단락에서 설명된 구현들 중 일부에서, 제어 신호 생성 회로는 등화 클럭 신호의 사이클의 개시에 대해 고정된 시간에(예를 들어, 등화 클럭 신호의 가장 최근의 양방향 제로 교차 후의 고정 시간에) 등화 클럭 신호의 각 샘플을 취득한다. 이전 두 단락에서 설명된 구현들 중 다른 구현에서, 제어 신호 생성 회로는 등화 클럭 신호의 사이클들 내의 가변 시간에(예를 들어, 제1 사이클 동안 가장 최근의 양방향 제로 교차 후의 제1 시간에, 이어서 다른 사이클 동안 가장 최근의 양방향 제로 교차 후의 제2 시간에) 등화 클럭 신호의 샘플들을 취득한다. 후자 군의 구현의 일례는 도 7의 등화 제어 회로(54)의 구현에 대한 변형이 샘플/홀드 회로(70)를 이용하여 하나의 등화 클럭 사이클 동안 (등화 클럭의) 양방향 제로 교차 후 제1 시간에 등화 클럭(블록(43)으로부터 출력)을 샘플링하고, 샘플/홀드 유닛(71)을 이용하여 후속 등화 클럭 사이클 동안 양방향 제로 교차 후 제2 시간에 등화 클럭을 샘플링하는 구현이다.

<79> 도 4의 본 발명의 실시예는 회로(54)에 의해 수신되는 입력 신호가 등화 클럭 신호(일 타입의 등화 고정 패턴 신호)인 것으로 가정하도록 구성된다. 따라서, 회로(54)는 입력 신호에 응답하여 등화 제어 신호(CTL)를 생성하는 간단한 구성(예를 들어, 도 7을 참조하여 설명된 구성)을 가질 수 있다.

<80> 이어서, 도 8을 참조하여, 본 발명의 적응성 등화 회로가 등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 상이한 신호를 등화하도록 각각 결합되고 구성되는 적어도 2개의 등화 필터, 및 모든 등화 필터에 의해 사용하기 위한 등화 제어 신호를 생성하기 위한 제어 회로(예를 들어, 도 8의 회로(85))를 포함하는 다른 군의 실시예를 설명한다. 도 8에서, 등화 블록(80)은 등화 제어 신호 생성 회로(85)에 의해 생성되는 제어 신호(CTL)에 응답하여 직렬 링크의 하나의 채널 상에서 수신되는 신호("입력2")를 등화하며, 등화 블록(81)은 제어 신호(CTL)에 응답하여 직렬 링크의 다른 채널 상에서 수신되는 신호("입력1")를 등화한다. 바람직하게는, 블록(80, 81)은 동일하며, 따라서 이들은 동일한 입력 신호에 응답하여(동일 제어 신호(CTL)가 각각에 어서트되는

경우) 동일한 출력을 생성한다. 블록들(80, 81) 각각은 입력 신호에 등화 필터를 적용하며, 따라서 각 블록은 종종 본 명세서에서 "등화 필터"로 지칭된다.

- <81> 클럭 생성 회로(84)는 클럭 신호 및 그의 지연 버전을 데이터 샘플링 블록(82, 83) 각각에, 그리고 등화 제어 신호 생성 회로(85)에 어서트한다.
- <82> 제어 신호(CTL)는 회로(84)에 의해 생성되는 클럭들에 의해 결정되는 샘플링 에지들을 이용하여 블록(81)으로부터 출력되는 등화 신호를 샘플링하는 것을 포함하는 후술하는 방식으로 회로(85)에 의해 생성된다.
- <83> 블록(82)은 회로(84)로부터의 클럭 신호(및 그의 지연 버전)를 이용하여 블록(80)으로부터의 등화 신호를 샘플링하고, 결과적인 샘플들의 시퀀스를 데이터 추적 및 추출 블록(86)에 어서트한다. 이에 응답하여, 블록(86)은 복원된 데이터 비트들의 시퀀스(도 8에서 "데이터2"로 표시된 비트 스트림)를 출력한다. 블록(83)은 블록(84)으로부터의 클럭 신호(및 그의 지연 버전)를 이용하여 블록(81)으로부터의 등화 신호를 샘플링하고, 결과적인 샘플들의 시퀀스를 데이터 추적 및 추출 블록(87)에 어서트한다. 이에 응답하여, 블록(87)은 복원된 데이터 비트들의 시퀀스(도 8에 "데이터1"로 표시된 비트 스트림)를 출력한다.
- <84> 회로(85)는 입력 신호에서 소정의 고정 패턴의 각각의 발생을 식별하기 위하여 블록(81)으로부터 수신하는 입력 신호를 모니터링하도록 구성된다. 예를 들어, 블록(85)의 몇몇 구현은 소정의 패턴을 가진 비트 시퀀스를 나타내는 입력 신호의 각각의 세그먼트(각각 "고정 패턴 세그먼트")를 식별하고, 각각의 고정 패턴 세그먼트를 등화 고정 패턴 신호로서 처리하도록 구성된다.
- <85> 회로(85)는 또한, 회로(84)로부터 수신되는 클럭 신호를 이용하여 입력 신호를 샘플링하고, 샘플들의 일부만을 이용하여 등화 제어 신호(CTL)를 생성하며, 나머지 샘플들은 폐기하도록 구성된다. 일반적으로, 회로(85)는 입력 신호의 샘플들의 세트(각 샘플들의 세트는 적어도 하나의 입력 신호 샘플을 포함함)를 주기적으로 생성하고, 입력 신호의 고정 패턴 세그먼트의 샘플인 샘플들만을 이용하여 신호(CTL)를 생성하며, 나머지 샘플들은 폐기한다. 일반적으로, 회로(85)는 입력 신호에서 소정의 고정 패턴의 각각의 발생을 식별하기 위한 로직을 포함하며, 회로(85)는 입력 신호의 각 샘플을 일시적으로 저장하고, 로직이 입력 신호의 고정 패턴 세그먼트로부터 생성된 것으로 결정한 일시적으로 저장된 샘플들만을 이용하여 신호(CTL)를 생성하며, 모든 다른 일시적으로 저장된 샘플을 폐기하도록 구성된다. 몇몇 구현에 있어서, 블록(81)의 출력에서 어서트되는(그리고 회로(85)에 의해 수신되는) 등화 신호는 특수 문자들 및 데이터 워드들의 시퀀스를 나타내는 등화 데이터 신호이고, 특수 문자들(또는 특수 문자들 중 둘 이상의 문자의 시퀀스) 중 하나는 소정의 고정 패턴을 나타낸다. 예를 들어, 특수 문자들은 DVI 링크를 통해 전송되는 타입의 특수 문자들, 또는 광섬유 채널 링크와 같은 IBM 코드 직렬 링크를 통해 전송되는 타입의 콤마 문자들일 수 있다.
- <86> 이어서, 본 발명의 적응성 등화 회로가 등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 신호를 등화하도록 결합되고 구성되는 적어도 하나의 등화 필터, 및 등화 제어 신호를 생성하기 위한 제어 회로를 포함하는 다른 군의 실시예를 설명한다. 도 9의 회로는 이러한 실시예의 일례이며, 도 8의 요소들(80, 82, 86)을 포함하지 않는다는 점에서 도 8과 다르다. 도 8의 대응 요소들과 동일하게 번호가 매겨진 도 9의 회로의 모든 요소는 도 8의 요소와 동일하며, 이에 대한 설명은 반복하지 않는다. 예를 들어, 도 9의 등화 제어 신호 생성 회로(85)는 도 8의 회로(85)와 동일한 등화 제어 신호(CTL)를 (동일 방식으로) 생성한다. 일반적으로, 도 9의 회로(85)는 블록(81)으로부터 수신하는 입력 신호에서 소정의 고정 패턴의 각각의 발생을 식별하기 위한 로직을 포함하며, 도 9의 회로(85)는 입력 신호의 각각의 샘플을 일시적으로 저장하고, 로직이 입력 신호의 고정 패턴 세그먼트로부터 생성된 것으로 결정한 일시적으로 저장된 샘플들만을 이용하여 신호(CTL)를 생성하며, 모든 다른 일시적으로 저장된 샘플을 폐기하도록 구성된다. 도 9의 회로(85)는 신호(CTL)를 등화 필터(81)에만 어서트하는데, 이는 도 9가 다른 등화 필터를 포함하지 않기 때문이다. 도 9의 회로는 수신기에서 직렬 링크의 단일 채널 상에서 수신되는 신호를 등화(및 신호로부터 데이터를 추출)하는 데 유용한 반면, 도 8의 회로는 수신기에서 멀티 채널 직렬 링크의 2개의 채널 상에서 수신되는 신호들을 등화(및 신호들로부터 데이터를 추출)하는 데 유용하다.
- <87> 일군의 실시예에서, 본 발명은
- <88> (a) 신호들을 직렬 링크를 통해, 제1 등화 필터(예를 들어, 도 4의 필터(43))를 포함하는 적응성 등화 필터들의 세트를 포함하는 수신기로 전송하는 단계;
- <89> (b) 상기 제1 등화 필터가 상기 링크를 통해 상기 수신기로 전송되는 신호들 중 하나의 신호를 등화하도록 동작하는 동안, 상기 제1 등화 필터를 포함하는 제어 루프(예를 들어, 도 4의 요소들(43, 53, 54)을 포함하는 제어

루프)에서 등화 제어 신호를 생성하는 단계;

- <90> (c) 상기 등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 상기 제1 등화 필터에서 상기 신호들 중 상기 하나의 신호를 등화함으로써 제1 등화 신호를 생성하는 단계; 및
- <91> (d) 상기 등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로, 상기 제1 등화 필터가 아닌 상기 세트의 적응성 등화 필터들 중 상이한 하나의 필터에서, 상기 링크를 통해 상기 수신기로 전송되는 신호들 중 각각의 다른 하나의 신호를 등화하는 단계를 포함하는 적응성 등화 방법이다.
- <92> 이 방법의 몇몇 실시예에 있어서, 링크는 멀티 채널 직렬 링크이며, 단계 (a)는 링크의 상이한 채널을 통해 신호들 각각을 전송하는 단계를 포함한다. 이 방법의 몇몇 실시예에서, 상기 링크는 적어도 실질적으로 동일한 전달 함수를 갖는 채널들의 세트를 포함하는 멀티 채널 직렬 링크이고, 상기 단계 (a)는 상기 채널들의 세트의 상이한 채널을 통해 상기 신호들 각각을 전송하는 단계를 포함하고, 상기 적응성 등화 필터들의 세트의 적응성 등화 필터들 각각은 상기 적응성 등화 필터들의 세트의 적응성 등화 필터들 중 각각의 다른 하나의 필터와 적어도 실질적으로 동일하다.
- <93> 이 방법의 몇몇 실시예에서, 상기 링크는 클럭 채널 및 적어도 하나의 데이터 채널을 포함하는 멀티 채널 직렬 링크이고, 상기 단계 (a)는 상기 클럭 채널을 통해 클럭 신호를 상기 수신기로 전송하는 단계 및 상기 데이터 채널을 통해 데이터 신호를 상기 수신기로 전송하는 단계를 포함하고, 상기 단계 (b)는 상기 제1 등화 필터가 상기 클럭 신호를 등화하도록 동작하는 동안 상기 제어 루프에서 상기 등화 제어 신호를 생성하는 단계를 포함한다. 바람직하게는, 상기 단계 (c)에서 생성되는 상기 제1 등화 신호는 등화 클럭 신호이고, 상기 등화 클럭 신호는 상기 클럭 신호의 등화 버전이고, 상기 단계 (b)는 상기 등화 클럭 신호의 각 사이클 동안 상이한 시간에 사이클당 적어도 두 번 상기 등화 클럭 신호를 샘플링함으로써 상기 등화 클럭 신호의 샘플을 생성하는 단계; 및 상기 샘플에 응답하여 상기 등화 제어 신호를 생성하는 단계를 포함한다.
- <94> 이 방법의 몇몇 실시예에서, 상기 링크는 적어도 제1 채널 및 제2 채널을 포함하는 멀티 채널 직렬 링크이고, 상기 단계 (a)는 고정 패턴 신호를 상기 제1 채널을 통해 상기 수신기로 전송하는 단계 및 다른 신호를 상기 제2 채널을 통해 상기 수신기로 전송하는 단계를 포함하고, 상기 단계 (b)는 상기 제1 등화 필터가 상기 고정 패턴 신호를 등화하도록 동작하는 동안 상기 제어 루프에서 상기 등화 제어 신호를 생성하는 단계를 포함한다. 바람직하게는, 상기 단계 (c)에서 생성되는 상기 제1 등화 신호는 등화 고정 패턴 신호이고, 상기 등화 고정 패턴 신호는 상기 고정 패턴 신호의 등화 버전이고, 상기 단계 (b)는 상기 등화 고정 패턴 신호의 각 사이클 동안 상이한 시간에 사이클당 적어도 두 번 상기 등화 고정 패턴 신호를 샘플링함으로써 상기 등화 고정 패턴 신호의 샘플을 생성하는 단계; 및 상기 샘플에 응답하여 상기 등화 제어 신호를 생성하는 단계를 포함한다.
- <95> 다른 군의 실시예에서, 본 발명은 (a) 신호를 직렬 링크를 통해, 적응성 등화 필터를 포함하는 수신기로 전송하는 단계; (b) 상기 등화 필터가 상기 링크를 통해 상기 수신기로 전송되는 신호를 등화하도록 동작하는 동안 상기 등화 필터를 포함하는 제어 루프에서 등화 제어 신호를 생성하는 단계; 및 (c) 상기 등화 제어 신호에 의해 적어도 부분적으로 결정되는 방식으로 상기 등화 필터에서 상기 신호를 등화함으로써 등화 신호를 생성하는 단계를 포함하고, 상기 단계 (b)는 상기 등화 신호의 샘플들을 생성하는 단계; 각각이 소정의 고정 패턴을 나타내는 상기 등화 신호의 세그먼트인 상기 등화 신호의 적어도 하나의 고정 패턴 세그먼트를 식별하는 단계; 및 하나의 상기 고정 패턴 세그먼트의 샘플이 아닌 상기 샘플들 중의 임의의 샘플을 이용하지 않고 상기 샘플들의 서브세트만을 이용하여 상기 등화 제어 신호를 생성하는 단계를 포함하는 적응성 등화 방법이다. 이 군의 몇몇 실시예에서, 상기 단계 (b)는 상기 샘플들 각각을 일시적으로 저장하는 단계; 상기 적어도 하나의 고정 패턴 세그먼트의 샘플들인 상기 일시적으로 저장된 샘플들 중의 샘플들을 식별하는 단계; 및 하나의 상기 고정 패턴 세그먼트의 샘플이 아닌 상기 일시적으로 저장된 샘플들 중의 임의의 샘플을 이용하지 않고 상기 등화 제어 신호를 생성하는 단계를 포함한다.
- <96> 본 발명의 몇몇 실시예가 본 명세서에서 도시되고 설명되었지만, 본 발명은 청구범위에 의해서 정의되며, 설명되고 도시된 특정 실시예로 한정되지 않는다는 것을 이해해야 한다.

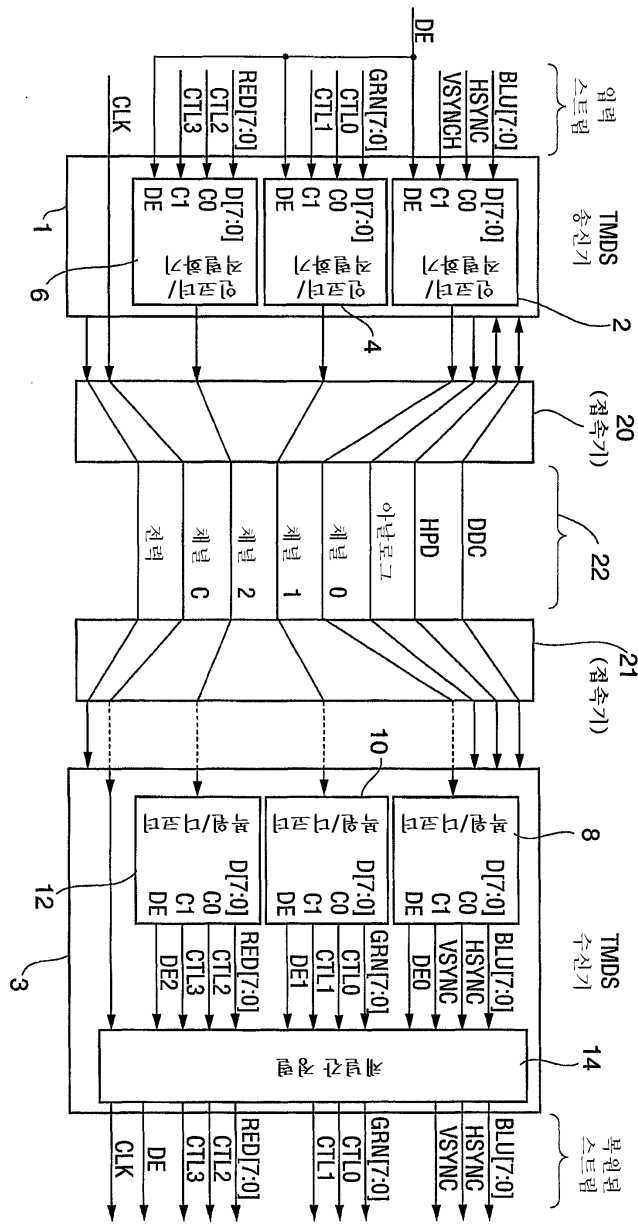
도면의 간단한 설명

- <34> 도 1은 DVI 링크(하나의 TMDS 링크를 포함)를 통해 데이터를 전송하기 위한 통상의 시스템의 간략화된 블록도로서, 이 시스템은 송신기, 수신기, 및 송신기와 수신기 사이의 케이블을 포함한다.
- <35> 도 2는 본 발명을 구현하는 시스템의 간략화된 블록도이다.

- <36> 도 3은 도 2의 송신기(101)의 바람직한 구현에 의해 전송될 수 있는 데이터 및 클럭 신호의 파형(도 3의 상위 2개의 파형), 및 도 2의 수신기(103)의 바람직한 구현에 의해 (등화 전에) 수신되는 데이터 및 클럭 신호의 파형(도 3의 하위 2개의 파형)을 나타내는 도면으로서, 전송 데이터 신호("데이터")의 비트 레이트는 전송 클럭 신호("CLK")의 주파수의 10배이다.
- <37> 도 4는 본 발명의 적응성 등화 회로의 일 실시예를 포함하는 도 2의 회로(110)의 바람직한 구현의 블록도이다.
- <38> 도 5A는 도 2의 대표적인 구현의 데이터 및 클럭 채널 각각의 전달 함수로서, 도 5A, 5B 및 5C에서 "fspeed"는 도 2의 구현의 각 데이터 채널을 통해 전송되는 데이터의 비트 레이트이다.
- <39> 도 5B는 (채널들이 도 5A의 전달 함수를 갖는 도 2의 구현에서) 도 4의 회로의 등화 블록들(40, 41, 42) 각각에 의해 그의 입력에서 수신되는 데이터 또는 클럭 신호에 적용되는 등화 필터의 전달 함수로서, 이득은 주파수가 증가함에 따라 컷오프 주파수(fspeed/2보다 큼)까지 증가한다.
- <40> 도 5C는 도 5A 및 도 5B의 전달 함수의 곱의 그래프로서, 도 5C에 그래프화된 전체 이득(주파수의 함수)은 fspeed/2보다 큰 값까지의 주파수에서 1이다.
- <41> 도 6은 도 4의 회로의 블록(43)으로부터 출력되는 대표적인 등화 클럭 신호의 3개의 파형의 세트로서, 상위 파형은 블록(43)에 의한 클럭 신호의 불충분 등화의 결과이고, 중간 파형은 블록(43)에 의한 클럭 신호의 과잉 등화의 결과이며, 하위 파형은 블록(43)에 의한 클럭 신호의 최적 등화의 결과이며, 도 6에서 샘플 시간 $t=1$ 및 $t=3$ 은 등화 제어 신호 생성회로(54)의 바람직한 실시예가 각각의 등화 클럭 신호를 샘플링하는 각 클럭 사이클 동안의 시간이다.
- <42> 도 7은 도 4의 등화 제어 회로(54)의 바람직한 실시예의 블록도이다.
- <43> 도 8은 본 발명의 적응성 등화 회로의 다른 실시예를 포함하는 등화 및 데이터 추출 회로의 블록도이다.
- <44> 도 9는 본 발명의 적응성 등화 회로의 또 다른 실시예를 포함하는 등화 및 데이터 추출 회로의 블록도이다.

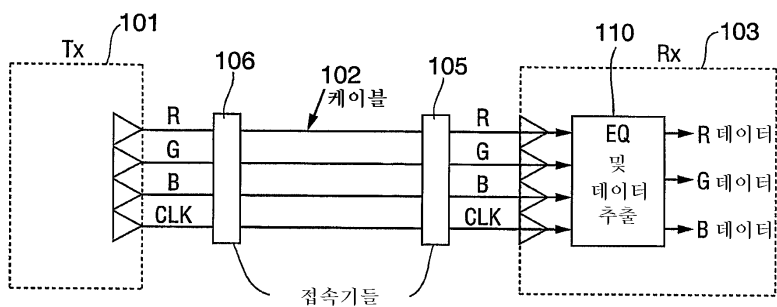
도면

도면1

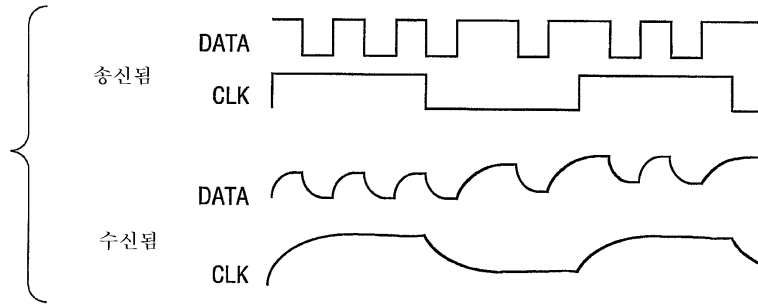


(중략 기술)

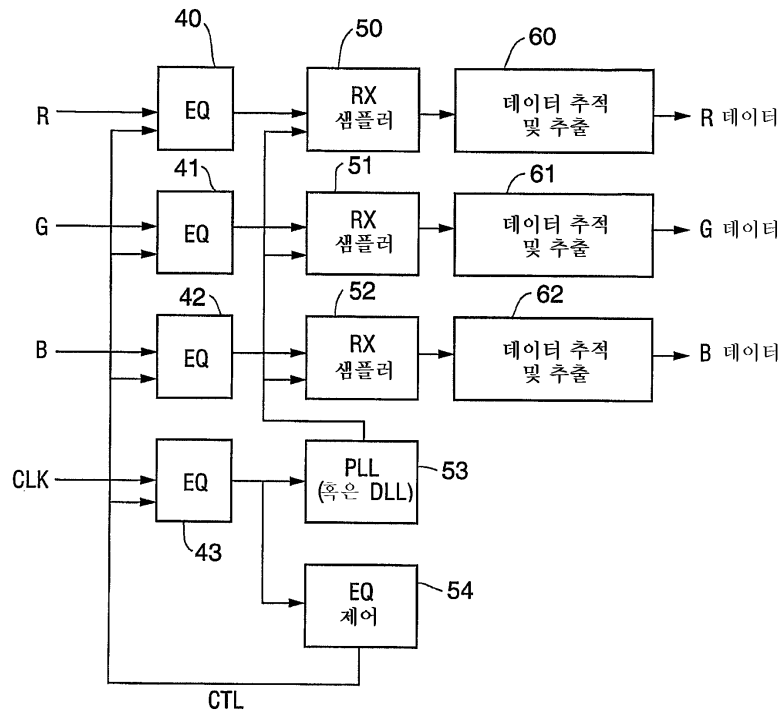
도면2



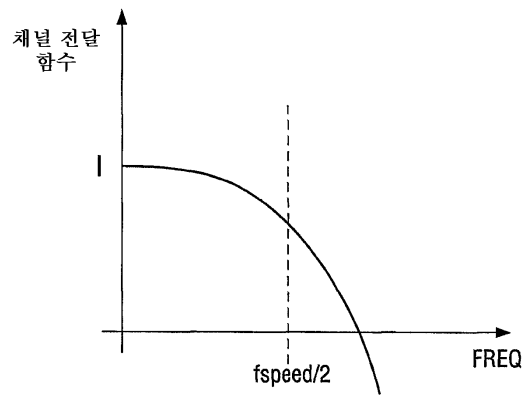
도면3



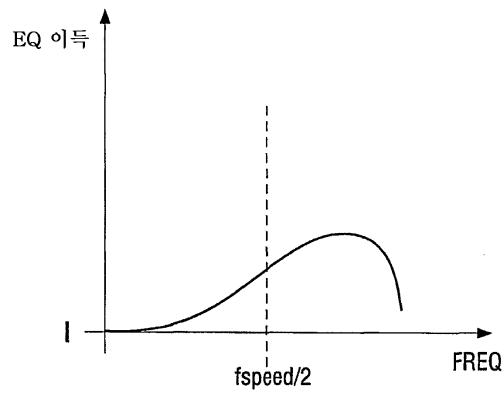
도면4



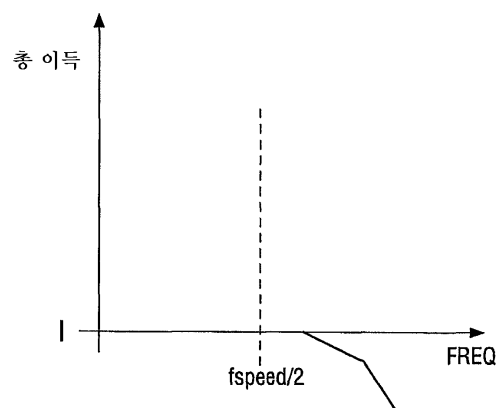
도면5A



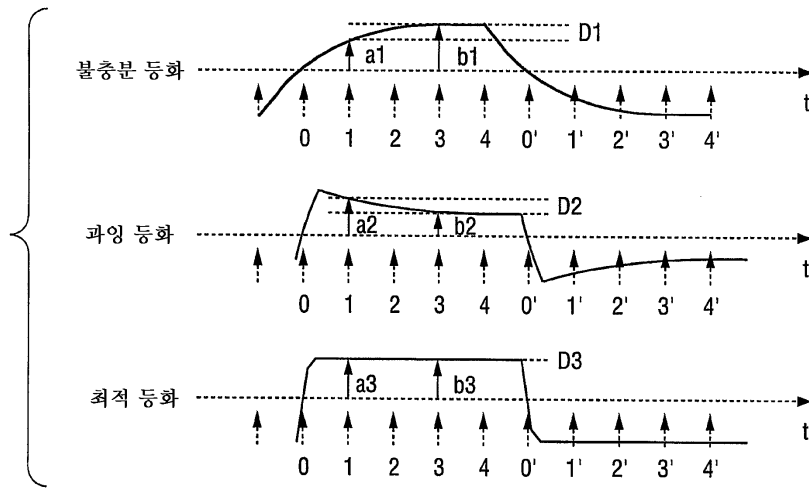
도면5B



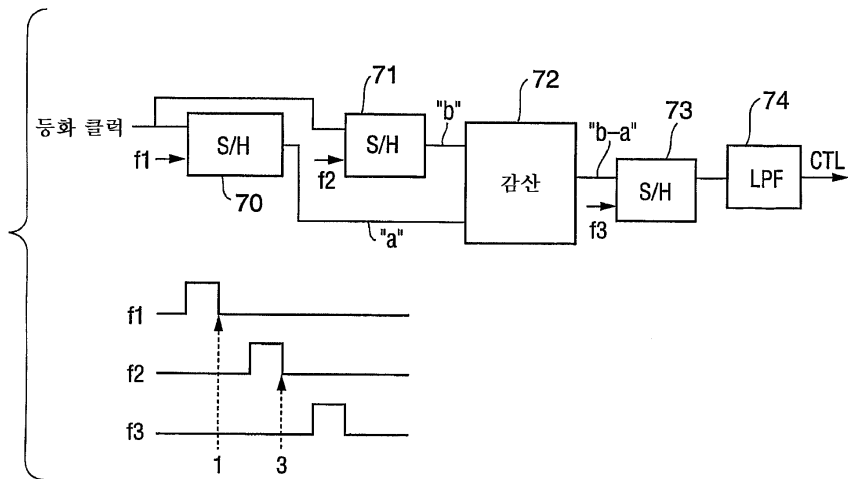
도면5C



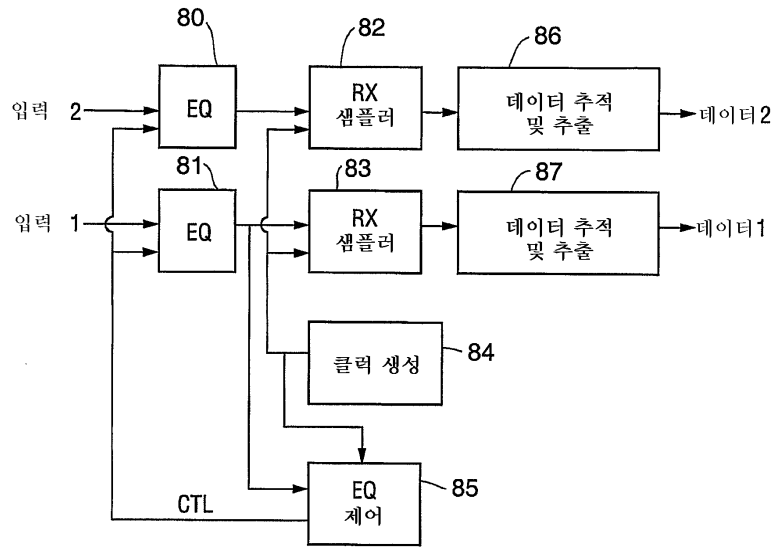
도면6



도면7



도면8



도면9

