

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5167676号
(P5167676)

(45) 発行日 平成25年3月21日(2013.3.21)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int. Cl.	F 1		
HO 4 N 5/353 (2011.01)	HO 4 N	5/335	5 3 0
HO 4 N 5/355 (2011.01)	HO 4 N	5/335	5 5 0
HO 4 N 5/243 (2006.01)	HO 4 N	5/243	
HO 4 N 5/232 (2006.01)	HO 4 N	5/232	Z
HO 4 N 9/09 (2006.01)	HO 4 N	9/09	A

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2007-103242 (P2007-103242)	(73) 特許権者	000002185
(22) 出願日	平成19年4月10日 (2007.4.10)		ソニー株式会社
(65) 公開番号	特開2008-263316 (P2008-263316A)		東京都港区港南1丁目7番1号
(43) 公開日	平成20年10月30日 (2008.10.30)	(74) 代理人	100122884
審査請求日	平成22年3月10日 (2010.3.10)		弁理士 角田 芳末
		(74) 代理人	100133824
			弁理士 伊藤 仁恭
		(72) 発明者	亀山 隆
			東京都港区港南1丁目7番1号 ソニー株式会社社内
		審査官	鈴木 肇

最終頁に続く

(54) 【発明の名称】 撮像装置及び撮像方法

(57) 【特許請求の範囲】

【請求項 1】

光学系を介して得た撮像光を所定のフレーム周期で撮像信号に変換するイメージセンサと、

前記イメージセンサから取り出した撮像信号を増幅する撮像信号処理部と、

前記撮像信号処理部で処理された撮像信号を、フレームメモリを使用してフレーム単位で所定の複数フレーム加算して、その複数フレーム加算した撮像信号をフレーム周期で連続して出力するフレーム加算部と、

前記イメージセンサでの信号蓄積期間を制御し、前記フレーム加算部で加算させる複数フレーム内の各フレームの信号蓄積期間に応じて、前記撮像信号処理部での各フレームの増幅ゲインを可変設定する制御部とを備え、

前記制御部による信号蓄積期間の制御には、前記所定の複数フレームが2または3以上のフレームである場合にいずれかのフレームで信号蓄積期間を0にする制御も含まれ、いずれかのフレームで信号蓄積期間を0にした場合には、前記制御部は、信号蓄積期間が0でないフレームの増幅ゲインを信号蓄積期間に応じて可変設定する

撮像装置。

【請求項 2】

請求項 1 記載の撮像装置において、

前記フレーム加算部で加算させる所定フレーム数の内の各フレームの信号蓄積期間に応じた前記撮像信号処理部での各フレームの増幅ゲインの可変設定は、前記信号蓄積期間が

10

20

0でないフレームにおいて前記信号蓄積期間と増幅ゲインとが反比例の関係になる設定である

撮像装置。

【請求項3】

請求項2記載の撮像装置において、

前記信号蓄積期間は電子シャッタ処理により設定される

撮像装置。

【請求項4】

請求項1～3のいずれか1項に記載の撮像装置において、

前記撮像信号処理部内で増幅された信号に対して、ガンマ補正処理を行う

撮像装置。

10

【請求項5】

請求項4記載の撮像装置において、

前記撮像信号処理部内でのガンマ補正特性を、前記フレーム加算部での加算フレーム数により変化させる

撮像装置。

【請求項6】

請求項1～5のいずれか1項に記載の撮像装置において、

前記撮像信号処理部内で増幅された信号に対して、ニール補正処理を行う

撮像装置。

20

【請求項7】

撮像光を撮像信号に変換するイメージセンサから所定のフレーム周期で取り出した撮像信号を増幅し、増幅された撮像信号に対して非線形処理を行うステップと、

前記非線形処理が行われた撮像信号を、フレームメモリを使用してフレーム単位で所定の複数フレーム加算して、その複数フレーム加算した撮像信号をフレーム周期で連続して出力するステップと、

前記イメージセンサでの信号蓄積期間を制御し、前記加算を行う複数フレーム内の各フレームの信号蓄積期間に応じて、各フレームの増幅ゲインを可変設定するステップであって、前記信号蓄積期間の制御には、前記所定の複数フレームが2または3以上のフレームである場合にいずれかのフレームで信号蓄積期間を0にする制御も含み、いずれかのフレームで信号蓄積期間を0にした場合には、信号蓄積期間が0でないフレームの増幅ゲインを信号蓄積期間に応じて可変設定するステップとを有する

30

撮像方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、低フレームレートでの撮像が可能なビデオカメラに適用される撮像装置、及びその撮像装置に適用される撮像方法に関する。

【背景技術】

【0002】

テレビジョン放送用のフォーマットなどに準拠した映像信号を得るビデオカメラの場合、イメージャで撮像を行うフレーム周期としては、1/60秒や1/50秒などに決められている。例えば1/60秒をフレーム周期としたビデオカメラでは、イメージャで各フレームの撮像光を受光して蓄積する期間（いわゆるシャッタ期間）は、最大で1/60秒である。

40

いわゆる電子シャッタと称される、撮像光の受光期間を1フレーム周期内で短くする処理を行えば、1/1000秒や1/10000秒などの高速シャッタでの撮像については可能であるが、1フレーム周期より長いいわゆる低速シャッタは、通常は不可能である。

【0003】

通常より低いフレームレートでの撮像を実現するためには、イメージャで複数のフレー

50

ム期間期間に亘る長期間の撮像光の受光を行って、その複数フレーム期間に亘って受光された信号を、イメージャから読み出すことで可能である。例えば、CCD (Charge Coupled Devices) 型のイメージセンサをイメージャとして使用した場合には、各画素に受光により電荷が蓄積する期間を長時間化することで可能である。例えば、各画素で電荷が蓄積する期間を2フレーム期間の1/30秒とし、その1/30秒間に蓄積した信号を読み出すことで、蓄積期間を2倍化した低速撮像が可能となる。そのようにして得た撮像信号としては、通常のフレーム周期を1/60秒とすると、その2倍の1/30秒ごとに変化する。例えば、夜間などの暗い状況での撮像が可能となる。このようにして、再生時のフレームレートより遅いフレームレートで撮像と記録を行なうことによって、再生時に早回し効果を得ることができる。ここでは2倍の期間蓄積する処理を行う例を説明したが、イメージャに電荷を蓄積させる期間の調整で、例えば数十フレーム期間のような長時間の撮像が可能となる。

10

【0004】

特許文献1には、フレーム加算を行ってフレームレートを加算する処理を行う撮像装置の例についての記載がある。

【特許文献1】特開2005-39710号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところが、上述したようにイメージセンサの受光素子に電荷を蓄積させる期間が長くなると、イメージセンサの補正機能のダイナミックレンジが不足して、イメージセンサが持つ固定パターンノイズが露顕した画像となったり、或いは間欠画像であるためホワイトバランスなどの自動制御系が実用に耐えない状態となり、画質が非常に悪化してしまう。

20

【0006】

この問題点を解決するためには、例えばイメージセンサの出力を、そのイメージセンサが出力する撮像信号がリニアな信号の段階で、デジタル同期加算する構成が考えられる。撮像信号がリニアな信号の段階とは、ホワイトバランス調整やガンマ補正などの各種撮像信号処理が行われる前の、イメージセンサの出力がそのまま反映した信号の段階である。

【0007】

このイメージセンサの出力を非線形信号処理回路の後段の回路で加算する構成とした場合には、加算を行う際に、加算される各フレームの信号の特性が合致していないと、加算後の信号の特性が正しいものにならないという問題がある。

30

【0008】

例えば、2フレーム期間の加算を行う構成を想定した場合、その加算される2フレーム期間のそれぞれが、全て同じ電荷の蓄積期間であればよいが、実際には、イメージセンサの信号電荷の蓄積期間は、電子シャッタと称される処理で1フレーム期間内の信号蓄積期間を短くする場合がある。この電子シャッタ処理で、加算する2つのフレーム期間の信号蓄積期間が異なる期間である場合には、イメージセンサ出力を加算したとしても、その加算されるそれぞれのフレーム期間の信号が等しい特性の信号とは言えず、加算された信号が正しい特性でない可能性がある。

40

【0009】

本発明はかかる点に鑑みてなされたものであり、低フレームレートでの撮像と電子シャッタ処理とを組み合わせた場合の問題点を解決することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、撮像光を撮像信号に変換するイメージセンサから取り出した撮像信号を増幅し、増幅が行われた撮像信号を、フレームメモリを使用してフレーム単位で所定の複数フレーム加算して、その複数フレーム加算した撮像信号をフレーム周期で連続して出力する。そして、イメージセンサでの信号蓄積期間を制御し、加算を行う複数フレーム内の各フレームの信号蓄積期間に応じて、各フレームの増幅ゲインを可変設定するようにした。そ

50

して、信号蓄積期間の制御には、所定の複数フレームが2または3以上のフレームである場合にいずれかのフレームで信号蓄積期間を0にする制御も含み、いずれかのフレームで信号蓄積期間を0にした場合には、信号蓄積期間が0でないフレームの増幅ゲインを信号蓄積期間に応じて可変設定するようにした。

【0011】

かかる処理を行うことで、低フレームレート撮像を行うために、複数フレームの撮像信号を加算する処理を行う際に、その加算される各フレームの信号が、信号蓄積期間に応じて可変設定されたゲインの信号となる。

【発明の効果】

【0012】

本発明によると、低フレームレート撮像で、複数フレームの撮像信号を加算する処理を行う際に、その加算される各フレームの信号が、信号蓄積期間に応じて可変設定されたゲインの信号となり、加算前の信号の特性を等しくすることができ、加算により信号特性を悪化させることがない効果を有する。

【発明を実施するための最良の形態】

【0013】

以下、本発明の一実施の形態の例を、添付図面を参照して説明する。

図1は本実施の形態の例による撮像装置の構成例を示した図である。図1に従って構成を説明すると、レンズ11を介して得た撮像光を、プリズム12で3原色に分解し、その分解されたそれぞれの色の撮像光を、青色、緑色、赤色のイメージセンサ13B、13G、13Rの撮像面に入射させる。各色のイメージセンサ13B、13G、13Rの撮像面に結像した撮像光は、それぞれのイメージセンサ13B、13G、13Rで電気信号に変換し、その変換された電気信号を読み出す。イメージセンサ13B、13G、13Rから読み出された電気信号を、撮像信号と称する。

【0014】

レンズ11は、図1では説明を簡単にするために1枚のレンズだけを示してあるが、実際には複数枚(複数群)のレンズで構成され、ズームレンズとして構成してもよい。また、図示しないが、絞り機構であるアイリスについてもレンズ11の光路中に配置してある。イメージセンサ13B、13G、13Rとしては、例えば、CCD型のイメージセンサ、或いはCMOS型のイメージセンサを使用する。イメージセンサ13B、13G、13Rでの各フレームの信号蓄積期間は、後述する制御部25からの指令で可変設定される構成としてある。即ち、例えば1フレームが1/60秒であるとする、1フレーム期間の最大の信号蓄積期間は約1/60秒であるが、それよりも短い蓄積期間を設定できる構成としてある。このように1フレームの期間内で信号蓄積期間を短くする処理を、電子シャッター処理と称する。

【0015】

イメージセンサ13B、13G、13Rから読み出された撮像信号は、カメラプロセス部30に供給される。カメラプロセス部30では、撮像信号の各種補正処理が行われる。補正処理としては、リニア信号処理による補正と、ノンリニア信号処理による補正とがある。

【0016】

カメラプロセス部30に入力した撮像信号は、まずリニアプロセス部31に供給して、リニア信号処理が行われる。リニアプロセス部31でのリニア信号処理としては、図1に示すように、各色の撮像信号に対して、増幅回路31b、31g、31rで個別に増幅処理を行って、各色の撮像信号を適正なレベルの信号とする処理がある。本例においては、この増幅回路31b、31g、31rで設定されるゲインとして、後述するフレーム加算を行うモード(低フレームレート撮像モード)時に、各フレームでの信号蓄積期間の違いによる補正を行う構成としてある。そのゲイン設定例については後述する。

また、青色、緑色、赤色の撮像信号のバランスを調整するホワイトバランス調整の補正処理がある。このホワイトバランス調整用のレベル補正処理についても、増幅回路31b

10

20

30

40

50

、31g、31rで行うようにしてもよい。

リニアプロセス部31で処理された撮像信号は、ノンリニアプロセス部32に供給して、ノンリニア信号処理が行われる。

【0017】

ノンリニアプロセス部32でのノンリニア信号処理による補正としては、ガンマ()補正、ニー補正などがある。ガンマ補正は、ガンマ補正カーブに基づいて各色の輝度値を非線形の入出力特性で変換する補正処理であり、ニー補正は画像中の明るい部分の明るさを調整する非線形補正処理である。ノンリニアプロセス部32での非線形補正処理は、後述する制御部25からの指令により、通常撮像時の非線形補正処理と、後述するフレーム加算時の非線形補正処理とが、それぞれ異なる補正特性で設定されるようにしてある。さらに、フレーム加算時には、フレーム加算数に応じて補正特性がさらに修正されて設定されるようにしてある。

10

【0018】

ノンリニアプロセス部32で補正された撮像信号は、YC変換部33に供給する。YC変換部33では、青色、緑色、赤色の原色信号(以下RGB信号と称する)で構成される撮像信号を、輝度信号(以下Y信号と称する)とクロマ信号(以下C信号と称する)の撮像信号に変換する。YC変換部33で変換された撮像信号は、カメラプロセス部30から出力させる。

【0019】

カメラプロセス部30から出力された撮像信号(Y信号及びC信号)は、同期加算回路14に供給する。同期加算回路14には、フレームメモリで構成されるフレームバッファ24が接続しており、低フレームレート撮像を行う際に、供給される撮像信号を、フレーム単位で加算させる処理が行われる。加算フレーム数などは制御部25により制御される。同期加算回路14で加算された撮像信号又は加算されない撮像信号は、コーデック部15に供給する。

20

【0020】

コーデック部15では、供給される撮像信号を所定のフォーマットの映像信号に変換するコーデック処理を行い、変換された映像信号を、記録系回路16に供給して、記録媒体(記憶媒体)に記録させる。記録媒体としては、メモリカード、光ディスク、磁気テープなどの各種媒体が適用可能である。

30

【0021】

また、カメラプロセス部30が出力する撮像信号と、同期加算回路14が出力する撮像信号は、セクタ21に送る構成としてあり、制御部25の制御に基づいて、セクタ21でモニタを行う撮像信号を選択する。例えば、セクタ21では、低フレームレートでの撮像時には、その低フレームレートで撮像された撮像信号をモニタする際に、同期加算回路14が出力する撮像信号を選択し、低フレームレートで撮像中の加算されていない毎フレームの撮像信号をモニタする場合に、カメラプロセス部30の出力を選択する。通常の撮像時は、いずれの撮像信号を選択しても同じである。

【0022】

セクタ21で選択された撮像信号は、フレームレート変換部22でモニタ用又は外部出力用にフレームレートの変換処理が行われた後、表示部23に表示させる。或いは、図示しない出力端子から、フレームレート変換部22で変換された映像信号を出力させる。フレームレート変換部22での変換と、表示部23での表示についても、制御部25の制御で実行される。フレームレート変換部22でフレームレートを変換する際には、フレームバッファ24を一時記憶手段として使用して変換処理が行われる。

40

【0023】

この撮像装置の各部の動作を制御する制御部25には、操作スイッチなどで構成される操作部26から操作指令が供給され、撮像の開始や停止などの撮像動作が制御される他に、撮像モードの設定なども、操作部26での操作に基づいて設定される。低フレームレートモードの設定や、電子シャッタの設定についても、操作部26の操作で設定される。或

50

いは、電子シャッタについては、そのときの撮像条件（明るさなど）により制御部 25 が自動的に設定するようにしてもよい。レームバッファ 24 での撮像信号の蓄積動作についても制御部 24 により制御される。なお、フレームバッファ 24 は、撮像信号を Y 信号及び C 信号の形式で記憶するメモリである。

【0024】

ここで、図 2 を参照して、フレームバッファ 24 を同期加算用の記憶回路として使用する場合の構成を示す。入力端子 24 a に得られる撮像信号を、切換スイッチ 24 b を介して加算器 24 c に供給する。切換スイッチ 24 b は、撮像信号を加算しない期間は、入力端子 24 a 側ではなく、0 データが得られる側を選択する。加算器 24 c は、記憶部 24 d の出力を加算するものである。そして、加算器 24 c の出力を、記憶部 24 d に供給して記憶させる。そして、記憶部 24 d に記憶された撮像信号を、出力端子 24 e から出力させる。この図 2 に示す構成として、記憶部 24 d で 1 フレームの撮像信号を記憶して、加算器 24 c でその記憶された撮像信号を入力信号に加算させる処理を、1 フレームごとに同期して行うことで、毎フレームに撮像された信号が、順に加算される。そして、必要なフレーム数加算された撮像信号を、出力端子 24 e から出力させる。フレームバッファ 24 で加算を行う際には、各フレーム内の加算される画素位置が等しくなるように設定してあり、その加算を行うことで各画素位置の輝度値が、加算フレーム数に対応した期間加算した値となる。

10

【0025】

図 3 は、本例の撮像装置の同期加算回路 14 で、加算処理を行う場合の撮像動作を示したタイミング図である。この図 3 の例では、3 フレームの撮像信号を加算する例としてある。図 3 (a) は、撮像信号のフレーム周期を示してあり、図 3 (b) に示すように、3 フレームの露光期間の撮像信号を加算して 1 フレームの信号とするようにしてある。即ち、露光期間 1.1 と 1.2 と 1.3 の 3 フレーム期間のイメージセンサ出力を加算して、同期加算回路 14 で 3 フレーム加算されたフレーム番号 1 の撮像信号を得る。このフレーム番号 1 の撮像信号は、3 フレーム期間連続して、同期加算回路 14 から出力される。次の露光期間 2.1 と 2.2 と 2.3 の 3 フレーム期間のイメージセンサ出力を加算して、同期加算回路 14 で 3 フレーム加算されたフレーム番号 2 の撮像信号を得る。このフレーム番号 2 の撮像信号も、3 フレーム期間連続して、同期加算回路 14 から出力される。

20

【0026】

このようにして、3 フレームの加算が行われた撮像信号は、通常撮像時の撮像信号に比べて、イメージセンサ 13 B, 13 G, 13 R での露光時間が約 3 倍となり、撮像のフレームレートとしては、1/3 の低フレームレートとなり、3 倍の早回し効果が得られる。図 3 の例では、3 フレーム加算の例を示したが、加算フレーム数は 2 フレーム以上の任意のフレーム数とすることができる。例えば、1 フレームが 1/60 秒である場合に 60 フレーム加算すれば、1 秒ごとの低フレームレートでの撮像が行える。

30

【0027】

次に、このような低フレームレートの撮像処理と、電子シャッタ処理とを組み合わせた場合の処理例を、図 4 を参照して説明する。この図 4 の例では、図 3 の例と同様に、1/3 のフレームレートで撮像を行う低フレームレート撮像を行う例としてある。

40

電子シャッタ処理を行わない場合には、1/3 のフレームレートで撮像を行うモード時には、図 3 に示したように 3 フレームの撮像信号が加算される。しかしながら、電子シャッタ処理を行った場合には、例えば加算される 3 フレーム期間の内の電子シャッタで指示されたタイミング以前の信号は破棄されて、その電子シャッタで指示されたタイミング以後の信号だけが加算される。

【0028】

図 4 の例では、図 4 (a) に示すように撮像フレーム周期が設定されているとして、その撮像フレームの 3 フレーム期間を 1 つの撮像フレーム期間とする低フレームレート撮像を設定が、図 4 (b) に示すように行われる。ここで、その低フレームレート撮像状態を設定した上で、2 番目のフレーム期間のほぼ半分の期間以降の信号を蓄積（加算）させ、

50

それより前の信号は破棄する電子シャッタ処理が、図4(b)に示すように行われたとする。具体的には、例えば、露光期間2.1と2.2と2.3の3フレーム期間を加算する低フレームレート撮像モードとして、露光期間2.2のほぼ半分のタイミングに、電子シャッタタイミングを設定して、それより後の期間だけを露光期間とする。従って、同期加算回路14では、露光期間2.2の後半の撮像信号と、露光期間2.3の全期間の撮像信号だけが加算される。

【0029】

このような構成とした場合に、電子シャッタ処理で蓄積期間が短い期間(例えば露光期間2.2)については、カメラプロセス部30内のリニアプロセス部31で信号ゲインを、他の期間から変化させる。即ち、リニアプロセス部31内の増幅回路31b, 31g, 31rのゲインとして、通常時のゲインを0dBとすると、蓄積期間が約半分のフレーム期間については、それよりも6dB高くして、蓄積期間が違っていても各フレームの撮像信号のリニアプロセス部31の出力をほぼ等しいレベルとする。

図4(c)は、そのカメラプロセス部30の増幅回路31b, 31g, 31rでのゲイン設定例を示したものであり、そのゲインで増幅された信号が図4(d)に示すように出力される。この例では、図4(c)に示すように、3フレーム周期でゲインの高いフレーム期間が1フレームずつある処理が繰り返される。3つの増幅回路31b, 31g, 31rでの設定ゲインは基本的に同じである。但し増幅回路31b, 31g, 31rがホワイトバランス用の増幅回路なども兼ねる場合には、3つの原色信号でゲインがアンバランスになる場合もある。

【0030】

この図4(c)に示すようにゲインが電子シャッタタイミングに連動して可変設定されながら、その図4(d)に示す出力が同期加算回路14で加算されて、同期加算回路14の出力としては、図4(e)に示すように、3フレーム期間同じ加算信号が繰り返し出力されるようになる。

なお、図4の例では、電子シャッタで信号蓄積期間が制限されるフレーム期間での蓄積期間として、約1/2に制限させる構成としたため、ゲインを6dB高くするようにしたが、その蓄積期間の制限量に応じてゲインを高くする値は変化する。具体的には、より蓄積期間が短くなる場合には、よりゲインを高くし、蓄積期間が長くなる場合にはゲインを高くする値を小さくする。即ち、蓄積期間と信号ゲインとは反比例の関係となるようにして、蓄積期間が違っていても各フレームの撮像信号のリニアプロセス部31の出力をほぼ等しいレベルとする。また、図4の例では、3フレーム周期の内の最初のフレーム期間の信号(図4(d)の出力2.1など)については、撮像信号として加算されないで、その期間のゲインについては、0dBでなくてもよい。

【0031】

次に、図5のフローチャートを参照して、制御部25の制御で行われる、低フレームレートでの撮像時の処理例を説明する。まず、制御部25は、現在の撮像モードが通常のフレームレートでの撮像か、或いは低フレームレートでの撮像かを判断する(ステップS11)。ここで、通常のフレームレートでの撮像時には、ノンリニアプロセス部32で、通常撮像用のガンマ補正カーブを設定し(ステップS12)、同期加算回路14で加算処理を行わないようにし、記録や表示などを行う(ステップS13)。

【0032】

これに対して、低フレームレートでの撮像時には、ノンリニアプロセス部32で、低フレームレート撮像用のガンマ補正カーブを設定する(ステップS14)。

ここで、制御部25では、電子シャッタ処理を行うか否かを判断し(ステップS15)、電子シャッタを行う場合には、電子シャッタで信号蓄積期間が制限については、その信号蓄積期間と反比例の関係となるようにゲインを設定する(ステップS16)。このようにして、同期加算回路14でフレーム単位で加算された撮像信号を得る。

【0033】

また、表示部23で表示させる映像として、通常のフレーム周期の映像であるのか、或

10

20

30

40

50

いは、フレーム加算された低フレームレートの映像であるのかを選択する（ステップS17）。通常のフレーム周期の映像を選択した場合には、セクタ21でカメラプロセス部30の出力を選択し、その選択された撮像信号による映像を表示部23で表示させる（ステップS18）。この通常のフレーム周期で撮像された映像を表示させた場合には、通常のフレーム周期（即ち1/60秒などの周期）で変化する映像であり、実際の撮像状態が判り、例えば表示映像から、レンズのフォーカス調整やズームレンズの画角調整などが迅速かつ正確に行える。但しフレーム加算されていない映像であるので、明るさは暗い映像になる場合がある。

また、フレーム加算された低フレームレートの映像を表示するように選択した場合には、セクタ21で加算後の出力を選択し、その選択された撮像信号による映像を表示部23で表示させる（ステップS19）。この低フレームレートで撮像された映像の表示時には、実際に低フレームレートで撮像することによる映像の明るさもしくはS/Nが確認できる。このときには、電子シャッタの使用により信号蓄積期間を制限させた場合には、その電子シャッタ処理による撮像状況も、表示部23での表示から確認できる。

【0034】

図4の例では、1/3の低フレームレート撮像を行う場合の電子シャッタ処理について説明したが、その他のレートでの低フレームレート撮像においても、本発明は適用可能である。

図6は、1/2の低フレームレート撮像を行うモードとした場合に、電子シャッタでシャッタ開度を100%（図6（a））、75%（図6（b））、50%（図6（c））、25%（図6（d））の例を示したものである。

図6（a）のシャッタ開度が100%の場合は、電子シャッタ処理による開度の制限がない状態であり、センサ出力は全て同じゲインで増幅されて、加算処理される。

図6（b）のシャッタ開度が75%の場合は、一方のフレーム期間（露光期間2など）で電子シャッタ処理による開度が半分に制限された状態であり、その制限された期間のイメージセンサ出力が高いゲインで増幅されて、他方のフレーム期間の信号と加算処理される。

図6（c）のシャッタ開度が50%の場合は、一方のフレーム期間（露光期間2など）の信号が全く使用されない状態であり、ゲインの変更はない状態で、他方のフレーム期間の信号だけが出力される。

図6（d）のシャッタ開度が25%の場合は、一方のフレーム期間（露光期間2など）の信号が全く使用されず、他方のフレーム期間（露光期間2など）で電子シャッタ処理による開度が半分に制限された状態であり、その制限された期間のイメージセンサ出力が高いゲインで増幅されて、そのフレーム期間の信号だけが出力される。

【0035】

このように低フレームレートでのフレーム加算数の設定と、電子シャッタによる各フレーム期間内の開度の制限状態に応じて、ゲインを可変設定する処理を組み合わせることで、種々のフレーム周期の低フレームレート撮像における電子シャッタ処理を行う場合に対応が可能であることが判る。

【0036】

以上説明したように、本実施の形態の撮像装置によると、低フレームレート撮像と電子シャッタ処理を組み合わせる場合において、電子シャッタ処理で開度が制限されるフレーム期間がある場合には、その期間のゲインを高くする処理を行うことで、カメラプロセス部30内のリニアプロセス部31の出力レベルを、いずれのフレーム期間でもほぼ等しくことができ、リニアプロセス部31の次段のノンリニアプロセス部32内での非線形補正処理が正しく行われる。

即ち、ノンリニアプロセス部32内では、ガンマ補正などの非線形補正処理が行われるが、そのノンリニアプロセス部32での非線形補正処理された信号が、いずれもフレーム周期でも等しい特性となり、同期加算された信号の非線形補正処理状態が乱れることがない。

10

20

30

40

50

【 0 0 3 7 】

例えば、ガンマ補正については、ガンマ補正ゲインとして、図 8 に示したように、ゲイン 1 倍の場合と、ゲイン 1 / 2 倍の場合と、ゲイン 3 / 2 倍の場合とで、それぞれ入出力が所定の特性となるカーブが設定される。なお、ガンマ補正ゲインは通常は 1 倍である。

この図 8 に示すように、ガンマ補正は入力レベルによる決まるカーブであり、加算される複数フレーム期間内で電子シャッタ処理でレベルが異なると、ガンマ補正のかかり具合が異なる信号が加算されることになり好ましくないが、本実施の形態の場合には、電子シャッタ処理を行っても、加算される各フレーム期間の信号レベルがほぼ等しくなり、一定の状態ですくガンマ補正が行われることになる。ガンマ補正以外の非線形補正が行われる場合にも、同様に本実施の形態の場合には良好な特性となる。

10

【 0 0 3 8 】

なお、図 4 や図 6 のタイミング設定例では、同期加算する複数フレームの内の 1 つのフレーム期間だけを、電子シャッタ処理で開度を制限させるようにしたが、同期加算する複数のフレームそれぞれを、電子シャッタ処理で開度を制限させて、その制限された開度に応じて、ゲインを変更させるようにしてもよい。

即ち、例えば図 7 に示すように、1 / 3 の低フレームレート撮像を行うモード（即ち図 4 と同じモード）とした上で、加算される 3 フレーム周期のそれぞれで、開度を 5 0 % などに制限するようにし、それぞれのフレーム期間で開度に応じたゲインを設定するようにしてもよい。この場合には、例えば各フレーム期間でゲインを 6 d B 通常時よりも高くする処理が行われることになる。

20

また、ここまで説明した例では、同期加算を輝度信号とクロマ信号の形式で行う構成としたが、R G B 信号の形式の撮像信号で同期加算を行う構成としてもよい。また、同期加算を行う信号として、フレーム単位で加算するようにしたが、フィールド単位で同期加算することもできる。

【 図面の簡単な説明 】

【 0 0 3 9 】

【 図 1 】本発明の一実施の形態の例による撮像装置の構成例を示すブロック図である。

【 図 2 】本発明の一実施の形態の例による同期加算例を示す構成図である。

【 図 3 】本発明の一実施の形態の例による撮像タイミングの例（3 フレーム加算の例）を示すタイミング図である。

30

【 図 4 】本発明の一実施の形態の例による電子シャッタ時の撮像タイミングの例（3 フレーム加算の例）を示すタイミング図である。

【 図 5 】本発明の一実施の形態の例による処理例を示すフローチャートである。

【 図 6 】本発明の一実施の形態の例によるシャッタ開度とゲインとの例を示すタイミング図である。

【 図 7 】本発明の一実施の形態の例による電子シャッタとゲインとの設定の他の例を示すタイミング図である。

【 図 8 】本発明の一実施の形態の例によるゲインとガンマカーブの例を示す特性図である。

。

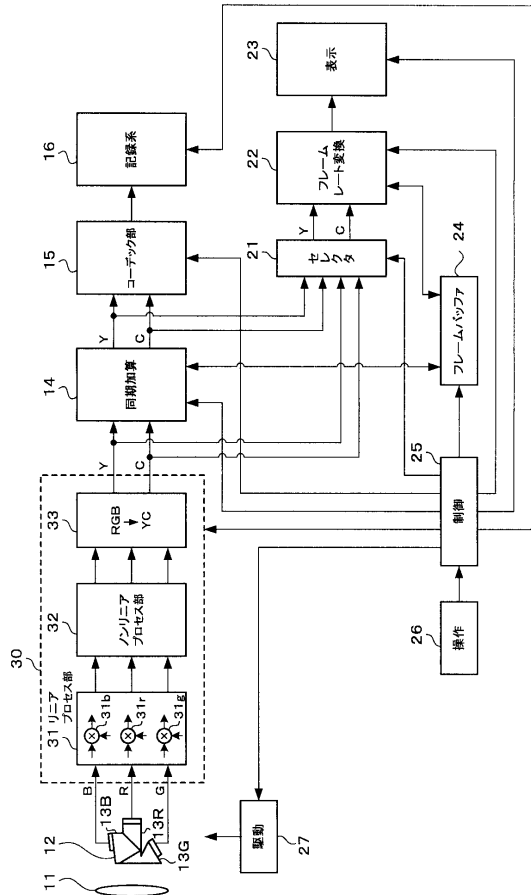
【 符号の説明 】

40

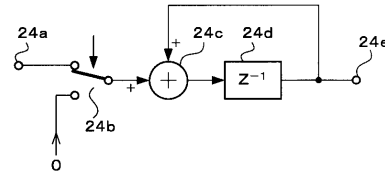
【 0 0 4 0 】

1 1 ... レンズ、1 2 ... プリズム、1 3 B , 1 3 G , 1 3 R ... イメージセンサ、1 4 ... 同期加算回路、1 5 ... コーデック部、1 6 ... 記録系回路、2 1 ... セレクタ、2 2 ... フレームレート変換部、2 3 ... 表示部、2 4 ... フレームバッファ、2 5 ... 制御部、2 6 ... 操作部、3 0 ... カメラプロセス部、3 1 ... リニアプロセス部、3 1 b , 3 1 g , 3 1 r ... 増幅回路、3 2 ... ノンリニアプロセス部、3 3 ... Y C 変換部

【図1】

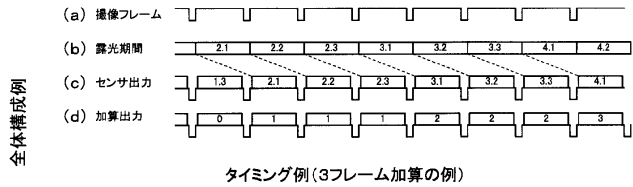


【図2】

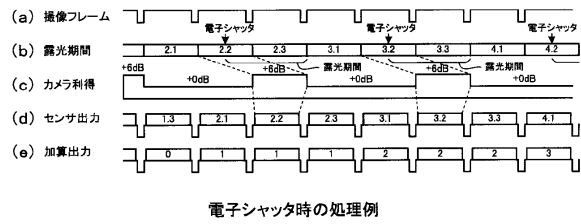


同期加算構成例

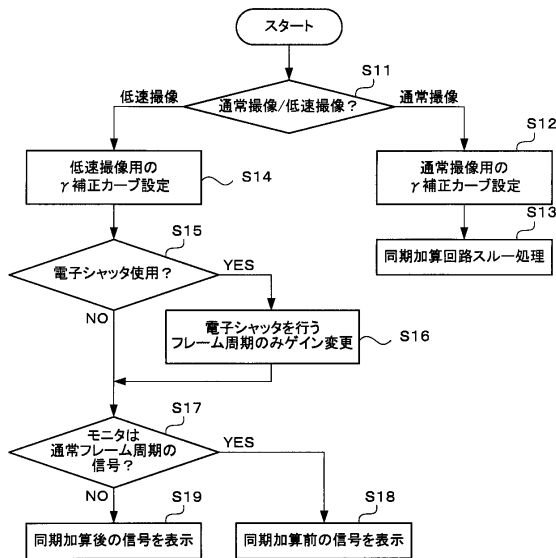
【図3】



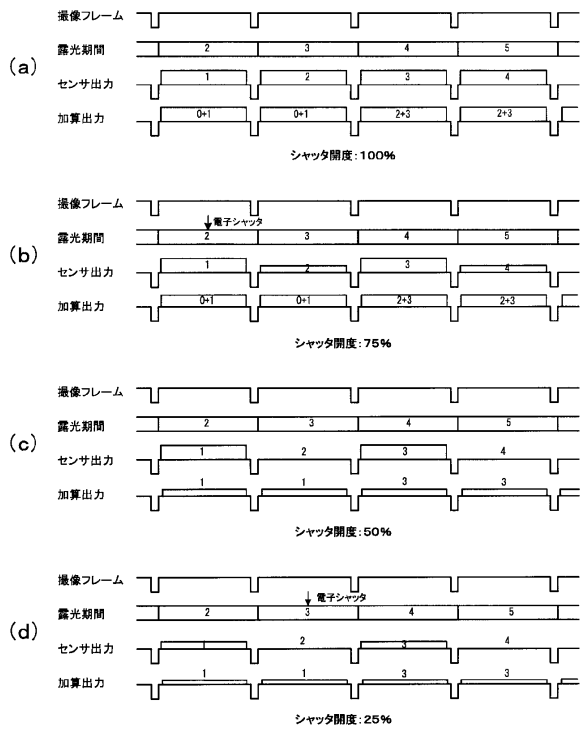
【図4】



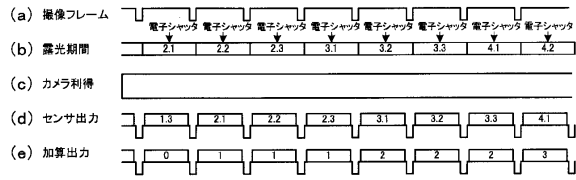
【図5】



【図6】

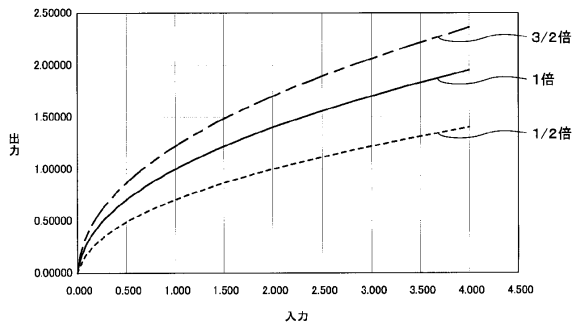


【 図 7 】



電子シャッタ時の処理例

【 図 8 】



ガンマ補正カーブの変化例

フロントページの続き

- (56)参考文献 特開平06-038097(JP,A)
特開平05-191717(JP,A)
特開2005-039710(JP,A)
国際公開第2003/063472(WO,A1)
特開平07-050786(JP,A)
国際公開第2007/032156(WO,A1)
特開平11-242737(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H04N 5/222 - 5/257
H04N 9/04 - 9/11