

公告本

91.3.14

申請日期	89.9.29
案 號	89120.75
類 別	G11C 16/04

A4
C4

(以上各欄由本局填註)

507201

發明專利說明書

一、發明名稱	中 文	半導體記憶體裝置
	英 文	SEMICONDUCTOR MEMORY DEVICE
二、發明人	姓 名	1. 山田重和 2. 科林·S·比爾 3. 麥克·A·梵布斯克斯
	國 籍	1. 日本國 2. 3. 美國
	住、居所	1. 美國·加州 95014·卡布提諾·#391·史帝芬克瑞克大道·5636 號 2. 美國·加州 95014·卡布提諾·玫瑰園路·1384 號 3. 美國·加州 95070·沙瑞特格·凡新路·18653 號
三、申請人	姓 名 (名稱)	1. 高級微裝置公司 2. 富士通股份有限公司
	國 籍	1. 美國 2. 日本國
	住、居所 (事務所)	1. 美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68· 郵政信箱 3453 號 2. 日本國神奈川縣川崎市中原區上小田中 4 丁目 1 番 1 號
	代 表 人 姓 名	1. 理查·J·諾迪 2. 秋草直之

附件一

煩請委員明示
修正本有無變更
91.3.14
日所提之
修正。

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

美 國 (地 區) 申 請 專 利 , 申 請 日 期 : 案 號 : , ☒ 有 ☐ 無 主 張 優 先 權
1999 年 10 月 29 日 09/431,296 (主 張 優 先 權)

有 關 微 生 物 已 寄 存 於 : , 寄 存 日 期 : , 寄 存 號 碼 :

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[發明背景]

[發明領域]

本發明大體上係關於譬如快閃電子可拭除可程式唯讀記憶體〔EEPROM〕記憶胞〔cell〕陣列之浮置閘極記憶體裝置。詳言之，本發明係關於半導體積體電路記憶體裝置，包括有字線追蹤結構，用來匹配參考和區段核心字線電壓，無關於區段位置而跨越整個晶片。

[相關技藝說明]

如於此技藝方面一般所知，存在有一種非依電性記憶體裝置稱之為“快閃 EEPROM”，此快閃 EEPROM 最近表現為一種重要之記憶體裝置，結合了 EPROM 之密度和 EPROM 之電子可拭除之優點。此種快閃 EEPROM 具有電子可拭除性和小的記憶胞大小。於習知的快閃 EEPROM 記憶體裝置，可以在半導體基板上形成複數個單一電晶體之核心記憶胞，其中各記憶胞包含有 P-型導電性基板、與此基板整體形成之 N-型導電性源極區、和亦整體形成於基板內之 N-型導電性汲極區。浮置閘極藉由薄介電層而與基板隔離。第二介電層將控制閘極與浮置閘極隔離。於基板上之 P-型通道區隔離源極和汲極區。

使用為快閃記憶體之一種架構型式，一般稱之為 NOR 快閃記憶體架構，此種 NOR 快閃記憶體架構分成了複數個區段之快閃 EEPROM 記憶胞〔浮置閘極〕陣列。再者，在每一個區段內之記憶體記憶胞配置成字線之列和與該字線之列相交叉之位元線之行。在各區段內之各記憶胞電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

之源極區連結在共同節點。因此，能同時拭除在特定區段內之所有記憶胞，且能根據一個區段接著一個區段之方式施行拭除。記憶胞電晶體之控制閘極耦接到字線，而其汲極耦接到位元線。

在習知之操作中為了程式化快閃 EEPROM 記憶胞，汲極區和控制閘極上升至高於施加至源極區電位之預定電位。舉例而言，在汲極區施加了大約 +5.5 伏特之 V_D 電壓，以控制閘極 V_G 具有大約 +9 伏特之施加電壓。這些電壓產生“熱電子”，會加速通過薄的介電層並到達浮置閘極。此熱電子注入造成浮置閘極臨界值增加大約 2 至 4 伏特。

在習知之操作中為了拭除快閃 EEPROM 記憶胞，正電位〔例如，+5 伏特〕加至源極區。控制閘極施加以負電位〔例如 -8 伏特〕，而允許汲極區浮置。在浮置閘極和源極區之間產生強電場，而由佛勒-諾德漢〔Fowler-Nordheim〕穿遂方法將電子從浮置閘極吸引至源極區。

為了判定快閃 EEPROM 記憶胞是否已經適當地程式化，則測量讀取電流之大小。一般而言，於源極區操作之讀取模式保持在接地電位〔0 伏特〕，而控制閘極保持在大約 +5 伏特電位。源極區保持在大約 +1 至 +2 伏特之間電位。在這些情況下，未程式化之記憶胞〔儲存邏輯“1”〕將傳導大約 50 至 100 微安培位準之電流。而已程式化之記憶胞〔儲存邏輯“0”〕將流過相當少之電流。

舉例而言，16 百萬位元〔Mb〕快閃記憶體核心陣列一般在單一晶片上製成 $N \times M$ 矩陣之型式，其中 N 等於列

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

數而 M 等於行數。再者，記憶體核心陣列可以分成左半區段陣列和右半區段陣列。左半區段陣列和右半區段陣列各形成有許多的區段，譬如 16 個區段，各定義一個可選擇之區塊〔BLOCK〕。各區段形成預定數目結合成群之列。對於 16 百萬位元陣列分成在左半區段陣列之 16 個區段，和在右半區段陣列之 16 個區段，各區段或區塊具有 512 列和 1024 行之大小。

如此顯示於第 1 圖中由左半區段陣列 12 和右半區段陣列 14 組成之形成在單一晶片 11 上之一般 16 百萬位記憶體核心陣列 10。左半區段陣列 12 包括有 16 個區段，S0 至 S15。相似地，右半區段陣列 14 包括有 16 個區段，S16 至 S31。各區段 S0 至 S31 儲存 512 K 配置成 512 列和 1024 行之資料位元。如所示之，許多區段〔S0 至 S31〕各別位於跨越整個晶片 11。因此，一個角落區段〔例如，區段 S24〕和另一個角落區段〔例如，區段 S23〕之間之距離是非常長的。其結果，在記憶體核心陣列 10 中於不同的區段之間的位置差異，在讀取操作模式期間將造成感測上的問題。

詳言之，經常需要內部產生之電壓大於由外部或晶片外供應至晶片之電源供應電位所產生之電壓。舉例而言，已知快閃 EEPROM 操作於 VCC 趨近於 +5 伏特，需要等於 +3.0 伏特之高電壓產生用於記憶體記憶胞之操作讀取模式。其結果，半導體記憶體一般亦包括內部升壓電路用來產生提升至高於外部供應電壓之輸出信號。如此之升壓電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

路 16 如第 1 圖中所示，用來產生字線供應電壓 VPXG 於節點 N1，此字線供應電壓 VPXG 經由列解碼器 18 而傳送至於記憶體核心陣列 10 中之不同之區段 S0 至 S31 中之適當之字線。

列解碼器 18 位於左半區段陣列 12 和右半區段陣列 14 之間中心位置。列解碼器 18 反應於用來致使字驅動器〔未顯示〕供應從升壓電路 16 來之字線供應電壓 VPXG 至結合之不同之區段適當之字線的位址信號。字線供應電壓 VPXG 一般在 +3.7 伏特至 +4.7 伏特之範圍，此電壓範圍發生高於一般 +3.0 伏特之輸入電源供應電位 VCC。

若假設升壓電路 16 位於晶片 11 之下左側部，則區段 S23 位於接近升壓電路 16 而區段 S24 位於很遠離升壓電路 16。因此，結合於區段 S23 之於節點 N2 之於字線 WL_N 的字線電壓 VPXG1，將實質相等於從升壓電路 16 來之提升之電壓 VPXG。此提升之電壓 VPXG 為目標電壓希望能維持跨越整個晶片。然而，結合區段 S24 之於節點 N3 之於字線 WL_F 的字線電壓 VPXG2，在讀取模式操作期間，多數之感測將實質小於目標電壓。

再者，假設參考區段或極小陣列 20 一般位於接近升壓電路 16。因此，結合於參考區段 20 之於節點 N4 之於字線 WL_R 的參考字線電壓，亦將實質相等於提升之電壓 VPXG。參考區段或陣列 20 包括複數個配置成列和行〔例如，20 x 20〕之參考記憶胞。電阻 R1 代表結合鄰接“近”區段 S23 在節點 N2 和鄰接“遠”區段 S24 在節點 N3 之間之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

導體線 21 之集總電阻負載。電容器 C_S 代表當連接到其結合字線選擇之區段之電容負載。用於選擇之區段之電容負載 C_S 代表具有相同之值，不管其在記憶體核心陣列 10 中之位置。電容器 C_R 代表於參考區段或陣列 20 之輸入的電容負載，和具有遠較電容器 C_S 小之值。

對於高速讀取操作，於設定字線電壓之時間期間，在他們到達直流〔DC〕穩定之前，必須讀取區段核心記憶體胞。因此，當於字線 WL_R 和 WL_F 電壓彼此接近隨耦時，能獲得連續之最佳讀取。因此，當希望比較於參考或區段陣列 20 之參考字線 WL_R 上之電壓 $VPXG$ 與結合之“遠”區段 S24 字線上之電壓 $VPXG2$ 時，他們之間會獲得大的差值。此是基於以下之事實，即保持在從升壓電路 16 至參考區段 20 中之參考字線 WL_R ，和至在“遠”區段 S24 中之記憶體核心字線 WL_F 之行程路徑中之電阻和電容不匹配的關係。其結果，使用於讀取期間，將引起於感測電路中〔圖中未顯示〕不良之邊緣感測，尤其是用於感測導通記憶體核心記憶體胞。

由此觀之，須設有一種字線追蹤結構，用來匹配跨越整個晶片無關於區段位置之參考和區段核心字線電壓。本發明藉由設有第二 $VPXG$ 導體線操作連接於“遠”區段和參考記憶體胞極小陣列之區段字線之間，而完成此設計。此第二 $VPXG$ 導體線較之第一 $VPXG$ 導體線操作連接於升壓電路和“遠”區段之區段字線之輸出之間，具有實質較小之時間常數。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

[發明概述]

因此，本發明之一般目的為提供一種字線追蹤結構，用於配置成複數個區段之快閃 EEPROM 記憶體記憶胞，此複數個區段之結構相對較簡單，容易製造，且較之於先前技藝記憶體裝置於讀取期間具有增進之正確性。

本發明之一個目的為提供一種字線追蹤結構，用於配置成複數個區段之快閃 EEPROM 記憶體記憶胞，俾便於讀取期間避免錯誤。

本發明之另一個目的為提供一種字線追蹤結構，用於分割成複數個區段之快閃 EEPROM 記憶體記憶胞，俾便匹配跨越整個晶片而無關於區段位置之參考和區段核心字線電壓。

本發明之又一個目的為提供一種字線追蹤結構，用於分割成複數個區段之快閃 EEPROM 記憶體記憶胞，此複數個區段包括第二 VPXG 導體線，操作連接於“遠”區段和參考記憶胞極小陣列之區段字線之間。

依照本發明之較佳實施例，設有一種字線追蹤結構，用於半導體記憶裝置，此半導體記憶裝置具有分割成複數個區段之快閃 EEPROM 記憶體記憶胞陣列。字線追蹤結構用來匹配跨越整個晶片無關於區段位置之參考和區段核心字線電壓。此字線追蹤結構包括第二 VPXG 導體線，操作連接於“遠”區段和參考記憶胞極小陣列之區段字線之間。第二 VPXG 導體線較之操作連接於升壓電路和“遠”區段之區段字線之輸出之間之第一 VPXG 導體線具有實質較小之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

時間常數。

[圖式之簡單說明]

由下列之詳細說明，配合所附圖式，本發明之這些和其他目的和優點將變得更為清楚，各圖中相同之參考號碼係表示相對應之部分，其中：

第 1 圖為習知 16 百萬位元〔Mb〕EEPROM 半導體積體電路記憶體裝置之簡化方塊圖，該記憶體裝置具有分割成複數個區段之記憶體記憶胞陣列；

第 2 圖和第 3 圖顯示於第 1 圖之個別“近”和“遠”區段各種信號之波形，可用於了解於讀取期間遭遇之問題；

第 4 圖為依照本發明原理構成，具有字線追蹤結構之 16 百萬位元 EEPROM 半導體積體電路記憶體裝置之簡化方塊圖；

第 5 圖和第 6 圖顯示於第 4 圖之個別“近”和“遠”區段各種信號之波形，可用於了解如何解決讀取問題；

第 7 圖顯示分別於第 1 圖和第 4 圖中參考記憶胞字線電壓和區段核心字線電壓對於“遠”區段之波形；以及

第 8 圖為結合第 4 圖之第一和第二 VPXG 導體線之電阻和寄生電容之電路圖

[符號說明]

- | | | | |
|----|-------------------|----|------|
| 10 | 記憶體核心陣列 | 11 | 晶片 |
| 12 | 左半區段陣列〔S0 至 S15〕 | | |
| 14 | 右半區段陣列〔S16 至 S31〕 | | |
| 16 | 升壓電路 | 18 | 列解碼器 |

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (8)

20	參考區段〔極小陣列〕	21	導體引線
S23	“近”區段	S24	“遠”區段
202、204、206 曲線		302、304、306 曲線	
400	半導體積體電路記憶體裝置		
410	記憶體核心陣列	411	單一晶片
412	左半區段	414	右半區段
416	升壓電路	420	參考區段
421	第一 VPXG 導體線	422	第二 VPXG 導體線
424	第一端	426	第二端
S423	“近”區段	S424	“遠”區段
502、504、506 曲線		602、604、606 曲線	
702、704、706 曲線			

[較佳實施例之詳細說明]

以下將說明用於快閃 EEPROM 記憶體記憶胞之字線追蹤結構。於下列之說明中，為了能夠完全了解本發明，而提出許多詳細之說明，譬如特定之電路配置、組件等等。然而，顯然對本技藝方面之一般技術人員而言，本發明為實際可行而不需要這些特別之詳細說明。於其他的例子中，已知之製程、電路、和控制線路，並不特別相關於本發明之操作原理瞭解者，茲為了清楚之目的而將其省略。

現詳細參照圖式，第 4 圖所示為形成於單一晶片 411 上之 EEPROM 半導體積體電路記憶體裝置 400 之簡化方塊圖，此單一晶片 411 上包括有 16 百萬位元〔Mb〕記憶體核心陣列 410。記憶體核心陣列 410 由左半區段 412 和右

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

半區段 414 所組成。左半區段陣列 412 由十六個區段 S400 至 S415 組成。同樣地，右半區段陣列 414 由十六個區段 S416 至 S431 組成。區段 S400 至 S431 之各區段儲存 512 K 之資料位元，配置於 512 列和 1024 行。應注意者複數個區段 S400 至 S431 個別位於跨越整個晶片 411。因此，角落區段〔例如，區段 S424〕和另一個角落區段〔例如，區段 S423〕之間之距離為非常長。再者，升壓電路 416 設於晶片 411 之下左側部分，用來產生字線供應電壓 VPXG。此字線供應電壓 VPXG 經由列解碼器 418 和字線驅動器〔未顯示〕通過於記憶體核心陣列 410 中各不同區段之適當字線。從升壓電路 416 來之字線供應電壓 VPXG 上升高於輸入電源供應電位 VCC。參考記憶胞極小陣列或參考區段 420 定位於接近升壓電路 416。參考區段 420 包括複數個配置成列和行〔例如，20 x 20〕之參考記憶胞。再者，本發明設有追蹤構造，用來以記憶體核心記憶胞之字線電壓而追蹤參考記憶胞區段之字線電壓，不管含有記憶體核心記憶胞之位置。

在詳細說明本發明之追蹤構造和其操作之前，藉由參考起始說明於第 1 圖之 EEPROM 記憶體裝置中之施行讀取操作，以及相關於第 2 圖和第 3 圖之有關問題，相信對於對本發明之原裡之瞭解有所助益，並且可作為背景技藝。

從第 1 圖和第 2 圖中可注意到，於讀取操作模式期間，對於選擇之“近”區段 S23 之情況，開始於時間 t1，從升壓電路 16 之曲線 202 之上升電壓 VPXG 將上升高於輸入供

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (10)

應電位 VCC 。因為參考區段 20 位於接近升壓電路 16，則於參考字線 WL_N 上之曲線 204 之參考字線電壓將隨耦著並實質相等於上升電壓 $VPXG$ 。當“近”區段 S23 位於較參考區段 S20 更遠離升壓電路 16 時，則字線 WL_N 上之曲線 206 之字線電壓 $VPXG1$ 將仍實質相等於上升電壓 $VPXG$ 。再者，當於時間 $t2$ 發生實際讀取，則在參考字線電壓和“近”區段字線電壓 $VPXG1$ 之間僅有小的差值 x 。此是可接受之狀況且將不會引起讀取錯誤。

從第 1 和第 3 圖中可以注意到，於選擇“遠”區段 S24 情況之讀取操作模式期間，於時間 $t3$ 開始，從升壓電路 16 之曲線 302 來之上升電壓 $VPXG$ 將再上升高於供應電位 VCC 。因為參考區段 20 是位於接近升壓電路 16，則字線 WL_N 上之曲線 304 之參考字線電壓將再隨耦並實質相等於上升電壓 $VPXG$ 。然而，因為“遠”區段位於非常遠離升壓電路 16，則於曲段核心字線 WL_F 上之曲線 306 之字線電壓 $VPXG2$ 將不隨耦著上升電壓 $VPXG$ 。此是由於於曲段字線和參考字線至升壓電路之路徑之電阻和電容之不匹配的關係。

此外，當於時間 $t4$ 發生實際讀取，則在參考字線電壓和區段字線電壓 $VPXG2$ 之間會有大的差值 Y 。結果，由於在感測電路中使用創造之較低的感測邊緣，則此電壓差將在讀取中讀到錯誤。因此，施行於第 1 圖中之讀取操作，因為沒有追蹤參考字線電壓和區段字線電，則將承受造成讀取錯誤之缺點。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

如此處所使用的，詞彙“邊緣”定義為在記憶體核心位元線和參考位元線之間所存在的電流之差。換言之，在感測放大器能可靠地放大差值之前，在不同之電流之間必須發展出適當之邊緣。再者，於位元線上之電流，將正比於字線電壓和電晶體記憶胞之門限電壓之間的差值。因此，若僅減少在區段中施加到記憶體核心記憶胞之字線電壓，則差值電流將非常小，因此而引起讀取錯誤。

有鑑於此，本發明之發明人發展出字線追蹤結構，用來匹配參考和區段核心字線電壓，跨越整個晶片而無關於區段位置。換言之，相關於參考區段 420 於參考字線 WL_R 之電壓與相關於“遠”區段或任何其間區段於區段核心字線 WL_F 之電壓之間之電壓差將維持很小而不管選擇之區段的位置。因此，當讀取於陣列中之任何區段時，將要有充份之感測邊緣，由此而避免任何錯誤。此是因為參考字線電壓追蹤區段核心字線電壓無關於區段位置之關係。

本發明之此種追蹤結構由更進一步延伸於第 1 圖中來自升壓電路 16 和返回至鄰接至升壓電路 16 位置之 VPXG 導體線的長度而達成。其次，升壓電路 16 之輸出節點 N1 和相關於參考字線 WL_R 之參考區段 20 之輸入之間之導體線分開或脫接。因此，延長之 VPXG 導體線之末端結合參考區段之輸入。

現回頭參照第 4 圖，能夠看出追蹤結構包括延長之或具有第一端和第二端之第二 VPXG 導體線 422。第二導體線 422 之第一端連接於節點 N3 至原來的或第一 VPXG 導

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (12)

體線 421 之末端。應注意到原來的 VPXG 導體線 421 之末端位於鄰接到相關於“遠”區段 S424 之區段字線。導體線 422 之第二端連接於節點 N4 之參考區段 420。不像第 1 圖之先前技藝，於升壓電路 416 之輸出之節點 N1 並不連接到節點 N4 或參考區段 420 之輸入。由此種修飾模式，於節點 N4 之參考字線 WL_R 上之參考字線電壓將無關於區段是在何位置，將接近追蹤於節點 N3 於區段字線 WL_R 之區段核心字線電壓 VPXG2。

從第 4 和第 5 圖可以看出，於讀取操作模式期間，對於選擇“近”區段 S423 之情況，從升壓電路 416 之曲線 502 之上升電壓 VPXG 開始於時間 t_5 ，將再上升高於電源供應電位 VCC。值得注意的是，於參考字線 WL_R 上之曲線 504 之參考字線電壓將不隨耦著上升電壓 VPXG。由於切斷節點 N1 與 N4 與額外的第二 VPXG 導體線 422 之間之連接，上升之電壓 VPXG 必須通過導體 421 和 422 以到達節點 N4。如所觀察之，曲線 504 之參考字線電壓現將隨耦著並實質相等於在字線 WL_N 上之曲線 506 之字線電壓 VPXG1。再者，於時間 t_6 ，當發生實際讀取時，仍有小的差值 x_1 在參考字線電壓和“近”區段字線電壓 VPXG1 之間。

從第 4 和第 6 圖中可看到，對於選擇“遠”區段 S424 之情況之操作讀取模式期間，從升壓電路 416 之曲線 602 之上升之電壓 VPXG，開始於時間 t_7 ，將再上升高於電源供應電位 VCC。然而，於此時間值得注意的是，曲線 604

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

之參考字線電壓將隨耦著並實質相等於曲線 606 之曲段字線電壓 VPXG2。於時間 t_8 ，當發生實際讀取時，顯示此時仍有小的差值 Y1 在參考字線電壓和“遠”區段字線電壓之間。其結果，於操作讀取模式期間，免除了錯誤發生之可能性。

於本發明中，由於事實上從相關於選擇之區段 S424 之電容器 C_S 之電容性負載係相當地大於相關於參考區段 420 之電容器 C_R 之電容性負載〔參考極小陣列之等效電容〕，則於參考字線 WL_R 上之電壓將隨耦著於區段核心字線 WL_F 之電壓。因此，沿著延長之 VPXG 導體線 422 上之信號前進延遲為相當地減少，此延遲遭遇著沿著第一 VPXG 導體線 421。結果，經由相關導體 421 之集總電阻負載 R1 之延遲係主要由時間長數 $R1C_S$ 主控。

於此技藝方面的相關技術人員將可清楚地瞭解到，若電容器 C_S 為沿著導體線 421 部分地連接〔例如，選用區段 S420〕，則從節點 N2 至區段 S420 之長度電阻值能考慮作為具有由時間常數 $R1aC_S$ 主控結果延遲量之 $R1a$ 值。於此情況，集總電阻負載 R2 之實際值將是由於 R2 和延伸越過選擇之區段 S420 之點 R1 之部分的總和。

然而，如上定義之對於多數的 $R1a$ 值，延遲由時間常數 $R1aC_S$ 為主，以及於節點 N4 之電壓由於相對較短時間常數 $R2C_R$ 的關係，則將緊隨著選擇之區段字線電壓。結果，因為時間常數 $R1aC_S$ 為主之關係，對於沿著導體線 421 之任何位置之電容器 C_S ，於節點 N4 之電壓將實質地隨耦

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

著選擇之區段字線電壓。

於第 7 圖中，分別描繪了對於第 1 和第 4 圖中之“遠”區段於讀取模式期間參考字線電壓和區段核心字線電壓之波形。曲線 702 表示於第 1 圖之先前技藝“遠”區段讀取期間之參考字線電壓，而曲線 704 表示讀取期間之區段核心字線電壓。藉由比較曲線 702 和曲線 704，能夠看出他們之間之差值 w 顯示了存在參考字線電壓和區段核心字線電壓之間的大電壓差。於另一方面，曲線 706 表示於第 4 圖之本發明對於“遠”區段讀取期間之參考字線電壓，而曲線 708 表示讀取期間之區段核心字線電壓。藉由比較曲線 706 和曲線 708，能夠看出他們之間之差值 w_1 ，顯示了參考字線電壓和區段核心字線電壓之間存在了非常小之電壓差。

於第 8 圖中，顯示存在於第 4 圖之原有的或第一 VPXG 導體線 421 之升壓電路 416 和相關於“遠”區段之區段字線 WL_F 之間之電阻和寄生電容，和相關於“遠”區段之區段字線 WL_F 和相關於參考區段 420 之參考字線 WL_R 之間延伸的 VPXG 導體線 422 之電阻和寄生電容之電路圖。藉由本發明之額外的延長 VPXG 導體線 422，於節點 N3 和 N4 之間於路徑上之延遲特性或時間長數將製得小於在節點 N1 和 N3 之間原有的 VPXG 導體線 421。

從前述之詳細說明，因此能瞭解到本發明提供一種用於快閃 EEPROM 記憶體記憶胞之字線追縱結構，此等記憶體記憶胞分成複數個區段以便能匹配參考和區段核心字線電壓，跨越整個晶片而無關於區段位置。本發明之字線追

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

縱結構包括操作連接於“遠”區段之區段字線和參考記憶胞極小陣列之間之第二 VPXG 導體線。第二 VPXG 導體線較之操作連接於升壓電路之輸出和“遠”區段之區段字線之間之第一 VPXG 導體線具有實質較小之時間常數。

雖然現在已考慮顯示並說明了本發明之較佳實施例，然應瞭解到於此技藝方面之這些技術人員，可作各種之改變和修飾，並將其元件作等效之替代，而仍不脫離本發明之範圍。此外，可對本發明之教示作許多之修飾調整特定之位置或材料，而仍不脫離本發明之中心範圍。因此，本說明書並非欲以所考慮實施本發明而揭示作為最佳模式之特殊實施例來限制本發明，而是本發明將包括所有落於所附申請專利範圍內的所有實施例。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

四、中文發明摘要 (發明之名稱：半導體記憶體裝置)

本發明提供一種使用於快閃 EEPROM 記憶體記憶胞陣列之字線追蹤結構。此追蹤結構作用為匹配參考和區段核心字線電壓，跨越整個晶片而無關於區段位置。此追蹤結構包括第二 VPXG 導體線操作連接於"遠"區段之區段字線和參考記憶胞極小陣列之間。第二 VPXG 導體線具有較操作連接於升壓電路之輸出和"遠"區段之區段字線之間之第一 VPXG 導體線，有實質較小之時間常數。結果，相關於參考記憶胞極小陣列之參考字線電壓於讀取操作期間無關於選擇之區段之位置而將精密地追蹤區段字線電壓。

(請先閱讀背面之注意事項再填寫本頁各欄)

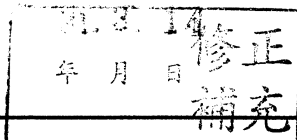
裝

訂

英文發明摘要 (發明之名稱： SEMICONDUCTOR MEMORY DEVICE)

A wordline tracking structure for use in an array of Flash EEPROM memory cells is provided. The tracking structure serves to match reference and sector core wordline voltages across the entire chip regardless of sector location. The tracking structure includes a second VPXG conductor line operatively connected between sector wordlines of a "far" sector and a reference cell mini-array. The second VPXG conductor line has a substantially smaller time constant than in a first VPXG conductor line operatively connected between an output of a boosting circuit and the sector wordlines of the "far" sector. As a consequence, the reference wordline voltage associated with the reference cell mini-array will track closely the sector wordline voltage during the read operation regardless of the location of the selected sector.

經濟部智慧財產局員工消費合作社印製



第 89120175 號專利申請案

申請專利範圍修正本

(91 年 3 月 14 日)

1. 一種半導體記憶體裝置，包括有快閃電子可拭除可程式唯讀記憶體〔EEPROM〕記憶胞〔cell〕陣列、字線追蹤結構，該字線追蹤結構用於匹配參考和區段核心字線電壓，跨越整個晶片而無關於區段位置：

記憶體陣列，具有複數個分成為複數個區段之記憶體核心記憶胞，各區段具有記憶體核心記憶胞其中配置成各列之字線以及與該各列之字線相交之各行之位元線，該區段位於個別跨越晶片之整個區域；

參考記憶胞極小陣列，具有複數個參考核心記憶胞，配置成各列之參考核心字線和各行之參考位元線；列解碼器，用來選擇於該複數個區段中之其中之一某一區段字線；

升壓電路，用來產生於讀取模式操作期間升壓高於用以驅動經由該列解碼器所選擇之字線電源供應電位之字線供應電壓，以及用來驅動該參考核心字線；

該升壓電路和該參考記憶胞極小陣列為物理上位於彼此靠近於該晶片之部位；

該複數個區段之其中之一區段為物理上位於接近該升壓電路定義為“近”區段；

該複數個區段之其中另一區段為物理上位於遠離該升壓電路定義為“遠”區段；

第一導體線，操作連接於該升壓電路之輸出與該

“遠”區段之區段字線之間；

第二導體線，操作連接於該“遠”區段之區段字線與該參考記憶胞極小陣列之間；

該第二導體線具有較於該第一導體線實質較小之延遲特性，俾使得相關於參考極小陣列之參考字線電壓將於讀取操作期間無關於所選擇之區段之位置，緊密地追蹤區段字線電壓。

2. 如申請專利範圍第 1 項之半導體記憶體裝置，其中該第二導體線具有由時間常數 $R2C_R$ 定義之延遲特性，此處 $R2$ 為其電阻負載，而 C_R 為參考記憶胞極小陣列之電容負載。
3. 如申請專利範圍第 2 項之半導體記憶體裝置，其中該第一導體線具有由時間常數 $R1C_S$ 定義之延遲特性，此處 $R1$ 為其電阻負載，而 C_S 為選擇之區段之電容負載。
4. 如申請專利範圍第 3 項之半導體記憶體裝置，其中電容負載 C_R 為實質小於對於任何選擇之區段之電容負載 C_S 。
5. 一種半導體記憶體裝置，包括有快閃電子可拭除可程式唯讀記憶體〔EEPROM〕記憶胞〔cell〕陣列、字線追蹤結構，該字線追蹤結構用於匹配參考和區段核心字線電壓，跨越整個晶片而無關於區段位置：

記憶體陣列，具有複數個分成為複數個區段之記憶體核心記憶胞，各區段具有記憶體核心記憶胞其中配置成各列之字線以及與該各列之字線相交之各行之位元線，該區段位於個別跨越晶片之整個區域；

參考記憶胞極小陣列，具有複數個參考核心記憶胞，配置成各列之參考核心字線和各行之參考位元線；

列解碼器機構，用來選擇於該複數個區段中之其中之一某一區段字線；

升壓電路機構，用來產生於讀取模式操作期間升壓高於用以驅動經由該列解碼器機構所選擇之字線電源供應電位之字線供應電壓，以及用來驅動該參考核心字線；

該升壓電路機構和該參考記憶胞極小陣列為物理上位於彼此靠近於該晶片之部位；

該複數個區段之其中之一區段為物理上位於接近該升壓電路機構定義為“近”區段；

該複數個區段之其中另一區段為物理上位於遠離該升壓電路機構定義為“遠”區段；

第一導體機構，操作連接於該升壓電路機構之輸出與該“遠”區段之區段字線之間；

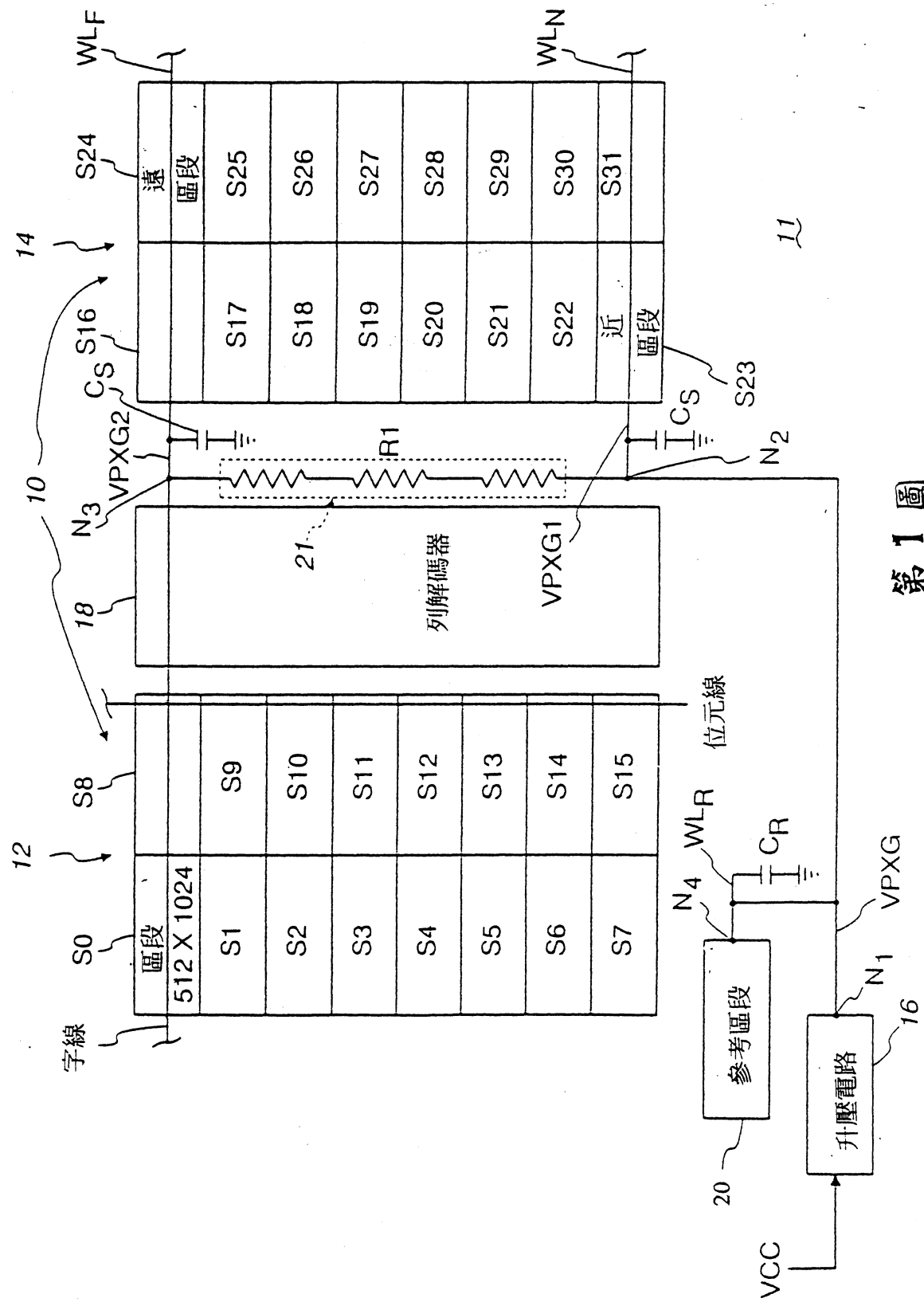
第二導體機構，操作連接於該“遠”區段之區段字線與該參考記憶胞極小陣列之間；

該第二導體機構具有較於該第一導體機構實質較小之延遲特性，俾使得相關於參考極小陣列之參考字線電壓將於讀取操作期間無關於所選擇之區段之位置，緊密地追蹤區段字線電壓。

6. 如申請專利範圍第 5 項之半導體記憶體裝置，其中該第二導體機構具有由時間常數 $R2C_R$ 定義之延遲特性，此處 $R2$ 為其電阻負載，而 C_R 為參考記憶胞極小陣列之電

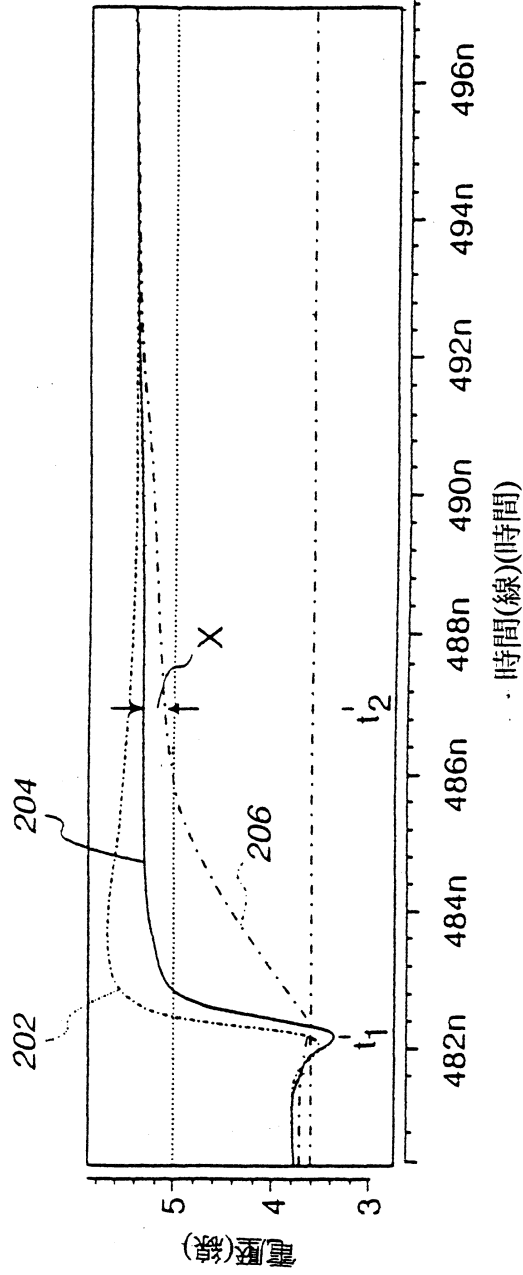
容負載。

7. 如申請專利範圍第 6 項之半導體記憶體裝置，其中該第一導體機構具有由時間常數 $R_1 C_S$ 定義之延遲特性，此處 R_1 為其電阻負載，而 C_S 為選擇之區段之電容負載。
8. 如申請專利範圍第 7 項之半導體記憶體裝置，其中電容負載 C_R 為實質小於對於任何選擇之區段之電容負載 C_S 。

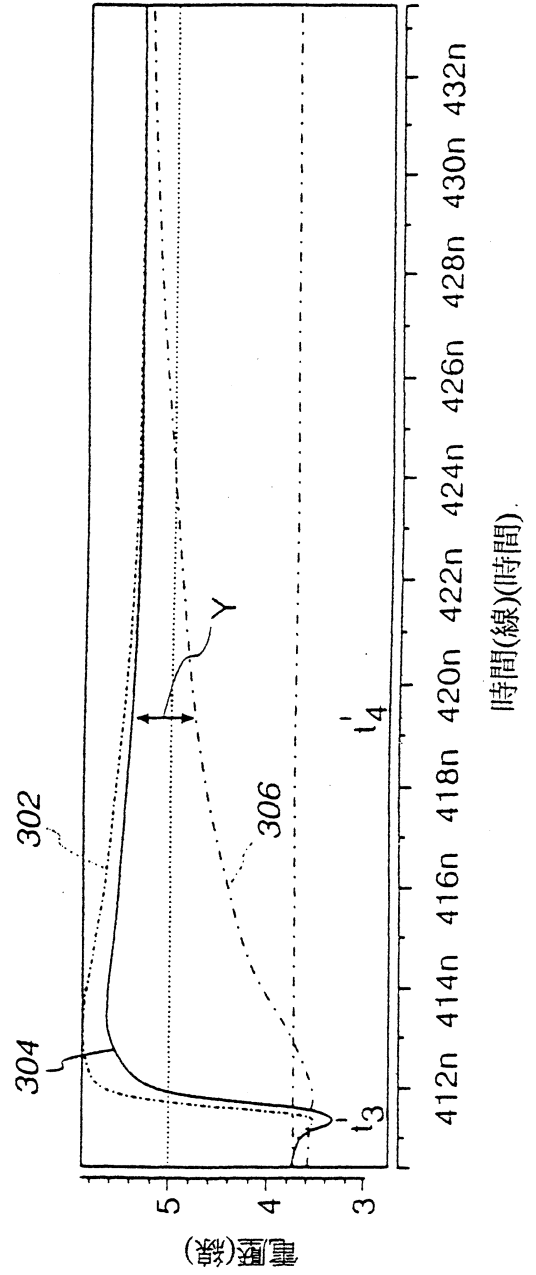


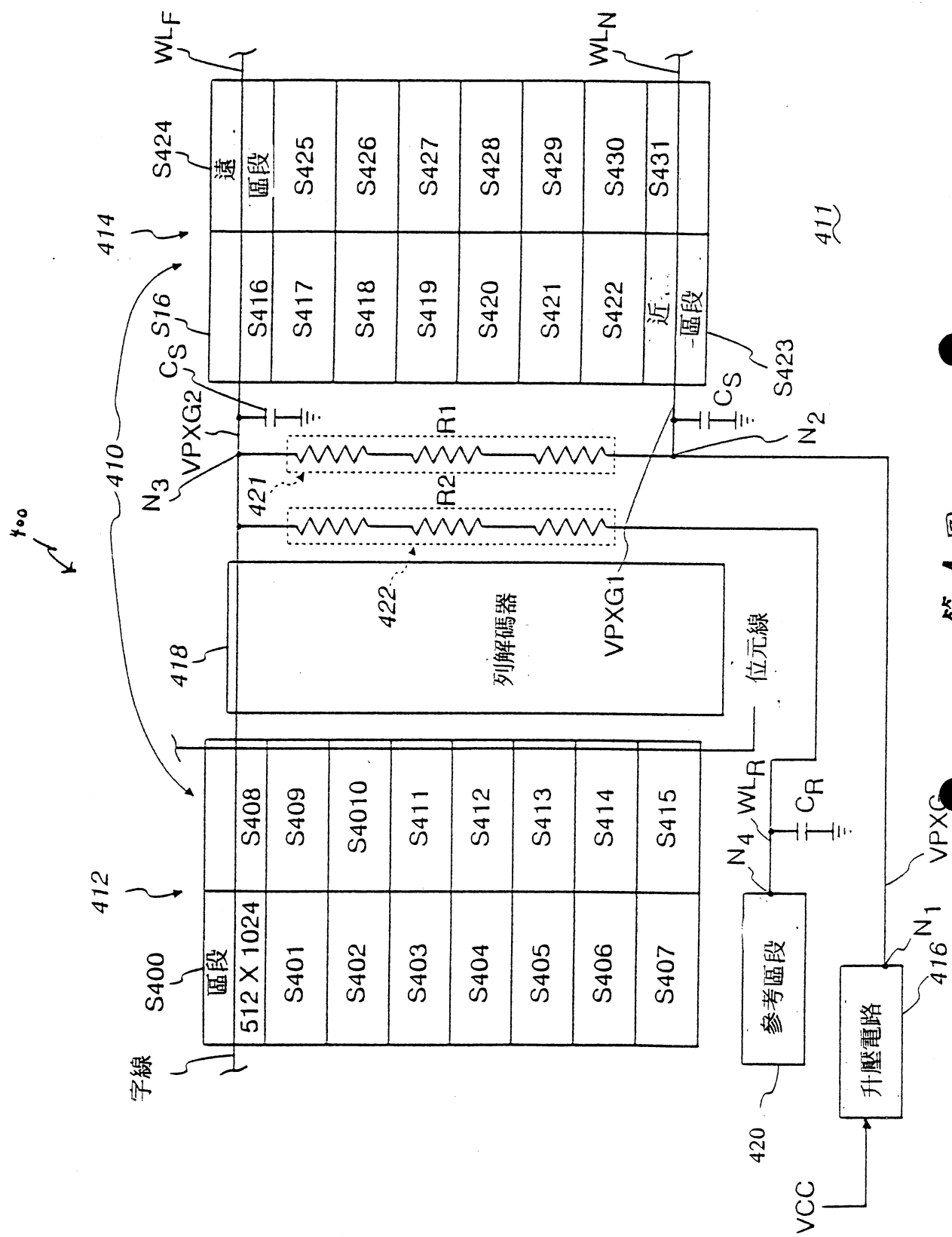
第 1 圖
(先前技術)

第 2 圖
近區段
先前技藝



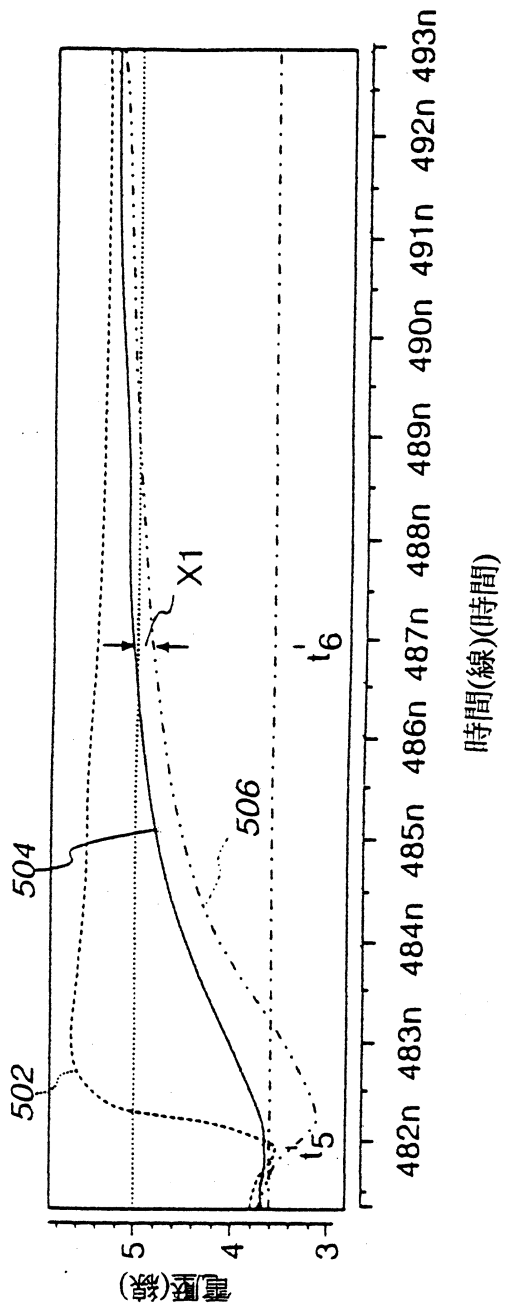
第 3 圖
遠區段
先前技藝



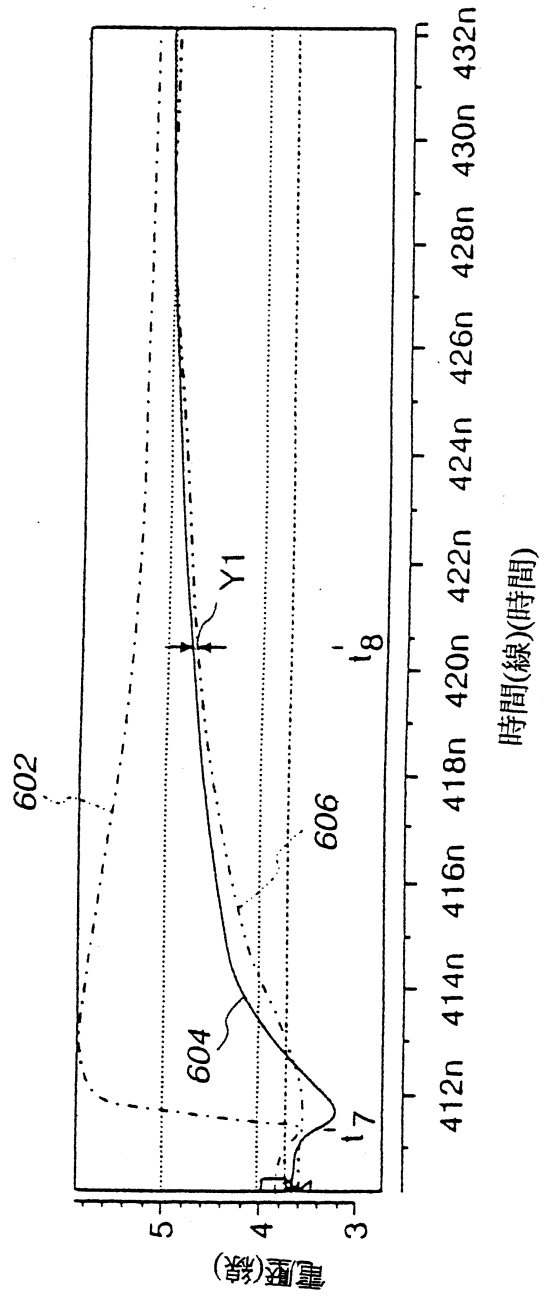


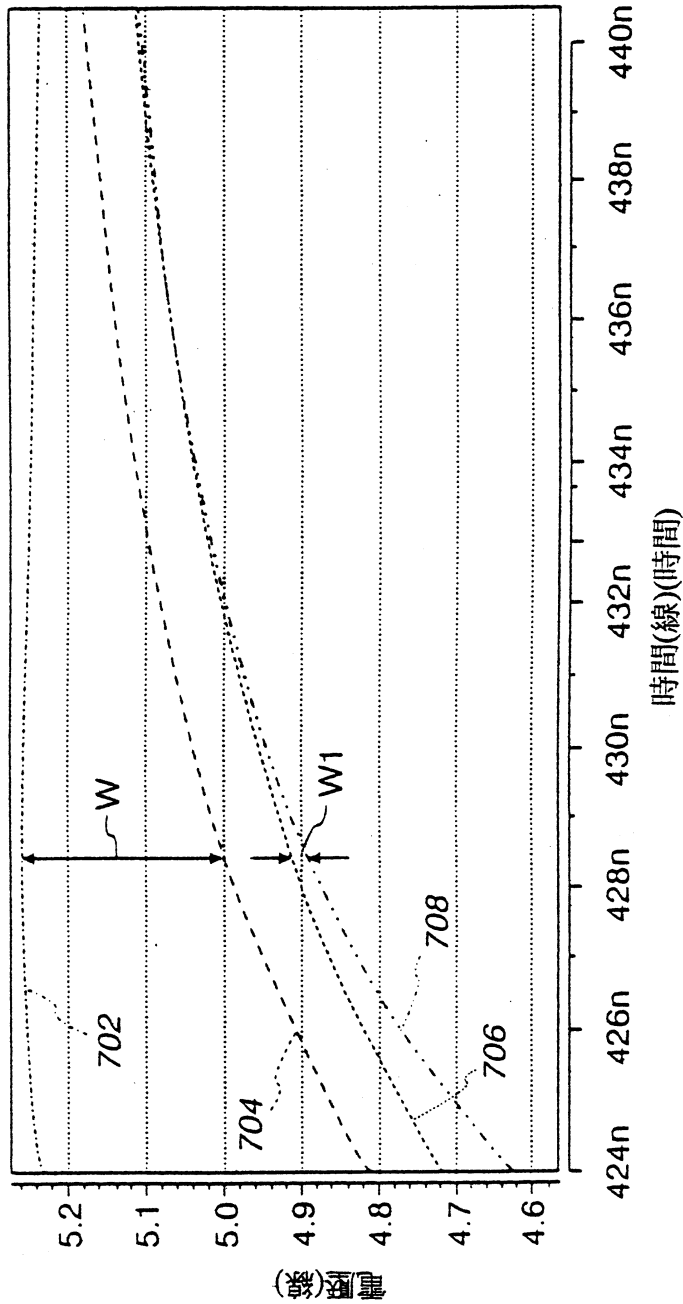
第 4 圖

第 5 圖
近區段

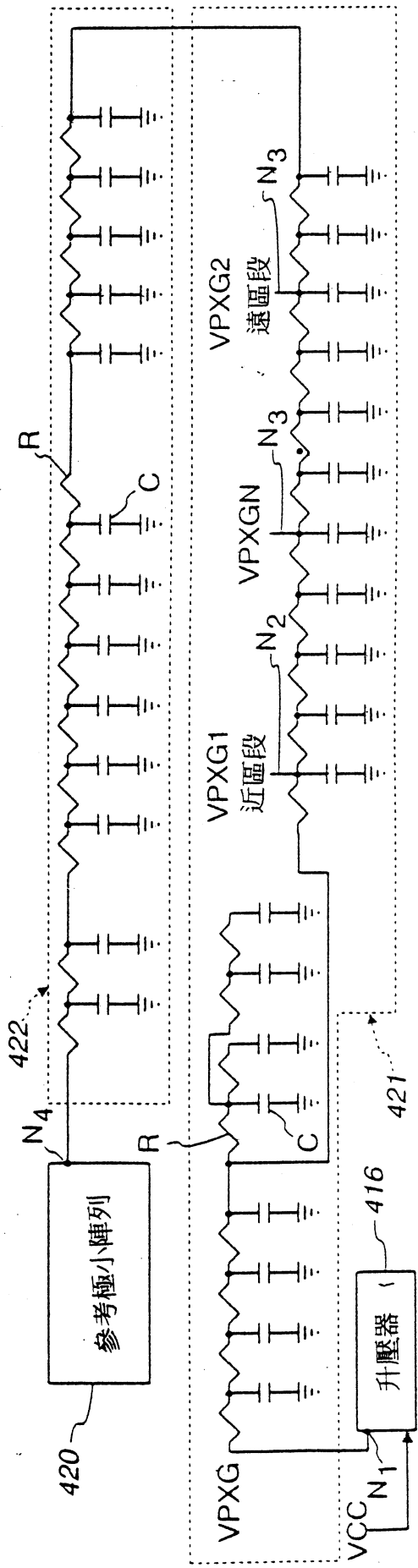


第 6 圖
遠區段





第7圖
遠區段



第8圖