



(12) Wirtschaftspatent

Teilweise bestätigt gemäß § 18 Absatz 1
Patentgesetz

(19) **DD** (11) **133 385 B1**

4(51) H 03 K 3/353
G 01 R 19/165

AMT FÜR ERFINDUNGS- UND PATENTWESEN

(21)	WP H 03 K / 202 411 4	(22)	06.12.77	(45)	26.03.86
				(44)	27.12.78

(71)	VEB Mikroelektronik „Karl-Marx“ Erfurt, 5000 Erfurt, Rudolfstraße 47, DD
(72)	Rößler, Franz, Dr.-Ing.; Hecker, Wolfgang, Dipl.-Ing., DD

(54)	Schaltungsanordnung zur Auswertung von Pegelsprüngen
------	--

Erfindungsansprüche:

1. Schaltungsanordnung zur Auswertung von Pegelsprüngen in integrierter MIS-Technik, bestehend aus einem RS-Flip-Flop, einem Inverter und zwei Differenziergliedern, deren Widerstände durch Source-Drain-Strecken von Transistoren gebildet sind, wobei der Widerstand des ersten Differenziergliedes zur Auswertung der H-L-Pegelsprünge aus der Source-Drain-Strecke eines im schwach leitenden Zustand befindlichen Transistors besteht, dessen schwach leitender Zustand dadurch gewährleistet ist, daß sein Gate über eine Serienschaltung von Source-Drain-Strecken von zwei Transistoren auf Bezugspotential liegt und über die Source-Drain-Strecken zweier weiterer Transistoren mit einer Betriebsspannung verbunden ist, wobei die Gateanschlüsse der Transistoren mit ihren Drainanschlüssen verbunden sind, dadurch gekennzeichnet, daß zur Auswertung der L-H-Pegelsprünge und Signalinvertierung der Inverter (13; 14) angeordnet ist, dessen Gate über eine Reihenschaltung der Source-Drain-Strecken zweier Transistoren (10; 11) mit Bezugspotential verbunden ist, deren Gateanschlüsse mit ihren Drainanschlüssen verbunden sind, wodurch das Gate des Invertertransistors (14) diesen gerade leitend hält, daß das Gate des Invertertransistors (14) in bekannter Weise über Source-Drain-Strecken von Transistoren (8; 9) mit der Betriebsspannung (17) verbunden ist und daß das Gate des Invertertransistors (14) über den zweiten Kondensator (3) des zweiten Differenziergliedes mit dem Eingang (1) verbunden ist.
2. Schaltungsanordnung nach Punkt 1, dadurch gekennzeichnet, daß die Leitfähigkeit der zwischen der Betriebsspannung (17) und den Gateanschlüssen der Transistoren (12; 14) liegenden Transistoren (4; 5 bzw. 8; 9) wesentlich niedriger als die der zwischen den Gateanschlüssen der Transistoren (12; 14) und Bezugspotential liegenden Transistoren (6; 7 bzw. 10; 11) ist.
3. Schaltungsanordnung nach Punkt 1 und 2, dadurch gekennzeichnet, daß alle Transistoren der Schaltungsanordnung integrierte Transistoren vom n-Kanal-Typ und/oder p-Kanal-Typ sind.
4. Schaltungsanordnung nach Punkt 1 bis 3, dadurch gekennzeichnet, daß die Kondensatoren (2; 3) integrierte MIS-Kondensatoren sind.

Hierzu 1 Seite Zeichnung

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung in integrierter MIS-Technik zur Erzeugung eines Impulses in Abhängigkeit von der Flankenrichtung eines Eingangsimpulses. Insbesondere braucht dabei der Eingangsimpuls nicht die für das statische Schalten erforderlichen Pegelwerte einzuhalten.

Charakteristik der bekannten technischen Lösungen

Es ist bekannt (Penney, W., u. a., MOS integrated circuits, Van Nostrand Reinhold Company, New York, 1972), die Auswertung der Flanke eines Impulses vorzunehmen, indem dieser Impuls zeitlich verzögert wird und der verzögerte und der nichtverzögerte Impuls logisch verknüpft werden. Liegt am Eingang der Schaltungsanordnung L-Potential, so befindet sich der Ausgang eines ODER-Gatters auf H-Potential. Wechselt der Impuls am Eingang zum H-Potential, so wird der Ausgang über das ODER-Gatter auf L-Potential geschaltet, bis der über mehrere Gatter (Negatoren) verzögerte Impuls am ODER-Gatter eintrifft und dieses erneut auf H-Potential schaltet.

Diese Schaltungsanordnung hat die Nachteile, daß sie nur eine Impulsflanke - in diesem Falle die L-H-Flanke - auswertet und daß die L- und H-Pegel der Impulsflanke die für das statische Schalten der Gatter erforderlichen Pegelwerte einhalten müssen.

In einer bekannten Schaltungsanordnung zur dynamischen Auswertung (Robotron Laborbericht L 216.70, Anlage 1, Bl. 16) wird zur Impulsverzögerung nicht die Laufzeit von Gattern, sondern die Impulsaufeinanderfolge zur Verzögerung benutzt, die mittels eines Zweiphasen-Taktsystems erzeugt wird. Liegt am Eingang der Schaltungsanordnung L-Potential, so befindet sich der Ausgang eines ODER-Gatters auf H-Potential; wechselt das Eingangssignal zum H-Potential, so wird der Ausgang auf L-Potential geschaltet. Nachdem mit dem ersten Taktimpuls ein Gatter den Eingangsimpuls übernommen hat, wird mit dem zweiten Taktimpuls dieser Eingangsimpuls verzögert an das ODER-Gatter weitergegeben und damit der Ausgang wieder auf H-Potential geschaltet.

Diese Schaltungsanordnung hat die Nachteile, daß sie nur eine Flanke des Impulses auswertet, daß die Pegelwerte der Impulsflanke die für das statische Schalten der Gatter erforderlichen Pegelwerte einhalten müssen und daß ein Zweiphasen-Taktsystem erforderlich ist.

Ziel der Erfindung

Ziel der Erfindung ist es, beide Impulsflanken auszuwerten, ohne daß die für das statische Schalten der Gatter erforderlichen Pegelwerte eingehalten werden müssen.

Darlegung des Wesens der Erfindung

Aufgabe der Erfindung ist es, eine Schaltungsanordnung zur Auswertung beider Impulsflanken zu schaffen, die keiner Taktspannung bedarf und für den Aufbau in integrierter MIS-Technik geeignet ist.

Erfindungsgemäß ist die Aufgabe durch eine Schaltungsanordnung, bestehend aus einem RS-Flip-Flop, einem Inverter und zwei Differenziergliedern, deren Widerstände durch Source-Drain-Strecken von Transistoren gebildet sind, wobei der Widerstand des ersten Differenziergliedes zur Auswertung der H-L-Pegelsprünge aus der Source-Drain-Strecke eines im schwach leitenden Zustand befindlichen Transistors besteht, dessen schwach leitender Zustand dadurch gewährleistet wird, daß sein Gate über eine Serienschaltung von Source-Drain-Strecken von zwei Transistoren auf Bezugspotential liegt und über die Source-Drain-Strecken zweier weiterer Transistoren mit einer Betriebsspannung verbunden ist, wobei die Gateanschlüsse der Transistoren mit ihren Drainanschlüssen verbunden sind, dadurch gelöst, daß zur Auswertung der L-H-Pegelsprünge und Signalinvertierung der Inverter angeordnet ist, dessen Gate über eine Reihenschaltung der Source-Drain-Strecken zweier Transistoren mit Bezugspotential verbunden ist, deren Gateanschlüsse mit ihren Drainanschlüssen verbunden sind, wodurch das Gate des Inverters diesen gerade leitend hält, daß das Gate des Invertertransistors in bekannter Weise über Source-Drain-Strecken von Transistoren mit der Betriebsspannung verbunden ist und daß das Gate des Invertertransistors über den zweiten Kondensator mit dem Eingang verbunden ist.

Der Transistor des ersten Differenziergliedes und der Transistor des Inverters werden dadurch im leitenden Zustand gehalten, daß ihre Gatespannungen über die zwei in Reihe gegen Bezugspotential liegenden Transistoren in Verbindung mit den gegen die Betriebsspannung liegenden Transistoren auf doppelter Schwellspannung gehalten werden. Dazu ist es zweckmäßig, daß die gegen die Betriebsspannung liegenden Transistoren eine wesentlich geringere Leitfähigkeit als die gegen Bezugspotential liegenden aufweisen, beispielsweise durch die geometrische Ausgestaltung der Transistorstrukturen. Auch die Transistoren der Differenzierglieder müssen, um die Kapazitäten der Kondensatoren klein halten zu können, eine geringe Leitfähigkeit besitzen.

Es ist weiterhin zweckmäßig, daß alle Transistoren der Schaltungsanordnung inte-

grierte Transistoren vom n- und/oder p-Kanal-Typ sind und daß die Kondensatoren der beiden Differenzierglieder integrierte MIS-Kondensatoren sind.

Zur Auswertung der H-L-Flanke gelangt der Spannungssprung über das erste Differenzierglied auf den Setzeingang des RS-Flip-Flops und bewirkt, daß am Ausgang des Flip-Flops H-Pegel erscheint. Eine L-H-Flanke am Setzeingang bleibt wirkungslos; sie bewirkt dagegen, daß nach der Differenzierung durch das zweite Differenzierglied der Transistor des Inverters gesperrt wird. An dessen Drainanschluß entsteht eine H-L-Flanke, die über den Rücksetzeingang das RS-Flip-Flop in seinen Ausgangszustand schaltet, so daß am Ausgang des Flip-Flops wieder L-Pegel erscheint.

Um die Kapazität der Kondensatoren der Differenzierglieder möglichst klein wählen zu können - damit die Kondensatoren möglichst wenig Chipfläche beanspruchen -, müssen die Leitfähigkeiten der Transistoren, deren Source-Drain-Strecken die Widerstände der Differenzierglieder bilden, niedrig sein.

Zur Erzeugung der doppelten Schwellspannung für das Gate des Transistors des ersten Differenziergliedes bzw. das des Inverter-Transistors ist es notwendig, daß der oder die zwischen der Betriebsspannung und den Gateanschlüssen liegenden Transistoren eine wesentlich niedrigere Leitfähigkeit besitzen als die der zwischen dem Bezugspotential und den Gateanschlüssen liegenden Transistoren. Dadurch wird erreicht, daß sich die doppelte Schwellspannung unabhängig von Änderungen der Betriebsspannung bzw. der Belastung einstellt. Die niedrige Leitfähigkeit kann beispielsweise durch die Reihenschaltung der Source-Drain-Strecken mehrerer Transistoren erzielt werden.

Die erfindungsgemäße Schaltungsanordnung hat die Vorteile, daß sie beide Flanken eines Impulses auswertet, ohne daß die für das statische Schalten erforderlichen Pegelwerte eingehalten werden müssen, daß die Überlagerung von Gleichspannungspegeln eliminiert wird, daß sie keiner Taktspannung bedarf und daß sie für den Aufbau in integrierter MIS-Technik geeignet ist. Damit ist es möglich, die Flanken von Impulsen als zusätzliche Informationsparameter zu nutzen und die Anzahl der Anschlüsse an integrierten Schaltungen zu reduzieren.

Ausführungsbeispiel

Die zugehörige Zeichnung zeigt eine erfindungsgemäße Schaltungsanordnung für die Auswertung von Pegelsprüngen. Ein Eingang 1 der Schaltungsanordnung ist über einen ersten Kondensator 2, der in Verbindung mit einem Transistor 12 ein erstes Differenzierglied bildet, mit einem Setzeingang 15 eines RS-Flip-Flops 19 verbunden. Der Gateanschluß des Transistors 12 ist über die Reihenschaltung der Source-Drain-Strecken zweier Transistoren 6 und 7 mit dem Bezugspotential (Masse)

und über die Reihenschaltung der Source-Drain-Strecken zweier Transistoren 4 und 5 mit einem Anschluß für die Betriebsspannung 17 verbunden. Die Gateanschlüsse der Transistoren 4, 5, 6 und 7 sind jeweils mit ihren Drainanschlüssen verbunden. Die Transistoren 4 und 5 besitzen eine wesentlich niedrigere Leitfähigkeit als die Transistoren 6 und 7.

Der Eingang 1 ist weiterhin über einen zweiten Kondensator 3, der in Verbindung mit Transistoren 10 und 11 ein zweites Differenzierglied bildet, mit dem Gateanschluß eines Transistors 14 verbunden. Der Sourceanschluß des Transistors 14 ist mit dem Bezugspotential und der Drainanschluß über einen Widerstand 13, der auch durch einen MIS-Transistor gebildet werden kann, mit dem Anschluß für die Betriebsspannung 17 verbunden. Der Transistor 14 bildet also mit dem Widerstand 13 einen Inverter, dessen Ausgang - der Drainanschluß des Transistors 14 - an einem Rücksetzeingang 18 des RS-Flip-Flops 19 angeschlossen ist. Der Gateanschluß des Transistors 14 ist weiterhin über die Reihenschaltung der Source-Drain-Strecken der Transistoren 10 und 11 mit dem Bezugspotential und über die Reihenschaltung der Source-Drain-Strecken zweier Transistoren 8 und 9 mit dem Anschluß für die Betriebsspannung 17 verbunden. Die Gateanschlüsse der Transistoren 8, 9, 10 und 11 sind jeweils mit ihren Drainanschlüssen verbunden. Die Transistoren 8 und 9 besitzen eine wesentlich niedrigere Leitfähigkeit als die Transistoren 10 und 11. Ein Ausgang des RS-Flip-Flops 19 ist der Ausgang 16 der Schaltungsanordnung.

Eine H-L-Flanke am Eingang 1 gelangt über das erste Differenzierglied (Kondensator 2, Transistor 12) auf den Setzeingang 15 des RS-Flip-Flops 19 und bewirkt, daß am Ausgang 16 des RS-Flip-Flops 19 ein H-Pegel erscheint. Damit die Drain-Source-Strecke des Transistors 12 als Widerstand des Differenziergliedes wirkt, muß sich der Transistor 12 im leitenden Zustand befinden. Um die Kapazität des ersten Kondensators 2 klein halten zu können, ist es notwendig, daß die Leitfähigkeit der Drain-Source-Strecke niedrig ist. Das wird dadurch erreicht, daß über den Source-Drain-Strecken der Transistoren 6 und 7 in Verbindung mit den mit dem Anschluß für die Betriebsspannung 17 verbundenen Source-Drain-Strecken der Transistoren 4 und 5 die doppelte Schwellspannung abfällt und konstant gehalten wird.

Eine L-H-Flanke am Setzeingang 15 bleibt wirkungslos, sie bewirkt dagegen, daß nach der Differenzierung durch das zweite Differenzierglied (Kondensator 3; Transistoren 10 und 11) der Transistor 14, der sich im leitenden Zustand befindet, gesperrt wird. Am Drainanschluß des Transistors 14 entsteht dadurch ein H-L-Sprung, der über den Rücksetzeingang 18 das RS-Flip-Flop 19 wieder in seinen Ausgangszustand schaltet, so daß an seinem Ausgang 16 wieder ein L-Pegel er-

scheint. Der leitende Zustand des Transistors 14 wird dadurch erreicht, daß der Gateanschluß über die Transistoren 10 und 11 in Verbindung mit den Transistoren 8 und 9 konstant auf der doppelten Schwellspannung gehalten wird und sein Lastelement - der Widerstand 13 - eine sehr geringe Leitfähigkeit besitzt. Die Leitfähigkeit der Transistoren 10 und 11 muß niedrig sein; beispielsweise durch entsprechende Ausbildung der Struktur der Transistoren bei der Herstellung der integrierten Schaltung, damit auch die Kapazität des zweiten Kondensators 3 klein gehalten werden kann.

Die dargestellte Wirkungsweise bezieht sich auf Transistoren des p-Kanal-Typs. Bei der Verwendung von Transistoren des n-Kanal-Typs sind die H-L-Flanken auszutauschen und L-Pegel gegen H-Pegel, wenn der H-Pegel der positivste und der L-Pegel der negativste Pegel sind.

Diese Schaltungsanordnung hat die Vorteile, daß sie beide Flanken eines Impulses auswertet, ohne daß für das statische Schalten erforderliche Pegelwerte eingehalten werden müssen. Die Schaltungsanordnung ist für den Aufbau in integrierter Schaltungstechnik geeignet. Sie gestattet, die Flanken von Impulsen als zusätzliche Information zu nutzen, um die Anzahl der Anschlüsse an integrierten Schaltkreisen zu reduzieren.

