



(12) 发明专利

(10) 授权公告号 CN 101641952 B

(45) 授权公告日 2013. 07. 10

(21) 申请号 200780043322. 2

第 5 行 .

(22) 申请日 2007. 12. 26

US 7075581 B1, 2006. 07. 11, 说明书第 2 栏第 60 行至第 4 栏第 65 行 .

(30) 优先权数据

11/616, 188 2006. 12. 26 US

US 2005/0169554 A1, 2005. 08. 04, 全文 .

(85) PCT 申请进入国家阶段日

2009. 05. 22

CN 1783995 A, 2006. 06. 07, 说明书第 3 页第 13 行至第 4 页第 20 行, 第 12 页第 14 行至第 13 页第 5 行 .

(86) PCT 申请的申请数据

PCT/US2007/088813 2007. 12. 26

US 2005/0168653 A1, 2005. 08. 04, 全文 .

审查员 慈雪

(87) PCT 申请的公布数据

W02008/083151 EN 2008. 07. 10

(73) 专利权人 美国博通公司

地址 美国加州

(72) 发明人 丹尼尔·多斯沃尔德

(74) 专利代理机构 深圳市顺天达专利商标代理

有限公司 44217

代理人 蔡晓红 纪媛媛

(51) Int. Cl.

H04N 7/01 (2006. 01)

(56) 对比文件

CN 1783995 A, 2006. 06. 07, 说明书第 3 页第 13 行至第 4 页第 20 行, 第 12 页第 14 行至第 13 页

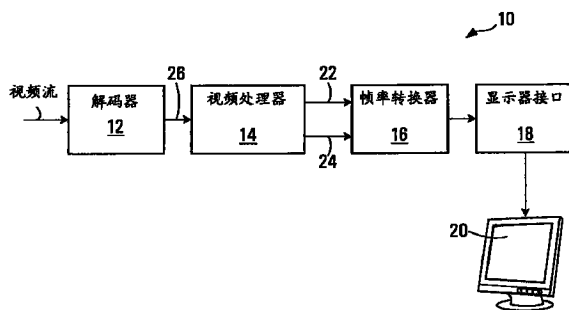
权利要求书 2 页 说明书 8 页 附图 4 页

(54) 发明名称

用于进行帧率转换的视频处理器结构和方法

(57) 摘要

一种视频处理器, 帧率转换器的上行流确定视频属性数据。该属性数据被格式化, 并通过通道发往帧率转换器。该帧率转换器从该通道中提取该属性数据, 以便将其应用到帧率转换中。该帧率转换器因此可依赖该视频处理器获取的该属性数据, 并无需再次分析视频帧。



1. 一种构建帧率转换后的视频的方法,其特征在于,包括:
 - a、处理收到的视频以构建代表视频帧的数据;
 - b、从收到的视频中获取属性数据;
 - c、将所述代表视频帧的数据发往帧率转换器;
 - d、将所述属性数据通过辅助通道发往帧率转换器;
 - e、接收所述代表视频帧的数据;
 - f、接收辅助通道上的所述属性数据;
 - g、基于所述属性数据,使用所述代表视频帧的数据构建帧率转换后的视频;在处理视频的过程中,由缩放器、解交错器、色彩转换器和图层引擎提取和创建所述属性数据。
2. 根据权利要求1所述的方法,其特征在于,所述处理包括解交错所述收到的视频以构建所述帧。
3. 根据权利要求2所述的方法,其特征在于,所述解交错包括确定所述收到的视频的节奏(cadence),其中所述属性数据包括节奏信息。
4. 根据权利要求1所述的方法,其特征在于,所述辅助通道中复用有所述代表视频帧的数据。
5. 一种视频接收器,其特征在于,包括:
 - a、视频处理器,其包括解交错器,用于对收到的视频场进行解交错,以构建视频帧并发往帧率转换器,所述解交错器可操作地探测所述收到的视频场的节奏;
 - b、属性格式化模块,其与所述视频处理器通信连接,用于接收所述节奏的指示,并以此构建属性数据;
 - c、通道编码器,用于对通往所述帧率转换器的通道中的所述属性数据进行编码;其中,所述视频处理器还包括缩放器、色彩转换器和图层引擎;在处理视频的过程中,由缩放器、解交错器、色彩转换器和图层引擎提取和创建所述属性数据。
6. 根据权利要求5所述的视频接收器,其特征在于,所述通道编码器包括复用器,用于将所述视频帧和所述属性数据进行复用。
7. 一种视频接收器,其特征在于,包括:
 - a、视频处理器,其包括多个视频处理模块,每一个模块用于对收到的视频执行至少一个视频处理功能,以构建帧并发往帧率转换器,所述帧率转换器使用收到的属性数据,而无需分析解码后的视频帧来获取相同或类似的属性信息,所述视频处理模块中的每一个可操作地获取所述收到的视频的属性信息;
 - b、属性格式化模块,其与所述视频处理器通信连接,用于从所述视频处理模块接收属性信息,并据此构建属性数据;
 - c、通道编码器,用于对通往所述帧率转换器的通道中的所述属性数据进行编码;其中,所述视频处理器还包括缩放器、解交错器、色彩转换器和图层引擎;在处理视频的过程中,由缩放器、解交错器、色彩转换器和图层引擎提取和创建所述属性数据。
8. 一种构建帧率转换后的视频的方法,其特征在于,包括:
 - a、在帧率转换器中接收代表视频帧的数据;
 - b、在所述帧率转换器中接收与辅助通道中的所述代表视频帧的数据有关的属性数据;

c、基于所述属性数据,从所述代表视频帧的数据构建帧率转换后的视频;在权利要求7所述视频处理器中,缩放器、解交错器、色彩转换器和图层引擎以传统方式工作,以提供输出视频帧,在如此处理视频的过程中,由缩放器、解交错器、色彩转换器和图层引擎提取和创建所述属性数据。

9. 一种帧率转换器,其特征在于,包括:

a、通道解码器,用于解码提供给所述帧率转换器的视频帧的属性信息;

b、插值器,用于基于所述属性信息,从代表所述视频帧的数据中构建帧率转换后的视频;

所述帧率转换器还包括缓冲器;所述插值器用于构建插值帧,以代表缓冲存储在所述缓冲器之中的帧之间的运动;所述帧率转换器使用所述缓冲器中的两个输入帧来执行运动补偿插值。

10. 一种视频显示设备,包括权利要求9所述的帧率转换器。

用于进行帧率转换的视频处理器结构和方法

技术领域

[0001] 本发明涉及视频处理,更具体地说,涉及一种可进行帧率转换的视频设备。

背景技术

[0002] 运动画面 (moving picture) 视频通常以预定帧率进行录制或编码。例如,影院电影通常以 24 帧 / 秒 (fps) 的固定帧率进行录制。而另一方面,基于 NTSC 标准的电视广播类视频则以 30fps 进行编码。基于欧洲 PAL 标准或 SECAM 标准的广播视频则以 25fps 进行编码。

[0003] 帧率转换带来了挑战。用于进行帧率转换的一种常见技术包括在帧序列中丢弃或重播帧。例如,电视电影转换 (通常称为 3:2 下拉 (pull down)) 用于将 24fps 的运动画面视频转换为 60 场 / 秒 (30fps)。每秒帧扩展 3 个视频场,而每另一秒帧扩展 2 个视频场。电视电影转换在例如 Charles Poynton 撰写的“Digital Video and HDTV Algorithms and Interface (数字视频和 HDTV 算法和接口)” (San Francisco :Morgan Kaufmann 出版社, 2003) 中进行了详细的描述,本发明参考了其中的全部内容。

[0004] 在 John Watkinson 撰写的“The Engineer’s Guide to Standards Conversion (转换标准工程师导读)” (Snell 和 Wilcox 手册系列) 中还描述了用于进行帧率转换的多种其它技术。

[0005] 最近,帧率转换不仅用来在格式和标准之间进行转换,也用来增强整体视频质量。例如,为了降低传统 PAL 电视的可感觉得到的闪烁,已经研制出高帧率 100 场 / 秒 (50fps) 的电视。

[0006] 将来,更高的帧率将成为用来提供更高质量家庭视频的重要组成。然而,现有的视频还不能在更高的帧率下使用。因此,帧率转换变得非常必要。在实时状态下,这种转换会带来很多挑战,这些挑战部分来自于需要对进站视频进行分析以便构建更高帧率的视频。这给当前视频接收器带来很多困扰,这是因为在当前视频接收器内,帧率转换和其它视频处理功能是相互独立的。

[0007] 因此,需要一种改进的帧率转换技术。

发明内容

[0008] 本发明的示范性实施例涉及,在视频处理器中确定视频属性数据,并上行发送至帧率转换器 (FRC)。该属性数据将进行格式化,并通过通道发往 FRC,以供 FRC 使用。通过这种方式,FRC 可依靠视频处理器获取的属性数据,并避免对视频帧再次进行分析。属性数据对于收到的帧是可用的,因此 FRC 可据此进行快速处理,降低延迟。

[0009] 依据本发明的一个方面,提供了一种构建帧率转换后的视频的方法。该方法包括处理收到的视频以构建代表视频帧的数据;从收到的视频中获取属性数据;将所述代表视频帧的数据发往帧率转换器;将所述属性数据通过辅助通道发往帧率转换器;接收所述代表视频帧的数据;接收辅助通道上的所述属性数据;基于所述属性数据,使用所述代表视

频帧的数据来构建帧率转换后的视频。

[0010] 依据本发明的另一方面,提供了一种视频接收器,包括视频处理器,所述视频处理器包括解交错器,用于对收到的视频场进行解交错,以构建视频帧并发往帧率转换器。所述解交错器用于探测所述收到的视频场的节奏。所述视频接收器进一步包括属性格式化模块,其与所述视频处理器通信连接,用于接收所述节奏的指示,并以此构建属性数据。通道编码器对通往所述帧率转换器的通道中的所述属性数据进行编码。

[0011] 依据本发明的另一方面,提供了一种视频接收器,包括视频处理器,所述视频处理器包括多个视频处理模块,每一个模块用于对收到的视频执行至少一个视频处理功能,以构建帧并发往帧率转换器,所述视频处理模块之中的每一个用于获取所述收到的视频的属性信息;属性格式化模块与所述视频处理器通信连接,用于从所述视频处理模块接收属性信息,并据此构建属性数据;通道编码器对通往所述帧率转换器的通道中的所述属性数据进行编码。

[0012] 依据本发明的另一方面,提供了一种构建帧率转换后的视频的方法,包括在帧率转换器中接收代表视频帧的数据;在所述帧率转换器中通过辅助通道接收与所述代表视频帧的数据有关的属性数据;基于所述属性数据,使用所述收到的数据来构建帧率转换后的视频。

[0013] 依据本发明的另一方面,提供了一种帧率转换器,包括:通道解码器,用于解码提供给所述帧率转换器的视频帧的属性信息;插值器,用于基于所述属性信息,使用代表所述视频帧的数据来构建帧率转换后的视频。

[0014] 在阅读完下列本发明具体实施例的详细描述并参考相关附图之后,本发明的其它方面和特征对于本领域的技术人员来说将变得更加清晰。

附图说明

[0015] 下列附图仅以举例的方式描述本发明的实施例:

[0016] 图 1 是依据本发明一较佳实施例的视频接收器的简化结构示意图;

[0017] 图 2 是构成图 1 中设备一部分的视频解码器的简化结构示意图;

[0018] 图 3 是构成图 1 中设备一部分的视频处理器的简化结构示意图;

[0019] 图 4 是构成图 1 中设备一部分的帧率转换器的简化结构示意图;

[0020] 图 5 是帧率转换后的输出帧、解码/处理后的输出帧和原始视频源的帧的对比示意图;

[0021] 图 6 是用来展示 3:2 下拉方式的来自于解码后的帧序列的帧率转换后的视频输出的运动图。

具体实施方式

[0022] 图 1 是依据本发明一较佳实施例的视频接收器 10 的结构示意图。如图 1 所示,视频接收器 10 包括视频解码器 12、视频处理器 14、帧率转换器 (FRC) 16 和显示器接口 18。视频接收器 10 可采用机顶盒、卫星接收器、地面广播接收器、媒体播放器 (例如 DVD 播放器)、媒体接收器或者类似设备的形式。可选地,接收器 10 (或其中的一部分) 可集成在显示设备中,例如平板电视及、计算机显示器、便携式电视机、手持设备 (例如个人数字助理、移动

电话、视频播放器) 或者类似的设备。

[0023] 接收器 10 可采用定制硬件的方式实现, 或者采用由软件控制的定制硬件和通用计算机硬件的组合的方式实现。

[0024] 很明显, 视频接收器 10 接收视频, 这些视频采用视频广播、数字视频流或者类似的形式。解码器 12 用来解码收到的视频, 以构建视频场或视频帧。视频处理器 14 处理解码后的场或帧, 缩放 (scale)、解交错, 以及对收到的视频进行其它处理。FRC 16 用于对处理后视频的帧率进行转换, 以生成所需帧率的视频, 其中该帧率不同于解码视频的帧率。最后得到的更高帧率帧将由显示器接口 18 在显示器 20 上显示以供用户收看。显示器接口 18 可对 FRC 16 生成的帧视频进行采样或接收, 以展示图像用于显示。

[0025] 显示器接口 18 可以采用传统的随机访问存储器数模转换器 (RAMDAC) 的形式, 或者遵守 HDMI 或 DVI 标准的单个终端或差分发射器的形式, 或者其它合适的接口, 以便将数据进行转换, 从而可以在显示器 20 上以模拟或数字形式进行显示。

[0026] 视频将由视频处理器 14 进行解码和处理, 由 FRC 16 用来对收到的视频进行帧率转换的视频属性信息将被提取出来。该属性信息将从视频处理器下行传送到 FRC 16。在描述的实施例中, 可使用两个独立的通道 22、24 来从视频处理器 14 向 FRC 16 传送视频数据和属性数据。FRC 16 使用收到的属性数据, 而无需分析解码后的视频帧来获取 (例如提取、确定、计算等等) 相同或类似的属性信息。

[0027] 特别地, 视频解码器 12 将收到的视频信号解码为像素值流。到达视频解码器 12 的视频信号可来自传统的视频源, 例如卫星或有线电视通道、地面广播通道、本地视频存档或外围设备例如 DVD 播放器。视频信号可以是模拟信号, 也可以是数字信号。解码器 12 因此可采用传统视频解码器来实现, 其遵循如下多种视频编码 / 压缩标准中的任意一种, 诸如 MPEG、MPEG2、MPEG4、divX、ITU 建议 ITU-H. 264、HDMI、ATSC、PAL 或 NTSC 电视、数字电视 (例如 ITU BT. 601) 或者类似的标准。

[0028] 为便于解释, 视频解码器 12 在图 2 中举例描述为遵循 MPEG 的解码器, 这样一来, 其可包括传统 MPEG 解码器中可包含的对于本领域技术人员而言熟知的模块, 例如用于对收到的视频流进行解析的解析器、可变长度解码器 (VLD) 32、运动补偿模块 (MB) 34、行程 (run length) 解码器和反量化 (RL&IQ) 模块 36、反离散余弦变换模块 (IDCT) 38、图像重建模块 40 和用于存储帧 / 场的存储器 42。解码器 12 通过链路 26 与视频处理器 14 通信。链路 26 可以是串行或并行链路。

[0029] 图 3 描述了视频处理器 14 的一个范例。如图所示, 视频处理器 14 包括至少一个缓存存储器 58, 用于缓存来自视频解码器 12 的像素值。示范性的视频处理器 14 包括用于处理视频的几个功能模块。每个功能模块可执行一个功能, 例如, 视频处理器 14 可包括缩放器 50、解交错器 52、色彩空间转换器 54、效果 / 图层引擎 56 和噪声削弱模块 48。本领域的技术人员应当明白, 视频处理器 14 还可包括本文没有描述的其它功能模块。

[0030] 内部总线 60 为缩放器 50、解交错器 52、色彩空间转换器 54、效果 / 图层引擎 56 和存储器 58 提供互联。

[0031] 属性格式化模块 62 与视频处理器 14 的其它功能模块通信。属性格式化模块 62 接收来自缩放器 50、解交错器 52、色彩转换器 54 和效果 / 图层引擎 56 以及噪声削弱器 48 的视频属性信息。另一个通道编码器 64 可进一步对属性格式化模块 62 格式化的属性数据

进行格式化,以便通过通道 24 传送到 FRC 16(图 1 所示)。

[0032] 图 4 示出了 FRC 16 的详细示意图。如图 4 所示,示范性的 FRC 16 包括缓冲器 66 和插值器 70,其中插值器 70 用于在缓冲器 66 中的帧进行插值,以便进行帧率转换。缓冲器 66 可以是先进先出帧缓冲器,用来存储将由插值器 70 来合并的连续帧。缓冲器 66 可存储例如 4 个用来进行插值的连续帧 F。帧率转换器 16 还包括通道解码器 74 和属性解码器 68,以便对通道编码器 64 和属性编码器 62 提供补充。

[0033] 插值器 70 用于在缓冲器 66 进行插帧,以便构建帧率(频率)的值等于帧到达缓冲器 66 的频率乘以缩放因子 SCALE_FREQU 的输出帧。时钟信号(CLK)记录帧到达的时间,其允许 FRC 16 生成最终的帧率。由于 FRC 16 为收到的每个帧生成一个以上帧,插值器 70 用于构建插值帧,以代表缓冲存储在缓冲器 66 之中的帧之间的运动。帧率转换器 16 使用缓冲器 66 中的两个输入帧来执行这种运动补偿插值。

[0034] 可由插值器 70 执行的运动补偿/插值技术在 2005 年出版的由 Keith Jack 撰写的第 4 期视频(数字工程师手册)中和 Watkinson, John 撰写的“转换标准工程师导读”(Snell 和 Wilcox 手册系列,

[0035] http://www.snellwilcox.com/community/knowledge_center/engineering/estandard.pdf) 中做了描述,本文引用了其中的全部内容。相关的技术在发明人为本申请发明人的美国专利申请(xx/xxx,xxx)中做了详细的描述,本文也引用了其中的全部内容。

[0036] 为便于表述,本文将缓冲帧(例如视频处理器 14 输出的解码帧)表示为帧 $F_0, F_1, F_2, \dots, F_n$, 而视频源中的彼此不同的帧表示为帧 S_0, S_1, S_2, \dots 。因此,例如,24fps 源将具有源帧 $S_0, S_1, S_2, S_3, \dots$, 并转换为电视电影格式,其将由视频解码器 12 解码和/或重建为场或帧,并在随后由视频处理器 14 进行解交错(如果需要的话)以构建对应于源帧 $\{S_0, S_0, S_0, S_1, S_1, S_2, S_2, S_2, S_3, S_3, \dots\}$ 的帧 $\{F_0, F_1, F_2, F_3, F_4, F_5, F_6, F_7, F_8, F_9, \dots\}$ (60fps)。电视电影转换帧 F_0, F_1, \dots 或场将存储在存储介质上,例如 DVD 或者类似的介质,或者使用地面、卫星或 CATV 广播技术以模拟(例如 NTSC)格式或数字格式(MPEG 流或类似的格式)进行广播,或者以其它方式进行提供。具有转换后的帧率的输出帧可表示为帧 $f_0, f_1, f_2, \dots, f_n$, 如本文所述,其可从帧 F_0, F_1, \dots 中构建。这在图 5 中进行了描述。

[0037] 在本文中,插值帧也可表示为 $I\{S_j, S_{j+1}, I/m\}$ 。这种表示形式表示最终的运动插值帧,该帧表示原始帧 S_j, S_{j+1} 之间的中间帧,插入该帧以表示从 S_j 到 S_{j+1} 的部分 I/M 运动。例如插入的帧 $I\{S_j, S_{j+1}, 1/2\}$ 用来表示 S_j 和 S_{j+1} 之间的运动中途的运动效果。这种运动插值由帧率转换器 16 使用从缓冲器 66 中读取的两个输入帧来进行。

[0038] 图 6 描述了解码/处理后的视频帧和帧率转换后的帧。解码/处理后的视频帧沿虚线表示;插入的视频帧沿实线表示。解码/处理后的视频帧由圆圈来表示,插值后的帧由三角来表示。

[0039] 应当明白,解码/处理后的帧之间的插值度,以及哪个帧将由插值器插入,均与解码/处理后的视频帧 F 的节奏(cadence)有关。例如,在 3:2 下拉方式中且频率缩放比为 2($SCALE_FREQU = 2$) 时,插值器 70 控制每个插值帧的运动,以使其在源帧的五分之一之前插入;在 2:2 下拉方式中,在四分之一之前插入;在不采用下拉方式的情况下,在二分之一之前插入。

[0040] 图 6 展示了视频处理器 14 输出的示范性帧序列中的运动。具体来说,图 6 出了视

频处理器 14 输出的示范性帧序列 $F_0, F_1, F_2, F_3, \dots$ 的运动。所描述的帧序列由 3:2 下拉源生成,通常在从 24 帧 / 秒 (表示为源帧 $S_0, S_1, S_2, S_3, \dots$) 到 60 交错场 / 秒即转换为 60fps 帧的转换过程中产生。如此一来,原始 (电影) 源中每一秒帧将采样两次,而原始源中的每另一秒帧将采样三次。生成的帧 F_0, F_1, F_2, F_3 展示了 3:2 下拉方式,他们是通过交错场进行解交错来生成的。

[0041] 最终的帧序列展示了急动运动 (称为“颤动”),其中只有在第 3、第 5、第 8、第 10 等解码帧之后才出现运动。这种颤动在帧率转换之后仍然存在,其无法解决视频源的节奏问题。

[0042] 为了消除或降低可以感觉得到的急动,帧率转换器 16 插入相邻的源帧,以构建帧率转换后的帧序列。

[0043] 在运行过程中,视频流由视频解码器 12 接收,视频解码器 12 随后解析该视频流,并构建一系列具有特定分辨率的场或帧。这一系列的场或帧将作为像素流提供给视频处理器 14。解码后的视频的格式通常是由编码后的视频的格式决定的。例如,水平、垂直分辨率;纵横比;色彩格式;而是否以帧或场的形式来提供该视频是由视频的编码决定的。

[0044] 在视频处理器 14 中,缩放器 50、解交错器 52、色彩转换器 54 和图层引擎 56 以传统方式工作,以提供输出视频帧。在如此处理视频的过程中,缩放器 50、解交错器 52、色彩转换器 54 和图层引擎 56 提取和创建视频属性数据。缩放器 50、解交错器 52、色彩转换器 54 和图层引擎 56 的工作顺序不是固定的,其可基于设计目标来进行修改。

[0045] 例如,缩放器 50 可将解码后的视频缩放到所需的尺寸和纵横比。为进行此操作,缩放器 50 可选择对收到的帧进行分析,以确定收到的视频中的区域是否包含黑条 (black bar)、确定视频内容的频率,以及类似的内容。该属性进一步可由缩放器 50 用来对解码视频进行缩放。例如,解码帧的频率内容可作为代表柱状图的数据来提供;可提供交织后的 (例如信箱) 视频图像的起始、结束行和 / 或列。属性数据,包括从解码器 12 接收到的和由扩展器 50 构建的,还将向下传送到属性格式化模块 62。

[0046] 类似地,解交错器 52 可用来将视频的交错场转换为帧,这是通过分析收到的视频场的序列以确定他们的节奏来实线的,有关这方面的技术在美国专利申请 10/837835 和 11/381254 中做了描述。通过使用该节奏数据,收到的场可由解交错器进行合并,以生成解交错视频帧。视频场可进行例如插值 (bob) 和合并 (weave) 操作来构建帧。由于一帧视频可构建两个场,因此帧序列的节奏仍将连续反应场序列的节奏。这方面的技术与本申请同时提交的美国专利申请 xx/xxxxxx (即上文提到的申请) 中做了描述。解交错器 52 探测到的节奏信息将提供给属性格式化模块 62。节奏信息可包括例如几个比特,这些比特用于表示解交错器 52 所确定的节奏。示范性的探测到的节奏可包括 3:2 下拉形式;2:2 下拉形式;3:3 下拉形式或者类似的内容。类似地,若不存在节奏信息,则这种情况也将通知属性格式化模块 62。可选地,画面变化将由解交错器通知属性格式化模块 62。

[0047] 色彩空间转换器 54 可将收到的视频场 / 帧的色彩空间转换为所需的色彩空间。代表最终的色彩空间的数据还将向下传送到属性格式化模块 62。类似地,代表视频亮度和伽玛 (gamma) 指示的数据以及类似的数据 (例如亮度分布的柱状图、伽玛信息以及类似的信息) 将由色彩空间转换器 54 通知属性格式化模块 62。

[0048] 图层 / 效果引擎 56 可对收到的视频场 / 帧进行格式化,以将视频表示为特定的格

式,例如画中画 (picture-in-picture)、画上画 (picture-on-picture)、结合静止图像 (例如 TV 导视或者类似的内容)。属性格式化模块 62 可从图层 / 效果引擎 56 接收描述每一图层的属性 (例如计算机生成的视频、静止、图像等等) 的每张图片的协坐标、文本信息。

[0049] 噪声削弱模块 48 可对收到的视频进行滤波,以消除噪声和 / 或失真 (artifact)。属性格式化模块 62 可从噪声削弱模块 48 接收有关噪声级别、信号类型、信号级别的信息和类似的信息。

[0050] 这样一来,属性格式化模块 62 从其它的功能模块 (例如缩放器 50、解交错器 52、色彩转换器 54、图层引擎 56 和噪声削弱模块 48) 接收视频属性。属性格式化模块 62 可将这些信息格式化为合适的格式,以便这些信息可在通道 24 上进行编码,并且明确的向下传送到 FRC 16。

[0051] 属性格式化模块 62 将属性数据格式化为适当的格式,以与处理器 14 生成的视频帧相对应。例如,对于每个帧,属性格式化模块 62 可将该帧的属性编码,并将该信息打包。每个数据包的实际格式是任意的。该数据包可采用比特、字节的形式来代表属性信息。该数据包还可包含文本数据,这些数据可指示感兴趣的属性,或者可使用格式化语言例如 XML 进行格式化。属性格式化模块 62 还可依据 ITU 建议 ITU-BT. 1364. 1 或本领域技术人员知晓的其它方式来对属性数据进行格式化。

[0052] 在任何情况下,由属性格式化模块 62 所格式化的属性数据都将向下传送到通道编码器 64。通道编码器 64 将该属性数据在辅助通道中进行编码,以便该编码数据能与视频处理器 14 输出的帧保持同步。辅助通道可采用任何一种形式。例如,辅助数据可通过专用通道 (以单独的物理链路的方式来提供) 传送,或者与视频或者其它数据复用。每个帧将生成一个或多个属性数据包。通道编码器 64 包括复用器,并可对属性通道进行格式化,以便将属性数据与视频数据复用,从而使用视频数据 (例如垂直空白或者水平空白间隔) 中未被占用的部分,或者类似的空间。类似地,通道编码器 64 可对承载数据的单独的物理通道进行编码,并使该通道与视频数据同步。例如,该通道可以是同步流,或者采用异步方式承载与每个帧一同发送的数据包。

[0053] 在 FRC 16,来自视频处理器 14 的视频数据将缓存在缓冲器 66 之中,由通道编码器 74 和属性提取器 68 从属性通道中提取属性数据。最终的属性信息将提供给插值器 70,可选地,也可提供给节奏探测器 72。

[0054] 如果属性信息包含与进站帧序列有关的节奏信息,则节奏探测器 72 将被禁用,或者由其生成的节奏数据将被忽略。另一方面,如果辅助数据不包含视频的节奏信息,则节奏探测器 72 将从缓冲器 66 中缓冲的帧中确定节奏信息,这方面的技术在美国专利申请 xx/xxxxxx (即上文提到的申请) 中做了描述。由探测器 72 确定的节奏信息只有在特定帧已经被缓冲之后才能确定,因此将比来自视频处理器 14 的可用节奏信息滞前一帧。

[0055] FRC 16 可使用属性解码器 68 所提取的其它属性数据来调整 FRC 16 的操作参数,以改善插值效果。例如,FRC 可使用图层文本属性数据来独立的处理图层区域。亮度信息可用来对插值帧进行预滤波 (可基于画面的暗度分别进行不同形式的滤波)。伽玛信息可用来首先进行解伽玛 (de-gamma),然后再进行再伽玛 (re-gamma)。可使用与视频有关的频率信息来调整或选择 FRC 16 的滤波器,以及其灵敏性 (sensitivity)。反应噪声类型和信号级别的信息也可用来调整 FRC 16 的滤波器和灵敏度。FRC 16 对属性数据的其它使用方

式对本领域的技术人员来说应该是很明显的。

[0056] 特别地,视频处理器 14 向 FRC 16 提供了一个下拉方式的标识符,以执行插值操作,以便从原始源帧中生成运动补偿且插值的帧。为实现插值的精确,可使用节奏指示符来在源中插入不同的帧(区别于重复的帧),以及调整插值参数(例如从插值帧到插值帧的所需部分运动)

[0057] 图 6 描述了帧率转换器 16 从帧序列 F_0, F_1, F_2, \dots 输出的所需的输出帧序列 $f_0, f_1, f_2, f_3, \dots$ 中的运动。在图 6 中,运动表示为帧数的一个函数。在描述的例子中,帧率转换器 16 将帧率增加一倍(也就是 $SCALE_FREQU = 2$)。由于帧率转换器 16 输出的帧比视频处理器 14 原始生成的帧多,帧率转换器 16 的插值器 70(图 2)使用传统运动补偿技术来生成帧,以便以更高的帧率进行展示。在描述的实施例中,每个插值帧 f_j 或者与视频处理器 14 输出的帧 F_i 相同,或者由解码后的帧序列(例如, S_i, S_{i+1})中相邻的两个源帧构建而成。当然,也可使用两个以上的相邻源帧来生成插值帧。

[0058] 在描述的例子中,执行运动补偿是用来产生相对平滑的运动,以降低颤动。在描述的实施例中,运动是线性插值的,其中每组帧 f_0, f_1, f_2, f_3 等等之间的运动是相等的。由于连续的源帧 S 解码的时间间隔是不相等的,在由视频处理器 14 进行解码的相同时刻,任何线性插入的序列 $f_0, f_1, f_2, f_3, \dots$ 通常不包含对应于源中的帧 S_0, S_1, \dots 的帧。

[0059] 特别的, $f_0 = F_1$, 而 f_1, f_2, f_3 和 f_4 是从对 F_0 (或同等级别的帧 F_1 或者 F_2) 和 F_3 (也就是源帧 S_0 和 S_1) 的插值中生成的。每个插入的帧 f_1, f_2, f_3 和 f_4 都先于从 F_0 到 F_3 的运动(也就是从原始源帧 S_0 到帧 S_1)。输出帧 f_5 是原始源帧 S_1 (也就是帧 F_3/F_4)。类似地,输出帧 f_6 和 f_7 是从解码帧 F_3/F_4 和 F_5 (对应于源帧 S_1 和 S_2) 中生成的。

[0060] 在采用 3:2 下拉方式时,FRC 16 依赖于缓冲的帧,这些帧之间间隔多达两个帧(也就是 F_0 和 F_3 ; F_3 和 F_5),FRC 16 将在处理至少这些帧时引入处理延迟。因此, f_1 生成的时刻不会早于对 F_3 解码的时刻。类似地, f_6 生成的时刻不会早于对 F_5 解码的时刻。 f_{11} 生成的时刻不会早于对 F_8 解码的时刻。

[0061] 现在,在采用 3:2 下拉方式且频率缩放值为 2 时,在理想状态下,将为每 5 个 (3+2) 缓冲帧生成 10 个输出帧。这一点在图 6 中也是很明显的。最终的帧 $f_0, f_1, f_2, f_3, f_4, f_5, \dots, f_{10}$ 对应于 $S_0, I\{S_0, S_1, 1/5\}, I\{S_0, S_1, 3/5\}, I\{S_0, S_1, 4/5\}, S_1, I\{S_1, S_2, 1/5\}, I\{S_1, S_2, 2/5\}, I\{S_1, S_2, 3/5\}, I\{S_1, S_2, 4/5\}, S_2$ 。

[0062] 通过对比,2:2 下拉源的最终的帧图样 $f_0, f_1, f_2, f_3, \dots, f_{10}$ 对应于帧 $S_0, I\{S_0, S_1, 1/4\}, I\{S_0, S_1, 1/2\}, I\{S_0, S_1, 3/4\}, S_1, I\{S_1, S_2, 1/4\}, I\{S_1, S_2, 1/2\}, I\{S_1, S_2, 3/4\}, I\{S_1, S_2, 4/5\}, S_2, I\{S_2, S_3, 1/4\}, I\{S_2, S_3, 1/2\}$ 。也就是说,为每个缓冲帧生成四个输出帧。

[0063] 类似地,未采用下拉方式的最终的帧图样(例如从交错视频中产生)将对应于帧 $S_0, I\{S_0, S_1, 1/2\}, S_1, I\{S_1, S_2, 1/2\}, S_2, I\{S_2, S_3, 1/2\}$ 。为每个缓冲帧生成 2 个输出帧。

[0064] 当然,取决于解码帧 F 的节奏,源帧 S 在缓冲器 66 中的位置是可变的。

[0065] 在视频处理器 14 接收到属性数据时,这些属性数据可与处理后的帧一同获得。如此一来,FRC 16 可对所提供的属性数据作出快速反应。例如,当视频处理器 14 提供的视频的节奏发生变化时,FRC 16 使用的插值参数将得到调整。因此,一旦探测到从可以识别的下拉方式变化到无节奏时,就将进行插值操作来构建对应于源帧 $S_0, I\{S_0, S_1, 1/2\}, S_1, I\{S_1, S_2, 1/2\}, S_2, I\{S_2, S_3, 1/2\}$ 的插值帧。由于视频数据的属性数据是可用的,因此进行分析时

所需的延迟将得以降低。

[0066] 应当明白,提供给 FRC 16 的属性数据无需从视频处理器 14 产生。作为替代,属性数据可在 FRC 14 的上行流中的其它位置产生。例如,其它的属性数据或上文描述的属性数据之中的一部分可由解码器 12 获取。例如,运动向量数据可由构成解码器 12 的 MPEG 或类似的解码器来提取,源和 / 或解码视频的类型 (CVBS、组件、数字、逐行、隔行、VGA) 可作为属性数据来传送。再一次的,对于本领域的技术人员来说, FRC 14 上行流中的其它属性数据也是可用的。

[0067] 应当明白,视频的接收无需包含解码器 12。作为替代,来自外部源的解码的视频可提供给作为本发明一较佳实施例的视频设备,该设备可仅包含视频处理器 14、帧率转换器 16 和可选的显示器接口 18。

[0068] 类似地,视频处理器 14 和 FRC 16 可以安装在不同的物理设备中。例如,视频处理器 14 可以是视频接收器、视频播放器、专用视频处理器或者类似设备的一部分,而 FRC 16 可以是显示设备例如平板显示器的一部分。视频处理器 14 与 FRC 16 之间的链路可以是物理链路,该链路遵循视频互联标准,例如 DVI 或 HDMI 标准。通道 22 和 24 可以是用来实现互联的通道。例如,通道 22 和 24 可以通过 HDMI 互联来实现。

[0069] 此外,尽管在上文的描述中,属性数据是同步提供的,其也可以缓存在视频处理器 14 中,并可由 FRC 16 或者其它类似的处理器 (例如主处理器) 从视频处理器 14 中提取或抽出。相应的,视频处理器 14 会包含用于存储属性数据的足够存储空间,并提供一适当的接口 (例如软件应用编程接口 (API)) 用来询问数据。可选地,视频处理器 14 可缓存几个帧的属性数据。该属性数据随后在需要时候被询问。

[0070] 当然,上述实施例仅仅用于描述,并非用于限定本发明的范围。上文所述的实施本发明的实施例可以进行许多修改,包括构成、各部分的排列、操作的细节和顺序等。如本发明权利要求所述,所有上述修改都应划归到本发明的范围之内。

[0071] 备注:本申请与申请日为 2006 年 12 月 26 日、申请号为 11/616,192、名称为“Low Latency Cadence Detection for Frame Rate Conversion”的美国专利专利申请相关,本申请参考并结合其全部内容。

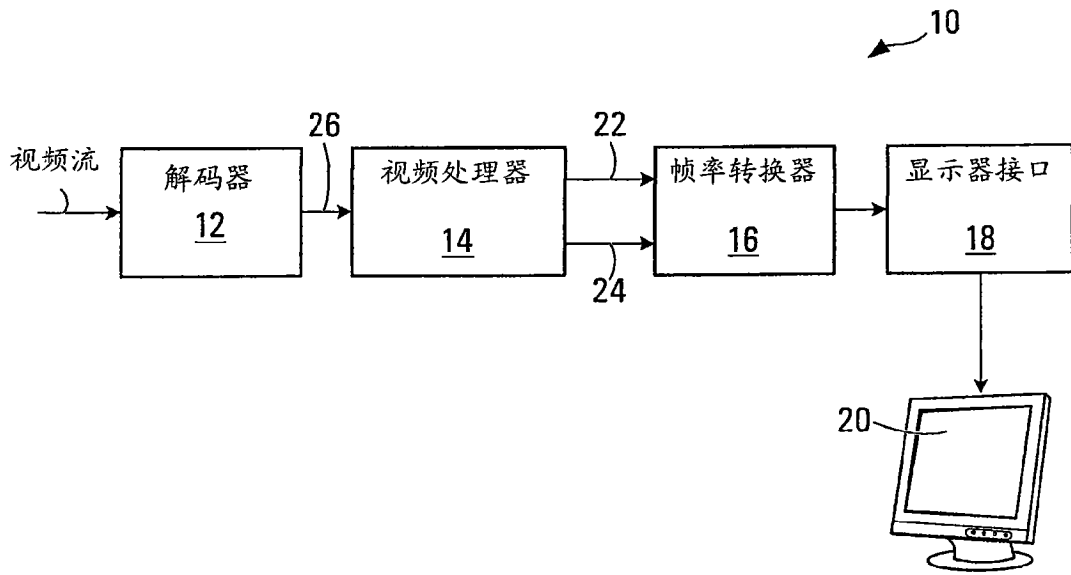


图 1

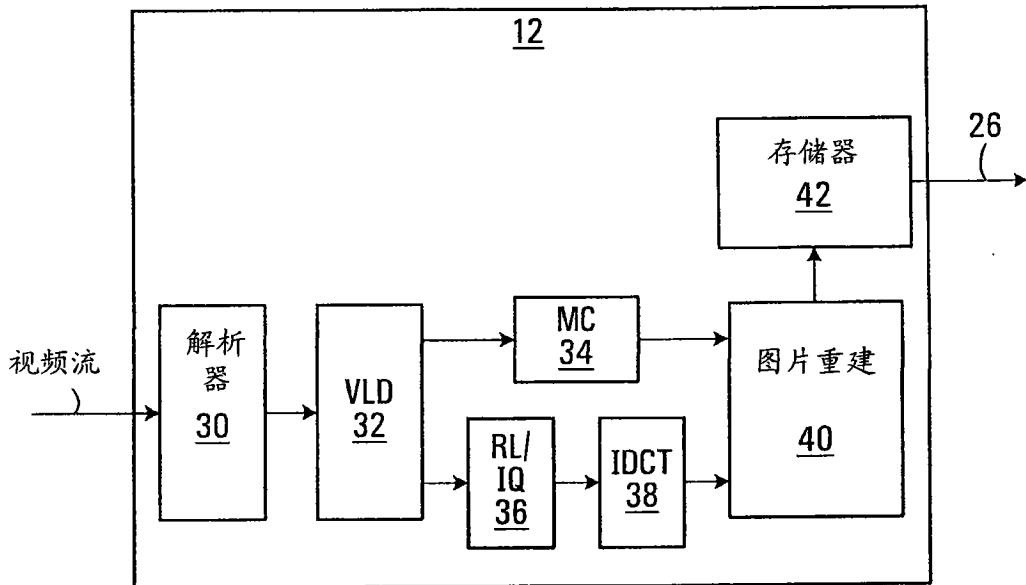


图 2

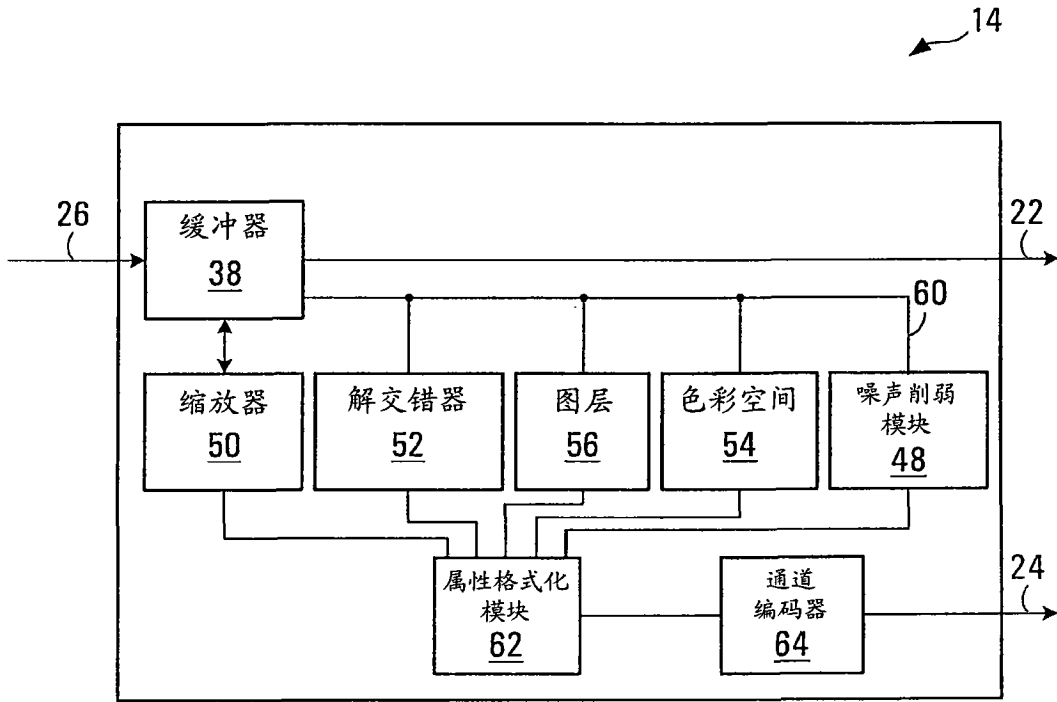


图 3

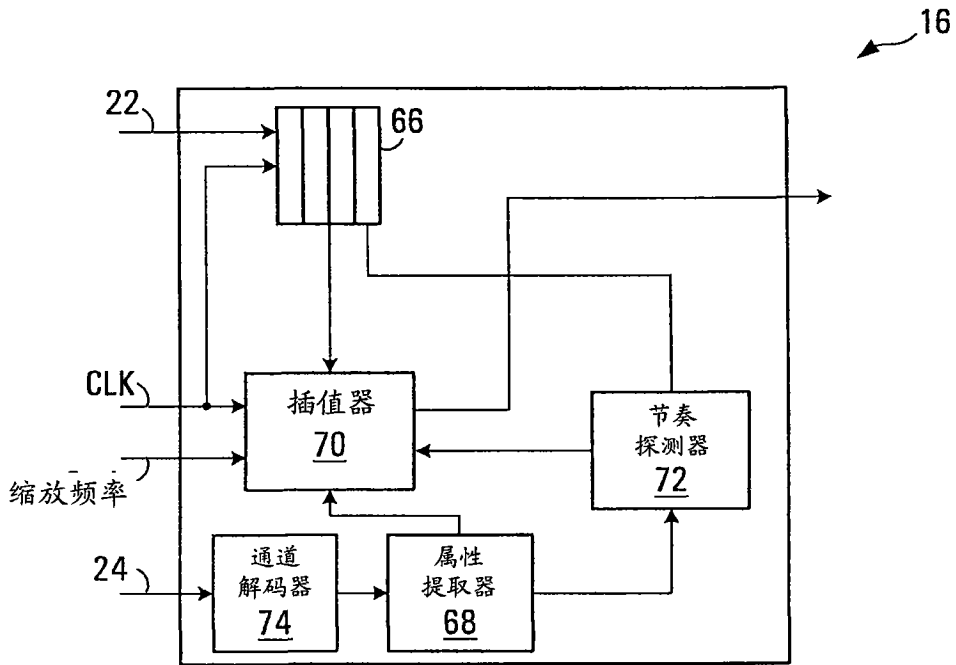


图 4

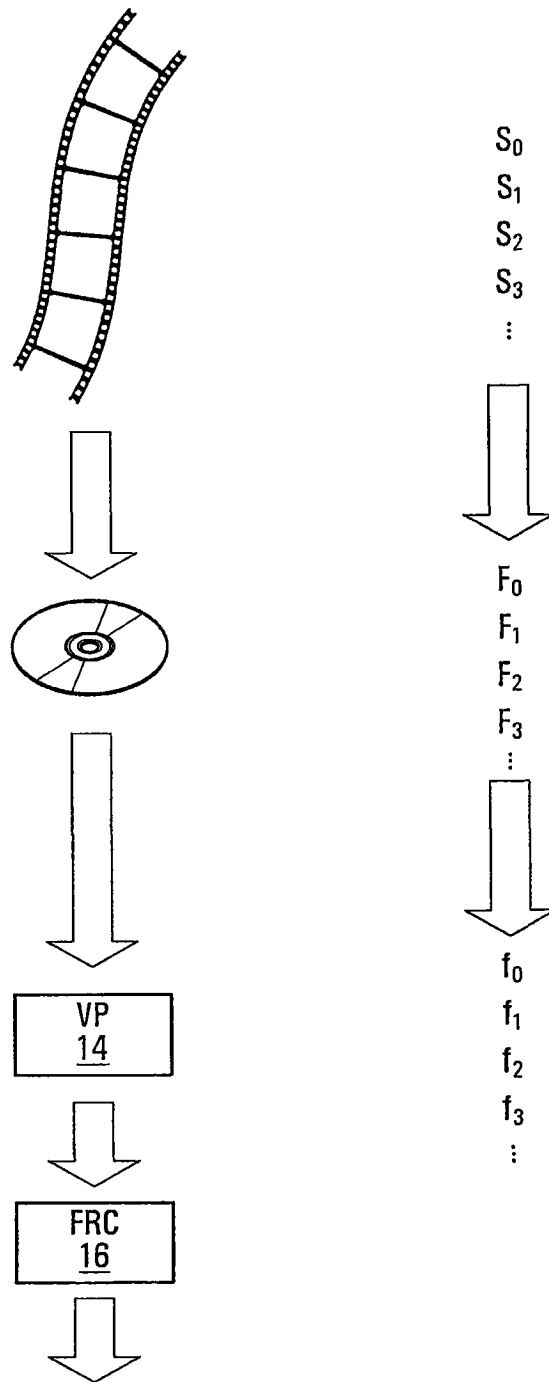


图 5

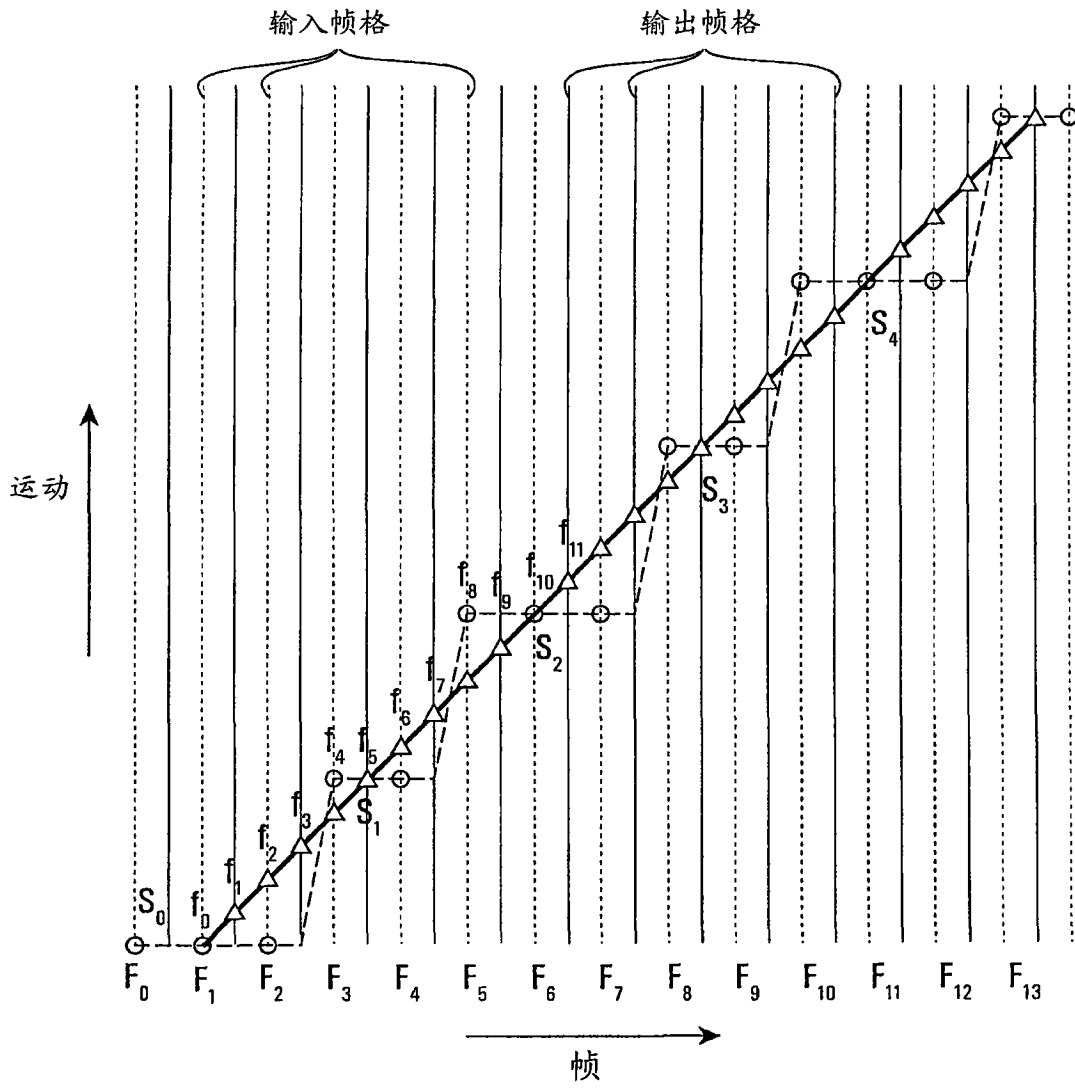


图 6