

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4965079号
(P4965079)

(45) 発行日 平成24年7月4日 (2012. 7. 4)

(24) 登録日 平成24年4月6日 (2012. 4. 6)

(51) Int. Cl.

F I

HO 1 L 21/3065 (2006. 01)

HO 1 L 21/302 I O 1 B

請求項の数 23 (全 14 頁)

(21) 出願番号	特願2004-541807 (P2004-541807)	(73) 特許権者	592010081
(86) (22) 出願日	平成15年9月24日 (2003. 9. 24)		ラム リサーチ コーポレーション
(65) 公表番号	特表2006-501683 (P2006-501683A)		LAM RESEARCH CORPOR
(43) 公表日	平成18年1月12日 (2006. 1. 12)		ATION
(86) 国際出願番号	PCT/US2003/030605		アメリカ合衆国, カリフォルニア 945
(87) 国際公開番号	W02004/032220		38, フレモント, クッシング パークウ
(87) 国際公開日	平成16年4月15日 (2004. 4. 15)		エイ 4650
審査請求日	平成18年9月21日 (2006. 9. 21)	(74) 代理人	110000028
審査番号	不服2010-16060 (P2010-16060/J1)		特許業務法人明成国際特許事務所
審査請求日	平成22年7月16日 (2010. 7. 16)	(72) 発明者	フィッシャー・アンドレアス
(31) 優先権主張番号	10/261, 403		アメリカ合衆国 カリフォルニア州945
(32) 優先日	平成14年9月30日 (2002. 9. 30)		52 カストロ・バレー, マウント・ラッ
(33) 優先権主張国	米国 (US)		セン・ドライブ, 18989
		最終頁に続く	

(54) 【発明の名称】 ウェーハーク放電を低減する方法

(57) 【特許請求の範囲】

【請求項 1】

複数のエッチングプロセスを含むエッチング工程におけるウェーハの損傷を低減する方法であって、

前記エッチングプロセスのそれぞれにバイアス電圧を割り当て、
各前記エッチングプロセスの開始前に、対応する前記割り当てバイアス電圧を生成し、
前記各エッチングプロセスの開始前に、生成した前記割り当てバイアス電圧を静電チャックに印加することを備え、

前記生成された割り当てバイアス電圧は、ウェーハーク放電を低減し、前記生成された割り当てバイアス電圧は、前記ウェーハの誘電体内の近接する金属構造間に電圧差を生成し、前記エッチングプロセス実行中における前記電圧差は、前記誘電体の電氣的破壊強度を下回る、
方法。

【請求項 2】

請求項 1 記載のエッチングプロセス中にウェーハの損傷を低減する方法において、前記エッチングプロセスは、低誘電率誘電体のエッチングを含む、方法。

【請求項 3】

請求項 1 記載のエッチングプロセス中にウェーハの損傷を低減する方法において、前記バイアス電圧の割り当ては、前記少なくとも一つのエッチングプロセスにおけるウェーハーク放電を低減した前記バイアス電圧を決定することを含む、方法。

【請求項 4】

請求項 1 記載のエッチングプロセス中にウェーハの損傷を低減する方法において、前記割り当てバイアス電圧の生成は、
利用される特定のエッチングプロセスを決定し、
前記特定のエッチングプロセスを前記割り当てバイアス電圧に一致させ、
前記割り当てバイアス電圧を含むレシピ設定信号を生成することを含む、方法。

【請求項 5】

請求項 1 記載のエッチングプロセス中にウェーハの損傷を低減する方法において、前記割り当てバイアス電圧の印加は、前記割り当てバイアス電圧を前記 E S C 内の電極に印加することを含む、方法。

10

【請求項 6】

請求項 1 記載のエッチングプロセス中にウェーハの損傷を低減する方法において、前記バイアス電圧は、ウェーハ表面とウェーハ基板との間の電圧ポテンシャルを低減する方法。

【請求項 7】

請求項 1 記載のエッチングプロセス中にウェーハの損傷を低減する方法において、前記少なくとも一つのエッチングプロセスに割り当てられた前記バイアス電圧は、レシピバイアステーブルに格納される、方法。

【請求項 8】

請求項 1 記載のエッチングプロセス中にウェーハの損傷を低減する方法は更に、
前記少なくとも一つのエッチングプロセスの前記一つを実行することを備える、方法。

20

【請求項 9】

複数のエッチングプロセスを含むエッチング工程中にウェーハの損傷を低減する方法であって、

バイアス電圧とエッチングプロセスとの間の関連性を含むレシピバイアステーブルを生成し、一の前記エッチングプロセスは一の前記バイアス電圧に対応し、

複数のエッチングプロセスから実行されるエッチングプロセスを決定し、
レシピテーブル内の前記関連性を使用することで、前記エッチングプロセスに対応するバイアス電圧を選択し、

決定された前記エッチングプロセスに対応する、選択された前記バイアス電圧を生成し、

30

前記決定されたエッチングプロセスの開始前に、生成した前記バイアス電圧を静電チャック (E S C) に印加することを備え、

前記バイアス電圧は、前記エッチングプロセス中における、ウェーハにおけるアーク放電を低減し、前記生成された選択バイアス電圧は、前記ウェーハの誘電体内の近接する金属構造間に電圧差を生成し、前記エッチングプロセス実行中における前記電圧差は、前記誘電体の電氣的破壊強度を下回る、方法。

【請求項 10】

請求項 9 記載のエッチングプロセス中にウェーハの損傷を低減する方法において、前記エッチングプロセスは、低誘電率誘電体のエッチングを含む、方法。

40

【請求項 11】

請求項 9 記載のエッチングプロセス中にウェーハの損傷を低減する方法において、前記レシピテーブルは、ソフトウェアに格納されている、方法。

【請求項 12】

請求項 9 記載のエッチングプロセス中にウェーハの損傷を低減する方法において、前記割り当てバイアス電圧の印加は、前記割り当てバイアス電圧を前記 E S C 内の電極に印加することを含む、方法。

【請求項 13】

請求項 9 記載のエッチングプロセス中にウェーハの損傷を低減する方法において、前記バイアス電圧は、ウェーハ表面とウェーハ基板との間の電圧ポテンシャルを低減する、方

50

法。

【請求項 14】

請求項 9 記載のエッチングプロセス中にウェーハの損傷を低減する方法は更に、
前記エッチングプロセスを実行することを備える、方法。

【請求項 15】

請求項 9 記載のエッチングプロセス中にウェーハの損傷を低減する方法において、前記
バイアス電圧は、ESC 内部に配置された電極を介して前記 ESC に印加される、方法。

【請求項 16】

請求項 9 記載のエッチングプロセス中にウェーハの損傷を低減する方法において、ESC
は、セラミック材料を含む、方法。

10

【請求項 17】

複数のエッチングプロセスを含むエッチング工程中にウェーハの損傷を低減するバイア
ス電圧を決定する方法であって、

前記複数のエッチングプロセスから実行されるエッチングプロセスを決定し、

一のエッチングプロセスが一のバイアス電圧に対応しており、前記バイアス電圧と前記
エッチングプロセスとの間の関連性を含むレシピテーブル内の関連性を用いて、前記決定
されたエッチングプロセスから対応するバイアス電圧を決定し、前記決定されたエッチン
グプロセスの開始前に、前記決定されたバイアス電圧を生成し、印加することを備え、

前記対応するバイアス電圧は、前記ウェーハの誘電体内の近接する金属構造間に電圧差
を生成し、前記エッチングプロセス実行中における前記電圧差は、前記誘電体の電氣的破
壊強度を下回る、
方法。

20

【請求項 18】

請求項 17 記載のウェーハの損傷を低減するバイアス電圧を決定する方法において、前
記エッチングプロセスは、低誘電率誘電体のエッチングを含む、方法。

【請求項 19】

請求項 17 記載のウェーハの損傷を低減するバイアス電圧を決定する方法において、前
記レシピテーブルは、ソフトウェアに格納されている、方法。

【請求項 20】

請求項 17 記載のウェーハの損傷を低減するバイアス電圧を決定する方法において、前
記バイアス電圧は、ウェーハ表面とウェーハ基板との間の電圧ポテンシャルを低減する、
方法。

30

【請求項 21】

ウェーハアーク放電を低減するために電圧バイアス発生器がエッチング中に静電チャッ
ク (ESC) に印加するバイアス電圧を決定するバイアス電圧設定回路に対する、ウェー
ハの損傷を低減するためのバイアス電圧を決定するプログラム命令を有するコンピュータ
読み取り可能な媒体であって、

複数のエッチングプロセスを含むエッチング工程から実行されるエッチングプロセスを
決定するプログラム命令と、

一のエッチングプロセスが一のバイアス電圧に対応しており、前記バイアス電圧と前記
エッチングプロセスとの間の関連性を含むレシピテーブル内の関連性を使用することで、
前記決定されたエッチングプロセスから対応するバイアス電圧を決定するプログラム命令
と、

40

前記決定されたエッチングプロセスの開始前に、前記決定されたバイアス電圧を生成し
、前記決定されたエッチングプロセスの開始前に、生成した前記バイアス電圧を静電チャ
ック (ESC) に印加するプログラム命令と、

を備え、

前記対応するバイアス電圧は、前記ウェーハの誘電体内の近接する金属構造間に電圧差
を生成し、前記エッチングプロセス実行中における前記電圧差は、前記誘電体の電氣的破
壊強度を下回る、

50

コンピュータ読み取り可能な媒体。

【請求項 2 2】

請求項 2 1 記載のプログラム命令を有するコンピュータ読み取り可能な媒体において、前記エッチングプロセスは、低誘電率誘電体のエッチングを含む、コンピュータ読み取り可能な媒体。

【請求項 2 3】

請求項 2 1 記載のプログラム命令を有するコンピュータ読み取り可能な媒体において、前記バイアス電圧は、ウェーハ表面とウェーハ基板との間の電圧ポテンシャルを低減する、コンピュータ読み取り可能な媒体。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、ウェーハ処理方法に関し、特に、効率的で費用効果の高いウェーハのエッチング方法に関する。

【背景技術】

【0002】

現代のマイクロチップ設計は、これまで以上に複雑なチップ構造と、単一チップに対する処理ステップ数の増加とに向かう傾向を示してきた。特に、互いの頂面上に積層化される相互接続金属層の数は、これまでに継続的に増加してきた。これにより、プラズマ処理ステップ数と、各ウェーハが処理中に被る熱及び電氣的ストレスの量も、同様に増加してきた。こうしたチップ製造における複雑化の増加の結果として、デバイスの破壊、デバイスの破壊に伴う生産ウェーハにおける歩留まりの損失につながる、プラズマにより誘発される損傷が、更に頻繁に発生する恐れがある。

20

【0003】

代表的なウェーハエッチング工程において、ウェーハは、ウェーハエッチング工程中に移動しないように、静電チャック（ESC）によって固定される。従来技術の工程では、通常、高電圧がESCの電極に印加される。印加電圧に反応して生じた静電場は、ウェーハとESCとの間に引力を発生させる。しかしながら、プラズマが点火されるとすぐに、ウェーハ電位は、一般に、数十回のRFサイクルのうちに、チャンバ壁に対して負の値にされる。更に、RF電力レベルがエッチングプロセス中に変化した時、ウェーハ電位は、変化した値にされ、通常は、RF電力の変化にほぼ同期する。両極とウェーハとの間の電圧平衡を乱さないために、通常、ESC電源によって管理される自動バイアス補正が利用されている。この補正方法では、両ESC極電流を均等にすることで、二つの極電圧の中間点を、ウェーハ表面と同じ電位にさせる。しかしながら、ESC電源の供給速度は遅く、例えばプラズマ点火中に発生するようなウェーハ表面での高速な電圧変化についていけないため、ウェーハにおけるアーク放電をもたらし得る。

30

【0004】

図1Aは、エッチングプロセス中に発生し得るアーク放電事象によって損傷を受けるシリコンウェーハ12を図示している。この例では、エッチングプロセス中、電子による衝撃を受けているウェーハの上面に、表面電位（例えば、-1000V）が生成されている。一方、シリコンウェーハ12の基板には、基板電位（例えば、0V）が存在する。したがって、誘電性のウェーハ表面の最上部とウェーハ基板との間の電位差により、ウェーハ12の誘電体に埋め込まれた金属構造は、表面对基板の電圧降下に対する差動分圧器を構築することから、こうした金属構造間でアーク放電14が発生する可能性がある。ウェーハの誘電体内の近接する金属構造間の電圧差がその誘電体の電氣的破壊強度を上回ると、アーク放電が発生し、誘電層内の構造の損傷又は破壊につながる。殆どの場合、たとえウェーハ上で僅か一つのダイのみがアーク放電の影響を受けたとしても、これによりウェーハは使用不可となる。結果として、こうした事象の発生を許す場合、ウェーハの歩留まりは低下し、ウェーハ生産コストは増加する。

40

【0005】

50

図 1 B は、プラズマ点火中のリアルタイムの表面電位 4 2 を表すグラフ 4 0 を示している。グラフ 4 0 は、安定状態の表面電位 4 8 と、エッチングプロセス中に発生するような、E S C 電源のバイアス補正回路によって駆動される初期基板電位 4 4 とを図示している。グラフ 4 0 は、表面電位 4 2 を時間の経過と共に図示している。早い時点での表面電位 4 2 の傾斜は、極めて急勾配であるため、表面電位 4 2 は、安定状態の表面電位 4 8 まで素早く増加する。そのため、非常に大きな電圧差 4 6 が、表面電位 4 2 と初期基板電位 4 4 との間で、極めて素早く発生し得る。残念なことに、この状況において、表面電位 4 2 の増加は、E S C 電源の補正回路にとって速すぎる。そのため、表面電位の増加に適時に反応して、基板電位を調整することができない。そのため、図 1 A を参照して説明したようなウェーハーク放電が発生し、これにより、ウェーハが損傷を受け、ウェーハ生産の歩留まり及び効率が低下する恐れがある。

10

【発明の開示】

【発明が解決しようとする課題】

【0006】

したがって、任意の適切なエッチングプロセスにおいて、利用されるバイアス電圧がウェーハーク放電を低減できるように、様々なウェーハエッチングステージ及びプロセスに対応する様々なバイアス電圧を使用することで従来技術の問題を克服する方法に対する必要性が存在する。

【課題を解決するための手段】

【0007】

20

大まかに言って、本発明は、ウェーハエッチング工程においてウェーハーク放電を低減する方法を提供することで、こうした必要性を満たす。本発明は、プロセス、装置、システム、デバイス、又は方法を含む多数の方法で実施できる。本発明のいくつかの発明実施形態について、以下で説明する。

【0008】

一実施形態では、エッチングプロセス中にウェーハの損傷を低減する方法が提供される。多数の実施形態の一つにおいて、方法は、少なくとも一つのエッチングプロセスのそれぞれにバイアス電圧を割り当て、少なくとも一つのエッチングプロセスの一つの開始前に、割り当てバイアス電圧を生成することを含む。方法は、更に、少なくとも一つのエッチングプロセスの一つの開始前に、割り当てバイアス電圧を静電チャックに印加することを含む。割り当てられたバイアス電圧レベルは、ウェーハーク放電を低減する。

30

【0009】

更に別の実施形態では、エッチングプロセス中にウェーハの損傷を低減する方法が提供される。方法は、少なくとも一つのエッチングプロセスのそれぞれが少なくとも一つのバイアス電圧に対応しており、少なくとも一つのバイアス電圧と少なくとも一つのエッチングプロセスとの間の関連性を含むレシピバイアステーブルを生成することを含む。方法は、更に、実行されるエッチングプロセスを決定し、レシピテーブル内の関連性を使用することで、エッチングプロセスに対応するバイアス電圧に一致させることを含む。方法は、更に、エッチングプロセスに対応する、少なくとも一つのバイアス電圧の一つを生成することを含む。方法は、更に、エッチングプロセスの開始前に、少なくとも一つのバイアス電圧の一つを静電チャック (E S C) に印加することを含む。少なくとも一つのバイアス電圧の一つは、エッチングプロセス中、ウェーハにおけるアーク放電を低減する。

40

【0010】

更に別の実施形態において、エッチングプロセス中にウェーハの損傷を低減するためにバイアス電圧を決定する方法が提供される。この実施形態において、方法は、実行されるエッチングプロセスを決定することを含む。方法は、更に、少なくとも一つのエッチングプロセスのそれぞれが少なくとも一つのバイアス電圧に対応しており、少なくとも一つのバイアス電圧と少なくとも一つのエッチングプロセスとの間の関連性を含むレシピテーブル内の関連性を使用することで、エッチングプロセスに対応するバイアス電圧に一致させることを含む。

50

【 0 0 1 1 】

別の実施形態では、バイアス電圧設定回路が、ウェーハーク放電を低減するために電圧バイアス発生器がエッチング中に静電チャック（ESC）に印加するバイアス電圧を決定する場合に、ウェーハの損傷を低減するためにバイアス電圧を決定するプログラム命令を有するコンピュータ読み取り可能な媒体が提供される。コンピュータ読み取り可能な媒体は、実行されるエッチングプロセスを決定するプログラム命令を含む。コンピュータ読み取り可能な媒体は、更に、少なくとも一つのバイアス電圧と少なくとも一つのエッチングプロセスとの間の関連性を含み、少なくとも一つのエッチングプロセスのそれぞれが少なくとも一つのバイアス電圧に対応するレシピテーブル内の関連性を使用することで、エッチングプロセスに対応するバイアス電圧に一致させるプログラム命令を含む。

10

【 0 0 1 2 】

本発明の利点は数多く存在する。最も顕著なものとして、静電チャック（ESC）に印加するバイアス電圧を様々なウェーハエッチングプロセスに関連付ける方法を作成することで、バイアス電圧は、特定の各エッチングステージの前に、特定のバイアス電圧へ理知的に設定し得る。この方法によれば、ウェーハの表面と基板との間で様々な電圧ポテンシャルを生成する可能性のある各エッチングプロセスを補正することが可能であり、これにより、ウェーハーク放電が低減される。したがって、ESCに印加されるバイアス電圧を調整し、特定の各エッチングプロセスステップに合わせることで、ウェーハーク放電は、効果的な形で低減できる。したがって、有利なことに、この方法は、多数のエッチング化学反応及びエッチングチャンパ条件の使用を可能にし、アーク放電の問題なしで、様々なエッチング工程を使用できるようにする。この結果として、更に制御されたエッチングプロセスが生じ得る。追加として、ウェーハの損傷を劇的に低減できることから、ウェーハの歩留まりの損失が低減できる。

20

【 0 0 1 3 】

本発明のその他の態様及び利点は、本発明の原理を例として示す添付図面と併せて、以下の詳細な説明から明らかとなろう。

【 発明を実施するための最良の形態 】

【 0 0 1 4 】

本発明は、添付図面と併せて、以下の詳細な説明によって容易に理解されよう。この説明を容易にするために、同様の参照符号は同様の構成要素を示す。

30

【 0 0 1 5 】

エッチング操作およびその他の操作、例えば、堆積操作の間に、あるいは、プラズマがウェーハと相互作用し、バイアス補正が必要となるプロセスが存在する際に常に、ウェーハーク放電を理知的に低減する方法についての発明を開示する。以下の説明では、本発明の完全な理解を提供するために、多数の具体的な詳細について述べる。しかしながら、こうした具体的な詳細の一部又全部なしに本発明を実施し得ることは、当業者によって理解されるであろう。別の事例では、本発明を不必要に曖昧にしないために、周知の処理工程については詳細に説明していない。

【 0 0 1 6 】

一般的に言えば、本発明は、ウェーハの構造間、構造と基板との間、或いは構造とプラズマとの間におけるアーク放電の飛躍的な低減と共に、エッチングプロセスを利用し得る方法に対するものである。これは、個別の各エッチングプロセスのためにバイアス電圧を提供することで達成し得る。個別の各エッチングプロセスは、異なるバイアス電圧ポテンシャルの可能性を形成し得るため、静電チャック（ESC）に印加するバイアス電圧を、対応する様々なウェーハエッチングプロセスと関連付けることにより、バイアス電圧は、特定の各エッチング段階の前に、特定のバイアス電圧に理知的に設定し得る。このようにして、ウェーハの表面と基板との間における電圧差の大きさを低減することが可能であり、これにより、ウェーハーク放電の発生を低減又は除去し得る。こうした方法を使用することで、ウェーハ処理工程は、ウェーハに対する損傷の少ないものとなり、これにより、ウェーハ内の構造に損傷を与える可能性のあるアーク放電の発生が低減又は除去される

40

50

ため、ウェーハの生産において高い歩留まりを生み出し得る。

【 0 0 1 7 】

図 2 は、本発明の一実施形態による、レシピバイアステーブル 1 2 8 を用いる電圧バイアス制御を伴うエッチングチャンバ 1 0 0 を示す。この実施形態において、エッチングチャンバ 1 0 0 は、チャンバ 1 0 0 内部でプラズマを生成するために、電源電極 1 1 2 と接地電極 1 0 2 とを含む。チャンバ 1 0 0 は、更に、高周波 (R F) 発生器 1 1 8 を含む。R F 電力は、当業者に公知のメカニズムによってエッチング工程用のプラズマ 1 0 4 を発生させる。当該技術分野において周知であるように、エッチング工程に応じて、様々な「レシピ」を利用してもよい。本明細書で説明する装置及び方法は、ウェーハ 1 0 6 に損傷を与え得るアーク放電を低減するために、任意の適切なレシピ及び任意の適切なレシピ数と共に用いられ得る。

10

【 0 0 1 8 】

エッチングチャンバ 1 0 0 は、更に、静電チャック (E S C) 1 0 8 を含み、静電チャック 1 0 8 は、一実施形態において、層 1 0 9 と、電極 1 1 0、1 1 1 と、R F 電源電極 1 1 2 とを含み、エッチング工程中にウェーハ 1 0 6 を所定の位置に保持し得る。E S C 1 0 8 内には、電極 1 1 0 及び 1 1 1 が存在する。電極 1 1 0 及び 1 1 1 は、それぞれ電圧線 1 1 4 及び 1 1 6 を介して、バイアス電圧発生器 1 2 0 に接続される。E S C 1 0 8 は、基部 1 1 2 の上に配置される。一実施形態において、E S C 1 0 8 の層 1 0 9 は、漏洩性の誘電体で作成されるため、電極 1 1 0 及び 1 1 1 は電氣的に半分離状態となり、これにより、クランプ及びバイアス電圧が線 1 1 4 及び 1 1 6 に印加された時、漏洩性のキャパシタを発生させる。半絶縁材料は、電極を互いに半絶縁し、電極間及び基板に対する電圧降下を維持し得る任意の適切な材料であってもよい。一実施形態において、半絶縁材料は、任意の適切なタイプの D C 半絶縁セラミックであってもよい。電源 R F 電極は、例えば、アルミニウム、ステンレス鋼といった、任意の適切な材料でよい。

20

【 0 0 1 9 】

一実施形態において、バイアス電圧のレベル (バイアス電圧レベルとしても知られる) は、レシピバイアステーブル 1 2 8 によって決定される。レシピバイアステーブル 1 2 8 は、少なくとも一つの電圧レベルと少なくとも一つのエッチングプロセスとの間の関連性を含む。したがって、特定のエッチングプロセスは、特定のバイアス電圧レベルに対応する。加えて、特定のバイアス電圧は、複数のエッチングプロセスに対応してもよい。実際には、レシピバイアステーブル 1 2 8 に含まれるエッチングプロセスのそれぞれは、エッチングプロセスのそれぞれにおいて、ウェーハアーク放電を低減するために、線 1 1 4 及び 1 1 6 を介して E S C 1 0 8 に印加される電圧を制御する対応バイアス電圧レベルを含む。

30

【 0 0 2 0 】

エッチングプロセスのそれぞれは、利用される特定の「レシピ」を有する。本明細書で説明する方法は、任意のタイプのレシピで使用してよいと理解されたい。レシピは、エッチングが行われる一組の条件である。例えば、特定のエッチングレシピは、特定の圧力、化学反応、電力レベル、その他の使用を含むことができる。そのため、エッチングプロセスに応じて、更にしたがってレシピに応じて、ウェーハ表面とウェーハ基板との間には、様々な電圧差が存在し得る。結果として、特定のエッチング工程のために特定のバイアス電圧を利用してよく、これにより、バイアス電圧を特定のエッチング工程に合わせて、ウェーハアーク放電を低減する。様々なバイアス電圧を、エッチングプロセスで使用する様々なレシピに割り当ててよい。レシピバイアステーブル 1 2 8 は、ソフトウェア又はハードウェアのいずれかの態様にて実施され得る。したがって、対応するエッチングプロセスのための特定のバイアス電圧レベルは、ウェーハエッチングプロセスを最適化するように計算し得る。

40

【 0 0 2 1 】

特定のエッチングプロセスのためのバイアス電圧レベルの決定後、レシピ設定信号が、バイアス電圧設定回路に送られる。バイアス電圧設定回路 1 2 4 は、バイアス電圧を生成

50

するためにバイアス電圧発生器 120 を管理する。一実施形態において、バイアス電圧設定回路 124 は、デジタルレシビ設定信号をアナログ電圧に変換するために、デジタル - アナログコンバータを含んでよい。

【0022】

図 3 は、本発明の一実施形態による、レシビ設定信号を生成する方法を例示する。一実施形態において、バイアス電圧設定コード 212 は、レシビバイアステーブル 128 と特定のエッチング工程において利用されるプロセスとを受領する。一実施形態において、特定のエッチング工程は、ステージ 1 202 と、ステージ 2 204 と、ステージ 3 306 と、ステージ 4 208 とを含む。一実施形態において、ステージ 1 はプロセス 1 を利用し、ステージ 2 はプロセス 3 を利用し、ステージ 3 はプロセス 1 を利用し、ステージ 4 はプロセス 2 及びプロセス 1 を利用する。本明細書で説明する、ウェーハーク放電を低減又は除去するために電圧バイアスを設定する方法は、任意の適切なタイプのエッチング工程数と共に用いられ得る。加えて、本明細書で説明する、ウェーハーク放電を低減する方法は、任意の適切な数又はタイプのプロセスを有し得る任意の適切なエッチング工程と共に用いられてもよい。

10

【0023】

バイアス電圧設定コード 212 は、ステージ 202、204、206、及び 208 のそれぞれを調べ、どのプロセスが各ステージにおいて使用されるかを決定する。その後、レシビバイアステーブル 128 を使用することで、バイアス電圧設定コード 212 は、プロセスのそれぞれと、対応するバイアス電圧レベルとを一致させ得る。したがって、全てのプロセスに対して、対応するバイアス電圧レベルが特定され、実行されたプロセスのそれぞれに対して、正しいバイアス電圧レベルが利用されるように、一組の電圧 216 が生成される。そのため、一組の電圧 216 は、レシビ設定信号 126 に組み込まれ、図 2 を参照して説明したようなバイアス設定回路へ送られる。

20

【0024】

図 4 は、本発明の一実施形態による、レシビ設定信号を生成する方法を示すフローチャート 300 である。フローチャート 300 は、一実施形態において図 3 を参照して説明したようなレシビ設定信号 126 であるレシビ設定信号を生成するステップ 302 で開始される。一実施形態において、ステップ 302 は、図 3 を参照して上で説明したようなバイアス電圧設定コード 312 である。レシビ設定信号は、ウェーハエッチング工程の（複数の）ステージを形成するプロセスに対応する一組の電圧を含む。この方法はウェーハ表面電位とウェーハ基板電位との間の電圧差を低減するため、プロセスのそれぞれに対する特定のバイアス電圧を有することで、アーク放電を発生させるおそれのある各プロセスに対して、適切な電圧レベルを利用し得る。一実施形態において、レシビバイアステーブルは、特定のエッチングプロセスの特定のステージ（群）で使用され、それぞれがバイアス電圧に関連付けられた少なくとも一つのプロセスを含む。これにより、特定のプロセスは、バイアス電圧が ESC に印加された時にウェーハーク放電を低減又は除去可能な特定のバイアス電圧に対応する。

30

【0025】

ステップ 302 の後、方法は、電極をエッチングプロセスに対応するバイアス電圧に設定するステップ 304 へ進む。一実施形態では、図 2 を参照して説明したような電極 110 及び 111 を、エッチングチャンパで実行されるエッチングプロセスに対応する電圧レベルに設定してよい。利用される電圧レベルは、レシビ設定信号が示すように事前に定められ、ウェーハが ESC に取り付けられ、アーク放電が低減又は除去されるようになる。結果として、ウェーハ表面電位に近づくように基板電位を調整する様々な電圧バイアスレベルが、ウェーハエッチング工程で利用される各プロセスにおいて利用され得る。

40

【0026】

ステップ 306 では、エッチングプロセスを実行する。一実施形態において、バイアス電圧がエッチングプロセスに対して設定されると、エッチングプロセスは、ウェーハーク放電の問題なしに進行し得る。この状態が生じ得るのは、バイアス電圧が、ウェーハ表

50

面とウェーハ基板との間の電圧差を低減するためである。例えば、低誘電率誘電体、無機誘電体、その他のエッチングといった、任意の適切なタイプのエッチング又は堆積プロセスを実行してよいと理解されたい。

【 0 0 2 7 】

ステップ 3 0 6 の後、方法は、更なるエッチングプロセスが実施されるかを判断するステップ 3 0 8 へ移動する。追加のエッチングプロセスが実施される場合、方法は、ステップ 3 0 4、3 0 6、及び 3 0 8 を繰り返す。更なるエッチングプロセスが存在しない場合、方法は終了する。

【 0 0 2 8 】

図 5 は、本発明の一実施形態による、レシピ設定信号の生成を定義するフローチャート 3 0 2 を示す。フローチャート 3 0 2 は、レシピバイアステーブルを生成するステップ 4 0 2 で開始される。一実施形態において、ステップ 4 0 2 は、エッチングプロセスのそれぞれと特定のバイアス電圧との間に関連性を形成することを含み、特定のバイアス電圧は、事前に試験され、ウェーハアークを低減するバイアス補正電圧となることが分かっている。プロセスを対応するバイアス補正電圧に関連付け、データを格納することで、関連性を使用して、任意の適切なエッチングプロセス又は任意のエッチングプロセスグループのために、適切なバイアス補正電圧を決定し得る。

【 0 0 2 9 】

ステップ 4 0 2 の後、方法は、どのエッチングプロセス（群）が使用されるかを決定するステップ 4 0 4 へ進む。実行されるべきエッチングプロセスは、任意の適切な方法で格納又は入力できる。一実施形態において、プロセスは、記憶装置内に配置され、図 3 を参照して上で説明したように、バイアス電圧設定コード 2 1 2 によって取り出される。バイアス電圧コードは、任意の適切なタイプの記憶装置からプロセスを取得できる。

【 0 0 3 0 】

次に、ステップ 4 0 6 において、エッチングプロセス（群）を、レシピバイアステーブルに含まれる対応バイアス電圧（群）に一致させる。一実施形態において、エッチングステージは、エッチング工程において使用される一ステージである。任意のエッチング工程において、少なくとも一つのプロセスをそれぞれ有する一つ以上のエッチングステージが存在してよいと理解されたい。プロセスのそれぞれは、異なるウェーハ表面及びウェーハ基板電位を生成し得る特定のレシピを使用する。したがって、特定のバイアス電圧レベルを特定のプロセスに利用することで、ウェーハアーク放電を回避し得る。

【 0 0 3 1 】

ステップ 4 0 6 の後、方法は、エッチングプロセス（群）のそれぞれに対する対応バイアス電圧をレシピ設定信号に含めるステップ 4 0 8 へ進む。一実施形態において、エッチングステージのそれぞれに含まれる各エッチングプロセスについて、電圧バイアスレベルが決定されると、このデータは、図 3 を参照して上述したように、バイアス電圧発生器 1 2 0 を管理するためにデータを利用し得るバイアス電圧設定回路に対して設定されるレシピ設定信号に組み込まれる。

【 0 0 3 2 】

図 6 ~ 図 9 は、バイアス電圧を設定及び生成するために利用し得る例示的な回路を示している。下記の回路は、単なる例示的な性質のものであり、本明細書で説明したような本発明の方法が利用される限り、任意の適切なタイプのハードウェア又はソフトウェアを作成してよいと理解されたい。

【 0 0 3 3 】

図 6 は、本発明の一実施形態による、バイアス電圧を設定する回路 5 0 0 を例示する。一実施形態において、回路 5 0 0 は、（ソフトウェアからの）外部バイアス制御を可能にするピン 1 ~ 1 4 を含む。ピン 8 は、バイアス電圧値のためのバイアス電圧設定点入力にしてよい。この値は、ソフトウェアに由来し、デジタル / アナログコンバータ（DAC）を介したものにしてよい。

【 0 0 3 4 】

図 7 は、本発明の一実施形態による、バイアス電圧を設定する追加回路 600 を図示する。一実施形態において、回路 600 は、図 6 を参照して説明したような回路 500 から、外部バイアス電圧設定点を受領して、バイアス電圧設定点を生成するように構成される。一実施形態において、外部バイアス電圧設定点は、例えば、一実施形態において図 3 を参照して上で説明したもののようなバイアス設定コード等のソフトウェアに由来する。

【0035】

図 8 は、本発明の一実施形態による、バイアス電圧を生成する回路 700 を図示する。一実施形態において、回路 700 は、図 7 を参照して説明したような回路 600 からバイアス設定点の入力を受領し、二重バイアス駆動値を生成するように構成される。

【0036】

図 9 は、本発明の一実施形態による、バイアス電圧を生成する更なる回路 800 を例示する。一実施形態において、回路 800 は、図 8 を参照して説明したような回路 700 から受領した二重バイアス駆動入力を使用して、一実施形態において図 2 を参照して説明したような線 110 及び 111 に対するバイアス電圧を生成するように構成される。

【0037】

以上、本発明についていくつかの好適な実施形態の観点から説明してきたが、上の明細書を読み且つ図面を検討することでその様々な変形例、追加例、置換例、及び等価物を当業者が実現し得ることは理解されよう。したがって、本発明は、本発明の本来の趣旨及び範囲に含まれるこうした全ての変形例、追加例、置換例、及び等価物を包含するものである。

【図面の簡単な説明】

【0038】

【図 1 A】エッチングプロセス中に発生し得るアーク放電によって損傷を受けるシリコンウェーハを示す図

【図 1 B】プラズマ点火中のリアルタイムの表面電位を図示するグラフを示す図

【図 2】本発明の一実施形態による、レシビバイアステーブルを使用した電圧バイアス制御を備えたエッチングチャンバを示す図

【図 3】本発明の一実施形態による、レシビ設定信号を生成する方法を例示する図

【図 4】本発明の一実施形態による、レシビ設定信号を生成する方法を示すフローチャート

【図 5】本発明の一実施形態による、レシビ設定信号の生成を定義するフローチャート

【図 6】本発明の一実施形態による、バイアス電圧を設定する回路を例示する図

【図 7】本発明の一実施形態による、バイアス電圧を設定する追加回路を示す図

【図 8】本発明の一実施形態による、バイアス電圧を生成する回路を示す図

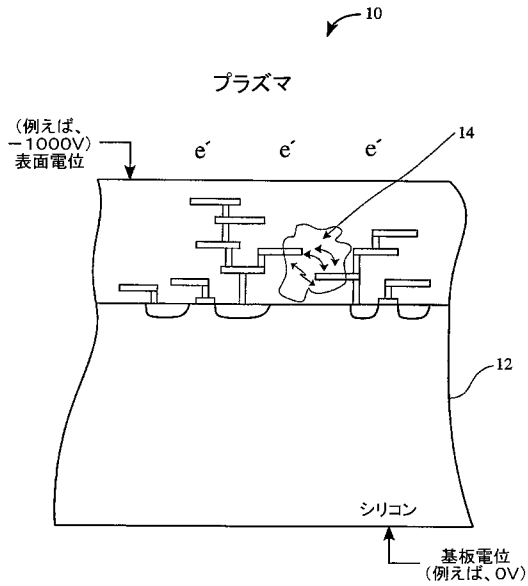
【図 9】本発明の一実施形態による、バイアス電圧を生成する更なる回路を例示する図

10

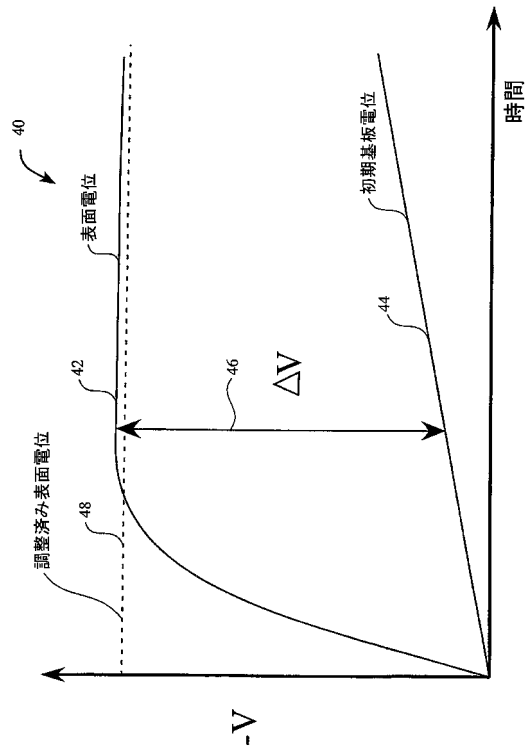
20

30

【図 1 A】

FIG. 1A
(従来技術)

【図 1 B】

FIG. 1B
(従来技術)

【図 2】

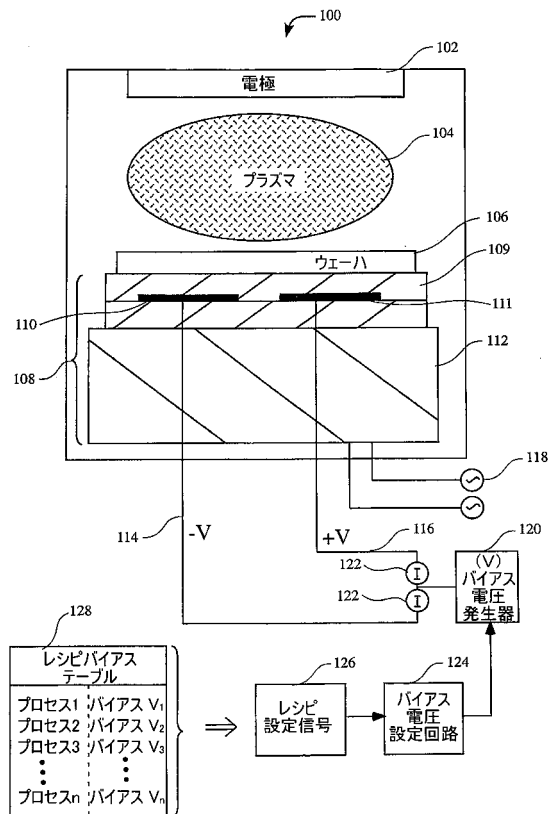


FIG. 2

【図 3】

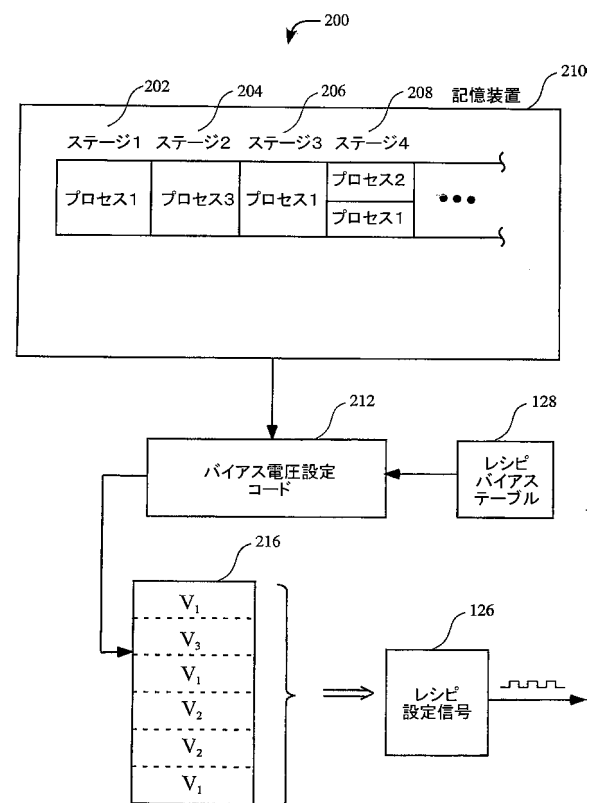


FIG. 3

【図 4】

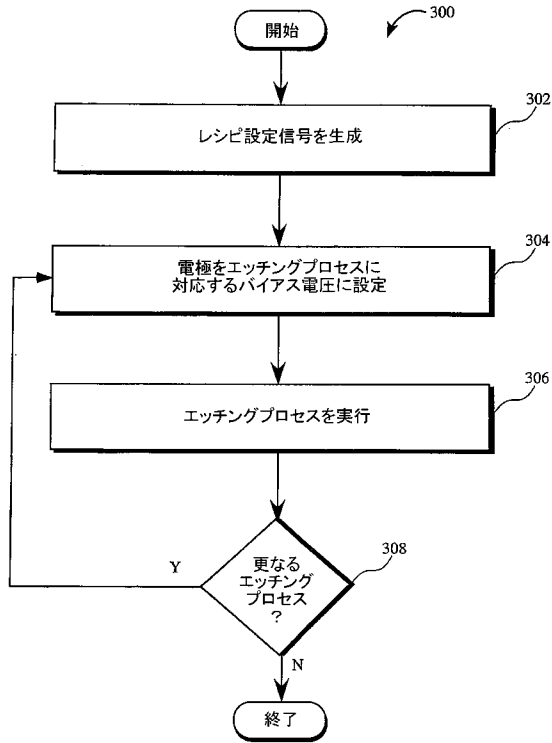


FIG. 4

【図 5】

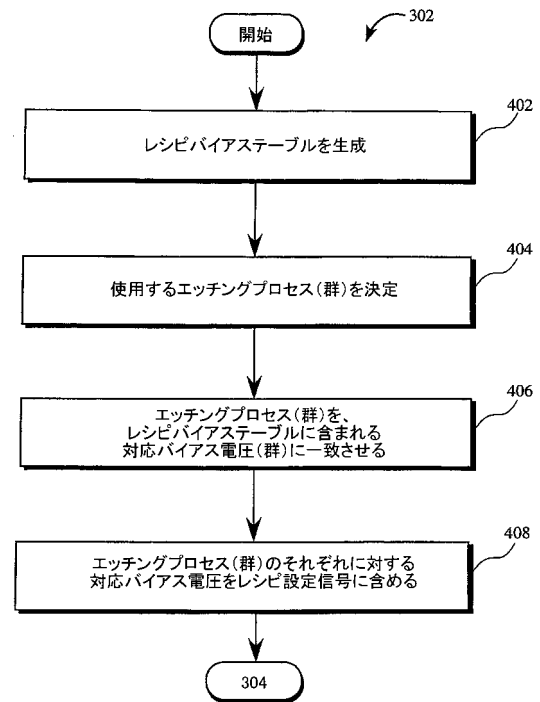


FIG. 5

【図 6】

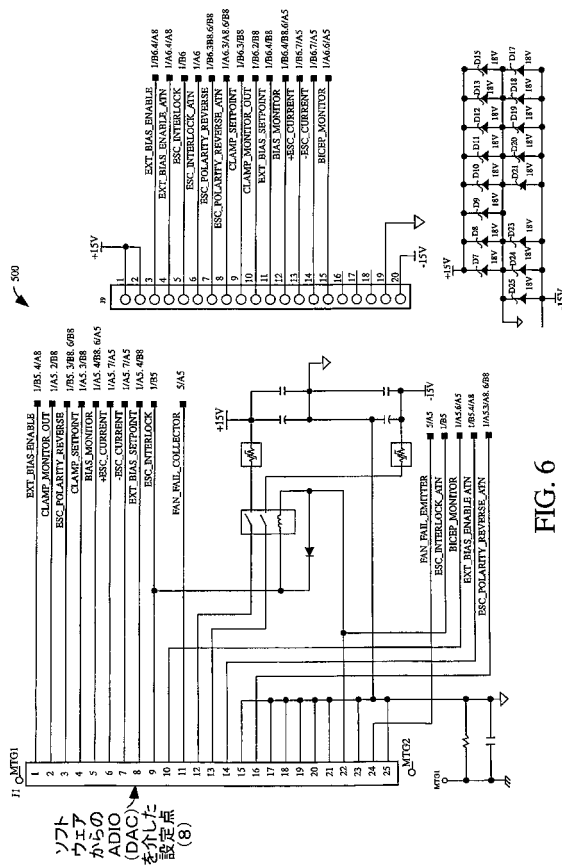


FIG. 6

【図 7】

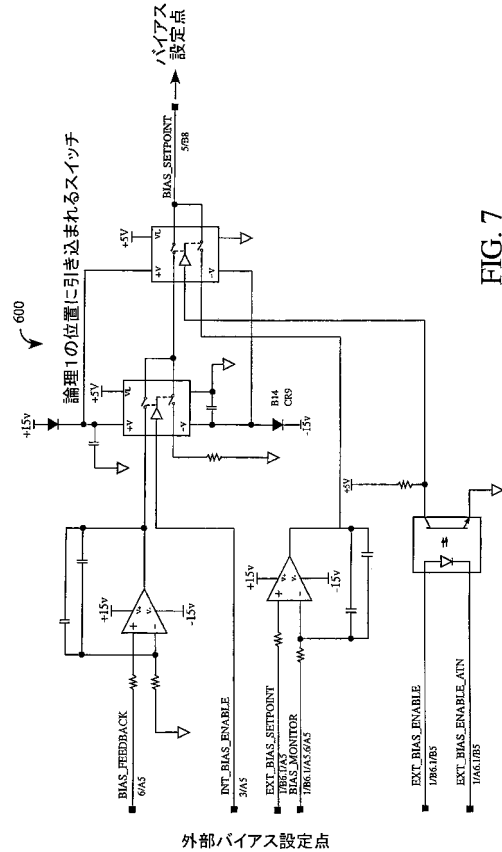


FIG. 7

【 図 8 】

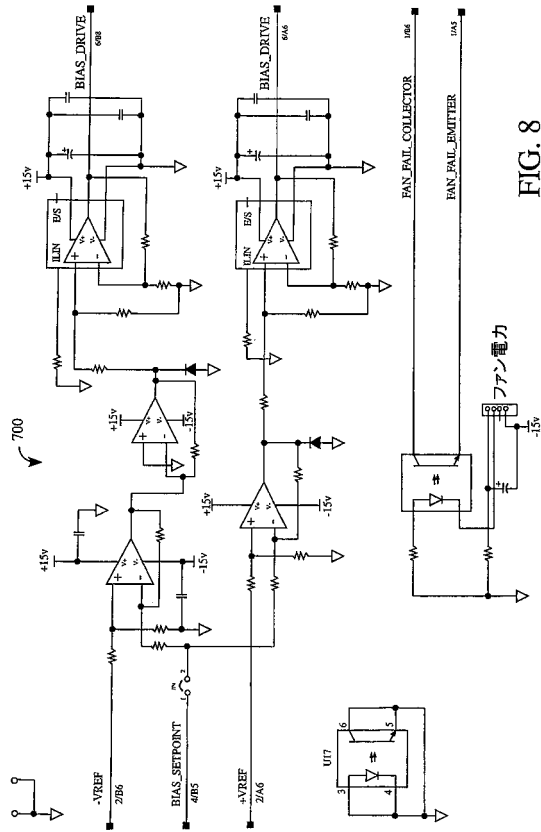


FIG. 8

【 図 9 】

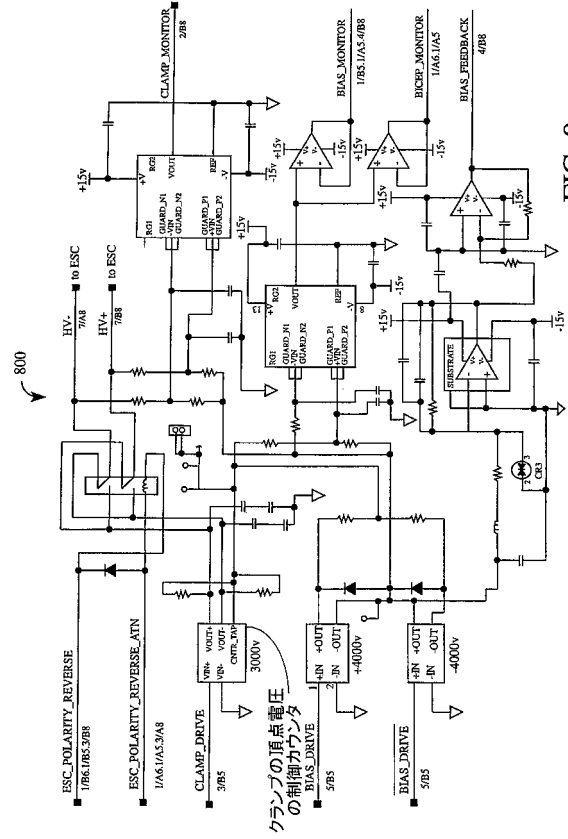


FIG. 9

フロントページの続き

合議体

審判長 鈴木 正紀

審判官 田中 永一

審判官 加藤 友也

(56)参考文献 国際公開第00/10019(WO, A1)

特表2003-502831(JP, A)

特開平6-13347(JP, A)

特開平4-308089(JP, A)

特開平2-184333(JP, A)

特開2000-294535(JP, A)

特開平11-121600(JP, A)

特開平10-303286(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L21/3065