(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 7 日(07.09.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/117757 A1

(51) 国際特許分類:
H03F 3/19 (2006.01)　*H03F 1/06* (2006.01)
H03F 1/02 (2006.01)　*H03F 3/24* (2006.01)

(21) 国際出願番号: PCT/JP2012/050762

(22) 国際出願日: 2012 年 1 月 17 日(17.01.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-046919 2011 年 3 月 3 日(03.03.2011) JP

(71) 出願人 (米国を除く全ての指定国について): ＴＤＫ株式会社(TDK Corporation) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目１３番１号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 澁谷 朝彦 (SHIBUYA TOMOHIKO) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目１３番１号 ＴＤＫ株式会社内 Tokyo (JP). 味岡 厚 (AJIOKA ATSUSHI) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目１３番１号 ＴＤＫ株式会社内 Tokyo (JP). 積田 淳史(TSUMITA ATSUSHI) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目１３番１号 ＴＤＫ株式会社内 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

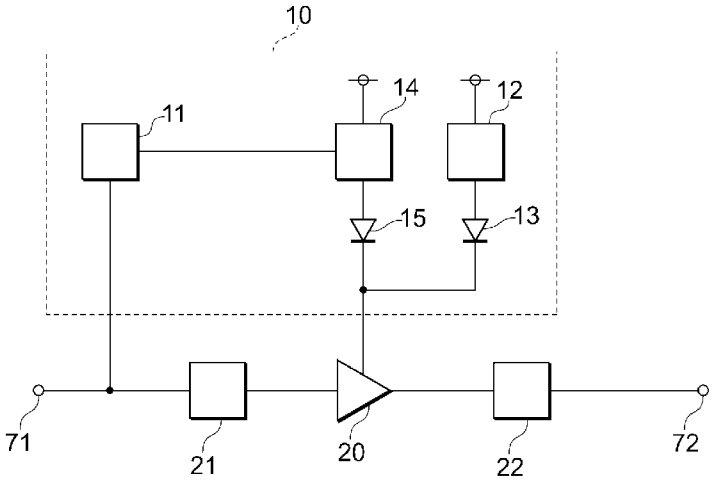
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: BIAS CONTROL CIRCUIT

(54) 発明の名称 : バイアス制御回路

[図1]



(57) **Abstract**: [Problem] To suppress drop in gain with respect to a low-level high-frequency signal while mitigating distortion characteristics of an amplifier. [Solution] This bias control circuit (10) for controlling bias of an amplifier (20) for amplifying a high-frequency signal is provided with a detector (11) for detecting the envelope of the high-frequency signal, a first bias circuit (12) which supplies a uniform bias current to the amplifier (20), and a second bias circuit (14) which supplies a bias current that varies so as to conform to level variation of the envelope of the high-frequency signal.

(57) 要約: 【課題】増幅器の歪み特性を緩和しつつ、低レベル高周波信号に対する利得低下を抑制する。【解決手段】高周波信号を増幅する増幅器（２０）のバイアスを制御するためのバイアス制御回路（１０）は、高周波信号の包絡線を検波する検波器（１１）と、増幅器（２０）に一定のバイアス電流を供給する第一のバイアス回路（１２）と、高周波信号の包絡線のレベル変動に追従して変動するバイアス電流を増幅器に供給する第二のバイアス回路（１４）とを備える。

WO 2012/117757 A1

明　細　書

発明の名称 ： バイアス制御回路

技術分野

[0001] 本発明は増幅器のバイアスを制御するバイアス制御回路に関する。

背景技術

[0002] ＯＦＤＭ（Orthogonal Frequency Division Multiplex）は、直交周波数を利用したマルチキャリア伝送方式であるため、周波数利用効率が高く、マルチパス歪に強い特性を有している。ＯＦＤＭ変調波は、高いピークファクタを有するため、増幅器のバックオフが十分でないと、増幅器の非線形歪みにより伝送品質に劣化が生じたり、或いは周波数スペクトラムのサイドローブレベルが高まることにより、隣接チャネル干渉量が増加したりするという問題が生じる。その一方、Ａ級又はＡＢ級動作する増幅器では、バックオフを大きくとると、増幅器の効率が低下するため、バックオフを取った動作点でも効率が低下しないようにするための増幅方式が求められている。そのような増幅方式として、包絡線追跡（Envelope Tracking）方式が知られており、例えば、特開２０１０－２０６５４５号公報には、入力信号の包絡線を検波し、包絡線のレベルが閾値を超えるか否かによって増幅器のバイアス電圧を変更する方式が提案されている。また、国際公開ＷＯ０２／００３５４５号公報には、入力信号の包絡線のレベル変動に追従して、カレントミラー回路により増幅器のバイアス電流を調整する方式が提案されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１０－２０６５４５号公報

特許文献2：国際公開ＷＯ０２／００３５４５号公報

発明の概要

発明が解決しようとする課題

[0004] しかし、特開２０１０－２０６５４５号公報に記載の増幅方式では、増幅

器がバイポーラトランジスタで構成されている場合、バイアス電圧の制御が不連続になると、コレクタ電流が過剰に流れてしまう結果、増幅器の線形性が劣化するという問題が生じる。また、増幅器のバイアス電圧を制御する回路がデジタルシグナルプロセッサで構成されているため、回路構成が複雑かつ大規模になってしまう。一方、国際公開ＷＯ０２／００３５４５号公報に記載の増幅方式では、入力信号の包絡線のレベルが小さいと、増幅器に供給されるバイアス電流も小さくなるため、増幅器の利得が低下してしまうという問題が生じる。

[0005] そこで、本発明は、増幅器の歪み特性を緩和しつつ、低レベル高周波信号に対する利得低下を抑制できるバイアス制御回路を提案することを課題とする。

課題を解決するための手段

[0006] 上述の課題を解決するため、本発明に係わるバイアス制御回路は、高周波信号を増幅する増幅器のバイアスを制御するバイアス制御回路であって、高周波信号の包絡線を検波する検波器と、増幅器に一定のバイアス電流を供給する第一のバイアス回路と、高周波信号の包絡線のレベル変動に追従して変動するバイアス電流を増幅器に供給する第二のバイアス回路とを備える。高周波信号のレベルが小さい場合でも、第一のバイアス回路から増幅器に一定のバイアス電流が供給されるため、増幅器の利得低下を抑制し、安定動作を確保できる。また、高周波信号の包絡線のレベル変動に追従して変動するバイアス電流が第二のバイアス回路から増幅器に供給されるため、増幅器の歪み特性を緩和できる。

[0007] 第一のバイアス回路は、高周波信号の包絡線のレベルに関係なく、一定のバイアス電流を増幅器に供給するのが好ましい。これにより、高周波信号のレベルが小さい場合でも、最低限のバイアス電流が増幅器に供給されるため、増幅器の利得低下を抑制し、安定動作を確保できる。

[0008] 第二のバイアス回路は、高周波信号の包絡線のレベルが閾値を超えたときに包絡線のレベル変動に追従して変動するバイアス電流を増幅器に供給する

のが好ましい。これにより、例えば、増幅器がバイポーラトランジスタで構成されている場合に、高周波信号の包絡線のレベル変動に対してコレクタ電流が急激に変化することを抑制し、増幅器の線形性を保つことができる。

[0009] バイアス制御回路は、第一及び第二のバイアス回路から増幅器にバイアス電流を供給するためのそれぞれの電流経路に介挿された電流逆流防止回路を更に備えてもよい。これにより、第一のバイアス回路と第二のバイアス回路との間のバイアス電流の逆流を防止できる。

[0010] 第一のバイアス回路は、高周波信号の包絡線のレベルに関係なく一定の電流値を有する基準電流に第一のミラー比を乗じて得られるバイアス電流を供給するカレントミラー回路であることが好ましく、第二のバイアス回路は、高周波信号の包絡線のレベルが閾値を超えたときに包絡線のレベル変動に追従して変動する基準電流に第二のミラー比を乗じて得られるバイアス電流を供給するカレントミラー回路であることが好ましい。カレントミラー回路によれば、トランジスタの接合面積比、電源電圧又は電流調整用抵抗等により、高周波信号の包絡線のレベル変動に追従して変動するバイアス電流を容易に生成できる。

[0011] 検波器、第一のバイアス回路、及び第二のバイアス回路は、増幅器に並列接続するように構成するのが好ましい。このような回路構成は、バイアス制御回路の１チップ集積化に好適である。

[0012] バイアス制御回路は、高周波信号の包絡線のレベル変動に追従して変動するバイアス電流を増幅器に供給する第三のバイアス回路を更に備えてもよい。これにより、増幅器の歪み特性を考慮したバイアス電流の精密な供給が可能になる。

発明の効果

[0013] 本発明に係わるバイアス制御回路よれば、増幅器の歪み特性を緩和しつつ、低レベル高周波信号に対する利得低下を効果的に抑制できる。

図面の簡単な説明

[0014] [図1]実施例１に係わるバイアス制御回路の構成を示すブロック図である。

[図2]実施例１に係わる第一のバイアス回路の構成を示す回路図である。

[図3]実施例１に係わる第二のバイアス回路の構成を示す回路図である。

[図4]実施例１に係わるバイアス制御回路の動作を示すグラフである。

[図5]実施例２に係わるバイアス制御回路の構成を示すブロック図である。

[図6]実施例２に係わるバイアス制御回路の動作を示すグラフである。

発明を実施するための形態

[0015] 以下、各図を参照しながら本発明に係わる実施例について説明する。同一の回路については同一の符号を付すものとし、重複する説明を省略する。

実施例 1

[0016] 図１は実施例１に係わるバイアス制御回路１０の構成を示すブロック図である。増幅器２０は、入力端子７１に入力された高周波信号（例えば、ＯＦＤＭ変調信号）を電力増幅し、これを出力端子７２に出力するためのパワーアンプである。増幅器２０は、一つ以上のバイポーラトランジスタ等で構成される。増幅器２０の前段には、入力信号源のインピーダンスを増幅器２０の入力インピーダンスに整合させるための整合回路２１が設けられ、増幅器２０の後段には、増幅器２０の出力インピーダンスを負荷インピーダンスに整合させるための整合回路２２が設けられている。バイアス制御回路１０は、増幅器２０へのバイアス電流の供給を制御するための回路である。バイアス制御回路１０は、高周波信号の包絡線を検波する検波器１１と、増幅器２０に一定のバイアス電流を供給する第一のバイアス回路１２と、高周波信号の包絡線のレベル変動（電圧変動）に追従して変動するバイアス電流を増幅器２０に供給する第二のバイアス回路１４とを備える。検波器１１、第一のバイアス回路１２、及び第二のバイアス回路１４は、増幅器２０に並列接続しており、バイアス制御回路１０の１チップ集積化に好適である。検波器１１は、公知の包絡線検波回路であり、例えばダイオード等の検波素子及びキャパシタ等の平滑回路によって構成されている。

[0017] 図２は第一のバイアス回路１２の構成を示す回路図である。第一のバイアス回路１２は、入力トランジスタ３１、出力トランジスタ３２及び抵抗素子

３３を備えて構成されるカレントミラー回路である。同図に示すように、入力トランジスタ３１のゲートと出力トランジスタ３２のゲートとが接続され、入力トランジスタ３１のソースと出力トランジスタ３２のソースとが共通電源に接続されている。また、入力トランジスタ３１のゲート・ドレイン間は短絡されており、そのドレインには抵抗素子３３が接続されている。入力トランジスタ３１のドレインに流れる基準電流I_{ref1}は、高周波信号の包絡線のレベル（電圧）に関係なく一定であり、その電流値は電源電圧及び抵抗素子３３によって調整される。出力トランジスタ３２のドレインに流れる電流I_1は、基準電流I_{ref1}に第一のミラー比を乗じて得られる電流値を有しており、一定のバイアス電流として増幅器２０に供給される。第一のミラー比は、トランジスタ３１，３２の接合面積比によって調整可能である。

[0018] 図３は第二のバイアス回路１４の構成を示す回路図である。第二のバイアス回路１４は、入力トランジスタ４１、出力トランジスタ４２、スイッチングトランジスタ４３及び抵抗素子４４を備えて構成されるカレントミラー回路である。同図に示すように、スイッチングトランジスタ４３のコレクタは抵抗素子４４を介して電源に接続され、そのベースは検波器１１の出力に接続され、そのエミッタは入力トランジスタ４１のベース及び出力トランジスタ４２のベースに共通接続している。また、入力トランジスタ４１のコレクタはスイッチングトランジスタ４３のベースに接続され、出力トランジスタ４２のコレクタは電源に接続されている。スイッチングトランジスタ４３は、そのベースに入力される高周波信号の包絡線のレベルが第一の閾値電圧Ｖｔｈ１を超えたときにオン状態となり、高周波信号の包絡線のレベルが第一の閾値電圧Ｖｔｈ１以下のときにオフ状態となる。第一の閾値電圧Ｖｔｈ１の値は、増幅器２０の歪み特性の劣化が現れる直前又はそれよりも前（１～３ｄＢ程度手前）にスイッチングトランジスタ４３がオン状態となるような値であることが好ましい。スイッチングトランジスタ４３がオン状態になると、入力トランジスタ４１のベース電流は高周波信号の包絡線のレベル変動に追従して変動するため、入力トランジスタ４１のエミッタに流れる基準電

流I_{ref2}も高周波信号の包絡線のレベル変動に追従して変動する。出力トランジスタ４２のエミッタに流れる電流I_2は、基準電流I_{ref2}に第二のミラー比を乗じて得られる電流値を有しており、高周波信号の包絡線のレベル変動に追従して変動するバイアス電流として増幅器２０に供給される。第二のミラー比は、トランジスタ４１，４２の接合面積比によって調整可能である。

[0019] 図４はバイアス制御回路１０の動作を示すグラフであり、その横軸は高周波信号の包絡線の信号レベルを示し、その縦軸はバイアス電流を示す。符号５１，５２は、それぞれ、図２及び図３に記されているバイアス電流I_1，I_2を示し、符号５３は、バイアス制御回路１０から増幅器２０に供給される全体的なバイアス電流を示す。バイアス電流５３は二つバイアス電流５１，５２を加算したものである。同図に示すように、高周波信号の包絡線のレベルが第一の閾値電圧Ｖｔｈ１以下のときには、一定のバイアス電流５１が増幅器２０に安定的に供給されるため、低レベル高周波信号に対する増幅器２０の利得低下を抑制しつつ、低消費電力を実現できる。一方、高周波信号の包絡線のレベルが第一の閾値電圧Ｖｔｈ１を越えると、高周波信号の包絡線のレベル増加に伴って増加するバイアス電流５２が一定のバイアス電流５１に加算されて増幅器２０に供給されるため、増幅器２０の歪み特性を緩和させることができる。また、高周波信号の包絡線のレベル変動に応じて増幅器２０のコレクタ電流が急激に変化することを抑制し、増幅器２０の線形性を維持することができる。

[0020] 尚、図１に示すように、第一及び第二のバイアス回路１２，１４から増幅器２０にバイアス電流を供給するためのそれぞれの電流経路に電流逆流防止回路としてのダイオード１３，１５を介挿するのが好ましい。これにより、第一のバイアス回路１２と第二のバイアス回路１４との間のバイアス電流の逆流を防止できる。電流逆流防止回路は、ダイオード１３，１５に限らずトランジスタでもよい。また、第一及び第二のバイアス回路１２，１４は、カレントミラー回路に限られるものではなく、例えば、エミッタフォロワでもよい。

実施例 2

[0021] 図５は実施例２に係わるバイアス制御回路８０の構成を示すブロック図である。バイアス制御回路８０は、高周波信号の包絡線のレベル変動に追従して変動するバイアス電流を増幅器２０に供給する第三のバイアス回路１６と、第三のバイアス回路１６から増幅器２０にバイアス電流を供給するための電流経路に介挿された電流逆流防止回路としてのダイオード１７を備える点で実施形態１に係わるバイアス制御回路１０と相違し、その余の点で共通する。第三のバイアス回路１６は、第二のバイアス回路１４と同様の回路構成を有するカレントミラー回路である。第三のバイアス回路１６は、高周波信号の包絡線のレベルが第二の閾値電圧Ｖｔｈ２を超えたときに増幅器２０にバイアス電流を供給し、高周波信号の包絡線のレベルが第二の閾値電圧Ｖｔｈ２以下のときに増幅器２０へのバイアス電流の供給を停止する。第二の閾値電圧Ｖｔｈ２は、第一の閾値電圧Ｖｔｈ１よりも大きく、且つ増幅器２０の歪み特性の劣化が現れる直前に第三のバイアス回路１６から増幅器２０にバイアス電流が供給されるように設定するのが好ましい。

[0022] 図６はバイアス制御回路８０の動作を示すグラフであり、その横軸は高周波信号の包絡線の信号レベルを示し、その縦軸はバイアス電流を示す。符号６１，６２，６３は、それぞれ、第一、第二及び第三のバイアス回路１２，１４，１６から増幅器２０に供給される個別的なバイアス電流を示し、符号６４は、バイアス制御回路１０から増幅器２０に供給される全体的なバイアス電流を示す。バイアス電流６４は三つバイアス電流６１，６２，６３を加算したものである。同図に示すように、高周波信号の包絡線のレベルが第一の閾値電圧Ｖｔｈ１以下のときには、一定のバイアス電流６１が増幅器２０に安定的に供給されるため、低レベル高周波信号に対する増幅器２０の利得低下を抑制しつつ、低消費電力を実現できる。一方、高周波信号の包絡線のレベルが第一の閾値電圧Ｖｔｈ１を越えると、高周波信号の包絡線のレベル増加に伴って増加するバイアス電流６２が一定のバイアス電流６１に加算されて増幅器２０に供給されるため、増幅器２０の歪み特性を緩和させること

ができる。高周波信号の包絡線のレベルが第二の閾値電圧Ｖｔｈ２を越えると、高周波信号の包絡線のレベル増加に伴って増加するバイアス電流６３がバイアス電流６１，６２に加算されて増幅器２０に供給される。高周波信号の包絡線のレベル変動に対するバイアス電流６２，６３のそれぞれの変化の割合（グラフの傾き）は、第二及び第三のバイアス回路１４，１６のそれぞれのミラー比により調整することが可能であるため、増幅器２０の歪み特性を考慮したバイアス電流のより精密な供給が可能になる。例えば、高周波信号の包絡線のレベル変動に対するバイアス電流６３の変化の割合をバイアス電流６２の変化の割合よりも大きくすることができる。このように高周波信号の包絡線のレベル変動に対するバイアス電流の変化の割合が異なる複数のバイアス回路１４，１６を組み合わせることにより、増幅器２０の線形性を保つために必要とされる理想的なバイアス電流を増幅器２０に供給することができる。このような組み合わせは、バイアス回路１４のみでは、増幅器２０の線形性を保つために必要とされる理想的なバイアス電流を供給し難い場合に効果的である。

[0023] 尚、第三のバイアス回路１６は、カレントミラー回路に限られるものではなく、例えば、エミッタフォロワでもよい。また、バイアス制御回路８０は、高周波信号の包絡線のレベル変動に追従して変動するバイアス電流を増幅器２０に供給する三つ以上のバイアス回路を備えてもよい。

産業上の利用可能性

[0024] 本発明は線形性が要求される増幅器のバイアスを制御する回路に有用である。

符号の説明

[0025] １０…バイアス制御回路

１１…検波器

１２…第一のバイアス回路

１３…ダイオード

１４…第二のバイアス回路

１５…ダイオード

１６…第三のバイアス回路

１７…ダイオード

２０…増幅器

２１，２２…整合回路

３１…入力トランジスタ

３２…出力トランジスタ

３３…抵抗素子

４１…入力トランジスタ

４２…出力トランジスタ

４３…スイッチングトランジスタ

４４…抵抗素子

７１…入力端子

７２…出力端子

請求の範囲

[請求項1] 高周波信号を増幅する増幅器のバイアスを制御するバイアス制御回路であって、

前記高周波信号の包絡線を検波する検波器と、

前記増幅器に一定のバイアス電流を供給する第一のバイアス回路と、

前記包絡線のレベル変動に追従して変動するバイアス電流を前記増幅器に供給する第二のバイアス回路と、

を備えるバイアス制御回路。

[請求項2] 請求項１に記載のバイアス制御回路であって、

前記第一のバイアス回路は、前記包絡線のレベルに関係なく一定のバイアス電流を前記増幅器に供給する、バイアス制御回路。

[請求項3] 請求項１又は請求項２に記載のバイアス制御回路であって、

前記第二のバイアス回路は、前記包絡線のレベルが閾値を超えたときに前記包絡線のレベル変動に追従して変動するバイアス電流を前記増幅器に供給する、バイアス制御回路。

[請求項4] 請求項１乃至請求項３のうち何れか１項に記載のバイアス制御回路であって、

前記第一及び第二のバイアス回路から前記増幅器にバイアス電流を供給するためのそれぞれの電流経路に介挿された電流逆流防止回路を更に備える、バイアス制御回路。

[請求項5] 請求項１乃至請求項４のうち何れか１項に記載のバイアス制御回路であって、

前記第一のバイアス回路は、前記包絡線のレベルに関係なく一定の電流値を有する基準電流に第一のミラー比を乗じて得られるバイアス電流を供給するカレントミラー回路であり、

前記第二のバイアス回路は、前記包絡線のレベルが閾値を超えたときに前記包絡線のレベル変動に追従して変動する基準電流に第二のミ

ラー比を乗じて得られるバイアス電流を供給するカレントミラー回路である、バイアス制御回路。

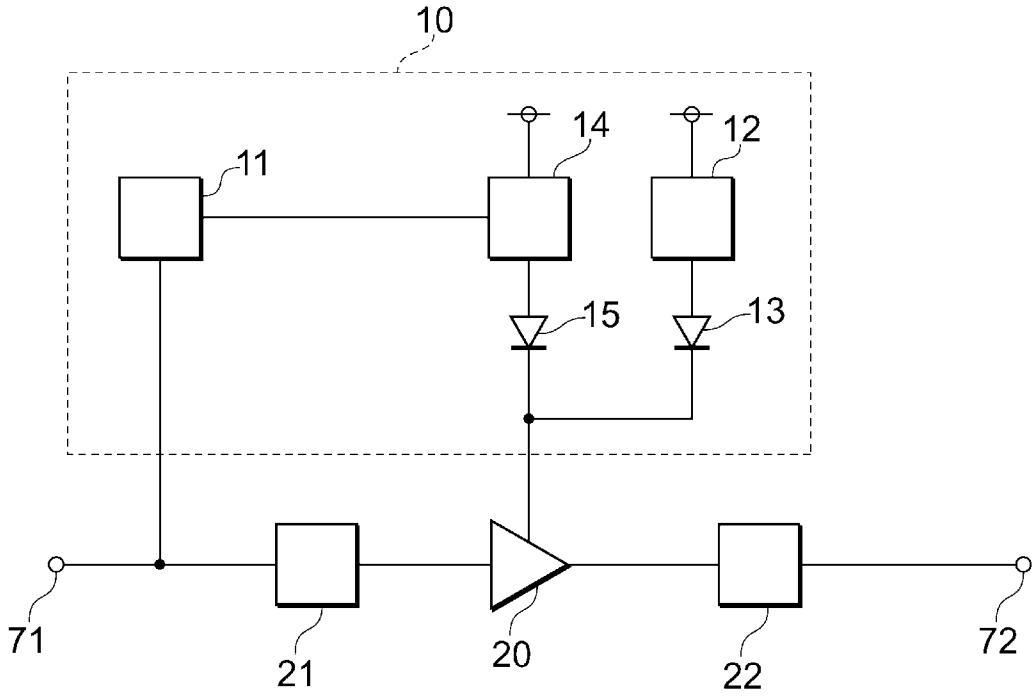
［請求項6］ 請求項１乃至請求項５のうち何れか１項に記載のバイアス制御回路であって、

前記検波器、前記第一のバイアス回路、及び前記第二のバイアス回路は、前記増幅器に並列接続している、バイアス制御回路。

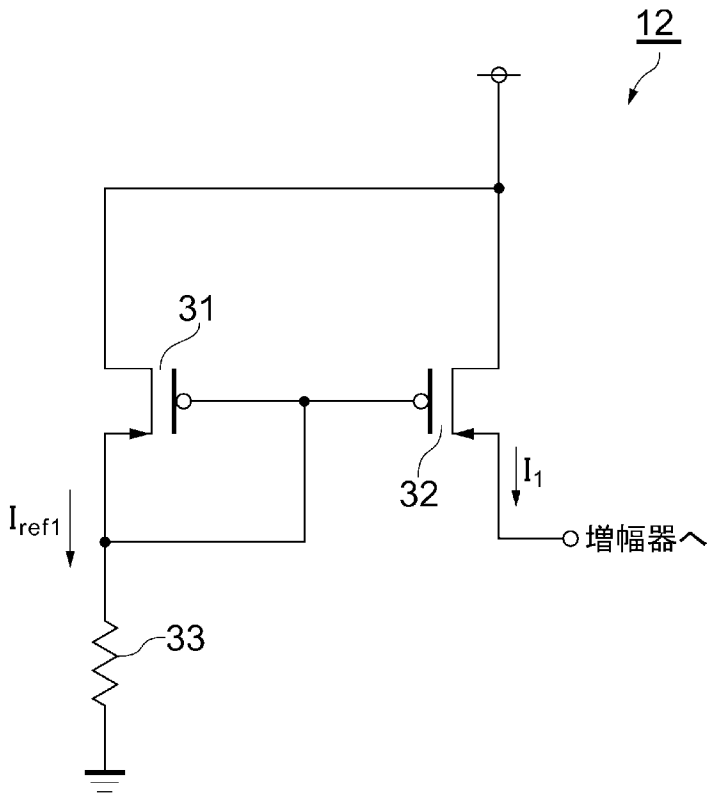
［請求項7］ 請求項１乃至請求項６のうち何れか１項に記載のバイアス制御回路であって、

前記包絡線のレベル変動に追従して変動するバイアス電流を前記増幅器に供給する第三のバイアス回路を更に備える、バイアス制御回路。

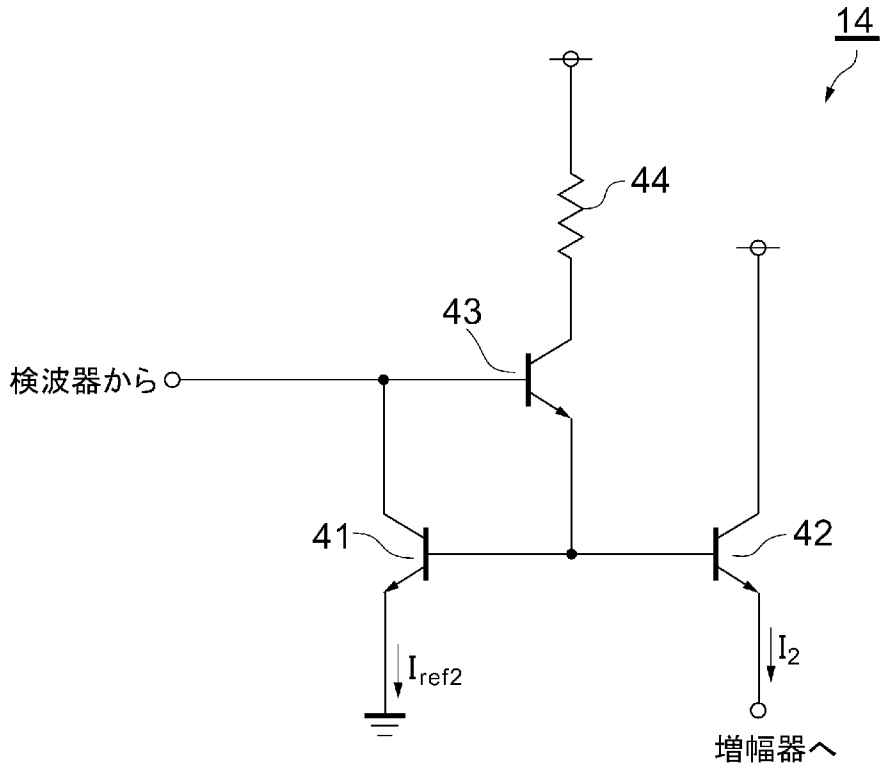
[図1]



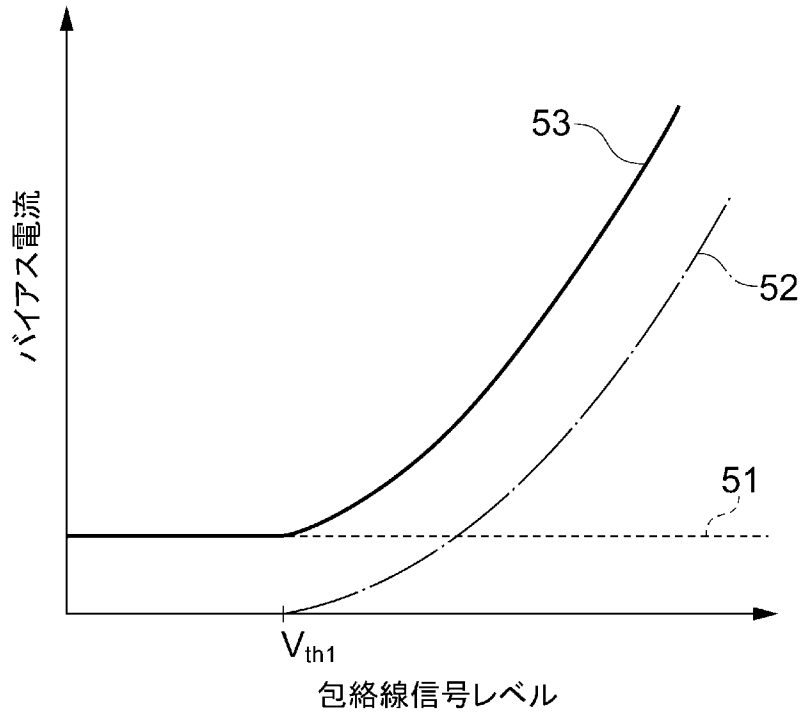
[図2]



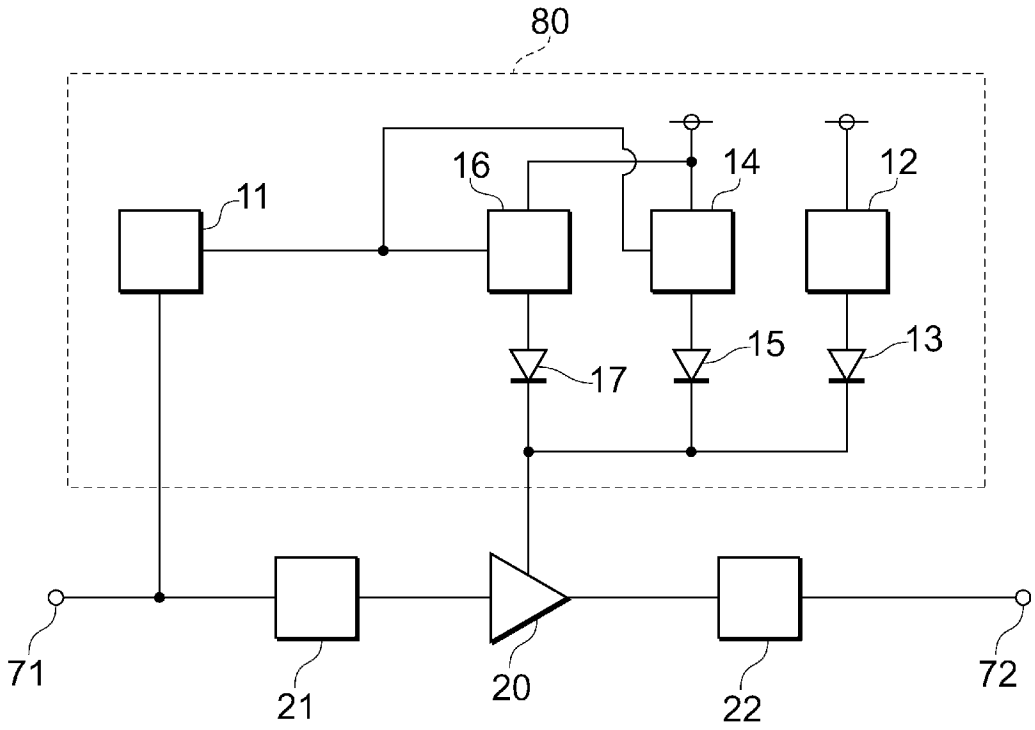
[図3]


14
44
43
検波器から
41
42
I_{ref2}
I_2
増幅器へ

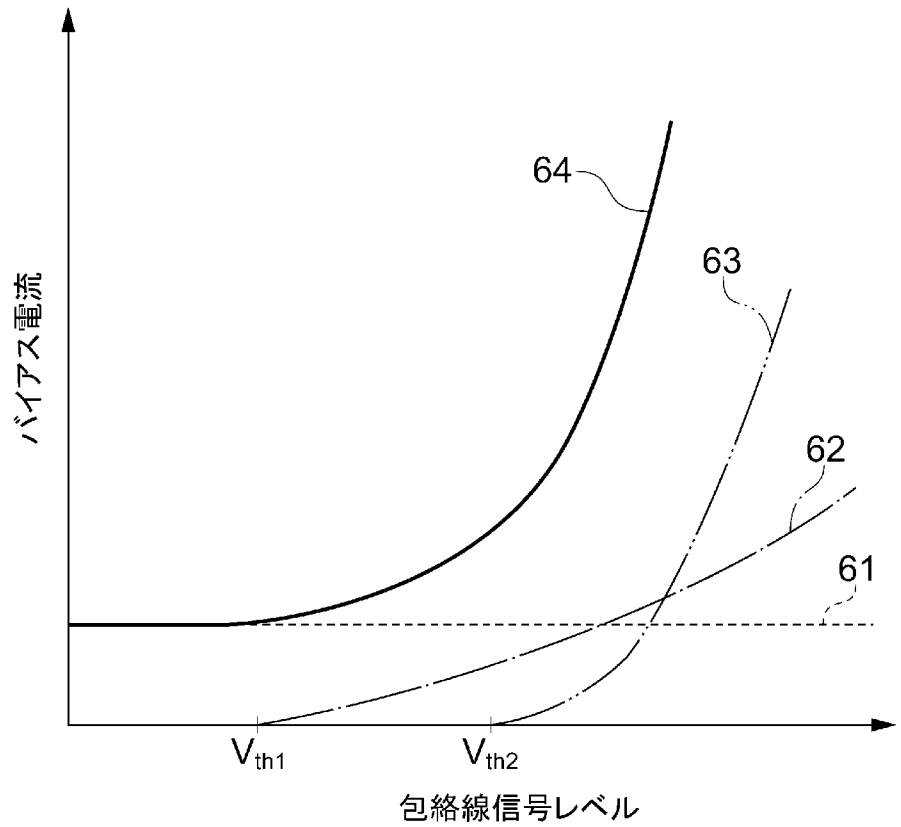
[図4]


53
52
51
バイアス電流
V_{th1}
包絡線信号レベル

[図5]


80
11
16
14
12
17
15
13
71
21
20
22
72

[図6]


64
63
62
61
バイアス電流
V_{th1}
V_{th2}
包絡線信号レベル

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/050762

A. CLASSIFICATION OF SUBJECT MATTER
H03F3/19(2006.01)i, *H03F1/02*(2006.01)i, *H03F1/06*(2006.01)i, *H03F3/24*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03F3/19, H03F1/02, H03F1/06, H03F3/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-206545 A (Toshiba Corp.), 16 September 2010 (16.09.2010), fig. 5, 3 (Family: none)	1-4,6-7 5
Y A	JP 2006-287770 A (Matsushita Electric Industrial Co., Ltd.), 19 October 2006 (19.10.2006), fig. 6B & US 2006/0220590 A1	5 1-3,6
A	JP 2010-527563 A (Intel Corp.), 12 August 2010 (12.08.2010), fig. 1 & US 2008/0297246 A1 & EP 2153519 A & WO 2008/147646 A1 & CN 101682302 A	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 February, 2012 (24.02.12)	06 March, 2012 (06.03.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０５０７６２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03F3/19(2006.01)i, H03F1/02(2006.01)i, H03F1/06(2006.01)i, H03F3/24(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03F3/19, H03F1/02, H03F1/06, H03F3/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2010-206545 A (株式会社東芝) 2010.09.16, 図５, 図３（ファミリーなし）	1-4, 6-7 5
Y A	JP 2006-287770 A (松下電器産業株式会社) 2006.10.19, 図６Ｂ & US 2006/0220590 A1	5 1-3, 6
A	JP 2010-527563 A (インテル　コーポレイション) 2010.08.12, 図１ & US 2008/0297246 A1 & EP 2153519 A & WO 2008/147646 A1 & CN 101682302 A	1-7

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２４．０２．２０１２	０６．０３．２０１２

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｔ　３５６６
儀同　孝信
電話番号　０３－３５８１－１１０１　内線　３５６８