



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0059982
(43) 공개일자 2017년05월31일

(51) 국제특허분류(Int. Cl.)
H03F 3/45 (2006.01) *H03G 1/00* (2006.01)
H03G 3/00 (2006.01)

(52) CPC특허분류
H03F 3/45475 (2013.01)
H03G 1/0088 (2013.01)

(21) 출원번호 10-2017-7005757
(22) 출원일자(국제) 2015년09월25일

심사청구일자 없음

(85) 번역문제출일자 2017년02월28일

(86) 국제출원번호 PCT/US2015/052138

(87) 국제공개번호 WO 2016/049412
국제공개일자 2016년03월31일

(30) 우선권주장
62/055,052 2014년09월25일 미국(US)
14/863,779 2015년09월24일 미국(US)

(71) 출원인
마이크로칩 테크놀로지 인코포레이티드
미국 85224-6199 아리조나 체들러 웨스트 체들러
블리바드 2355

(72) 발명자
크리스, 브라이언
미국, 애리조나 85298, 길버트, 이스트 비아 멜
팔로 16526

바틀링, 제임스 이.
미국, 애리조나 85286, 체들러, 사우스 신 드라이
브 1171

(74) 대리인
특허법인세신

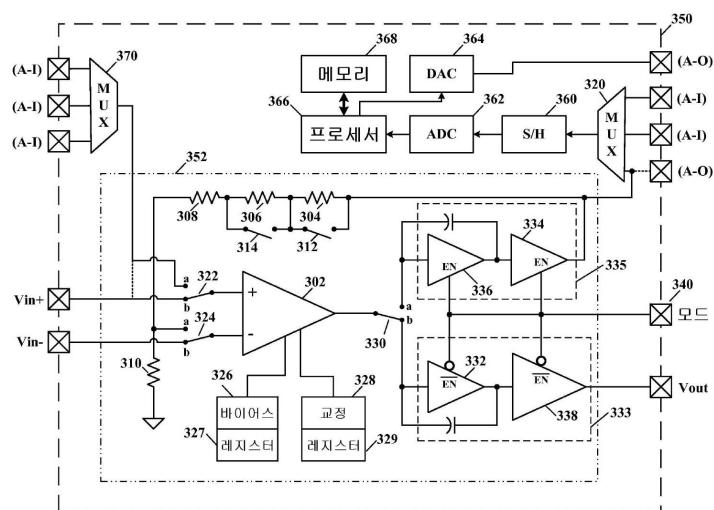
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 선택 가능한 프로그램 가능 이득 또는 연산 증폭기

(57) 요약

프로그램 가능한 이득 증폭기와 연산 증폭기 중 어느 하나가 되도록 구성 가능한 집적 회로 증폭기(352)는 2개의 출력 블록들을 포함하며, 이 중 하나의 출력 블록은 프로그램 가능 이득 증폭기 동작을 위해 최적화되어 있고, 다른 하나의 출력 블록은 연산 증폭기 애플리케이션에 최적화되어 있다. 공통 단일 입력 스테이지(302), 입력 오프셋 교정(328) 및 바이어스 생성(326) 회로들은 두 가지 증폭기 구성 중 하나와 함께 사용된다. 따라서, 프로그램 가능 이득 증폭기와 연산 증폭기 구성 중 어느 하나를 여전히 선택적으로 제공하는 동안에는 입력 스테이지, 오프셋 교정 및 바이어스 생성 회로들의 중복이 제거된다.

대 표 도



(52) CPC특허분류

H03G 3/001 (2013.01)
H03F 2200/321 (2013.01)
H03F 2203/45048 (2013.01)
H03F 2203/45528 (2013.01)
H03F 2203/45534 (2013.01)
H03F 2203/45616 (2013.01)
H03F 2203/45728 (2013.01)

명세서

청구범위

청구항 1

구성 가능한 증폭기로서,

차동 입력 스테이지;

제 1 출력 블록;

제 2 출력 블록; 및

상기 차동 입력 스테이지, 상기 제 1 출력 블록 및 상기 제 2 출력 블록에 결합된 복수의 스위치들을 포함하고,

상기 차동 입력 스테이지와 상기 제 1 출력 블록은 상기 복수의 스위치들 중 소정 스위치들이 제 1 모드로 배열될 때 프로그램 가능 이득 증폭기로서 서로 결합되고, 그리고

상기 차동 입력 스테이지와 상기 제 2 출력 블록은 상기 복수의 스위치들 중 상기 소정 스위치들이 제 2 모드로 배열될 때 연산 증폭기로서 서로 결합되는, 구성 가능한 증폭기.

청구항 2

제 1 항에 있어서,

상기 제 1 출력 블록은 제 1 중간 스테이지와 제 1 출력 스테이지를 포함하고, 상기 제 2 출력 블록은 제 2 중간 스테이지와 제 2 출력 스테이지를 포함하는, 구성 가능한 증폭기.

청구항 3

제 1 항에 있어서,

상기 차동 입력 스테이지에 결합되는 바이어스 회로를 더 포함하는 구성 가능한 증폭기.

청구항 4

제 3 항에 있어서,

상기 바이어스 회로는 상기 제 1 모드에 있을 때에는 상기 프로그램 가능 이득 증폭기 구성에 대한 제 1 세트의 바이어스 파라미터들을 갖고, 상기 제 2 모드에 있을 때에는 상기 연산 증폭기 구성에 대한 제 2 세트의 바이어스 파라미터들을 갖는, 구성 가능한 증폭기.

청구항 5

제 4 항에 있어서,

상기 제 1 및 제 2 바이어스 파라미터들은 바이어스 메모리에 저장되는, 구성 가능한 증폭기.

청구항 6

제 1 항에 있어서,

상기 차동 입력 스테이지에 결합되는 교정 회로를 더 포함하는, 구성 가능한 증폭기.

청구항 7

제 5 항에 있어서,

상기 교정 회로는 상기 제 1 모드에 있을 때에는 상기 프로그램 가능 이득 증폭기 구성에 대한 제 1 세트의 교정 파라미터들을 갖고, 상기 제 2 모드에 있을 때에는 상기 연산 증폭기 구성에 대한 제 2 세트의 교정 파라미터들을 갖는, 구성 가능한 증폭기.

청구항 8

제 6 항에 있어서,

상기 제 1 및 제 2 교정 파라미터들은 교정 메모리에 저장되는, 구성 가능한 증폭기.

청구항 9

제 5 항에 있어서,

상기 제 1 및 제 2 교정 파라미터들은 각각 입력 오프셋 교정 파라미터를 갖는, 구성 가능한 증폭기.

청구항 10

제 1 항에 있어서,

상기 차동 입력 스테이지의 제 1 입력부와 제 2 입력부는 집적 회로의 제 1 외부 연결부와 제 2 외부 연결부에 결합되는, 구성 가능한 증폭기.

청구항 11

제 10 항에 있어서,

상기 제 1 출력 블록의 출력부는 상기 집적 회로의 제 3 외부 연결부에 결합되는, 구성 가능한 증폭기.

청구항 12

제 10 항에 있어서,

상기 제 2 출력 블록의 출력부는 상기 집적 회로의 제 4 외부 연결부에 결합되는, 구성 가능한 증폭기.

청구항 13

제 1 항에 있어서,

상기 제 1 모드와 상기 제 2 모드 사이를 선택하기 위한 모드 선택 입력부를 더 포함하는 구성 가능한 증폭기.

청구항 14

제 1 항에 있어서,

상기 제 1 및 제 2 출력 블록들에 대한 보상 네트워크들을 더 포함하는 구성 가능한 증폭기.

청구항 15

마이크로컨트롤러 집적 회로로서,

디지털 프로세서 및 메모리;

상기 디지털 프로세서에 결합된 디지털 출력부를 갖는 아날로그-디지털 컨버터(ADC); 및

구성 가능한 아날로그 증폭기를 포함하고,

상기 구성 가능한 아날로그 증폭기는,

차동 입력 스테이지;

제 1 출력 블록;

제 2 출력 블록; 및

상기 차동 입력 스테이지, 상기 제 1 출력 블록 및 상기 제 2 출력 블록에 결합된 복수의 스위치들을 포함하고,

상기 차동 입력 스테이지와 상기 제 1 출력 블록은 상기 복수의 스위치들 중 소정 스위치들이 제 1 모드로 배열될 때 프로그램 가능 이득 증폭기로서 서로 결합되고,

상기 차동 입력 스테이지와 상기 제 2 출력 블록은 상기 복수의 스위치들 중 상기 소정 스위치들이 제 2 모드로

배열될 때 연산 증폭기로서 서로 결합되고, 그리고

상기 프로세서는 상기 제 1 모드와 상기 제 2 모드를 제어하는, 마이크로컨트롤러 집적 회로.

청구항 16

제 15 항에 있어서,

상기 제 1 출력 블록과 상기 ADC 사이에 결합된 멀티플렉서를 더 포함하는 마이크로컨트롤러.

청구항 17

제 15 항에 있어서,

상기 제 1 및 제 2 모드들에 대한 상기 복수의 스위치들의 개방 및 폐쇄 설정들을 저장하기 위한 구성 레지스터를 더 포함하는 마이크로컨트롤러.

청구항 18

제 15 항에 있어서,

복수의 외부 연결부들을 구비한 집적 회로 패키지를 더 포함하는 마이크로컨트롤러.

청구항 19

제 18 항에 있어서,

상기 차동 입력 스테이지의 제 1 입력부와 제 2 입력부는 상기 복수의 외부 연결부들 중 제 1 외부 연결부와 제 2 외부 연결부에 결합되는, 마이크로컨트롤러.

청구항 20

제 18 항에 있어서,

상기 제 1 출력 블록의 출력부는 상기 복수의 외부 연결부들 중 제 3 외부 연결부에 결합되는, 마이크로컨트롤러.

청구항 21

제 18 항에 있어서,

상기 제 2 출력 블록의 출력부는 상기 복수의 외부 연결부들 중 제 4 외부 연결부에 결합되는, 마이크로컨트롤러.

청구항 22

제 18 항에 있어서,

상기 제 1 모드와 상기 제 2 모드 사이를 선택하기 위한 모드 선택 입력부를 더 포함하는 마이크로컨트롤러.

청구항 23

제 22 항에 있어서,

상기 모드 선택 입력부에 결합되는, 상기 복수의 외부 연결부들 중 제 5 외부 연결부를 더 포함하는 마이크로컨트롤러.

청구항 24

증폭기를 프로그램 가능한 이득 증폭기 또는 연산 증폭기로서 구성하기 위한 방법으로서,

차동 입력 스테이지를 제공하는 단계;

상기 차동 입력 스테이지의 출력부에 스위칭 가능하게 결합된 입력부를 구비한 제 1 출력 블록을 제공하는 단계;

상기 차동 입력 스테이지의 상기 출력부에 스위칭 가능하게 결합된 입력부를 구비한 제 2 출력 블록을 제공하는 단계;

상기 차동 입력 스테이지와 상기 제 1 및 제 2 출력 블록들에 결합되는 복수의 스위치들을 제공하는 단계;

상기 복수의 스위치들이 제 1 모드로 배열될 때 상기 차동 입력 스테이지와 상기 제 1 출력 블록을 프로그램 가능 이득 증폭기로서 서로 결합시키는 단계; 및

상기 복수의 스위치들이 제 2 모드로 배열될 때 상기 차동 입력 스테이지와 상기 제 2 출력 블록을 연산 증폭기로서 서로 결합시키는 단계를 포함하는, 방법.

청구항 25

제 24 항에 있어서,

상기 차동 입력 스테이지에 대한 바이어스 파라미터들을 상기 제 1 및 제 2 모드 용 바이어스 메모리에 저장하는 단계를 더 포함하는 방법.

청구항 26

제 24 항에 있어서,

상기 차동 입력 스테이지에 대한 입력 오프셋 교정 파라미터들을 상기 제 1 및 제 2 모드 용 오프셋 메모리에 저장하는 단계를 더 포함하는 방법.

발명의 설명

기술 분야

관련 특허 출원

[0001] 본 출원은, 2014년 9월 25일 출원된 공동 소유의 미국 가출원 번호 62/055,052 호의 우선이익을 주장하며, 상기 미국 가출원은 모든 목적들을 위해 본 출원에 참조로 통합된다.

기술 분야

[0002] 본 개시는 집적 회로 증폭기들에 관한 것으로, 특히, 차동 입력부들, 바이어스 회로들, 오프셋 교정 회로들, 및 프로그램 가능 이득 증폭기(PGA)와 연산 증폭기(Op-Amp) 중 어느 하나로서 선택 가능한 구성을 포함하는 집적 회로 증폭기에 관한 것이다.

배경 기술

[0003] 작은 기하구조 프로세스들(geometry processes)에서는, 아날로그 능동 소자들이 프로세스에 따라(with) 스케일링되지 않기 때문에, 아날로그 회로망 비용이 많이 들게 된다. 고객은 아날로그 구성요소들의 사용에 있어서 최대 유연성을 원한다. 많은 경우에, 프로그램 가능 이득 증폭기(PGA) 기능과 연산 증폭기(Op-Amp) 기능 둘 다는 동일한 집적 회로 디바이스에 제공될 수 있는데, 그 이유는 이러한 디바이스를 제조하는데 과도한 비용이 들기 때문이다. 마이크로컨트롤러들은 시스템 온 칩(a system on a chip)을 제공하고, 많은 시스템 구성요소들을 프로세서, 메모리와 같은 단일 집적 회로 내에 및 인터페이스들, 아날로그-디지털 및 디지털-아날로그 변환기들, 발진기들, 비교기들, 타이머들 등과 같은 주변 디바이스들 내에 집적화할 수 있다. 특히 마이크로컨트롤러는 아날로그 증폭기들을 주변 디바이스들로서 집적화함으로써 이익을 얻는다. 그러나, 이러한 아날로그 증폭기는 디지털 요소들이 프로세스에 따라 스케일링되는 것과 같이 프로세스에 따라 스케일링되지는 않는다.

발명의 내용

해결하려는 과제

[0004] 따라서, 프로그램 가능 이득 증폭기(PGA)와 연산 증폭기(Op-Amp) 중 어느 하나로서 구성될 수 있으며 추가 비용과 반도체 다이 면적(real estate)이 최소화되는 집적 회로 증폭기가 필요하다.

과제의 해결 수단

- [0007] 일 실시예에 따르면, 구성 가능한 증폭기는: 차동 입력 스테이지; 제 1 출력 블록; 제 2 출력 블록; 및 상기 차동 입력 스테이지, 상기 제 1 출력 블록 및 상기 제 2 출력 블록에 결합된 복수의 스위치들을 포함할 수 있고, 여기서 상기 차동 입력 스테이지와 상기 제 1 출력 블록은 상기 복수의 스위치들 중 소정 스위치들이 제 1 모드로 배열될 때 프로그램 가능 이득 증폭기로서 서로 결합될 수 있고, 그리고 상기 차동 입력 스테이지와 상기 제 2 출력 블록은 상기 복수의 스위치들 중 상기 소정 스위치들이 제 2 모드로 배열될 때 연산 증폭기로서 서로 결합될 수 있다.
- [0008] 추가 실시예에 따르면, 상기 제 1 출력 블록은 제 1 중간 스테이지와 제 1 출력 스테이지를 포함할 수 있고, 상기 제 2 출력 블록은 제 2 중간 스테이지와 제 2 출력 스테이지를 포함할 수 있다. 추가 실시예에 따르면, 바이어스 회로가 상기 차동 입력 스테이지에 결합될 수 있다. 추가 실시예에 따르면, 상기 바이어스 회로는 상기 제 1 모드에 있을 때에는 상기 프로그램 가능 이득 증폭기 구성에 대한 제 1 세트의 바이어스 파라미터들을 가질 수 있고, 상기 제 2 모드에 있을 때에는 상기 연산 증폭기 구성에 대한 제 2 세트의 바이어스 파라미터들을 가질 수 있다. 추가 실시예에 따르면, 상기 제 1 및 제 2 바이어스 파라미터들은 바이어스 메모리에 저장될 수 있다. 추가 실시예에 따르면, 교정 회로가 상기 차동 입력 스테이지에 결합될 수 있다.
- [0009] 추가 실시예에 따르면, 상기 교정 회로는 상기 제 1 모드에 있을 때에는 상기 프로그램 가능 이득 증폭기 구성에 대한 제 1 세트의 교정 파라미터들을 가질 수 있고, 상기 제 2 모드에 있을 때에는 상기 연산 증폭기 구성에 대한 제 2 세트의 교정 파라미터들을 가질 수 있다. 추가 실시예에 따르면, 상기 제 1 및 제 2 교정 파라미터들은 교정 메모리에 저장될 수 있다. 추가 실시예에 따르면, 상기 제 1 및 제 2 교정 파라미터들은 각각 입력 오프셋 교정 파라미터를 가질 수 있다. 추가 실시예에 따르면, 상기 차동 입력 스테이지의 제 1 입력부와 제 2 입력부는 접적 회로의 제 1 외부 연결부와 제 2 외부 연결부에 결합될 수 있다. 추가 실시예에 따르면, 상기 제 1 출력 블록의 출력부는 상기 접적 회로의 제 3 외부 연결부에 결합될 수 있다. 추가 실시예에 따르면, 상기 제 2 출력 블록의 출력부는 상기 접적 회로의 제 4 외부 연결부에 결합될 수 있다.
- [0010] 추가 실시예에 따르면, 모드 선택 입력부가 상기 제 1 모드와 상기 제 2 모드 사이를 선택하도록 제공될 수 있다. 추가 실시예에 따르면, 상기 제 1 및 제 2 출력 블록들에 대한 보상 네트워크들이 제공될 수 있다.
- [0011] 또 하나의 실시예에 따르면, 마이크로컨트롤러 접적 회로는: 디지털 프로세서 및 메모리; 상기 디지털 프로세서에 결합된 디지털 출력부를 갖는 아날로그-디지털 컨버터(ADC); 및 구성 가능한 아날로그 증폭기를 포함할 수 있고, 상기 구성 가능한 아날로그 증폭기는, 차동 입력 스테이지; 제 1 출력 블록; 제 2 출력 블록; 및 상기 차동 입력 스테이지, 상기 제 1 출력 블록 및 상기 제 2 출력 블록에 결합된 복수의 스위치들을 포함할 수 있고, 여기서 상기 차동 입력 스테이지와 상기 제 1 출력 블록은 상기 복수의 스위치들 중 소정 스위치들이 제 1 모드로 배열될 때 프로그램 가능 이득 증폭기로서 서로 결합될 수 있고, 상기 차동 입력 스테이지와 상기 제 2 출력 블록은 상기 복수의 스위치들 중 상기 소정 스위치들이 제 2 모드로 배열될 때 연산 증폭기로서 서로 결합될 수 있고, 그리고 상기 프로세서는 상기 제 1 모드와 상기 제 2 모드를 제어한다.
- [0012] 추가 실시예에 따르면, 멀티플렉서가 상기 제 1 출력 블록과 상기 ADC 사이에 결합될 수 있다. 추가 실시예에 따르면, 상기 제 1 및 제 2 모드들에 대한 상기 복수의 스위치들의 개방 및 폐쇄 설정들을 저장하기 위한 구성 레지스터가 제공될 수 있다. 추가 실시예에 따르면, 접적 회로 패키지가 복수의 외부 연결부들을 구비할 수 있다.
- [0013] 추가 실시예에 따르면, 상기 차동 입력 스테이지의 제 1 입력부와 제 2 입력부는 상기 복수의 외부 연결부들 중 제 1 외부 연결부와 제 2 외부 연결부에 결합될 수 있다. 추가 실시예에 따르면, 상기 제 1 출력 블록의 출력부는 상기 복수의 외부 연결부들 중 제 3 외부 연결부에 결합될 수 있다. 추가 실시예에 따르면, 상기 제 2 출력 블록의 출력부는 상기 복수의 외부 연결부들 중 제 4 외부 연결부에 결합될 수 있다. 추가 실시예에 따르면, 모드 선택 입력부가 상기 제 1 모드와 상기 제 2 모드 사이를 선택하도록 제공될 수 있다. 추가 실시예에 따르면, 상기 복수의 외부 연결부들 중 제 5 외부 연결부가 상기 모드 선택 입력부에 결합될 수 있다.
- [0014] 다른 또 하나의 실시예에 따르면, 증폭기를 프로그램 가능한 이득 증폭기 또는 연산 증폭기로서 구성하기 위한 방법은: 차동 입력 스테이지를 제공하는 단계; 상기 차동 입력 스테이지의 출력부에 스위칭 가능하게 결합된 입력부를 구비한 제 1 출력 블록을 제공하는 단계; 상기 차동 입력 스테이지의 상기 출력부에 스위칭 가능하게 결합된 입력부를 구비한 제 2 출력 블록을 제공하는 단계; 상기 차동 입력 스테이지와 상기 제 1 및 제 2 출력 블록들에 결합되는 복수의 스위치들을 제공하는 단계; 상기 복수의 스위치들이 제 1 모드로 배열될 때 상기 차동 입력 스테이지와 상기 제 1 출력 블록을 프로그램 가능 이득 증폭기로서 서로 결합시키는 단계; 및 상기 복수의 스위치들이 제 2 모드로 배열될 때 상기 차동 입력 스테이지와 상기 제 2 출력 블록을 연산 증폭기로서 서로 결

합시키는 단계를 포함할 수 있다.

[0015] 상기 방법의 추가 실시예에 따르면, 상기 차동 입력 스테이지에 대한 바이어스 파라미터들을 상기 제 1 및 제 2 모드 용 바이어스 메모리에 저장하는 단계를 포함할 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 차동 입력 스테이지에 대한 입력 오프셋 교정 파라미터들을 상기 제 1 및 제 2 모드 용 오프셋 메모리에 저장하는 단계를 포함할 수 있다.

도면의 간단한 설명

[0016] 본 개시는 첨부 도면들과 결합된 이하의 설명을 참조하면 보다 완전하게 이해될 수 있을 것이다.

도 1은 본 개시의 교시에 따른 연산 증폭기(Op-Amp)의 개략도이다.

도 2는 본 개시의 교시에 따른 프로그램 가능 이득 증폭기(PGA)의 개략도이다.

도 3은 본 개시의 특정 예시의 실시예에 따른, 프로그램 가능 이득 증폭기(PGA)와 연산 증폭기(Op-Amp) 중 어느 하나로서 구성될 수 있는 증폭기를 포함하는 마이크로컨트롤러의 개략적인 블록도이다.

본 개시는 다양한 변형들 및 대안의 형태들을 허용하지만, 그의 특정 예시의 실시예들이 도면들에 도시되었고 본 명세서에서 상세히 설명된다. 하지만, 그 특정 예시의 실시예들에 대한 설명은 본 개시를 여기에서 개시된 특정 형태들로 한정하고자 하는 것이 아님을 이해해야 할 것이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 개시의 다양한 실시예들에 따르면, 2개의 중간 스테이지 및 2개의 출력 스테이지를 갖는 집적 회로 증폭기가 제공되는데, 하나의 중간 스테이지 및 출력 스테이지는 프로그램 가능 이득 증폭기(PGA) 동작을 위해 최적화되고, 다른 중간 스테이지 및 출력 스테이지는 연산 증폭기(Op-Amp) 애플리케이션들을 위해 최적화된다. 공통 단일 입력 스테이지, 입력 오프셋 교정 회로 및 바이어스 생성 회로는, PGA 구성과 Op-Amp 구성 중 어느 하나와 함께 사용될 수 있다. 따라서 입력 스테이지, 오프셋 교정 회로 및 바이어스 생성 회로의 중복(duplication)이 제거된다.

[0018] 본 개시의 다양한 실시예들에 따르면, 또 하나의 증폭기 입력 스테이지, 입력 오프셋 교정 회로망 및 바이어스 생성 회로망의 비용은, 증폭기 구성들, 예를 들면 PGA 또는 Op-Amp 구성의 각각에 대해 그것들을 중복시킬 필요가 없으므로, 절약될 수 있다. 이 회로들은 PGA와 Op-Amp 중 어느 하나의 총 비용의 약 80%를 차지하므로, 본 개시에 따른 다양한 실시예는 혼합 신호 집적 회로의 제조 비용 및 디바이스 제조의 상당한 양을 절약할 수 있다.

[0019] 이제 도면들을 보면, 예시적인 실시예들의 세부 사항들이 도식적으로 도시되어 있다. 도면들에서 같은 요소들은 같은 숫자들로 나타내어지며, 유사한 요소들은 같은 숫자들에 다른 소문자 첨자를 붙여서 나타내어질 것이다.

[0020] 도 1을 보면, 본 개시의 교시에 따른 연산 증폭기(Op-Amp)의 개략도가 도시되어 있다. 아날로그 증폭기들은 많은 마이크로컨트롤러들에서 바람직한 주변 디바이스이다. 도 1은 마이크로컨트롤러 집적 회로에 사용될 수 있는 종래의 연산 증폭기(Op-Amp)(102)를 보여준다. Op-Amp(102)는 마이크로컨트롤러 집적 회로에서 일반적으로 약 10MHz의 대역폭의 탄력적인 사용 방법을 가지며, Op-Amp(102)는 주변 디바이스로서 집적될 수 있고 그리고 3개의 외부 집적 회로 패키지 연결부들(핀들)만을 필요로 할 것이다. Op-Amp(102)는 전형적으로, 외부의 낮은 임피던스 부하들에 결합되도록 큰 출력 구동 구조를 사용한다. Op-Amp(102)는 차동 입력부들(Vin+ 및 Vin-)과 단일 종단 출력부(Vout)를 포함할 수 있다.

[0021] 마이크로컨트롤러에 집적된 Op-Amp(102)의 전형적인 애플리케이션은 예를 들면 모터 제어와 같은 제어 기능일 수 있지만, 이것으로 제한되는 것은 아니다. 모터 제어 애플리케이션에서는, 2개의 입력 노드와 1개의 출력 노드를 갖는 3 노드 Op-Amp(102)가 최대의 설계의 융통성(design flexibility)을 제공한다. 모터 애플리케이션은 일반적으로, 예를 들어 10MHz 이득 대역폭(GBW)의 제한된 대역폭 조건을 갖지만 이것으로 한정되는 것은 아니며, 출력 드라이버는 마이크로컨트롤러 집적 회로 외부의 더 높은 전류 인출 부하들(current draw loads)을 처리할 수 있는(handle) 높은 전류 용량을 갖는다.

[0022] 도 2를 보면, 본 개시의 교시에 따른 프로그램 가능 이득 증폭기(PGA)의 개략도가 도시되어 있다. PGA(202)는 아날로그 신호 애플리케이션에서 쉽고 비용 효율적인 구현으로 설계의 융통성을 제공한다. 도 2는 마이크로컨트롤러 집적 회로에 사용될 수 있는 종래의 PGA를 보여준다. PGA(202)는 약 100 MHz의 이득 대역폭(GBW)을 가질

수 있는 단일 입력 이득 블록을 포함한다. 마이크로컨트롤러 애플리케이션에서 PGA로부터의 출력 신호는 내부적으로 사용될 수 있으므로 이러한 디바이스는 단지 하나의 외부 접적 회로 패키지 연결부(핀)만을 필요로 할 것이다. 일반적으로 PGA에는 마이크로컨트롤러 애플리케이션에서 저전력 내부 아날로그 회로들(예: 멀티플렉서, 샘플 및 홀드, 아날로그-디지털 컨버터(ADC) 등)을 구동하기 위한 소(small) 출력 드라이버가 제공된다.

[0023] PGA(202)는 피드백 루프 저항기들(204, 206, 208 및 210)에 의해 제공되는 선택 가능한 이득들을 갖는 비(non)-반전 단일 입력 증폭기로서 구성된 차동 입력 증폭기를 포함하며, 여기서 저항기들(204, 206 및 208)의 서로 다른 조합들이 서로 다른 고정 이득들의 선택을 위해 사용될 수 있다. 최대 4개의 서로 다른 고정 이득들을 제공하기 위해 피드백 루프의 저항기들(204 및 206)을 각각 스위칭 인 및 아웃하는(switch in and out) 2개의 이득 선택 스위치들(212 및 214)이 도시되어 있다.

[0024] PGA(202)는 전원 공통부 또는 그라운드를 기준으로 할 수 있는 아날로그 신호를 위한 하나의 입력부를 사용한다. PGA(202)의 출력부는 일반적으로, 또 하나의 아날로그 회로(예: 아날로그-디지털 컨버터)에 내부적으로 결합되거나, 아날로그-디지털 컨버터(ADC)로의 출력을 갖는 아날로그 멀티플렉서의 입력부에 내부적으로 결합되거나, 또는 ADC와 PGA(202) 출력부 사이의 샘플-및-홀드 회로에 내부적으로 결합된다. 따라서 PGA(202) 출력의 이용을 위해서는 어떠한 외부 접적 회로 패키지 연결도 필요치 않을 수 있다. 따라서 하나의 외부 패키지 연결부(핀)만이 필요할 수 있으므로 마이크로컨트롤러 접적 회로 패키지 핀 수를 최소화한다.

[0025] 마이크로컨트롤러에 접적된 PGA(202)를 위한 전형적인 애플리케이션은 예를 들면, 아날로그 데이터 수집, 스위치 모드 전력 공급(SMPS) 전압 및 전류 피드백 측정일 수 있지만 이것으로 한정되는 것은 아니다. SMPS 애플리케이션들에서는 외부 1-핀 PGA(202)가 필요한 전부일 수 있다. 마이크로컨트롤러 접적 회로 내의 아날로그 멀티플렉서의 출력부에 결합될 때에는 어떠한 외부 연결도 필요로 하지 않는다. 또한, PGA(202)는 아날로그-디지털 컨버터(예를 들면, 샘플 및 홀드 회로)와 결합하여 사용될 수 있다. PGA(202)로부터의 출력 신호는 일반적으로 마이크로컨트롤러 패키지의 외부에서 사용될 필요가 없으며, PGA(202)에 의해 증폭되는 신호는 종종 그라운드에 대해 측정되므로, PGA(202)의 동작을 위해서는 하나의 외부 입력부(핀)만이 필요하고 이는 마이크로컨트롤러 접적 회로 패키지 핀 수를 최소화한다. 그러나 일반적으로 마이크로컨트롤러 접적 회로 디바이스에 PGA와 Op-Amp 증폭기 유형들을 둘 다 설치하는 것은 너무 비싸다. 위에서 언급했듯이, 아날로그 회로망은 프로세스에 따라 스케일링되지 않으며 작은 프로세스들은 고가이다. 또한, 고출력 드라이브 및 큰 대역폭 성능을 위해서는 넓은 반도체 다이 면적과 높은 전력 소비가 필요하다.

[0026] 도 3을 보면, 본 개시의 특정 예시의 실시예에 따른, 프로그램 가능 이득 증폭기(PGA)와 연산 증폭기(Op-Amp) 중 어느 하나로서 구성될 수 있는 증폭기를 포함하는 마이크로컨트롤러의 개략적인 블록도가 도시되어 있다. 혼합 신호(아날로그 및 디지털) 마이크로컨트롤러(350)는 프로그램 가능 이득 증폭기(PGA)와 연산 증폭기(Op-Amp) 중 어느 하나로서 구성 가능한 아날로그 증폭기(352), 프로그램 및 데이터 저장 메모리(368)와 결합된 디지털 프로세서(366), 디지털-아날로그 컨버터(DAC)(364), 디지털 프로세서(366)에 결합된 출력부를 갖는 아날로그-디지털 컨버터(ADC)(362), ADC(362)의 입력부에 결합된 샘플 및 홀드 회로(360), 및 멀티플렉서들(320 및 370)을 포함할 수 있다. 본 개시의 교시에 따르면, 보다 많거나 적은 수의 멀티플렉서들, DAC 및 ADC가 여기서 고려된다. 프로세서(366)는 일반적으로, 전술한 회로 기능들을 제어할 것이다. 마이크로컨트롤러 접적 회로 상의 다수의 외부 연결부가 전력 및 그라운드(미도시됨) 그리고 아날로그 및 디지털 입력들과 출력들을 위해 제공될 수 있다. 이 외부 연결부들은 또한, 각각의 외부 연결부들을 내부 회로 기능부, 예를 들어 ADC, DAC, 멀티플렉서 및 직렬 통신부의 입력부 또는 출력부에 추가로 결합시키도록 프로그램될 수 있는 스위치 회로들(도시되지 않음)에 결합될 수 있다.

[0027] 구성 가능한 아날로그 증폭기(352)는 차동 입력 스테이지(302) 및 관련 구성 로직과, 예를 들어 스위치들(304, 306, 308, 322, 324 및 330)과 같은 스위치 회로망; 저항기들(304, 306, 308 및 310); 바이어스 회로(326), 바이어스 레지스터(327), 교정 회로(328), 교정 레지스터(329)를 포함할 수 있다. 또한, 서로 독립된 제 1 출력 블록(335)과 제 2 출력 블록(333)이 제공된다. 일 실시예에 따르면, 각각의 출력 블록(335 및 333)은 제 1 출력 스테이지(334)와 결합된 제 1 중간 스테이지(336), 및 제 2 출력 스테이지(338)와 결합된 제 2 중간 스테이지(332)를 각각 포함할 수 있다. 하지만, 다른 실시예들은 출력 블록들(335 및 333)의 각각 또는 하나에 단일 결합 출력 스테이지 또는 더 많은 스테이지들을 포함할 수 있다.

[0028] 제 1 및 제 2에 도시된 Op-Amp(102) 및 PGA(202) 회로들에서, 입력, 바이어스 및 교정 회로들은 출력 증폭기 회로들에 의해 동작상 영향을 받지 않는다. 주로 그것들은 차동 입력 회로와, 차동 입력 회로에 바이어스 및 오프셋 교정을 제공할 수 있는 오버헤드 회로들이다. 차동 입력 오프셋 교정을 갖는 차동 입력 증폭기에 대한 보다

상세한 설명은 James B. Nolan과 Kumen Blake에 의한 발명의 명칭이 "Self Auto-Calibration of Analog circuits in a Mixed Signal Integrated Circuit Device"인 공동 소유의 미국 특허 제 7,973,684 B2 호를 참조할 수 있으며, 상기 미국 특허는 모든 목적들을 위해 본 출원에 참조로 통합된다.

[0029] 그러므로, 마이크로컨트롤러 집적 회로에서 증폭기 회로 "오버헤드(overhead)"의 추가 중복 사례를 최소화하는 것이 바람직하다. 이로써 단지 하나의 차동 입력 스테이지(302)가 필요하다. 차동 입력 스테이지(302)는 하나의 바이어스 회로(326) 및 하나의 교정(예를 들어, 입력 오프셋 교정) 회로(328)에 의해 제공되는 바이어스 및 오프셋 교정과 같은 그의 파라미터들 및 특성들을 가질 수 있다. 여기서 각 증폭기 구성, Op-Amp 또는 PGA에 대한 고유 바이어스 및 교정 파라미터들은 바이어스 및 교정 레지스터들(예컨대, 메모리)(327 및 329)에 각각 저장될 수 있다.

[0030] 도 3에서, 일 실시예에 따르면, 증폭기(352)는 2개의 세트들의 중간 스테이지들(336 및 332)과, 2개의 세트들의 출력 스테이지들(334 및 338)을 가지며, 하나의 세트(336, 334)는 PGA와 같은 동작을 위해 최적화되고, 다른 세트(332, 338)는 Op-Amp와 같은 동작을 위해 최적화된다. 그러나, 상술한 바와 같이, 2개의 출력 블록들(335, 333)은 다르게 구성될 수 있다. PGA 세트(336, 334)는 고속(예컨대, 100MHz GBW)일 수 있지만 전혀 유의미한 출력 드라이브 능력을 가지지 않으며, Op-Amp 세트(332, 338)는 저속(예컨대, 10MHz GBW)이지만 양호한 외부 부하 드라이브 능력을 구비한다. 각각의 중간 및 출력 세트는 그들의 안정적인 동작을 보장하기 위해 자체 보상 네트워크를 가질 수 있다. 구성 레지스터(들)(도시되지 않음)는 예를 들어 모드, 이득, 오프셋 교정 등과 같은, 그러나 이에 한정되지 않는, Op-Amp 및 PGA 구성들에 대한 독립적인 구성 파라미터들을 제공하도록 구현될 수 있다.

[0031] "모드" 제어 신호(340)는, 원하는 Op-Amp와 PGA 구성 중 어느 하나를 선택하고 증폭기(352)의 적절한 섹션들을 인에이블하는데 사용될 수 있다. 모드 제어 신호(340)는 일 실시예에서는 외부에서(external) 입력될 수 있고, 또 하나의 실시예에서는 그것이 외부 제어 연결을 필요로 하지 않고 내부에서 제어될 수 있다. 추가 실시예에서, 상기 모드 제어 신호(340) 연결들 둘 다는 설계자/사용자가 내부 또는 외부 제어 입력이 사용되는지 여부를 선택하는데에 이용될 수 있다.

[0032] 대안적으로, 입력-출력 유형들과 같은 다른 마이크로컨트롤러 구성 파라미터들, 멀티플렉서/ADC/DAC 및 PGA와 Op-Amp 모드 배치 중 어느 하나를 위해 필요한 내부 스위치들, 예를 들어 스위치들(312, 314, 322, 324 및 330)과 더불어, 어떤 증폭기 구성이 필요한지를 선택하는 데에는 디바이스 구성 레지스터(도시되지 않음)가 사용될 수 있다. 디바이스 구성 레지스터(도시되지 않음)는, 다수의 다른 목적들을 위해 마이크로컨트롤러에 의해 사용될 수 있는 직렬 포트(도시되지 않음)를 통해 액세스될 수 있다. 본 명세서에 개시된 다양한 실시예들은 최대의 애플리케이션 융통성을 제공하고 최소한의 추가 비용과 최소의 집적 회로 다이 공간을 필요로 한다. 스위치들(312, 314, 322, 324 및 330)은 전계 효과 트랜지스터일 수 있다.

[0033] 일부 실시예들에 따르면, 증폭기의 각각의(either) 동작 모드에서 증폭기(352)의 하나, 둘 또는 세 개의 노드들이 외부에서 결합될 수 있다. 예를 들면, 증폭기(352)의 어느 노드들이 마이크로컨트롤러(350) IC 패키지의 어느 외부 연결부들(핀들)과 결합될지를 선택할 수 있게 하는 디바이스 구성 레지스터(도시되지 않았으나 전술한 것과 동일하거나 유사함)가 제공될 수 있다. 외부 핀들에 대한 할당은 또한 동작 모드에 따라 고정될 수 있는데, 예를 들면, Op-Amp 동작 모드에서는 3개의 핀이 외부에 할당될 수 있고, 증폭기(352)의 PGA 동작 모드에서는 하나 또는 2개의 핀만이 할당될 수 있다.

[0034] 스위치들(322, 324 및 330)이 (도 3에 도시된 바와 같이) "b" 위치에 있고 모드 선택 신호(340)가 로우이기 때문에 제 2 출력 블록(333)을 인에이블시키는 경우, 증폭기(352)는 Op-Amp로서 구성된다. 이로써 차동 입력 스테이지(302)의 양(+) 입력부는 Vin+ 외부 연결부에 결합되고, 차동 입력 스테이지(302)의 음(-) 입력부는 Vin- 외부 연결부에 결합되고, 차동 입력 스테이지(302)의 출력부는 제 2 출력 블록(333)의 입력부에 결합되고, 그리고 제 2 출력 블록(333)의 출력부는 Vout 외부 연결부에 결합된다. 따라서, 마이크로컨트롤러(350)에서 표준 Op-Amp 구성에 2개의 외부 입력부들(Vin+, Vin-)과 하나의 외부 출력부(Vout)로서 제공된 모든 필요한 연결부들이 제공된다. 제 2 출력 블록(333)은 일반적으로 더 높은 출력 능력을 갖는데, 그 이유는 제 2 출력 스테이지(338)가 PGA 구성에서 사용되는 소용량 제 1 출력 스테이지(334)보다 많은 전류 처리 능력(current handling capability)을 가지며 보다 많은 외부 부하들을 구동할 수 있기 때문이다.

[0035] 스위치들(322, 324 및 330)이 "a" 위치에 있고 모드 선택 신호(340)가 하이(high)여서 제 1 출력 블록(335)을 인에이블시킬 때, 증폭기(352)는 프로그램 가능 이득 증폭기(PGA)로서 구성된다. 하나의 실시예에서 차동 입력 스테이지(302)의 양(+) 입력부만이 멀티플렉서(370)의 출력부에 결합되거나, 또는 또 하나의 실시예에서는 Vin+

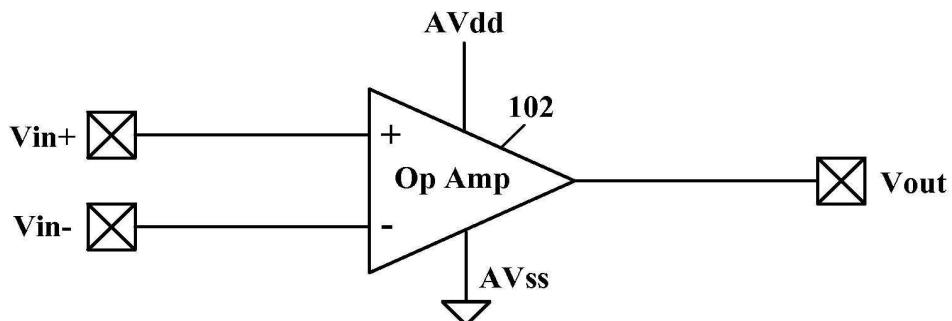
외부 연결부(점선으로 도시됨)에 결합된다. 멀티플렉서(370)는 복수의 외부 연결부들에 결합된 복수의 아날로그 입력부들을 가질 수 있다. 그 다음, 이들 복수의 아날로그 입력들(A-I) 중 임의의 하나의 선택은 차동 입력 스테이지(302)의 양(+) 입력에 제공될 수 있다. 차동 입력 스테이지(302)의 음(-) 입력은 이득 설정 피드백 네트워크 저항기들(310 및 308)에 결합되고, 다른 두 개의 이득 설정 피드백 저항기들(306 및 304)은 스위치들(314 및 312)로 각각 이득 설정 피드백 네트워크에 스위칭 인 또는 아웃된다.

[0036]

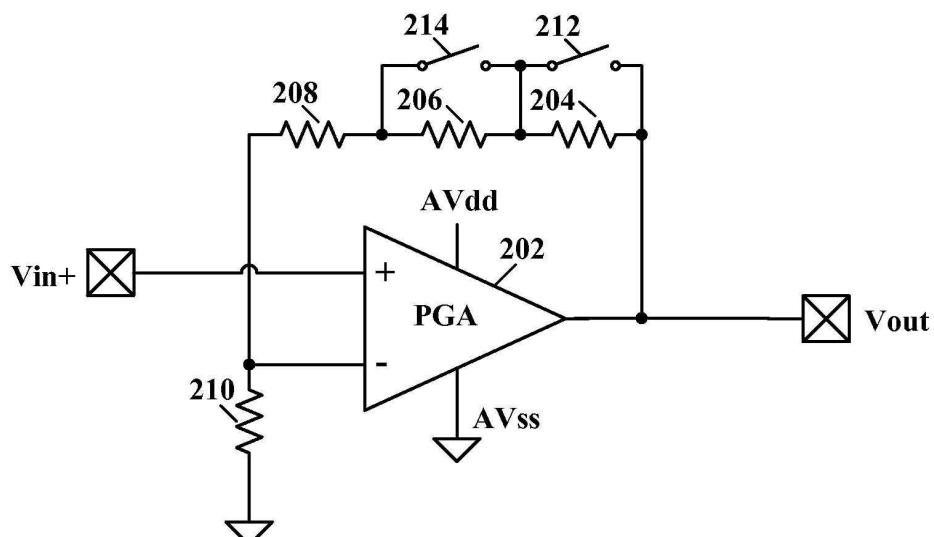
하나의 실시예에서, 제 1 출력 블록(335)의 출력부는 이득 설정 피드백 네트워크 저항기(304) 및 멀티플렉서(320)의 입력부에 결합된다. 또 하나의 실시예에서, 제 1 출력 블록(335)의 출력부는 저항기(304)에 결합되고, 선택적으로는, 멀티플렉서(320)의 입력부(도 3에서 점선으로 도시됨)에 결합되거나 결합되지 않고서 아날로그 출력 외부 연결부(A-0)에 결합될 수 있다. 멀티플렉서(320)의 입력부에 결합될 때, 제 1 출력 블록(335)의 드라이브 능력(drive capability)은, 일반적으로 외부 부하(들)를 구동하는데에 사용되는 제 2 출력 블록(333)(Op-Amp)의 출력 드라이브 능력만큼 클 필요는 없다. 외부 연결들(A-I)을 통한 다수의 아날로그 입력들이 멀티플렉서들(320 및 370)에 제공될 수 있다. 멀티플렉서들(320 및 370)은 프로세서(366)에 의해 제어될 수 있다. 아날로그 신호 출력부들, 예컨대, DAC(364), 제 2 출력 블록(333)의 출력부(Vout), 제 1 출력 블록(335)의 출력부는 외부 연결부들(A-0)에 결합될 수 있다. 구성 가능한 아날로그 입-출력들(A-I/0) 및 디지털 입-출력들(D-I/0)뿐만 아니라, 디지털 입력들(D-I) 및 출력들(D-O)에 대한 외부 연결부들은 도시되어 있지 않지만 여기서 고려된다. 선택된 구성 가능한 아날로그 증폭기(352) 모드의 동작에 필요치 않은 외부 연결들은 프로세서(366)에 의해 제어될 수 있는 각각의 입-출력 구성 멀티플렉서들(미도시됨)을 통해 다른 신호/기능 용도로 사용될 수 있다.

도면

도면1



도면2



도면3

