



(21) 申請案號：098104692

(22) 申請日：中華民國 98 (2009) 年 02 月 13 日

(51) Int. Cl. : H01L23/48 (2006.01)

H01L21/58 (2006.01)

(30) 優先權：2008/02/22 美國

12/036,143

(71) 申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72) 發明人：史基特 歐斯瓦 SKEETE, OSWALD (US)

(74) 代理人：林志剛

(56) 參考文獻：

TW I224486B

US 6150724

審查人員：陳志遠

申請專利範圍項數：11 項 圖式數：3 共 0 頁

(54) 名稱

積體電路封裝及其製造方法

INTEGRATED CIRCUIT PACKAGE AND METHOD OF MANUFACTURING SAME

(57) 摘要

一種積體電路封裝，其包含具有一第一表面(111、211)及相對之一第二表面(112、212)的一基材(110、210)、及相鄰於該基材之第一表面的一晶粒平台(130、230)。該基材具有在其中之一凹部(120、220)。該積體電路封裝另外包含在該基材之凹部中的一電容器(140、240)。

An integrated circuit package includes a substrate (110, 210) having a first surface (111, 211) and an opposing second surface (112, 212), and a die platform (130, 230) adjacent to the first surface of the substrate. The substrate has a recess (120, 220) therein. The integrated circuit package further includes a capacitor (140, 240) in the recess of the substrate.

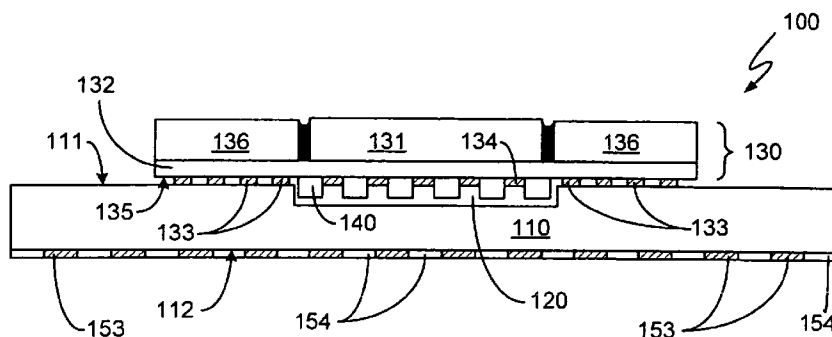


圖 1

100 . . . 積體電路封裝

110 . . . 基材

111 . . . 第一表面

112 . . . 第二表面

120 . . . 凹部

130 . . . 晶粒平台

131 . . . 晶粒

132 . . . 增層

133、153 . . . 互連結構

134 . . . 阻焊劑

135 . . . 表面

136 . . . 絕緣核心材
料

140 . . . 電容器

154 . . . 阻焊劑

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98104692

※申請日：98年02月13日

※IPC分類：

H01L 23/48 (2006.01)
H01L 21/58 (2006.01)

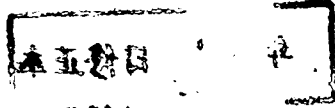
一、發明名稱：(中文/英文)

積體電路封裝及其製造方法

Integrated circuit package and method of manufacturing same

二、中文發明摘要：

一種積體電路封裝，其包含具有一第一表面(111、211)及相對之一第二表面(112、212)的一基材(110、210)、及相鄰於該基材之第一表面的一晶粒平台(130、230)。該基材具有在其中之一凹部(120、220)。該積體電路封裝另外包含在該基材之凹部中的一電容器(140、240)。



三、英文發明摘要：

An integrated circuit package includes a substrate (110, 210) having a first surface (111, 211) and an opposing second surface (112, 212), and a die platform (130, 230) adjacent to the first surface of the substrate. The substrate has a recess (120, 220) therein. The integrated circuit package further includes a capacitor (140, 240) in the recess of the substrate.

四、指定代表圖：

(一)、本案指定代表圖為：第(1)圖。

(二)、本代表圖之元件代表符號簡單說明：

100：積體電路封裝

110：基材

111：第一表面

112：第二表面

120：凹部

130：晶粒平台

131：晶粒

132：增層

133、153：互連結構

134：阻焊劑

135：表面

136：絕緣核心材料

140：電容器

154：阻焊劑

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明揭示之實施例通常相關於積體電路封裝，且更明確地相關於用於此種封裝之電力輸送設計。

【先前技術】

現代積體電路包含大量的半導體裝置，可能包含數百萬個迅速開關之電晶體。電晶體的轉換產生高頻雜訊，且必須控制其以產生高速計算環境所需之免於雜訊、穩定的電力輸送系統。解耦合電容器（也指稱為旁路電容器）經常使用在此種系統中以控制雜訊，例如，藉由將該雜訊接地。通常會使用數百個解耦合電容器以抵銷電晶體雜訊的影響，且彼等之放置對電性性能及電力測試目的二者係重要的設計要素。

通常，將解耦合電容器放置成儘可能地接近彼等所保護的裝置，以最小化在該等裝置及該等電容器之間的線路電感及串聯電阻的量。在既存封裝中，電力輸送選擇包含將電容器放置在該封裝的地側上及/或晶粒側上。也許將電容器放置在地側上係最典型的，彼等在該處以該基材及該晶粒/基材互連的厚度與該晶粒分隔。

【發明內容】

一種積體電路封裝，其包含具有一第一表面（111、211）及相對之一第二表面（112、212）的一基材（110、

210)、及相鄰於該基材之第一表面的一晶粒平台(130、230)。該基材具有在其中之一凹部(120、220)。該積體電路封裝另外包含在該基材之凹部中的一電容器(140、240)。

【實施方式】

在描述及申請專利範圍中的術語「第一」、「第二」、「第三」、「第四」等，若有任一者，係在相似元件間用於區分，且不必然用於描述特定順序上或時間上的次序。待理解如此使用之該等術語在適當環境下係可交換的，使得此處所描述之本發明的實施例，例如，能以與所描繪之或此處另外描述之順序不同的順序操作。相似地，若此處將一方法描述成包含一系列步驟，此處呈現的此種步驟之次序不必然係可能執行此種步驟的唯一次序，並可能省略已述及的特定步驟且/或可能將此處未描述的其他特定步驟加至該方法。再者，術語「包含」、「包括」、「具有」、及其之任何變化傾向於涵蓋非專屬包含，使得包含元件列表的製程、方法、物件、或設備不必然受限於此等元件，但可能將未明確表列之或固有的其他元件包含至此種製程、方法、物件、或設備。

在描述及申請專利範圍中的術語「左」、「右」、「前」、「後」、「頂」、「底」、「上方」、「下方」等，若有任一者，係用於描述之目的而不必然用於描述永久相對位置。待理解如此使用之該等術語在適當環境下係可

交換的，使得此處所描述之本發明的實施例，例如，能在與所描繪之或此處另外描述之定向不同的定向上操作。將於此處使用的術語「耦合」界定為以電性或非電性方式直接或間接連接。當對使用該片語的本文係適當時，在此處中描述為彼此「相鄰」之物件可能係彼此實體接觸、彼此緊密接近、或彼此在相同的普通區域或範圍中。在此處出現的片語「在一實施例中」不必然全部指示相同的實施例。

在本發明之一實施例中，積體電路封裝包含具有第一表面及相對之第二表面的基材、及相鄰於該基材之第一表面的晶粒平台。該基材具有在其中的一凹部。該積體電路封裝另外包含在該基材之凹部中的電容器（或其他組件）。（雖然此文件幾乎專門集中在作為在該基材凹部中之組件的電容器，應理解也可能使用其他組件，諸如薄膜陣列等（當受限於尺寸時），且使用適當的修改，此處所述之關於電容器的內容也適用於此種其他組件，對熟悉本技術領域之人士係顯而易見的。）

存在於該基材中的凹部提供降低該晶粒平台所支撐的晶粒及該等解耦合電容器之間的分隔距離之機會。大分隔距離降低時脈頻率並產生雜訊。因此，藉由最小化線路電感及串聯電阻，本發明之實施例可能增強電性性能，而在晶粒平台及基材之間並在基材及印刷電路板或其他次級裝置之間的二者上保留或致能不同的互連選擇。

例如，本發明之實施例藉由將電容器放置成比目前封

裝的可能放置更加接近該晶粒，而容許為最佳電性性能來將電容器放置最佳化，其依次降低所需之電容器數量，因此降低成本及尺寸。再者，若有需要，相較於電容器係嵌入於該基材的設計，可更加輕易地將電容器減少。

本發明之實施例的另一優點在於其維持插座相容性的能力。該封裝的低密度或其他第一部分可能設計成符合既存主機板，而可能更積極地設計成高密度或其他第二部分。使用此方法，當封裝尺寸在晶粒平台級上縮減時，不會強迫主機板產業以相同步調前進。例如，尖端規格可能合併入晶粒平台部分中，而保留在任何期望之形狀因素中將該部分簡易地附接至該低密度部分且整體上維持對該積體電路封裝之插座相容性。

現在參考圖式，圖 1 係根據本發明實施例之積體電路封裝 100 的橫剖面圖。如圖 1 所描繪的，積體電路封裝 100 包含具有表面 111 及相對的表面 112 並包括凹部 120 之基材 110。在圖 1 所描繪之該實施例中，凹部 120 係在表面 111 中。積體電路封裝 100 另外包含相鄰於基材 110 之表面 111 的晶粒平台 130 及在凹部 120 中的電容器 140。阻焊劑 134 也在凹部 120 中。

圖 1 描寫在凹部 120 中的總計六個電容器，但此描述不應理解為將電容器的數量限制成一個或六個或實際限制為任何特定數量。更確切地說，根據本發明之不同實施例，如設計參數、期望之電性性能、或其他因素所指示或需要的，可能將任何合適數量的電容器定位在凹部 120 中。

因此，除非另行指示，此處對電容器 140 的參考應理解為適用於所有處境相似的電容器上。

如圖 1 所描繪的，晶粒平台 130 包含無凸塊增層（BBUL）組件，該組件包含晶粒 131、相鄰於晶粒 131 之複數層增層 132、及相鄰於增層 132 之複數個互連結構 133。晶粒平台 130 另外包含絕緣核心材料 136，其給予晶粒平台 130 其剛性、界定該封裝尺寸、且提供將該等互連自晶粒 131 扇出的空間。晶粒平台 130 使用互連結構 133 電性地及實體地耦合至基材 110。此處應注意在圖 1 之實施例中的積體電路封裝 100 係混合 BBUL 封裝，而該 BBUL 組件（晶粒平台 130）係此種混合 BBUL 封裝的高密度互連路由元件且基材 110 係此種混合 BBUL 封裝之低密度互連路由元件。另外須注意本發明之其他實施例可能使用其他混合高密度/低密度封裝類型，或其他種類之封裝類型，彼等之任一者，例如，可能適合用於維持插座相容性（在其他可能優點之間）。

使用在基材 110 之表面 111 中的凹部 120，電容器 140 如圖 1 所示可實體地附接至晶粒平台 130。例如，該實體附接可使用焊接技術或其他來達成。此組態容許在電容器 140 及晶粒 131 之間的很小分隔距離，遠小於電容器及晶粒係以該基材及該晶粒/基材之互連的厚度分隔之既存封裝。晶粒 131 及電容器 140 之間的最小可能分隔距離對給定電容提供最大的電性性能利益。此外，電容器的數量、且因此電容值可能降低，而仍維持與具有較大分隔距

離之較高電容系統相同的性能。

再者，因為不必將電容器 140 放置在基材 110 之表面 112 上，其中其曾放置在較早期的積體電路封裝中，此組態容許平面全陣列或其他互連在基材 110 的表面 112 上，在基材 110 中，實質上所有的表面 112 係由互連結構 153 覆蓋。從製造程序起即留下的阻焊劑 154 之區域係位於互連結構 153 的各相鄰對之間。應注意在此處之此本文及相似本文中使用的該片語「實質上所有」並不必然地意謂著實質上所有表面係由互連覆蓋。更確切地說，在此處，其可能僅意謂著互連及居間特性（例如，阻焊劑）之組合覆蓋實質上所有表面。

互連結構 153 致能電性及/或實體連接至印刷電路板或其他次級裝置。全平面格柵陣列（或諸如球格柵陣列及接腳格柵陣列之其他種類的互連全陣列）最大化基材 110 的輸入/輸出點之數量（例如，至主機板等的接腳輸出數量），從而在封裝尺寸、電性連接、及訊號傳播方面提供優點。

設計凹部 120 以容納電容器 140 並避免在晶粒平台 130 及基材 110 之附接期間或之後的機械性干擾。例如，在互連結構 133 接觸增層 132 及基材 110 之表面 111 的同時，電容器 140 必須能安置在凹部 120 中。若凹部 120 過淺（亦即，其在 z 方向上的尺寸太小），電容器 140 及凹部 120 的基底之間的機械性干擾將妨礙此種接觸。同時，凹部 120 在 x 及 y 方向上必須適當尺寸化，以防止對準問

題。在該方面，必須有足夠大的容差以再次容許將電容器 140 放置在凹部 120 中，而不干擾凹部 120 的側壁。

仍參考圖 1，複數個互連結構 133 係定位於晶粒平台 130 之表面 135，其在該描繪之實施例中係增層 132 的下表面。如圖所示，複數個互連結構 133 形成覆蓋表面 135 之一部分的陣列（例如，BBUL 格柵陣列），雖然由於凹部 120 的存在，該部分較所有表面 135 為少。可能因此將互連結構 133 視為在表面 135 形成部分陣列。

圖 2 係根據本發明實施例之積體電路封裝 200 的橫剖面圖。如圖 2 所描繪的，積體電路封裝 200 包含具有表面 211 及相對的表面 212 並包括凹部 220 之基材 210。在圖 2 描繪之該實施例中，凹部 220 係在表面 212 中。不同的設計考慮，包含尺寸限制、製造考量等，影響該凹部的放置，不論如此處係在表面 212 中，或是如圖 1 中係在表面 111 中。未於上文提及的超過圖 2 實施例之圖 1 實施例的一個可能優點係設若其具有如圖 1 實施例所具有之合適的電容器，獨立的 BBUL 組件可能受到電量全滿測試，包含結構及功能測試二者。不具有該基材之 BBUL 組件在小形狀因素環境中也係有利的。

積體電路封裝 200 另外包含相鄰於基材 210 之表面 211 的晶粒平台 230 及在凹部 220 中的電容器 240。阻焊劑 234 也在凹部 220 中。例如，基材 210、表面 211、表面 212、凹部 220、晶粒平台 230、阻焊劑 234、及電容器 240 可分別與全部於圖 1 中顯示之基材 110、表面 111、表

面 112、凹部 120、晶粒平台 130、阻焊劑 134、及電容器 140 相似。圖 2 描寫在凹部 220 中的總計六個電容器，但如同圖 1 所示之使用積體電路封裝 100 的例子，此描述不應理解為將電容器的數量限制成特定數量。更確切地說，根據本發明之不同實施例，如設計參數、期望之電性性能、或其他因素所指示或需要的，可能將任何合適數量的電容器定位在凹部 220 中。因此，除非另行指示，本文對電容器 240 的參考應理解為適用於所有處境相似的電容器上。

如圖 2 所描繪的，晶粒平台 230 包含 BBUL 組件，該組件包含晶粒 231、相鄰於晶粒 231 之複數層增層 232、及相鄰於增層 232 之複數個互連結構 233。晶粒平台 230 另外包含核心材料 236。例如，晶粒 231、增層 232、互連結構 233、及核心材料 236 可分別與全部於圖 1 中顯示之晶粒 131、增層 132、互連結構 133、及核心材料 136 相似。晶粒平台 230 使用互連結構 233 電性地及實體地耦合至基材 210。

複數個互連結構 233 係定位於晶粒平台 230 之表面 235，其在該描繪之實施例中係增層 232 的下表面。使用定位於基材 210 之平面側上的凹部 220，互連結構 233 形成覆蓋晶粒平台 230 之實質上所有表面 235 的陣列。在該經描繪實施例中，互連結構 233 形成用於與基材 210 互連之全 BBUL 格柵陣列，而仍在電容器 240 及晶粒 231 之間提供較短電路（亦即，較小的分隔距離）。此種較小分隔

距離及全格柵陣列的優點已在上文中討論。如圖所示，全 BBUL 格柵陣列覆蓋實質上所有表面 235。

基材 210 之表面 212 的一部分係以互連結構 253 之陣列覆蓋，其將基材 210 實體地及/或電性地連接至印刷電路板或其他次級裝置。從製造程序起即留下的阻焊劑 254 之區域係位於互連結構 253 的各相鄰對之間。如同互連結構 153 之事實（參見圖 1），互連結構 253 可能包含平面、球、接腳等。

圖 3 係描繪根據本發明實施例之積體電路封裝製造方法 300 的流程圖。方法 300 之步驟 310 係提供具有第一表面及相對之第二表面的基材，該基材包含在其中的凹部。例如，該基材、該第一表面、及該第二表面可分別與全部於圖 1 中顯示之基材 110、表面 111、及表面 112 相似。另一例係，該凹部可與也在圖 1 中顯示之凹部 120 相似。

在一實施例中，步驟 310 包含提供具有在該第一表面中之凹部的基材，使其相似於圖 1 所示之積體電路封裝 100。在另一實施例中，步驟 310 包含提供具有在該第二表面中之凹部的基材，使其相似於圖 2 所示之積體電路封裝 200。

方法 300 之步驟 320 係將晶粒平台附接至該基材的第一表面。例如，該晶粒平台可與圖 1 顯示之晶粒平台 130 相似。在一實施例中，步驟 320 包含附接無凸塊增層組件，該組件包含晶粒、相鄰於該晶粒之複數層增層、及相鄰於該等增層之複數個互連結構。例如，該晶粒、該等增層

、及該等互連結構可分別與全部於圖 1 中顯示之晶粒 131、增層 132、及互連結構 133 相似。

在該凹部係定位於該基材之第一表面中的至少部分實施例中，步驟 320 導致該基材的實質上所有第二表面係由互連結構之陣列所覆蓋。此種結構可能包含如上文所討論之平面格柵陣列、球格柵陣列、及接腳格柵陣列等。

在該凹部係定位於該基材之第二表面中的至少部分實施例中，步驟 320 導致複數個互連結構（諸如 BBUL 格柵陣列等）形成覆蓋該晶粒平台之實質上所有第一表面的陣列。

方法 300 之步驟 330 係在該基材之凹部中放置電容器。例如，該電容器可與圖 1 顯示之電容器 140 相似。

方法 300 的步驟 340 係將該電容器實體地附接至該晶粒平台。如上文所解釋，此步驟可能在該凹部係在該基材之第一表面中的實施例中執行。

雖然已參考特定實施例描述本發明，熟悉本技術領域之人士將理解可能產生不同的改變而無須離開本發明之精神或範圍。因此，本發明之實施例的揭示傾向於係本發明之範圍的說明而不傾向於係限制。其傾向於本發明的範圍應僅受限於隨附之申請專利範圍所要求的範圍。例如，此處所討論之積體電路封裝及相關方法可能在不同實施例中實現，且該等實施例之前述特定討論不必然代表所有可能實施例的完整描述，此對熟悉本技術領域之人士將係顯而易見的。

此外，已描述關於特定實施例之利益、其他優點、及問題的解答。然而，並不將該等利益、優點、問題解答、及任何要素、或可能導致任何利益、優點、或解答發生或變得更明確的要素解釋為任何或所有申請專利範圍之關鍵的、必須的、或基本的特性或要素。

此外，若該等實施例及/或限制：（1）未明確在申請專利範圍中申請；且（2）在等同原則下，等同於或可能等同於申請專利範圍中的表達要素及/或限制，此處揭示之實施例及限制在奉獻原則下並不奉獻給公眾。

【圖式簡單說明】

從閱讀下文之詳細描述連同圖式中採用的該等隨附圖形，將更佳的理解已揭示之該等實施例，在該等圖式中：

圖 1 係根據本發明實施例之積體電路封裝的橫剖面圖

；

圖 2 係根據本發明另一實施例之積體電路封裝的橫剖面圖；以及

圖 3 係描繪根據本發明實施例之積體電路封裝製造方法的流程圖。

為了使說明簡化及明確，該等繪圖描繪構造的通用方式，且可能省略已為人熟知之特性及技術的描述及細節，以避免非必要地混淆本發明之已描述實施例的討論。此外，在該等繪圖中的元件不必然依比例繪製。例如，可能將該等圖中的部分元件的尺寸相對於其他元件誇大，以協助

改善對本發明之實施例的理解。不同圖中的相同參考數字指示相同的元件，而相似的參考數字可能，但不必然，指示相似的元件。

【主要元件符號說明】

100、200：積體電路封裝

110、210：基材

111、211：第一表面

112、212：第二表面

120、220：凹部

130、230：晶粒平台

131、231：晶粒

132、232：增層

133、153、233、253：互連結構

134、234：阻焊劑

135、235：表面

136、236：絕緣核心材料

140、240：電容器

154、254：阻焊劑

300：方法

101年9月20日修正

1-3頁

附件3A：第098104692號申請專利範圍修正本

民國 101 年 9 月 20 日修正

七、申請專利範圍：

1. 一種積體電路封裝，包含：

一基材，具有一第一表面及相對之一第二表面，該第二表面具有互連結構之第一陣列且包含在其中之一凹部；

一晶粒平台，在該凹部之外且相鄰於該基材之該第一表面，其中該晶粒平台包含一無凸塊增層組件，該無凸塊增層組件包含：

一晶粒；

複數個增層，直接地被附接至該晶粒而無須使用居間互連凸塊；以及

互連結構之第二陣列，相鄰於該等增層；以及

一電容器，在該基材之凹部中，其中互連結構之該第一陣列具有較互連結構之該第二陣列之密度低的密度。

2. 如申請專利範圍第 1 項之積體電路封裝，其中：

該電容器實體地附接至該晶粒平台。

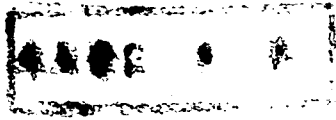
3. 如申請專利範圍第 2 項之積體電路封裝，其中：

該基材之實質上所有的該第二表面係以互連結構之該第一陣列覆蓋。

4. 如申請專利範圍第 3 項之積體電路封裝，其中：

互連結構之該第二陣列定位在該晶粒平台的第一表面；且

互連結構之該第二陣列覆蓋該晶粒平台的該第一表面



之一部分。

5. 如申請專利範圍第 1 項之積體電路封裝，其中：

互連結構之該第二陣列定位在該晶粒平台的第一表面

；且

互連結構之該第二陣列覆蓋該晶粒平台之實質上所有的該第一表面。

6. 一種積體電路封裝，包含：

一基材，具有一第一表面及相對之一第二表面，該第二表面包含在其中之一凹部，且該第二表面具有互連結構之一陣列；

一無凸塊增層組件，在該凹部之外且實體地和電性地耦合至該基材之該第一表面，該無凸塊增層組件包含：

一晶粒；

複數個增層，直接地被附接至該晶粒而無須使用居間互連凸塊；以及

一無凸塊增層格柵陣列，定位在該無凸塊增層組件之第一表面且覆蓋該無凸塊增層組件之實質上所有的該第一表面；以及

複數個電容器，在該基材之該凹部中，其中互連結構之該陣列具有較該無凸塊增層格柵陣列之密度低的密度。

7. 如申請專利範圍第 6 項之積體電路封裝，其中：

該複數個電容器實體地附接至該無凸塊增層組件。

8. 如申請專利範圍第 7 項之積體電路封裝，其中：

該基材之實質上所有的該第二表面係以互連結構之該

陣列覆蓋。

9. 一種用於製造一積體電路封裝的方法，該方法包含：

提供具有第一表面及相對之第二表面的一基材，該第二表面包含在其中之一凹部，該第二表面具有互連結構之第一陣列；

將一晶粒平台附接至在該凹部之外的該基材的該第一表面；以及

將一電容器放置在該基材之該凹部中，其中：

附接該晶粒平台包含附接一無凸塊增層組件，該無凸塊增層組件包含：

一晶粒；

複數個增層，直接地附接至該晶粒而無須使用居間互連凸塊；以及

互連結構之第二陣列，相鄰於該等增層；以及

互連結構之該第一陣列具有較互連結構之該第二陣列之密度低的密度。

10. 如申請專利範圍第 9 項的方法，另外包含：

將該電容器實體地附接至該晶粒平台。

11. 如申請專利範圍第 10 項的方法，其中：

該基材之實質上所有的該第二表面係以互連結構之該第一陣列覆蓋。

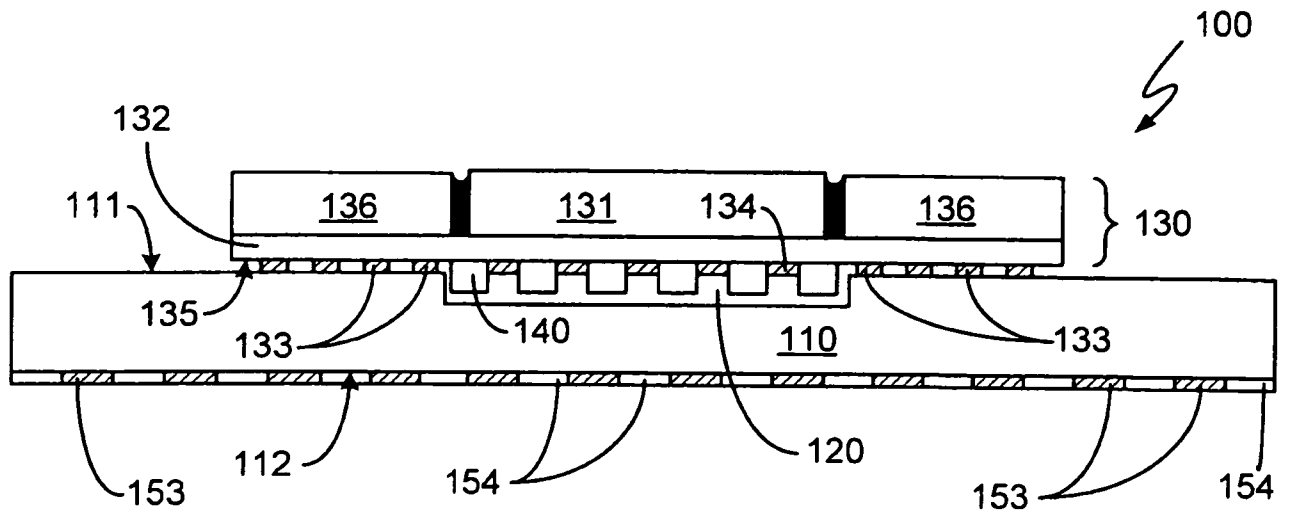


圖 1

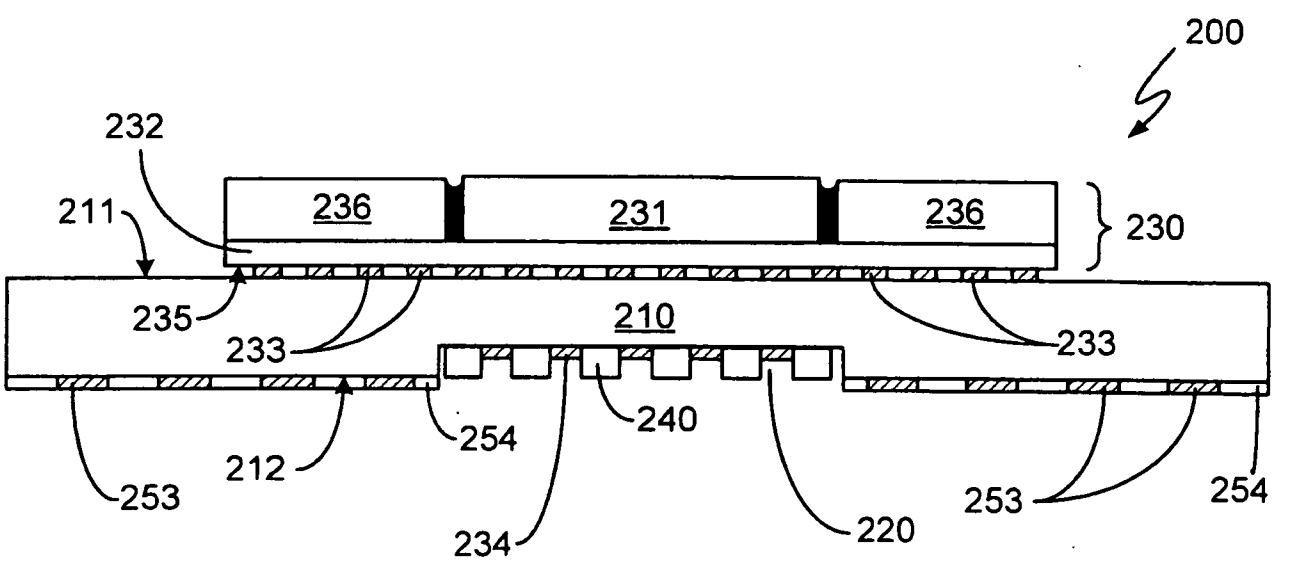


圖 2

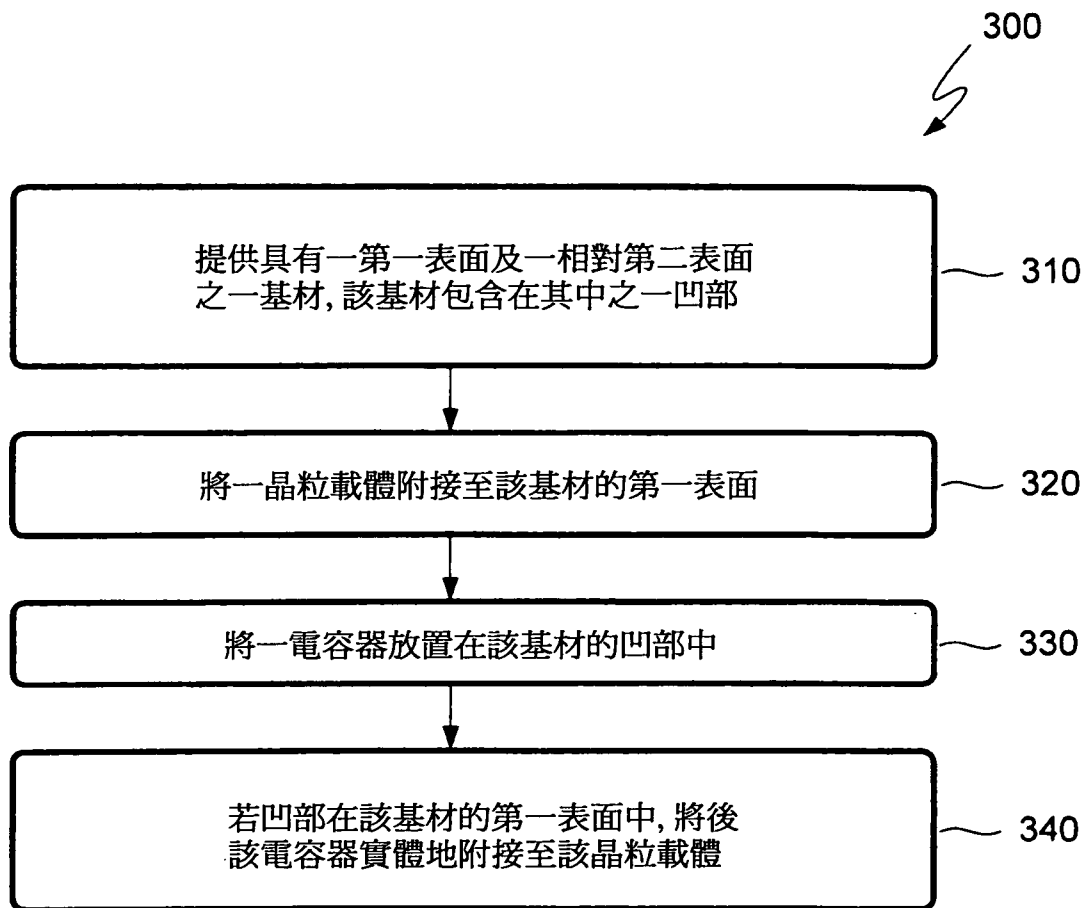


圖3