

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成24年1月12日 (2012.1.12)

【公開番号】特開2009-163860(P2009-163860A)

【公開日】平成21年7月23日 (2009.7.23)

【年通号数】公開・登録公報2009-029

【出願番号】特願2008-308750(P2008-308750)

【国際特許分類】

G 1 1 C 17/06 (2006.01)

G 1 1 C 17/14 (2006.01)

G 1 1 C 16/02 (2006.01)

H 0 1 L 27/10 (2006.01)

G 0 6 K 19/07 (2006.01)

【 F I 】

G 1 1 C 17/06 Z

G 1 1 C 17/06 B

G 1 1 C 17/00 6 0 1 P

H 0 1 L 27/10 4 3 1

H 0 1 L 27/10 4 8 1

G 0 6 K 19/00 H

【手続補正書】

【提出日】平成23年11月21日 (2011.11.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

2 値データ " 0 " 及び " 1 " を書き込み可能なメモリセルが複数配置されたメモリセルアレイを含むメモリ回路と、

前記メモリ回路に含まれるメモリセルの一に、2 値データ " 0 " 又は " 1 " の一方を書き込む第 1 の書き込み回路と、

前記メモリ回路に含まれるメモリセルの一に、2 値データ " 0 " 又は " 1 " の他方を書き込む第 2 の書き込み回路と、

前記メモリ回路に含まれるメモリセルの一に書き込まれた 2 値データを読み出す読み出し回路と、を具備し、

前記メモリセルは、アンチフューズを有し、

前記アンチフューズは、「第 1 の状態」、「第 2 の状態」又は「第 3 の状態」をとり、

前記「第 1 の状態」は、初期状態であり、

前記「第 2 の状態」は、前記「第 1 の状態」の前記アンチフューズに前記第 1 の書き込み回路による書き込み動作を行ったときの前記アンチフューズの状態であり、

前記「第 3 の状態」は、前記「第 1 の状態」の前記アンチフューズに前記第 2 の書き込み回路による書き込み動作を行ったときの前記アンチフューズの状態であり、

前記アンチフューズの前記「第 2 の状態」又は前記「第 3 の状態」が 2 値データ " 0 " 又は " 1 " に対応していることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記アンチフューズは、第 1 の電極と、絶縁層と、シリコン層と、第 2 の電極と、が積層された素子構造を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 の書き込み回路又は前記第 2 の書き込み回路のいずれかを選択し、前記メモリ回路へのデータの書き込みを実行させる選択回路を具備することを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかにおいて、

前記アンチフューズは、

前記「第 3 の状態」よりも前記「第 2 の状態」の電気抵抗値が大きく、

前記「第 2 の状態」よりも前記「第 1 の状態」の電気抵抗値が大きいことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかにおいて、

前記メモリセルは、前記アンチフューズと、前記アンチフューズと電氣的に接続するトランジスタを有し、

前記トランジスタにより書き込み電圧の印加を制御することを特徴とする半導体装置。

【請求項 6】

アンチフューズを備え、2 値データ " 0 " 及び " 1 " を書き込み可能なメモリセルが複数配置されたメモリセルアレイを含むメモリ回路と、

第 1 の書き込み回路と、

第 2 の書き込み回路と、を具備するメモリに対し、

前記メモリ回路に含まれるメモリセルの一に、2 値データ " 0 " 又は " 1 " の一方を書き込む場合は、前記メモリセルの一に含まれる「第 1 の状態」である前記アンチフューズに前記第 1 の書き込み回路による書き込み動作を行うことで「第 2 の状態」に変化させ、

前記メモリ回路に含まれるメモリセルの一に、2 値データ " 0 " 又は " 1 " の他方を書き込む場合は、前記メモリセルの一に含まれる前記「第 1 の状態」である前記アンチフューズに前記第 2 の書き込み回路による書き込み動作を行うことで「第 3 の状態」に変化させることを特徴とするメモリのデータ書き込み方法。

【請求項 7】

請求項 7 において、

前記アンチフューズは、第 1 の電極と、絶縁層と、シリコン層と、第 2 の電極と、が積層された素子構造であることを特徴とするメモリのデータ書き込み方法。

【請求項 8】

請求項 6 又は請求項 7 において、

前記メモリセルの一は、前記書き込み動作を行う前は初期状態である前記「第 1 の状態」の前記アンチフューズを備え、

前記「第 1 の状態」の前記アンチフューズは、

前記第 1 の書き込み回路による書き込み動作が行われた場合は前記「第 2 の状態」に変化し、

前記第 2 の書き込み回路による書き込み動作が行われた場合は前記「第 3 の状態」に変化することを特徴とするメモリのデータ書き込み方法。

【請求項 9】

請求項 6 乃至請求項 8 のいずれかにおいて、

前記第 1 の書き込み回路又は前記第 2 の書き込み回路による書き込み動作を行う際に、

前記アンチフューズが前記「第 2 の状態」又は前記「第 3 の状態」である場合は、2 値データ " 0 " 又は " 1 " の書き込みは行わないことを特徴とするメモリのデータ書き込み方法。