

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月8日(08.08.2024)



(10) 国際公開番号

WO 2024/161260 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H05B 33/14 (2006.01)
H01L 21/336 (2006.01) H10K 50/115 (2023.01)
H01L 21/8234 (2006.01) H10K 50/84 (2023.01)
H01L 27/06 (2006.01) H10K 59/12 (2023.01)
H01L 27/088 (2006.01) H10K 71/00 (2023.01)
H05B 33/02 (2006.01) H10K 71/40 (2023.01)
H05B 33/10 (2006.01)

特願 2023-014450 2023年2月2日(02.02.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 島行徳 (SHIMA, Yukinori). 神長正美
(JINTYOU, Masami). 肥塚純一 (KOEZUKA,
Junichi); 〒2430036 神奈川県厚木市長谷
398 株式会社半導体エネルギー研究
所内 Kanagawa (JP).

(21) 国際出願番号: PCT/IB2024/050730

(22) 国際出願日: 2024年1月26日(26.01.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

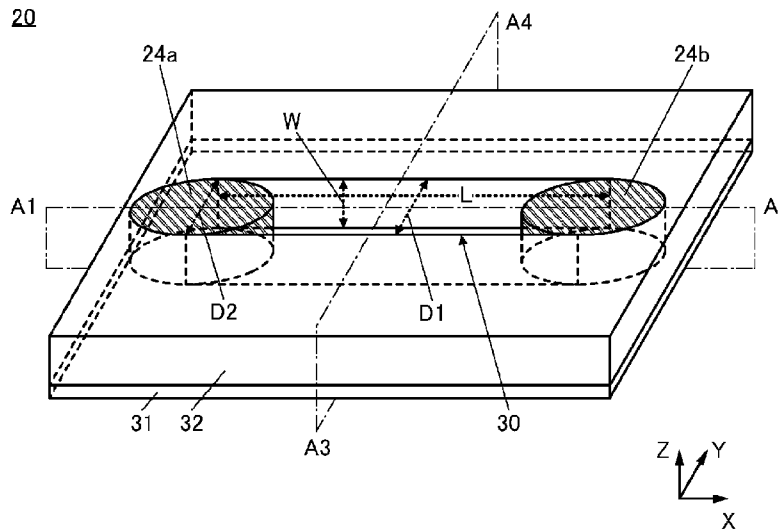
(30) 優先権データ:

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置、及び、半導体装置の作製方法

図1A



(57) Abstract: Provided is a semiconductor device having excellent electrical characteristics. The present invention comprises a transistor and a first insulation layer. The transistor has a source electrode, a drain electrode, a semiconductor layer, a gate insulation layer, and a gate electrode. The source electrode and the drain electrode each have an upper-surface shape of a circle, an ellipse, a polygon, or a rounded-corner polygon and are provided in columnar shapes facing each other so as to be embedded in the first insulation layer. The first insulation layer has an opening between the source electrode

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

and the drain electrode. The semiconductor is provided so as to contact the side surfaces of the source electrode and the drain electrode that face each other, and the side surface of the first insulation layer between the source electrode and the drain electrode, in the opening. The gate insulation layer is provided so as to contact the side surface of the semiconductor layer in the opening. The gate electrode is provided so as to contact the side surface of the gate insulation layer, in the opening, so that the gate electrode has a region that faces the semiconductor layer.

(57) 要約: 電気特性が良好な半導体装置を提供する。トランジスタと、第1の絶縁層と、を有し、トランジスタは、ソース電極、ドレイン電極、半導体層、ゲート絶縁層、及びゲート電極を有し、ソース電極及びドレイン電極は、それぞれ円形、楕円形、多角形、角の丸い多角形のいずれかの上面形状を有し、第1の絶縁層に埋め込まれるように対向して柱状に設けられ、第1の絶縁層は、ソース電極と、ドレイン電極と、の間に開口を有し、半導体層は、開口において、ソース電極とドレイン電極の互いに対向する側面、及び、ソース電極とドレイン電極との間の第1の絶縁層の側面に接して設けられ、ゲート絶縁層は、開口において、半導体層の側面に接して設けられ、ゲート電極は、開口において、半導体層と対向する領域を有するように、ゲート絶縁層の側面に接して設けられる。

明細書

発明の名称

半導体装置、及び、半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、及び、その作製方法に関する。本発明の一態様は、トランジスタ、及び、その作製方法に関する。本発明の一態様は、半導体装置を有する表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野として、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらを有する電子機器、それらの駆動方法、又はそれらの製造方法を一例として挙げることができる。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能し得る装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は、半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

[0004]

トランジスタを有する半導体装置は、電子機器に広く適用されている。また、近年、表示装置の用途が多様化しており、例えば、携帯情報端末、テレビジョン装置（テレビジョン受信機ともいう。）、デジタルサイネージ（Digital Signage：電子看板）、及びPID（Public Information Display）などに表示装置が用いられている。表示装置として、例えば、有機EL（Electro Luminescence）素子、又は発光ダイオード（LED：Light Emitting Diode）を有する表示装置、液晶素子を有する表示装置、電気泳動方式により表示を行う電子ペーパーが挙げられる。

[0005]

表示装置において、トランジスタの占有面積を小さくすることで、画素サイズを縮小することができ、精細度を高めることができる。また、トランジスタの占有面積を小さくすることで、開口率を高めることができる。そのため、微細なトランジスタが求められている。

[0006]

高精細な表示装置が要求される機器として、例えば、仮想現実（VR：Virtual Reality）、拡張現実（AR：Augmented Reality）、代替現実（SR：Substitutional Reality）、及び、複合現実（MR：Mixed Reality）向けの機器が、盛んに開発されている。

[0007]

特許文献1には、有機EL素子を用いた、高精細な表示装置が開示されている。

[先行技術文献]

[特許文献]

[0008]

[特許文献1] 国際公開第2016/038508号

発明の概要

発明が解決しようとする課題

[0009]

本発明の一態様は、微細なサイズのトランジスタを提供することを課題の一とする。又は、本発明の一態様は、チャネル長が長いトランジスタを提供することを課題の一とする。又は、本発明の一態様は、電気特性が良好なトランジスタ又は半導体装置を提供することを課題の一とする。又は、本発明の一態様は、占有面積が小さい半導体装置を提供することを課題の一とする。又は、本発明の一態様は、消費電力が低い半導体装置又は表示装置を提供することを課題の一とする。又は、本発明の一態様は、信頼性が高いトランジスタ、半導体装置、又は表示装置を提供することを課題の一とする。又は、本発明の一態様は、高精細化が容易な表示装置を提供することを課題の一とする。又は、本発明の一態様は、生産性が高い半導体装置又は表示装置の作製方法を提供することを課題の一とする。又は、本発明の一態様は、新規なトランジスタ、半導体装置、表示装置、又はこれらの作製方法を提供することを課題の一とする。

[0010]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0011]

本発明の一態様は、トランジスタと、第1の絶縁層と、を有し、トランジスタは、ソース電極、ドレイン電極、半導体層、ゲート絶縁層、及びゲート電極を有し、ソース電極及びドレイン電極は、それぞれ円形、楕円形、角の丸い多角形のいずれかの上面形状を有し、第1の絶縁層に埋め込まれるように対向して柱状に設けられ、第1の絶縁層は、ソース電極と、ドレイン電極と、の間に開口を有し、半導体層は、開口において、ソース電極とドレイン電極の互いに対向する側面、及び、ソース電極とドレイン電極との間の第1の絶縁層の側面に接して設けられ、ゲート絶縁層は、開口において、半導体層の側面に接して設けられ、ゲート電極は、開口において、半導体層と対向する領域を有するように、ゲート絶縁層の側面に接して設けられる半導体装置である。

[0012]

また上記において、半導体層は、金属酸化物を有していることが好ましい。

[0013]

また上記において、第1の絶縁層は、第2の絶縁層と、第2の絶縁層上の第3の絶縁層と、第3の絶縁層上の第4の絶縁層と、を有し、第2の絶縁層、及び、第4の絶縁層は、窒化物及び窒化酸化物の一方又は双方を有し、第3の絶縁層は、酸化物及び酸化窒化物の一方又は双方を有していることが好ましい。

[0014]

また上記において、ソース電極の上面、ドレイン電極の上面、及び、第1の絶縁層の上面は、高さが概略一致していることが好ましい。

[0015]

また上記において、開口の上面形状は、円形、楕円形、多角形の角が丸い形状、又は、直線と曲線とを組み合わせた閉曲線のいずれかであることが好ましい。

[0016]

また、本発明の一態様は、第1の絶縁層を形成し、第1の絶縁層を加工して、第1の開口及び第2の開口を形成し、第1の開口及び第2の開口を埋め込むように、第1の絶縁層上に、第1の導電膜を形成し、第1の導電膜に対して、第1の絶縁層の上面が露出するまでCMP処理を行い、第1の開口内に、第1の絶縁層と上面の高さが概略等しい第1の導電層を形成し、第2の開口内に、第1の絶縁層と上面の高さが概略等しい第2の導電層を形成し、第1の絶縁層を加工し、第1の導電層と第2の導電層の間に、第3の開口を形成し、第3の開口を覆うように、第1の導電層の上面及び側面、第2の導電層の上面及び側面、並びに、第1の絶縁層の側面及び上面に接する第1の金属酸化物膜を形成し、第1の金属酸化物膜を加工して、第3の開口における第1の導電層の側面、第3の開口における第2の導電層の側面、並びに、第3の開口における第1の絶縁層の側面に接する半導体層を形成し、半導体層上、第1の導電層上、第2の導電層上、及び、第1の絶縁層上に、第2の絶縁層を形成し、第2の絶縁層上に、第2の導電膜を形成し、第2の導電膜を加工して、平面視にて半導体層と重なる領域を有するように第3の導電層を形成する半導体装置の作製方法である。

[0017]

また上記において、第1の絶縁層は、第3の絶縁層と、第3の絶縁層上の第4の絶縁層と、第4の絶縁層上の第5の絶縁層と、を有し、第3の絶縁層及び第5の絶縁層は、窒化物及び窒化酸化物のいずれか1つ又は複数を有する材料で形成し、第4の絶縁層は、酸化物及び酸化窒化物のいずれか1つ又は複数を有する材料で形成することが好ましい。

[0018]

また上記において、第1の金属酸化物膜の加工には、異方性エッチングを用いることが好ましい。

[0019]

また上記において、第1の金属酸化物膜の加工には、レジストマスクを介したエッチング処理を用いることが好ましい。

[0020]

また上記において、第3の絶縁層及び第4の絶縁層の形成後に、第2の金属酸化物膜を形成し、第2の金属酸化物膜の除去後に、第5の絶縁層を形成することが好ましい。

[0021]

また上記において、第3の絶縁層及び第4の絶縁層の形成後に、第2の金属酸化物膜を形成し、第2の金属酸化物膜の形成後に、加熱処理を行うことが好ましい。

[0022]

また上記において、第3の絶縁層及び第4の絶縁層の形成後に、第2の金属酸化物膜を形成し、第2の金属酸化物膜の形成後に、第4の絶縁層に対して、酸素を供給する処理を行うことが好ましい。

発明の効果

[0023]

本発明の一態様により、微細なサイズのトランジスタを提供することができる。又は、本発明の一態様により、チャネル長が長いトランジスタを提供することができる。又は、本発明の一態様に

より、電気特性が良好なトランジスタ又は半導体装置を提供することができる。又は、本発明の一態様により、占有面積が小さい半導体装置を提供することができる。又は、本発明の一態様により、消費電力が低い半導体装置又は表示装置を提供することができる。又は、本発明の一態様により、信頼性が高いトランジスタ、半導体装置、又は表示装置を提供することができる。又は、本発明の一態様により、高精細化が容易な表示装置を提供することができる。又は、本発明の一態様により、生産性が高い半導体装置又は表示装置の作製方法を提供することができる。又は、本発明の一態様により、新規なトランジスタ、半導体装置、表示装置、又はこれらの作製方法を提供することができる。

[0024]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0025]

図1Aは、半導体装置の一例を示す斜視概略図である。図1Bは、半導体装置の一例を示す平面図である。

図2A及び図2Bは、半導体装置の一例を示す断面図である。

図3Aは、半導体装置の一例を示す斜視概略図である。図3Bは、半導体装置の一例を示す平面図である。

図4A及び図4Bは、半導体装置の一例を示す断面図である。

図5Aは、半導体装置の一例を示す斜視概略図である。図5Bは、半導体装置の一例を示す平面図である。

図6A及び図6Bは、半導体装置の一例を示す断面図である。

図7Aは、半導体装置の一例を示す斜視概略図である。図7Bは、半導体装置の一例を示す平面図である。

図8A及び図8Bは、半導体装置の一例を示す断面図である。

図9Aは、半導体装置の一例を示す斜視概略図である。図9Bは、半導体装置の一例を示す平面図である。

図10A及び図10Bは、半導体装置の一例を示す断面図である。

図11Aは、半導体装置の一例を示す斜視概略図である。図11Bは、半導体装置の一例を示す平面図である。

図12A及び図12Bは、半導体装置の一例を示す断面図である。

図13Aは、半導体装置の一例を示す平面図である。図13Bは、半導体装置の一例を示す断面図である。

図14Aは、半導体装置の一例を示す平面図である。図14Bは、半導体装置の一例を示す断面図である。

図15は、半導体装置の一例を示す断面図である。

図16Aは、半導体装置の一例を示す平面図である。図16Bは、半導体装置の一例を示す断面図である。

図17A乃至図17Cは、半導体装置の作製方法の一例を示す断面図である。

図 1 8 A 乃至図 1 8 C は、半導体装置の作製方法の一例を示す断面図である。
図 1 9 A 乃至図 1 9 C は、半導体装置の作製方法の一例を示す断面図である。
図 2 0 A 及び図 2 0 B は、半導体装置の作製方法の一例を示す断面図である。
図 2 1 は、半導体装置の作製方法の一例を示す断面図である。
図 2 2 A 乃至図 2 2 D は、半導体装置の作製方法の一例を示す断面図である。
図 2 3 A 乃至図 2 3 C は、半導体装置の作製方法の一例を示す断面図である。
図 2 4 A 乃至図 2 4 C は、半導体装置の作製方法の一例を示す断面図である。
図 2 5 A 乃至図 2 5 C は、半導体装置の作製方法の一例を示す断面図である。
図 2 6 A は、表示装置の一例を示す斜視図である。図 2 6 B は、表示装置の一例を示すブロック図である。
図 2 7 A は、ラッチ回路の回路図である。図 2 7 B は、インバータ回路の回路図である。
図 2 8 A 及び図 2 8 B は、画素回路の回路図である。図 2 8 C は、画素回路の一例を示す断面図である。
図 2 9 は、表示装置の構成例を示す断面模式図である。
図 3 0 A 及び図 3 0 B は、電子装置の構成例を説明する図である。
図 3 1 A 及び図 3 1 B は、電子装置の構成例を説明する図である。
図 3 2 A 及び図 3 2 B は、表示装置の構成例を説明する図である。
図 3 3 は、表示装置の構成例を説明する図である。
図 3 4 A 乃至図 3 4 C は、表示モジュールの斜視図である。
図 3 5 A 及び図 3 5 B は、表示装置の構成例を説明する図である。
図 3 6 A 乃至図 3 6 D は、画素回路の回路図である。
図 3 7 A 乃至図 3 7 D は、画素回路の回路図である。
図 3 8 A 及び図 3 8 B は、表示装置の構成例を説明する図である。
図 3 9 A 乃至図 3 9 D は、表示装置の構成例を説明する図である。
図 4 0 A 乃至図 4 0 C は、表示装置の構成例を説明する図である。
図 4 1 A 乃至図 4 1 F は、電子機器の一例を示す図である。
図 4 2 A 乃至図 4 2 G は、電子機器の一例を示す図である。
図 4 3 A は、副表示部を説明する図である。図 4 3 B 1 乃至図 4 3 B 7 は、画素の構成例を説明する図である。
図 4 4 A 乃至図 4 4 G は、画素の構成例を説明する図である。
図 4 5 A 乃至図 4 5 D は、発光デバイスの構成例を説明する図である。

発明を実施するための形態

[0026]

実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0027]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合

には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0028]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。また、図面等において、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記している場合、本明細書等において区別する必要が無いときには、識別用の符号を記載しない場合がある。

[0029]

図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲などに限定されない。

[0030]

本明細書等において、「第1」、「第2」という序数詞は、便宜上用いるものであり、構成要素の数、又は、構成要素の順序（例えば、工程順、又は積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、又は特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0031]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

[0032]

トランジスタは半導体素子の一種であり、電流又は電圧を増幅する機能、及び、導通又は非導通を制御するスイッチング動作などを実現することができる。本明細書等におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) 及び薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

[0033]

「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、又は回路動作において電流の方向が変化する場合などには、入れ替わることがある。このため、本明細書等においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。なお、トランジスタのソース及びドレインの呼称については、ソース端子及びドレイン端子、又はソース電極及びドレイン電極等、状況に応じて適切に言い換えることができる。

[0034]

「ゲート」と「バックゲート」は入れ替えることができる。このため、本明細書等においては、「ゲート」と「バックゲート」の用語は、入れ替えて用いることができるものとする。なお、トランジスタのゲート及びバックゲートの呼称については、ゲート電極及びバックゲート電極等、状況に応じて適切に言い換えることができる。

[0035]

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されている

とは、AとBとの間で、何らかの電気的作用を有する対象物が存在するとき、AとBとの電気信号の授受を可能とするものをいう。

[0036]

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう。）にあるときのソースドレイン間のリーク電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い（pチャネル型トランジスタでは、 V_{th} よりも高い）状態をいう。

[0037]

本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、又は一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、又は上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という場合がある。また、上面形状が一致又は概略一致している場合、端部が揃っている、又は概略揃っているということもできる。

[0038]

なお、本明細書等において、ある構成要素の上面形状とは、その平面視における当該構成要素の輪郭形状のことをいう。また、平面視とは、当該構成要素の被形成面、又は当該構成要素が形成される支持体（例えば、基板）の表面の法線方向から見ることをいう。

[0039]

本明細書等において、「高さが概略一致」とは、断面視において、基準となる面（例えば、基板表面などの平坦な面）からの高さが概略等しい構成を示す。また、本明細書等において「概略一致」には、完全に一致している場合と、概略一致している場合のいずれも含むものとする。

[0040]

本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面又は被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面又は被形成面とがなす角（テーパ角ともいう。）が 90° 未満である形状のことを指す。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微小な曲率を有する略平面状、又は微細な凹凸を有する略平面状であってもよい。

[0041]

本明細書等において、メタルマスク、又はFMM（ファインメタルマスク、高精細なメタルマスク）を用いて作製されるデバイスをMM（メタルマスク）構造のデバイスと呼称する場合がある。また、本明細書等において、メタルマスク、又はFMMを用いずに作製されるデバイスをMML（メタルマスクレス）構造のデバイスと呼称する場合がある。なお、MML構造のデバイスは、メタルマスクを用いることなく製造することができるため、メタルマスクの合わせ精度に起因する精細度の上限を超えることができる。また、MML構造のデバイスは、メタルマスクの製造に係る設備及びメタルマスクの洗浄工程を不要にすることができる。また、MML構造のデバイスは、製造コストを低く抑えることが可能となるため、大量生産に適している。

[0042]

本明細書等において、正孔又は電子を、「キャリア」といって示す場合がある。具体的には、正孔注入層又は電子注入層を「キャリア注入層」といい、正孔輸送層又は電子輸送層を「キャリア輸

送層」といい、正孔ブロック層又は電子ブロック層を「キャリアブロック層」という場合がある。なお、上述のキャリア注入層、キャリア輸送層、及びキャリアブロック層は、それぞれ、断面形状、又は特性などによって明確に区別できない場合がある。また、1つの層が、キャリア注入層、キャリア輸送層、及びキャリアブロック層のうち2つ又は3つの機能を兼ねる場合がある。

[0043]

本明細書等において、発光デバイス（発光素子ともいう。）は、一对の電極間にEL層を有する。EL層は、少なくとも発光層を有する。ここで、EL層が有する層（機能層ともいう。）として、発光層、キャリア注入層（正孔注入層及び電子注入層）、キャリア輸送層（正孔輸送層及び電子輸送層）、及び、キャリアブロック層（正孔ブロック層及び電子ブロック層）などが挙げられる。本明細書等において、受光デバイス（受光素子ともいう。）は、一对の電極間に少なくとも光電変換層として機能する活性層を有する。本明細書等では、一对の電極の一方を画素電極と記し、他方を共通電極と記すことがある。

[0044]

本明細書等において、マスク層（犠牲層と呼称してもよい。）とは、少なくとも発光層（より具体的には、EL層を構成する層のうち、島状に加工される層）の上方に位置し、製造工程中において、当該発光層を保護する機能を有する。

[0045]

本明細書等において、段切れとは、層、膜、又は電極が、被形成面の形状（例えば、段差など）に起因して分断される現象を指す。

[0046]

（実施の形態1）

本発明の一態様の半導体装置は、トランジスタと、絶縁層と、を有する。トランジスタが有するソース電極及びドレイン電極は、それぞれ、絶縁層に埋め込まれるように対向して設けられる。絶縁層は、トランジスタのソース電極とドレイン電極との間に開口を有する。当該開口において、ソース電極の側面の一部、及び、ドレイン電極の側面の一部が露出する。また、当該開口の高さと、ソース電極及びドレイン電極の露出した部分の高さと、は概略一致している。トランジスタの半導体層は、当該開口において、ソース電極及びドレイン電極の側面又は上面、若しくは、側面及び上面の双方と接する領域を有するように設けられる。また、半導体層は、当該開口において、絶縁層の側面と接する領域を有するように設けられる。なお、当該開口は、底面に半導体層が設けられない領域を有する。

[0047]

すなわち、本発明の一態様の半導体装置では、ソース電極とドレイン電極の間に位置する開口における絶縁層の側面に沿った半導体層の領域が、トランジスタのチャンネル形成領域として機能する。また、この場合、当該側面に沿ったソース電極－ドレイン電極間の距離がトランジスタのチャンネル長に相当し、当該側面の深さ（高さ）がトランジスタのチャンネル幅に相当する。したがって、ソース電極及びドレイン電極を埋め込む絶縁層の膜厚を調整することによって、トランジスタのチャンネル幅の大きさが変わることになるため、トランジスタのオン電流の大きさを調整することができる。

[0048]

例えば、当該絶縁層の膜厚が薄いほど、トランジスタのチャンネル幅が小さくなり、トランジスタのチャンネル長の大きさに対するチャンネル幅の大きさの比を小さくすることができる。これにより、

トランジスタのオン電流を小さくすることができる。逆に、当該絶縁層の膜厚が厚いほど、トランジスタのチャネル幅の大きさが大きくなるため、トランジスタのチャネル長の大きさに対するチャネル幅の大きさの比を大きくすることができる。これにより、トランジスタのオン電流を大きくすることができる。

[0049]

また、本発明の一態様の半導体装置は、トランジスタが有するソース電極及びドレイン電極が、それぞれ柱状の形状を有する。当該柱状のソース電極及びドレイン電極は、上面形状が、それぞれ円形であってもよいし、楕円形であってもよいし、四角形等の多角形であってもよいし、角の丸い多角形であってもよい。ソース電極及びドレイン電極の上面形状が複雑であるほど、トランジスタの半導体層と、ソース電極及びドレイン電極と、の接触面積を大きく（すなわち、接触抵抗を小さく）することができる。そのため、トランジスタのオン電流を大きくすることができる。また、ソース電極及びドレイン電極が様々な上面形状を取り得ることで、半導体装置の作製の自由度を高めることもできる。

[0050]

また、本発明の一態様の半導体装置は、絶縁層に設けられた開口（トランジスタが有するソース電極とドレイン電極との間に設けられた開口）が、四角形等の多角形、円形、楕円形、角の丸い多角形、直線と曲線とを組み合わせた閉曲線などの様々な上面形状を有することができる。当該開口の上面形状が複雑であるほど、半導体装置が有するトランジスタのチャネル長が大きくなり、トランジスタのチャネル長の大きさに対するチャネル幅の大きさの比を小さくすることができる。これにより、半導体装置が有するトランジスタのオン電流を小さい値に抑制することができる。また、当該開口が様々な上面形状を取り得ることで、半導体装置の作製の自由度を高めることもできる。

[0051]

このように、本発明の一態様の半導体装置は、トランジスタの一部（具体的には、ソース電極及びドレイン電極）が絶縁層に埋め込まれた構成を有することで、トランジスタのチャネル幅の大きさを、当該絶縁層の膜厚で調整することができる。そのため、微細なトランジスタであっても、トランジスタのチャネル幅の大きさを十分確保することができ、大きなオン電流を得ることができる。また、逆に、ソース電極及びドレイン電極の基板面内における面積が大きいトランジスタであっても、当該絶縁層の厚さを薄くすることで、トランジスタのチャネル幅を小さくすることができるため、オン電流を小さくすることができる。

[0052]

また、本発明の一態様の半導体装置は、トランジスタが有するソース電極及びドレイン電極の上面形状、又は、ソース電極とドレイン電極との間に設けられた絶縁層の開口の上面形状をトランジスタ毎に異ならせることによって、オン電流の大きさの異なる複数のトランジスタを基板面内に作製することができる。そのため、基板面内に複数のトランジスタを有する高密度な半導体装置であっても、各トランジスタを生産性高く、高い歩留まりで作製することができる。また、当該半導体装置の作製の自由度を高めることができる。

[0053]

以下では、本発明の一態様の半導体装置の構成例について、図面を用いて説明する。

[0054]

図1Aは、半導体装置20の斜視概略図である。図1Bは、半導体装置20の平面図（上面図と

もいう。)である。図2Aは、図1A及び図1Bに示す一点鎖線A1-A2における断面図である。図2Bは、図1A及び図1Bに示す一点鎖線A3-A4における断面図である。なお、図1Aでは、見やすさのため、半導体装置20の一部の構成要素を省略している。

[0055]

半導体装置20は、トランジスタと、絶縁層32と、を有する。当該トランジスタは、導電層24aと、導電層24bと、半導体層21と、絶縁層22と、導電層23と、を有する。当該トランジスタにおいて、導電層24aは、ソース電極又はドレイン電極の一方として機能する。導電層24bは、ソース電極又はドレイン電極の他方として機能する。半導体層21は、チャンネルが形成される半導体層として機能する。導電層23は、ゲート電極(第1のゲート電極)として機能する。絶縁層22の一部(具体的には、半導体層21と、導電層23と、に挟まれた領域)は、ゲート絶縁層(第1のゲート絶縁層)として機能する。

[0056]

なお、図1A及び図1Bでは、半導体装置20が有するトランジスタのソース電極及びドレイン電極(導電層24a及び導電層24b)の上面形状を円形で示しているが、この限りではない。当該上面形状は円形に限られず、例えば、楕円形、四角形、角の丸い四角形などとしてもよい。また、正三角形、正方形、正五角形をはじめとした正多角形、正多角形以外の多角形、角の丸い多角形としてもよい。また、星形多角形などの、少なくとも1つの内角が180°を超える多角形である、凹多角形としてもよい。また、直線と曲線とを組み合わせた閉曲線としてもよい。以後に示す半導体装置の構成例についても、同様である。

[0057]

特に、半導体装置20が有するトランジスタのソース電極及びドレイン電極(導電層24a及び導電層24b)の上面形状は、円形、楕円形、角の丸い多角形等の、曲線の外周形状を有していることが好ましい。これにより、平面サイズが微細なソース電極及びドレイン電極であっても、容易に加工することができる。

[0058]

絶縁層32は、絶縁層31上に設けられる。導電層24a及び導電層24bは、それぞれ絶縁層32に埋め込まれるように、対向して絶縁層31上に設けられる。絶縁層32は、導電層24aと、導電層24bと、の間に、絶縁層31に達する開口30を有する。半導体層21は、開口30内において、導電層24aと導電層24bの互いに対向する側面、及び、導電層24aと導電層24bとの間の絶縁層32の側面に接して設けられる。なお、開口30は、底面(絶縁層31の上面)に半導体層21が設けられない領域を有する。絶縁層22は、開口30内において、半導体層21の側面、及び、絶縁層31の上面に接して設けられる。導電層23は、開口30内において、半導体層21と対向する領域を有するように、絶縁層22の側面に接して設けられる。

[0059]

なお、図1A及び図2Aに示すように、導電層24aの上面、導電層24bの上面、及び、絶縁層32の上面は、高さが概略一致している。

[0060]

図1A、図2A、及び図2Bでは、絶縁層31の開口30と重なる領域における膜厚と、重ならない領域における膜厚と、が同じである例を示しているが、この限りではない。例えば、絶縁層31の開口30と重なる領域における膜厚が、重ならない領域における膜厚よりも薄い構成であって

もよい。以後に示す半導体装置の構成例についても、同様である。

[0061]

上述のように、半導体層21は、開口30の側壁（導電層24a及び導電層24bの側面、並びに、導電層24aと導電層24bとの間における絶縁層32の側面）に沿って設けられている（図1B、図2A、及び図2B）。したがって、本発明の一態様の半導体装置20が有するトランジスタにおいては、図1Aに示すように、チャンネル長Lが、開口30内における、導電層24aと導電層24bとの間における絶縁層32の側面に沿った距離に相当する。また、チャンネル幅Wが、開口30の深さ方向に沿った半導体層21の幅に相当する。すなわち、図1Aに示すX方向（A1-A2方向）が、半導体装置20が有するトランジスタのチャンネル長方向に相当し、Z方向が、半導体装置20が有するトランジスタのチャンネル幅方向に相当する。

[0062]

ここで、トランジスタの特性を示す指標として、チャンネル長Lに対するチャンネル幅Wの比（ W/L 比）を用いる場合がある。例えば、プレーナ型のトランジスタでは、チャンネル長及びチャンネル幅の最小値は露光装置の露光限界に依存するため、 W/L 比を小さくしたい場合（すなわち、オン電流を小さくしたい場合）には、Lを大きくする必要があり、 W/L 比を大きくしたい場合（すなわち、オン電流を大きくしたい場合）には、Wを大きくする必要があり、いずれの場合も、トランジスタの占有面積が増大してしまうという問題があった。

[0063]

これに対して、本発明の一態様の半導体装置20は、当該半導体装置が有するトランジスタのチャンネル幅Wを、絶縁層32の膜厚（開口30の深さ）によって制御することができる。すなわち、半導体層21と、導電層24a及び導電層24bと、の接触面積（すなわち、図1Aに示す導電層24a及び導電層24bの、開口30内における側面の面積）を、絶縁層32の膜厚によって調整することができる。別言すると、トランジスタのチャンネル幅Wを、絶縁層32の膜厚によって調整することができる。トランジスタのチャンネル幅Wの大きさを調整することで、トランジスタの W/L 比を変えることができるため、絶縁層32の膜厚を調整することによって、半導体装置20が有するトランジスタのオン電流の大きさを制御することができる。例えば、絶縁層32の膜厚を薄く（トランジスタのチャンネル幅Wを小さく）することで、トランジスタの W/L 比を小さくし、トランジスタのオン電流を小さくすることができる。また、絶縁層32の膜厚を厚く（トランジスタのチャンネル幅Wを大きく）することで、トランジスタの W/L 比を大きくし、トランジスタのオン電流を大きくすることができる。

[0064]

また、上述したように、本発明の一態様の半導体装置20が有するトランジスタは、柱状の導電層24a及び導電層24bが、様々な上面形状を有することができる。そのため、当該上面形状、開口30の上面形状、及び、開口30を形成する位置を調整することによって、半導体層21と、導電層24a及び導電層24bと、の接触面積（すなわち、図1Aに示す導電層24a及び導電層24bの、開口30内における側面の面積）を変えることができる。半導体層21と、導電層24a及び導電層24bと、の接触面積が変わると、半導体層21と、導電層24a及び導電層24bと、の接触抵抗の大きさが変わるため、トランジスタのオン電流の大きさをを変えることができる。例えば、導電層24a及び導電層24bを、半導体層21との接触面積が小さくなるような上面形状とすることで、半導体層21と、導電層24a及び導電層24bと、の接触抵抗が大きくなり、

トランジスタのオン電流を小さくすることができる。また、導電層 24 a 及び導電層 24 b を、半導体層 21 との接触面積が大きくなるような上面形状とすることで、半導体層 21 と、導電層 24 a 及び導電層 24 b と、の接触抵抗が小さくなり、トランジスタのオン電流を大きくすることができる。

[0065]

また、上述したように、本発明の一態様の半導体装置 20 は、開口 30 が、様々な上面形状を有することができる。そのため、当該上面形状を調整することによって、開口 30 内における、導電層 24 a と導電層 24 b との間における絶縁層 32 の側面に沿った距離（すなわち、半導体装置 20 が有するトランジスタのチャンネル長 L の大きさ）を変えることができる。トランジスタのチャンネル長 L の大きさを調整することで、トランジスタの W/L 比を変えることができるため、開口 30 の上面形状を調整することによって、半導体装置 20 が有するトランジスタのオン電流の大きさを制御することができる。例えば、開口 30 の上面形状が複雑であるほど、半導体装置 20 が有するトランジスタのチャンネル長 L が大きくなり、トランジスタの W/L 比を小さくすることができる。これにより、トランジスタのオン電流を小さい値に抑制することができる。

[0066]

このように、本発明の一態様の半導体装置 20 は、絶縁層 32 の膜厚、導電層 24 a 及び導電層 24 b の上面形状、並びに、開口 30 の上面形状を調整することによって、半導体装置 20 が有するトランジスタのオン電流の大きさを制御することができる。したがって、微細なトランジスタであっても、オン電流の大きいトランジスタを実現することができる。また、逆に、大きいサイズのトランジスタであっても、オン電流を小さい値に抑制することができる。さらに、半導体装置 20 が、基板面内に複数のトランジスタを有する場合であっても、各トランジスタを生産性高く、高い歩留まりで作製することができる。したがって、良好な電気特性を有する高密度な半導体装置を実現することができる。また、作製自由度の高い半導体装置を実現することができる。

[0067]

図 3 A 乃至図 4 B に、図 1 A 乃至図 2 B に示す半導体装置 20 とは異なる構成を有する半導体装置 20 A の構成例を示す。図 3 A は、半導体装置 20 A の斜視概略図である。図 3 B は、半導体装置 20 A の平面図である。図 4 A は、図 3 A 及び図 3 B に示す一点鎖線 A1-A2 における断面図である。図 4 B は、図 3 A 及び図 3 B に示す一点鎖線 A3-A4 における断面図である。なお、図 3 A では、見やすさのため、半導体装置 20 A の一部の構成要素を省略している。

[0068]

以下では、半導体装置 20 A における、主に半導体装置 20 で説明した内容と異なる部分について説明し、重複する部分については、説明を省略する場合がある。

[0069]

半導体装置 20 A は、開口 30 の Y 方向（A3-A4 方向、すなわち、平面視において、チャンネル長方向と直交する方向）の長さが、半導体装置 20 における当該長さよりも長い点で、半導体装置 20 とは異なる。

[0070]

具体的には、半導体装置 20 では、開口 30 の Y 方向（A3-A4 方向）の長さ（長さ D1）が、導電層 24 a 及び導電層 24 b の Y 方向（A3-A4 方向）の長さ（長さ D2）と、概略等しい構成を有している（図 1 A）。これに対して、半導体装置 20 A では、長さ D1 の方が、長さ D2 よ

りも長い構成を有している（図3A）。

[0071]

半導体装置20Aが有するトランジスタでは、導電層24aと導電層24bとの間において、開口30内のX方向（A1-A2方向）における絶縁層32の側面に沿った距離と、Y方向（A3-A4方向）における絶縁層32の側面に沿った距離と、の合計が、チャンネル長Lに相当する。したがって、後者の距離の分だけ、半導体装置20Aが有するトランジスタは、半導体装置20が有するトランジスタよりもチャンネル長Lが長いといえる。

[0072]

一方、チャンネル幅Wについては、半導体装置20が有するトランジスタ、半導体装置20Aが有するトランジスタの双方とも、同一であるものとして図示している。そのため、 W/L 比でいうと、半導体装置20Aが有するトランジスタの方が、半導体装置20が有するトランジスタよりも小さいことになる。すなわち、半導体装置20Aの方が、半導体装置20よりも、オン電流の小さいトランジスタを有しているといえることができる。

[0073]

半導体装置20Aについて、上記以外については、半導体装置20で説明した内容を参照することができる。

[0074]

図5A乃至図6Bに、図1A乃至図2Bに示す半導体装置20とは異なる構成を有する半導体装置20Bの構成例を示す。図5Aは、半導体装置20Bの斜視概略図である。図5Bは、半導体装置20Bの平面図である。図6Aは、図5A及び図5Bに示す一点鎖線A1-A2における断面図である。図6Bは、図5A及び図5Bに示す一点鎖線A3-A4における断面図である。なお、図5Aでは、見やすさのため、半導体装置20Bの一部の構成要素を省略している。

[0075]

以下では、半導体装置20Bにおける、主に半導体装置20で説明した内容と異なる部分について説明し、重複する部分については、説明を省略する場合がある。

[0076]

半導体装置20Bは、開口30のY方向（A3-A4方向、すなわち、平面視において、チャンネル長方向と直交する方向）の長さが、半導体装置20における当該長さよりも短い点で、半導体装置20とは異なる。

[0077]

具体的には、半導体装置20では、開口30のY方向（A3-A4方向）の長さ（長さD1）が、導電層24a及び導電層24bのY方向（A3-A4方向）の長さ（長さD2）と、概略等しい構成を有している（図1A）。これに対して、半導体装置20Bでは、長さD1の方が、長さD2よりも短い構成を有している（図5A）。

[0078]

図1A乃至図2B、図5A乃至図6Bでは、半導体装置20及び半導体装置20Bのそれぞれが、円柱形状の導電層24a及び導電層24bを有する例を示している。そのため、長さD1が長さD2よりも短い構成の半導体装置20Bが有するトランジスタの方が、長さD1と長さD2の大きさが概略等しい構成の半導体装置20が有するトランジスタよりもチャンネル長Lが短い（図1B及び図5B参照）。

[0079]

一方、半導体層21と、導電層24a及び導電層24bと、の接触面積（すなわち、導電層24a及び導電層24bの、開口30内における側面の面積）については、半導体装置20Bが有するトランジスタの方が、半導体装置20が有するトランジスタよりも小さい（図1A及び図5A参照）。

[0080]

前述したように、 W/L 比の大きいトランジスタほど、オン電流が大きい。一方、半導体層と、ソース電極及びドレイン電極と、の接触面積の小さいトランジスタほど、オン電流が小さい。したがって、半導体装置20Bが有するトランジスタは、長さD1に対する長さD2の比によって、半導体装置20が有するトランジスタよりもオン電流が大きくなり得るが、小さくなり得る、ということができる。

[0081]

半導体装置20Bについて、上記以外については、半導体装置20で説明した内容を参照することができる。

[0082]

このように、本発明の一態様では、開口30の深さ（絶縁層32の膜厚）だけでなく、開口30のY方向（A3－A4方向）の長さを調整することによっても、トランジスタの W/L 比、及び、半導体層とソース電極及びドレイン電極との接触面積を調整することが可能である。例えば、半導体装置が基板面内で複数のトランジスタを有する場合、各トランジスタのソース電極及びドレイン電極を埋め込む絶縁層32の膜厚を、トランジスタ毎に変えることは困難である。このような場合、上述のように、開口30のY方向（A3－A4方向）における長さを調整することによって、基板面内で W/L 比の異なる複数のトランジスタを作製することができる。また、半導体層と、ソース電極及びドレイン電極と、の接触面積の異なる複数のトランジスタを作製することができる。すなわち、オン電流の異なる複数のトランジスタを作製することができる。

[0083]

なお、本発明の一態様の半導体装置が有するトランジスタのチャネル長Lを調整する方法は、上記に限られない。例えば、導電層24aと導電層24bのX方向（A1－A2方向）における間隔を調整することによって、チャネル長Lを調整してもよい。具体的には、当該間隔を狭めることによって、チャネル長Lを短くすることができるため、 W/L 比の大きい（オン電流の大きい）トランジスタを作製することができる。また、逆に、当該間隔を広げることによって、チャネル長Lを長くすることができるため、 W/L 比の小さい（オン電流の小さい）トランジスタを作製することができる。

[0084]

このように、本発明の一態様では、開口30の深さ、あるいは、開口30の平面視におけるサイズ（X方向の長さ、又は、Y方向の長さ）を適宜調整することによって、所望の電気特性を有する複数のトランジスタを有する半導体装置を、生産性高く、高い歩留まりで作製することができる。

[0085]

図7A乃至図8Bに、半導体装置20とは異なる構成を有する半導体装置20Cの構成例を示す。図7Aは、半導体装置20Cの斜視概略図である。図7Bは、半導体装置20Cの平面図である。図8Aは、図7A及び図7Bに示す一点鎖線A1－A2における断面図である。図8Bは、図7A

及び図 7 B に示す一点鎖線 A 3－A 4 における断面図である。なお、図 7 A では、見やすさのため、半導体装置 2 0 C の一部の構成要素を省略している。

[0086]

以下では、半導体装置 2 0 C における、主に半導体装置 2 0 で説明した内容と異なる部分について説明し、重複する部分については、説明を省略する場合がある。

[0087]

半導体装置 2 0 C は、図 7 A 及び図 7 B に示すように、開口 3 0 の上面形状（X Y 平面における形状）が、楕円形である点で、半導体装置 2 0 とは異なる。

[0088]

半導体装置 2 0 C では、導電層 2 4 a と導電層 2 4 b の間に位置する開口 3 0 の外周の矢印で示す箇所（図 7 B 参照）の長さが、半導体装置 2 0 C が有するトランジスタのチャンネル長 L に相当する。そのため、導電層 2 4 a と導電層 2 4 b との間隔が一定である場合、半導体装置 2 0 C は、半導体装置 2 0 よりもチャンネル長 L の長いトランジスタを有することができる（図 1 B 及び図 7 B 参照）。すなわち、半導体装置 2 0 C の方が、半導体装置 2 0 よりも、オン電流の小さいトランジスタを有することができる。

[0089]

半導体装置 2 0 C について、上記以外については、半導体装置 2 0 で説明した内容を参照することができる。

[0090]

図 9 A 乃至図 1 0 B に、図 1 A 乃至図 2 B に示す半導体装置 2 0 とは異なる構成を有する半導体装置 2 0 D の構成例を示す。図 9 A は、半導体装置 2 0 D の斜視概略図である。図 9 B は、半導体装置 2 0 D の平面図である。図 1 0 A は、図 9 A 及び図 9 B に示す一点鎖線 A 1－A 2 における断面図である。図 1 0 B は、図 9 A 及び図 9 B に示す一点鎖線 A 3－A 4 における断面図である。なお、図 9 A では、見やすさのため、半導体装置 2 0 D の一部の構成要素を省略している。

[0091]

以下では、半導体装置 2 0 D における、主に半導体装置 2 0 で説明した内容と異なる部分について説明し、重複する部分については、説明を省略する場合がある。

[0092]

半導体装置 2 0 D は、開口 3 0 の上面形状（X Y 平面における形状）が、S 字状（逆 S 字状、ジグザグした形状を含む。）である点で、半導体装置 2 0 とは異なる。

[0093]

半導体装置 2 0 D では、導電層 2 4 a と導電層 2 4 b の間に位置する開口 3 0 の外周の矢印で示す箇所（図 9 B 参照）の長さが、半導体装置 2 0 D が有するトランジスタのチャンネル長 L に相当する。そのため、導電層 2 4 a と導電層 2 4 b との間隔が一定である場合、半導体装置 2 0 D は、半導体装置 2 0 よりもチャンネル長 L の長いトランジスタを有することができる（図 1 B 及び図 9 B 参照）。さらに、半導体装置 2 0 C よりもチャンネル長 L の長いトランジスタを有することができる（図 7 B 及び図 9 B 参照）。すなわち、半導体装置 2 0 D の方が、半導体装置 2 0 よりもオン電流の小さいトランジスタを有することができ、さらには、半導体装置 2 0 C よりもオン電流の小さいトランジスタを有することができる。

[0094]

半導体装置 20D について、上記以外については、半導体装置 20 で説明した内容を参照することができる。

[0095]

このように、本発明の一態様の半導体装置では、開口 30 の上面形状が四角形以外の形状を有していてもよい。これにより、半導体装置が有するトランジスタのチャンネル長 L を変えることができるため、トランジスタのオン電流の大きさを制御することができる。また、開口 30 の加工形状の自由度を上げることができるため、基板面内に複数のトランジスタを有する半導体装置を作製する場合、トランジスタの集積度向上を図ることができる。

[0096]

なお、本発明の一態様の半導体装置が有する開口 30 の上面形状は上記に限られず、様々な形状とすることができる。例えば、円形、角の丸い四角形などとしてもよい。また、正三角形、正方形、正五角形をはじめとした正多角形、正多角形以外の多角形としてもよい。また、星形多角形などの、少なくとも 1 つの内角が 180° を超える多角形である、凹多角形とすると、チャンネル長 L を大きくすることができる。その他、楕円形、角の丸い多角形、直線と曲線とを組み合わせた閉曲線などとすることができる。このように、開口 30 の上面形状が複雑であるほど、半導体装置が有するトランジスタのチャンネル長 L を大きくすることができる。したがって、半導体装置が有するトランジスタのオン電流を小さい値に抑制することができる。

[0097]

図 11A は、半導体装置 20E の斜視概略図である。図 11B は、半導体装置 20E の平面図である。図 12A は、図 11A 及び図 11B に示す一点鎖線 A1-A2 における断面図である。図 12B は、図 11A 及び図 11B に示す一点鎖線 A3-A4 における断面図である。なお、図 11A では、見やすさのため、半導体装置 20E の一部の構成要素を省略している。

[0098]

半導体装置 20E は、絶縁層 32 に埋め込まれるように、絶縁層 31 上に設けられた導電層 25 を有する点で、半導体装置 20 とは異なる。

[0099]

図 11A、図 11B、及び図 12B に示すように、導電層 25 は、Y 方向 (A3-A4 方向) において、開口 30 を挟むように設けられる。導電層 24a の上面、導電層 24b の上面、導電層 25 の上面、及び、絶縁層 32 の上面は、高さが概略一致している。

[0100]

図 12B に示すように、Y 方向 (A3-A4 方向) において、導電層 25 は、絶縁層 32 を介して、半導体層 21 と対向するように設けられる。半導体装置 20E が有するトランジスタにおいて、導電層 25 は、バックゲート電極 (第 2 のゲート電極) として機能する。また、絶縁層 32 のうち、半導体層 21 と、導電層 25 と、に挟まれた領域は、バックゲート絶縁層 (第 2 のゲート絶縁層) として機能する。

[0101]

また、図 12B に示すように、半導体装置 20E が有するトランジスタは、半導体層 21 を挟むように設けられた 2 つのゲート電極 (導電層 23 及び導電層 25) を有する構成を有する。そのため、ゲート電極を 1 つ (導電層 23) しか有さない半導体装置 20 が有するトランジスタよりも、チャンネル形成領域におけるキャリアに対するゲート電界の効きを強めることができるため、ソース

ードレイン間電流の制御性を高めることができる。したがって、半導体装置 20E は、半導体装置 20 よりも、大きなオン電流を得ることができるとともに、オフ電流を小さく抑えることができる。
[0102]

なお、図示していないが、半導体装置 20E において、当該半導体装置が有するトランジスタの第 1 のゲート電極として機能する導電層 23 と、第 2 のゲート電極として機能する導電層 25 と、を電氣的に接続する構成としてもよい。当該構成とすることにより、半導体層 21 を挟むように設けられた導電層 23 及び導電層 25 から半導体層 21 に対して、同じ大きさの電位を印加することで、トランジスタを駆動させることができる。これにより、導電層 23 に接続する電源と、導電層 25 に接続する電源と、を共通にすることができるため、部品数を削減することができ、好ましい。また、導電層 23 と、導電層 25 と、を電氣的に接続せず、半導体層 21 に対して、それぞれ独立に電位を印加する構成としてもよい。当該構成とすることにより、一方の導電層にしきい値電圧を制御するための電位を、他方の導電層に駆動のための電位を、それぞれ印加することができるため、トランジスタのしきい値電圧を制御しながら駆動させることができ、好ましい。

[0103]

半導体装置 20E において、上記以外については、半導体装置 20 で説明した内容を参照することができる。

[0104]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせで実施することができる。

[0105]

(実施の形態 2)

本実施の形態では、本発明の一態様の半導体装置のより詳細な構成について、図 13A 乃至図 16B を用いて説明する。

[0106]

なお、半導体装置 20 等で前述した内容については、後述する半導体装置に対しても適用できるものとする。また、後述する半導体装置で説明する内容については、前述の半導体装置 20 等にも適用できるものとする。

[0107]

図 13A は、半導体装置 10 の平面図である。図 13B は、図 13A に示す一点鎖線 A1-A2 における断面図である。なお、図 13A では、半導体装置 10 の構成要素の一部（絶縁層等）を省略している。

[0108]

半導体装置 10 は、トランジスタ 100 と、トランジスタ 200 と、絶縁層 110（絶縁層 110a、絶縁層 110b、及び絶縁層 110c）と、を有する。トランジスタ 100 及びトランジスタ 200 は、基板 102 上に設けられる。

[0109]

なお、基板 102 は、絶縁表面を有していることが好ましい。基板 102 に用いることができる材料については後述するが、例えば、シリコン等の導電性を有する材料を用いる場合、基板 102 上に形成する導電層と、基板 102 と、がショートしてしまう等の不具合が生じる場合がある。また、基板 102 が有する絶縁表面は、不純物（例えば、水及び水素）が透過しにくいことが好まし

い。これにより、基板１０２中に含まれる不純物が、上層の半導体層に拡散し、トランジスタ１００及びトランジスタ２００の電気特性及び信頼性に悪影響を及ぼすことを、防ぐことができる。

[０１１０]

トランジスタ１００と、トランジスタ２００と、は異なる構造を有する。トランジスタ１００と、トランジスタ２００と、は一部の工程を共通にして形成することができる。

[０１１１]

トランジスタ２００の構成について、説明する。

[０１１２]

トランジスタ２００には、前述の半導体装置２０等が有するトランジスタの構成を適用することができる。トランジスタ２００は、導電層２１２ａと、導電層２１２ｂと、半導体層２０８と、絶縁層１０６と、導電層２０４と、を有する。トランジスタ２００において、導電層２１２ａは、ソース電極又はドレイン電極の一方として機能する。導電層２１２ｂは、ソース電極又はドレイン電極の他方として機能する。半導体層２０８は、チャネルが形成される半導体層として機能する。導電層２０４は、ゲート電極として機能する。絶縁層１０６の一部（具体的には、半導体層２０８と、導電層２０４と、に挟まれた領域）は、ゲート絶縁層として機能する。トランジスタ２００を構成する各層は、単層構造であってもよく、積層構造であってもよい。導電層２１２ａ、導電層２１２ｂ、半導体層２０８、絶縁層１０６、及び導電層２０４は、それぞれ、前述の導電層２４ａ、導電層２４ｂ、半導体層２１、絶縁層２２、及び導電層２３に係る記載を参照することができる。

[０１１３]

導電層２１２ａ及び導電層２１２ｂは、それぞれ絶縁層１１０に埋め込まれるように、対向して基板１０２上に設けられる。絶縁層１１０は、導電層２１２ａと、導電層２１２ｂと、の間に、基板１０２に達する開口１４５を有する。絶縁層１１０及び開口１４５は、それぞれ、前述の絶縁層３２及び開口３０に係る記載を参照することができる。

[０１１４]

図１３Ａに示すように、平面視にて、導電層２１２ａ及び導電層２１２ｂのＡ３側の端部は、開口１４５における絶縁層１１０のＡ３側の端部と揃っている。また、平面視にて、導電層２１２ａ及び導電層２１２ｂのＡ４側の端部は、開口１４５における絶縁層１１０のＡ４側の端部と揃っている。

[０１１５]

導電層２１２ａと、導電層２１２ｂと、には、同じ材料を用いることができる。また、導電層２１２ａと、導電層２１２ｂと、は同じ工程で形成することができる。例えば、絶縁層１１０に２つの開口を形成し、当該開口を埋め込むように、絶縁層１１０上に導電層２１２ａ及び導電層２１２ｂとなる膜を形成する。その後、絶縁層１１０の上面が露出するまで膜を加工することにより、当該開口にそれぞれ埋め込まれた柱状の導電層２１２ａ及び導電層２１２ｂを形成することができる。

[０１１６]

半導体層２０８は、開口１４５内において、導電層２１２ａの側面、導電層２１２ｂの側面、及び、絶縁層１１０の側面に接して設けられる。また、半導体層２０８は、開口１４５の底部（基板１０２の上面）には設けられない。

[０１１７]

トランジスタ２００において、半導体層２０８の導電層２１２ａと接する領域は、ソース領域又

はドレイン領域の一方として機能し、導電層 212b と接する領域は、ソース領域又はドレイン領域の他方として機能する。半導体層 208 において、ソース領域と、ドレイン領域と、の間に、チャンネル形成領域が設けられる。すなわち、図 13A に示す半導体層 208 のうち、導電層 212a と、導電層 212b と、に挟まれた領域（X 方向（A1－A2 方向）に延伸する領域）が、チャンネル形成領域として機能する。

[0118]

したがって、トランジスタ 200 は、チャンネル形成領域を 2 つ有するトランジスタであるといえる。すなわち、開口 145 内の A3 側に位置する絶縁層 110 の側面に接する半導体層 208 の領域と、開口 145 内の A4 側に位置する絶縁層 110 の側面に接する半導体層 208 の領域と、がチャンネル形成領域として機能する。したがって、トランジスタ 200 は、チャンネル形成領域を 1 つだけ有するトランジスタよりも、大きなオン電流を得ることができる。

[0119]

絶縁層 106 は、開口 145 を覆うように設けられる。絶縁層 106 は、半導体層 208、導電層 212a、導電層 212b、及び絶縁層 110 上に設けられる。絶縁層 106 は、半導体層 208 の上面及び側面、導電層 212a の上面、導電層 212b の上面、絶縁層 110 の側面、並びに、基板 102 の上面と接する領域を有する。絶縁層 106 は、半導体層 208 の上面及び側面、導電層 212a の上面、導電層 212b の上面、絶縁層 110 の側面、並びに、基板 102 の上面の形状に沿った形状を有する。

[0120]

導電層 204 は、絶縁層 106 上に設けられ、絶縁層 106 の上面と接する領域を有する。導電層 204 は、絶縁層 106 を介して、半導体層 208 と重なる領域を有する。導電層 204 は、絶縁層 106 の上面の形状に沿った形状を有する。

[0121]

トランジスタ 200 では、半導体層 208 のうち、導電層 212a と導電層 212b の間に位置する領域の側面（図 13A に示す XZ 平面内）が、ソースドレイン間の電流経路（半導体層 208 のチャンネル形成領域）となる。したがって、トランジスタ 200 では、被形成面である基板 102 の表面に対して、垂直方向又は概略垂直方向（縦方向又は概略縦方向）な面内が、ソースドレイン間の電流経路となる。また、同時に、トランジスタ 200 では、被形成面である基板 102 の表面に対して、平行方向又は概略平行方向（横方向又は概略横方向）にソースドレイン間電流が流れるということもできる。このように、トランジスタ 200 は、縦方向と、横方向と、の双方が、ソースドレイン間の電流経路として寄与する構成であるため、VLFET (Vertical Lateral Field Effect Transistor) といえることができる。

[0122]

次に、トランジスタ 100 の構成について、説明する。

[0123]

トランジスタ 100 は、導電層 104 と、絶縁層 106 と、半導体層 108 と、導電層 112a と、導電層 112b と、を有する。トランジスタ 100 において、導電層 104 は、ゲート電極として機能する。絶縁層 106 の一部（具体的には、半導体層 108 と、導電層 104 と、に挟まれた領域）は、ゲート絶縁層として機能する。導電層 112a は、ソース電極又はドレイン電極の一方として機能する。導電層 112b は、ソース電極又はドレイン電極の他方として機能する。トラ

ンジスタ１００を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[０１２４]

基板１０２上に導電層１１２ａが設けられ、導電層１１２ａ上に絶縁層１１０が設けられる。絶縁層１１０は、導電層１１２ａの上面及び側面を覆うように設けられる。絶縁層１１０は、導電層１１２ａと重なる領域に、導電層１１２ａに達する開口１４１を有する。開口１４１において、導電層１１２ａが露出するともいえる。

[０１２５]

絶縁層１１０の凹部に埋め込まれるように、導電層１１２ｂが設けられる。絶縁層１１０の上面と、導電層１１２ｂの上面と、は高さが概略一致している。導電層１１２ｂは、絶縁層１１０を介して、導電層１１２ａと重なる領域を有する。導電層１１２ｂは、導電層１１２ａと重なる領域に開口１４３を有する。開口１４３は、開口１４１と重なる領域に設けられる。導電層１１２ｂは、導電層２１２ａ及び導電層２１２ｂと同じ材料を用いることができる。また、導電層１１２ｂは、導電層２１２ａ及び導電層２１２ｂと同じ工程で形成することができる。例えば、導電層１１２ｂ、導電層２１２ａ及び導電層２１２ｂとなる膜を形成し、当該膜を加工することにより、導電層１１２ｂ、導電層２１２ａ及び導電層２１２ｂを形成することができる。

[０１２６]

半導体層１０８は、開口１４１及び開口１４３を覆うように設けられる。半導体層１０８は、半導体層２０８と同じ材料を用いることができる。また、半導体層１０８は、半導体層２０８と同じ工程で形成することができる。例えば、半導体層１０８及び半導体層２０８となる膜を形成し、当該膜を加工することにより、半導体層１０８及び半導体層２０８を形成することができる。

[０１２７]

半導体層１０８は、導電層１１２ｂの上面及び側面、絶縁層１１０の側面、並びに、導電層１１２ａの上面と接する領域を有する。半導体層１０８は、開口１４１及び開口１４３を介して、導電層１１２ａと電氣的に接続される。半導体層１０８は、導電層１１２ｂの上面及び側面、絶縁層１１０の側面、並びに、導電層１１２ａの上面の形状に沿った形状を有する。半導体層１０８は、絶縁層１１０を介して、導電層１１２ａと重なる領域を有する。絶縁層１１０は、導電層１１２ａと半導体層１０８に挟まれる領域を有するともいえる。

[０１２８]

半導体層１０８の導電層１１２ａと接する領域は、ソース領域又はドレイン領域の一方として機能し、導電層１１２ｂと接する領域は、ソース領域又はドレイン領域の他方として機能する。半導体層１０８において、ソース領域と、ドレイン領域と、の間にチャネル形成領域が設けられる。

[０１２９]

絶縁層１０６は、開口１４１及び開口１４３を覆うように設けられる。絶縁層１０６は、半導体層１０８、導電層１１２ｂ、及び絶縁層１１０上に設けられる。絶縁層１０６は、半導体層１０８の上面及び側面、導電層１１２ｂの上面、並びに、絶縁層１１０の上面と接する領域を有する。絶縁層１０６は、半導体層１０８の上面及び側面、導電層１１２ｂの上面、並びに、絶縁層１１０の上面の形状に沿った形状を有する。

[０１３０]

導電層１０４は、絶縁層１０６上に設けられ、絶縁層１０６の上面と接する領域を有する。導電層１０４は、絶縁層１０６を介して、半導体層１０８と重なる領域を有する。導電層１０４は、絶

導電層 106 の上面の形状に沿った形状を有する。導電層 104 は、導電層 204 と同じ材料を用いることができる。また、導電層 104 は、導電層 204 と同じ工程で形成することができる。例えば、導電層 104 及び導電層 204 となる膜を形成し、当該膜を加工することにより、導電層 104 及び導電層 204 を形成することができる。

[0131]

トランジスタ 100 は、半導体層 108 よりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。さらに、半導体層 108 の下面（基板 102 側の面）が、ソース電極及びドレイン電極として機能する導電層 112a 及び導電層 112b と接することから、TGBC（Top Gate Bottom Contact）型のトランジスタということができる。また、トランジスタ 100 は、被形成面である基板 102 の表面に対してソース電極とドレイン電極とが異なる高さに位置し、基板 102 の表面に対して垂直方向（図 13B に示す Z 方向）、又は概略垂直方向にドレイン電流が流れる。トランジスタ 100 では、縦方向、又は概略縦方向にドレイン電流が流れるということもできる。そのため、トランジスタ 100 は、縦チャンネル型トランジスタ、又は VFET（Vertical Field Effect Transistor）ということができる。

[0132]

トランジスタ 100 は、導電層 112a と、導電層 112b と、の間に設けられる絶縁層 110（具体的には、絶縁層 110b）の厚さでチャンネル長を制御することができる。したがって、トランジスタの作製に用いる露光装置の限界解像度よりも小さなチャンネル長を有するトランジスタを精度良く作製することができる。また、複数のトランジスタ 100 間の特性ばらつきを低減することもできる。よって、トランジスタ 100 を含む半導体装置の動作が安定し、信頼性を高めることができる。また、複数のトランジスタ 100 間の特性ばらつきが減ると、回路設計の自由度が高くなり、トランジスタ 100 を含む半導体装置の動作電圧を低くすることができる。そのため、当該半導体装置の消費電力を低くすることができる。

[0133]

また、トランジスタ 100 は、ソース電極、チャンネル形成領域を有する半導体層、及びドレイン電極を、重ねて設けることができるため、チャンネル形成領域を有する半導体層を平面状に配置した、いわゆるプレーナ型トランジスタと比較して、占有面積を大幅に縮小することができる。

[0134]

導電層 112a、導電層 112b、及び導電層 104 は、それぞれ、配線として機能することができ、トランジスタ 100 は、これらの配線が重なる領域に設けることができる。つまり、トランジスタ 100 及び配線を有する回路において、トランジスタ 100 及び配線の占有面積を縮小することができる。したがって、当該回路の占有面積を縮小することができ、半導体装置の小型化を図ることができる。

[0135]

このように、本発明の一態様の半導体装置は、VLFET（例えば、前述の半導体装置 20 等が有するトランジスタ、及びトランジスタ 200 等）だけでなく、VLFET と、VLFET とは異なる構造のトランジスタ（例えば、トランジスタ 100 等の VFET 等）と、を組み合わせた構成を有することができる。これにより、それぞれのトランジスタの特長を活かした高い性能の半導体装置を実現することができる。

[0136]

例えば、大きいオン電流が求められるトランジスタには、トランジスタ100等のチャネル長の短いVFETを適用し、高い飽和性が求められるトランジスタには、トランジスタ200等のチャネル長の長いVLFEETを適用することで、高い性能の半導体装置10を実現することができる。なお、後述するように、トランジスタ100と、トランジスタ200と、は一部の工程を共通にして、同じ基板上に形成することができる。そのため、半導体装置10のように、異なる構造のトランジスタ(VLFEET及びVFET)を有する構成であっても、VLFEETのみを有する構成の半導体装置と比べて、作製に要する工程数が大幅に増加することはない。

[0137]

なお、本明細書等において、トランジスタのドレイン電流(I_d)ードレイン電圧(V_d)特性の、飽和領域における V_d に対する I_d の変化が小さいことを、「飽和性が高い」と表現する場合がある。

[0138]

なお、本発明の一態様の半導体装置は上記に限られず、前述の半導体装置20のように、VLFEETのみで構成されていてもよい。例えば、半導体装置10が、トランジスタ100(VFET)を含まず、複数のトランジスタ200(VLFEET)のみを含む構成である場合、トランジスタ200毎に開口145の上面形状を異ならせることで、オン電流の大きさの異なる複数のトランジスタ200を有する半導体装置10を実現することができる。開口145の上面形状の具体例については、先の実施の形態で説明した、半導体装置20等における開口30の上面形状に係る記載を参照することができる。

[0139]

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、画素回路の占有面積を縮小することができ、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路(例えば、ゲート線駆動回路及びソース線駆動回路の一方又は双方)に適用する場合、駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。

[0140]

トランジスタ100及びトランジスタ200を覆うように、絶縁層195が設けられる。絶縁層195は、トランジスタ100及びトランジスタ200の保護層として機能する。

[0141]

以下では、本発明の一態様の半導体装置10の構成要素(トランジスタ100、トランジスタ200、及び絶縁層110)について、さらに詳細に説明する。

[0142]

半導体層108及び半導体層208に用いる半導体材料は、特に限定されない。例えば、単体元素よりなる半導体、又は化合物半導体を用いることができる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、窒化物半導体、及び、酸化物半導体(OS:Oxide Semiconductor)が挙げられる。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0143]

半導体層 108 及び半導体層 208 に用いる半導体材料の結晶性は、特に限定されず、非晶質半導体、単結晶半導体、又は単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体又は結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制することができるため、好ましい。

[0144]

半導体層 108 及び半導体層 208 には、それぞれ、シリコンを用いることができる。シリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（LTPS: Low Temperature Poly Silicon）が挙げられる。チャネル形成領域に非晶質シリコンを用いたトランジスタは、大型のガラス基板上に形成することができ、低コストで作製することができる。チャネル形成領域に多結晶シリコンを用いたトランジスタは、電界効果移動度が高く、高速動作が可能である。また、チャネル形成領域に微結晶シリコンを用いたトランジスタは、非晶質シリコンを用いたトランジスタより電界効果移動度が高く、高速動作が可能である。

[0145]

半導体層 108 及び半導体層 208 は、それぞれ、半導体特性を示す金属酸化物（酸化物半導体ともいう。）を有することが好ましい。

[0146]

半導体層 108 及び半導体層 208 に用いる金属酸化物のバンドギャップは、それぞれ、2.0 eV 以上が好ましく、2.5 eV 以上がより好ましい。

[0147]

酸化物半導体を用いたトランジスタ（以下、OS トランジスタと記す。）は、非晶質シリコンを用いたトランジスタと比較して電界効果移動度が極めて高い。また、OS トランジスタは、オフ電流が著しく小さく、当該トランジスタと直列に接続された容量に蓄積した電荷を長期間にわたって保持することが可能である。また、OS トランジスタを適用することで、半導体装置の消費電力を低減することができる。

[0148]

絶縁層 110 は、1 層以上の無機絶縁膜を有することが好ましい。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。酸化物として、例えば、酸化シリコン、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、酸化セリウム、ガリウム亜鉛酸化物、及び、ハフニウムアルミネートが挙げられる。窒化物として、例えば、窒化シリコン、及び窒化アルミニウムが挙げられる。酸化窒化物として、例えば、酸化窒化シリコン、酸化窒化アルミニウム、酸化窒化ガリウム、酸化窒化イットリウム、及び、酸化窒化ハフニウムが挙げられる。窒化酸化物として、例えば、窒化酸化シリコン、及び窒化酸化アルミニウムが挙げられる。

[0149]

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。

[0150]

トランジスタ 200 において、半導体層 208 の絶縁層 110 と接する領域は、チャネル形成領

域として機能する。トランジスタ100において、半導体層108の絶縁層110と接する領域は、チャンネル形成領域として機能する。半導体層108及び半導体層208に金属酸化物を用いる場合、半導体層108と絶縁層110との界面特性、及び、半導体層208と絶縁層110との界面特性を向上させるため、絶縁層110の半導体層108と接する領域の少なくとも一部、及び、絶縁層110の半導体層208と接する領域の少なくとも一部は、酸素を有することが好ましい。具体的には、絶縁層110における半導体層108のチャンネル形成領域と接する領域、及び、絶縁層110における半導体層208のチャンネル形成領域と接する領域は、酸素を有することが好ましい。絶縁層110における半導体層108のチャンネル形成領域と接する領域、及び、絶縁層110における半導体層208のチャンネル形成領域と接する領域に、酸化物及び酸化窒化物の一以上を好適に用いることができる。

[0151]

絶縁層110は、積層構造を有することが好ましい。図13B等では、絶縁層110が、絶縁層110aと、絶縁層110a上の絶縁層110bと、絶縁層110b上の絶縁層110cと、を有する例を示している。

[0152]

図13A及び図13Bに示す半導体装置10において、当該半導体装置が有するトランジスタ200の拡大図を図14A乃至図15に、トランジスタ100の拡大図を図16A及び図16Bに、それぞれ示す。図14Aは、トランジスタ200の平面図である。図14Bは、図14Aに示す一点鎖線A1-A2における断面図である。図15は、図14Aに示す一点鎖線A3-A4における断面図である。図16Aは、トランジスタ100の平面図である。図16Bは、図16Aに示す一点鎖線A1-A2における断面図である。

[0153]

絶縁層110bは、酸素を有することが好ましく、前述の酸化物及び酸化窒化物のいずれか1つ又は複数を用いることが好ましい。具体的には、絶縁層110bには、酸化シリコン及び酸化窒化シリコンの一方又は双方を好適に用いることができる。これより、少なくとも半導体層208の絶縁層110bと接する領域、及び、半導体層108の絶縁層110bと接する領域は、それぞれ、チャンネル形成領域として機能することができる。

[0154]

絶縁層110bには、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ100及びトランジスタ200の作製工程中にかかる熱により、絶縁層110bが酸素を放出することで、半導体層108及び半導体層208に酸素を供給することができる。絶縁層110bから半導体層108及び半導体層208、特にチャンネル形成領域に酸素を供給することで、酸素欠損(V_o)が修復され、酸素欠損(V_o)を低減することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタ100及びトランジスタ200とすることができる。

[0155]

例えば、酸素を含む雰囲気における加熱処理、又は、酸素を含む雰囲気におけるプラズマ処理を行うことで、絶縁層110bに酸素を供給することができる。また、絶縁層110bの上面に、スパッタリング法により、酸素を含む雰囲気で酸化物膜を形成することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。なお、後述する実施の形態3では、金属酸化物膜137を形成することで、絶縁層110bに酸素を供給する例を示す。

[0156]

半導体層108及び半導体層208に金属酸化物を用いる場合、絶縁層110bは、スパッタリング法、プラズマ化学気相堆積（PECVD: Plasma Enhanced Chemical Vapor Deposition）法、又は原子層堆積（ALD: Atomic Layer Deposition）法などの成膜方法で形成することが好ましい。特に、スパッタリング法を用い、成膜ガスに水素ガスを用いない方法で形成することで、水素の含有量の極めて少ない膜とすることができる。そのため、チャンネル形成領域に水素が供給されることを抑制し、トランジスタ100及びトランジスタ200の電気特性の安定化を図ることができる。

[0157]

半導体層108及び半導体層208に金属酸化物を用いる場合、絶縁層110bにおいて、物質が拡散しやすいことが好ましい。絶縁層110bにおける物質の拡散係数が大きいことが好ましいともいえる。特に、絶縁層110bは、酸素が拡散しやすいことが好ましい。つまり、絶縁層110bにおける酸素の拡散係数が大きいことが好ましい。絶縁層110bに含まれる酸素は、絶縁層110b中を拡散し、絶縁層110bと半導体層108との界面を介して、半導体層108に供給されるとともに、絶縁層110bと半導体層208との界面を介して、半導体層208に供給される。

[0158]

ここで、半導体層108及び半導体層208に導電率の高い金属酸化物材料を用いることで、オン電流の大きいトランジスタとすることができる。しかしながら、導電率の高い金属酸化物材料を用いると酸素欠損（ V_o ）が形成されやすく、チャンネル形成領域の酸素欠損（ V_o ）が多くなると、トランジスタのしきい値電圧がシフトし、ゲート電圧が0V時に流れるドレイン電流（以下、カットオフ電流とも記す。）が大きくなってしまう場合がある。例えば、nチャンネル型トランジスタでは、しきい値電圧がマイナス側にシフトすることで、カットオフ電流が大きくなってしまう場合がある。絶縁層110bを設けることにより、少なくとも、半導体層108の絶縁層110bと接する領域、及び、半導体層208の絶縁層110bと接する領域、つまり、トランジスタ100及びトランジスタ200のそれぞれのチャンネル形成領域に酸素が供給され、当該チャンネル形成領域の酸素欠損（ V_o ）を低減することができる。これにより、しきい値電圧がシフトすることが抑制され、小さいカットオフ電流と、大きいオン電流と、を両立したトランジスタ100及びトランジスタ200とすることができる。したがって、低い消費電力と、高い性能と、を両立した半導体装置10とすることができる。

[0159]

半導体層108の導電層112aと接する領域は、トランジスタ100のソース領域又はドレイン領域の一方として機能し、導電層112bと接する領域は、トランジスタ100のソース領域又はドレイン領域の他方として機能する。ソース領域及びドレイン領域は、チャンネル形成領域と比較して、電気抵抗が低い領域である。ソース領域及びドレイン領域は、チャンネル形成領域と比較して、キャリア濃度が高い領域、酸素欠損密度が高い領域ともいえる。

[0160]

絶縁層110aは、絶縁層110bと、基板102と、の間に設けられる。絶縁層110cは、絶縁層110bと、絶縁層106と、の間に設けられる。絶縁層110a及び絶縁層110cは、それぞれ、自身からの不純物（例えば、水素及び水）の放出が少なく、かつ不純物が透過しにくい

ことが好ましい。これにより、絶縁層 110a 及び絶縁層 110c に含まれる不純物が、チャネル形成領域に拡散することを抑制することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0161]

絶縁層 110a 及び絶縁層 110c には、それぞれ、酸素が透過しにくい膜を用いることが好ましい。これにより、絶縁層 110b に含まれる酸素が、絶縁層 110a を介して、基板 102 側に拡散することを抑制することができる。同様に、絶縁層 110b に含まれる酸素が、絶縁層 110c を介して、絶縁層 106 側に拡散することを抑制することができる。これにより、絶縁層 110b に含まれる酸素が、絶縁層 110a 側、及び絶縁層 110c 側に拡散することが抑制されるため、絶縁層 110b からチャネル形成領域へ供給される酸素の量が減少することを抑制することができ、チャネル形成領域の酸素欠損 (V_o) 及び、酸素欠損に水素が入った欠陥 (以下、 V_oH と呼ぶ場合がある。) を低減することができる。

[0162]

絶縁層 110a 及び絶縁層 110c のそれぞれに、酸素が拡散しにくい膜を用いることにより、絶縁層 110b から、チャネル形成領域に効果的に酸素を供給することができる。なお、絶縁層 110a 及び絶縁層 110c の一方又は双方を設けない構成としてもよい。

[0163]

絶縁層 110a 及び絶縁層 110c は、それぞれ、窒素を有することが好ましく、前述の窒化物及び窒化酸化物のいずれか 1 つ又は複数を用いることが好ましい。絶縁層 110a 及び絶縁層 110c には、それぞれ、例えば、窒化シリコン又は窒化酸化シリコンを好適に用いることができる。又は、絶縁層 110a 及び絶縁層 110c の一方また双方に、酸化物及び酸化窒化物のいずれか 1 つ又は複数を用いてもよい。絶縁層 110a 及び絶縁層 110c には、それぞれ、例えば、酸化アルミニウムを好適に用いることができる。なお、絶縁層 110a には、絶縁層 110c と同じ材料を用いてもよく、異なる材料を用いてもよい。

[0164]

なお、本明細書等において、異なる材料とは、構成元素の一部又は全てが異なる材料、又は構成元素が同じで組成が異なる材料をいう。

[0165]

絶縁層 110a の厚さ T_{110a} は、例えば、3 nm 以上 1 μ m 未満、5 nm 以上 500 nm 以下、10 nm 以上 400 nm 以下、20 nm 以上 300 nm 以下、50 nm 以上 200 nm 以下、70 nm 以上 150 nm 以下、又は 70 nm 以上 120 nm 以下とすることができる。厚さ T_{110a} は、図 14B 等 に示すように、断面視における絶縁層 110a の被形成面 (ここでは、基板 102 の上面) と、絶縁層 110b の下面と、の最短距離とすることができる。

[0166]

絶縁層 110a の厚さ T_{110a} が厚いと、絶縁層 110a から放出される不純物の量が多くなり、チャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。一方、厚さ T_{110a} が薄いと、絶縁層 110b に含まれる酸素が、絶縁層 110a を介して、基板 102 側に拡散し、チャネル形成領域に供給される酸素の量が減ってしまう場合がある。厚さ T_{110a} を前述の範囲とすることにより、チャネル形成領域の酸素欠損 (V_o) 及び V_oH を低減することができる。また、絶縁層 110b に含まれる酸素によって導電層 112a が酸化され、導電層 112a の電気抵抗が

高くなることを抑制することができる。

[0167]

絶縁層110cの厚さ T_{110c} は、例えば、3nm以上1 μ m以下、5nm以上500nm以下、10nm以上300nm以下、15nm以上200nm以下、20nm以上150nm以下、20nm以上120nm以下、又は20nm以上100nm以下とすることができる。厚さ T_{110c} は、図14B等に示すように、断面視における絶縁層110cの被形成面（ここでは、絶縁層110bの上面）と、絶縁層106の下面と、の最短距離とすることができる。

[0168]

絶縁層110cの厚さ T_{110c} が厚いと、絶縁層110cから放出される不純物の量が多くなり、チャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。一方、厚さ T_{110c} が薄いと、絶縁層110bに含まれる酸素が、絶縁層110cを介して、絶縁層106側に拡散し、チャネル形成領域に供給される酸素の量が減ってしまう場合がある。厚さ T_{110c} を前述の範囲とすることにより、チャネル形成領域の酸素欠損(V_O)及び V_OH を低減することができる。

[0169]

なお、半導体層208の絶縁層110aと接する領域、及び、絶縁層110cと接する領域、並びに、半導体層108の絶縁層110aと接する領域の少なくとも1つは、チャネル形成領域と比較して、電気抵抗が低い領域（以下、低抵抗領域とも記す。）となる場合がある。当該領域は、チャネル形成領域と比較して、キャリア濃度が高い領域、酸素欠損密度が高い領域ともいえる。絶縁層110aに不純物（例えば、水又は水素）を放出する材料を用いることで、絶縁層110aと接する領域が、低抵抗領域となる場合がある。同様に、絶縁層110cに不純物を放出する材料を用いることで、絶縁層110cと接する領域が、低抵抗領域となる場合がある。

[0170]

前述したように、絶縁層110a及び絶縁層110cから放出される不純物の量が多過ぎると、チャネル形成領域に不純物が拡散してしまう恐れがある。絶縁層110a及び絶縁層110cに不純物を放出する材料を用いる場合であっても、放出される不純物の量は少ないことが好ましい。

[0171]

なお、絶縁層110は、少なくとも、絶縁層110bを有することが好ましい。例えば、絶縁層110a及び絶縁層110cの一方及び双方を有さない構成としてもよい。また、絶縁層110を2層、又は4層以上の積層構造としてもよく、単層構造としてもよい。

[0172]

開口145、開口141、及び開口143の上面形状に限定はなく、例えば、円形、楕円形、三角形、四角形（長方形、菱形、正方形を含む。）、五角形などの多角形、又はこれら多角形の角が丸い形状とすることができる。なお、多角形は、凹多角形（少なくとも、1つの内角が 180° を超える多角形）及び凸多角形（全ての内角が 180° 以下である多角形）のどちらであってもよい。

[0173]

なお、本明細書等において、開口145の上面形状とは、絶縁層110の開口145側の上面端部の形状を指す。開口141の上面形状とは、絶縁層110の開口141側の上面端部の形状を指す。また、開口143の上面形状とは、導電層112bの開口143側の下面端部の形状を指す。

[0174]

図16A等に示すように、開口141の上面形状と、開口143の上面形状と、は互いに一致、

又は概略一致させることができる。このとき、図16B等に示すように、導電層112bの開口143側の下面端部は、絶縁層110の開口141側の上面端部と一致、又は概略一致することが好ましい。ここで、導電層112bの下面とは、絶縁層110側の面を指す。また、絶縁層110の上面とは、導電層112b側の面を指す。

[0175]

なお、開口141の上面形状と、開口143の上面形状と、は互いに一致しなくてもよい。また、開口141及び開口143の上面形状が円形であるとき、当該円形は、同心円状であってもよく、同心円状でなくてもよい。

[0176]

トランジスタ200のチャネル長及びチャネル幅について、図14A乃至図15を用いて説明する。

[0177]

図14Aでは、トランジスタ200のチャネル長 L_{200} を、実線の両矢印で示している。チャネル長 L_{200} は、導電層212aと導電層212bとの間の、開口145の外周方向に沿った距離に相当する。図14B及び図15では、トランジスタ200のチャネル幅 W_{200} を、破線の両矢印で示している。チャネル幅 W_{200} は、開口145の深さ方向に沿った半導体層208の幅となる。

[0178]

トランジスタ100のチャネル長及びチャネル幅について、図16A及び図16Bを用いて説明する。

[0179]

図16Bでは、トランジスタ100のチャネル長 L_{100} を破線の両矢印で示している。トランジスタ100のチャネル長 L_{100} は、断面視における絶縁層110a及び絶縁層110bの開口141側の側面の長さに対応する。つまり、チャネル長 L_{100} は、絶縁層110aの厚さ T_{110a} 、絶縁層110bの厚さ T_{110b} 、並びに、絶縁層110a及び絶縁層110bの開口141側の側面と絶縁層110a及び絶縁層110bの被形成面（ここでは、導電層112aの上面）とのなす角の角度 θ_{110} で決まる。したがって、チャネル長 L_{100} を露光装置の限界解像度よりも小さな値とすることができ、微細なサイズのトランジスタ100を実現することができる。具体的には、従来のフラットパネルディスプレイの量産用の露光装置（例えば、最小線幅 $2\mu\text{m}$ 又は $1.5\mu\text{m}$ 程度）では実現できなかった、極めて小さいチャネル長のトランジスタを実現することができる。また、最先端のLSI技術で用いられる極めて高額な露光装置を用いることなく、チャネル長が 10nm 未満のトランジスタを実現することもできる。

[0180]

チャネル長 L_{100} は、例えば、 5nm 以上 $3\mu\text{m}$ 未満、 7nm 以上 $2.5\mu\text{m}$ 以下、 10nm 以上 $2\mu\text{m}$ 以下、 10nm 以上 $1.5\mu\text{m}$ 以下、 10nm 以上 $1.2\mu\text{m}$ 以下、 10nm 以上 $1\mu\text{m}$ 以下、 10nm 以上 500nm 以下、 10nm 以上 300nm 以下、 10nm 以上 200nm 以下、 10nm 以上 100nm 以下、 10nm 以上 50nm 以下、 10nm 以上 30nm 以下、又は 10nm 以上 20nm 以下とすることができる。また、例えば、チャネル長 L_{100} を、 100nm 以上 $1\mu\text{m}$ 以下とすることもできる。

[0181]

チャンネル長 L_{100} を小さくすることにより、トランジスタ 100 のオン電流を大きくすることができる。トランジスタ 100 を用いることにより、高速動作が可能な回路を作製することができる。さらには、回路の占有面積を縮小することが可能となる。したがって、小型の半導体装置を実現することができる。例えば、本発明の一態様の半導体装置を大型の表示装置、又は高精細な表示装置に適用する際、配線数が増加した場合においても、各配線における信号遅延を低減することができ、表示ムラを抑制することができる。また、回路の占有面積を縮小することができるため、表示装置の額縁を狭くすることができる。

[0182]

絶縁層 $110b$ の厚さ T_{110b} 、並びに、導電層 $112a$ の上面に対する絶縁層 $110a$ 及び絶縁層 $110b$ の側面の角度 θ_{110} を調整することにより、トランジスタ 100 のチャンネル長 L_{100} 、及び、トランジスタ 200 のチャンネル幅 W_{200} を制御することができる。なお、図16B等では、絶縁層 $110b$ の厚さ T_{110b} を、一点鎖線の両矢印で示している。

[0183]

絶縁層 $110b$ の厚さ T_{110b} は、例えば、 5 nm 以上 $3\text{ }\mu\text{ m}$ 未満、 7 nm 以上 $2.5\text{ }\mu\text{ m}$ 以下、 10 nm 以上 $2\text{ }\mu\text{ m}$ 以下、 10 nm 以上 $1.5\text{ }\mu\text{ m}$ 以下、 10 nm 以上 $1.2\text{ }\mu\text{ m}$ 以下、 10 nm 以上 $1\text{ }\mu\text{ m}$ 以下、 10 nm 以上 500 nm 以下、 10 nm 以上 300 nm 以下、 10 nm 以上 200 nm 以下、 10 nm 以上 100 nm 以下、 10 nm 以上 50 nm 以下、 10 nm 以上 30 nm 以下、又は 10 nm 以上 20 nm 以下とすることができる。

[0184]

絶縁層 110 の開口 141 側の側面、及び、絶縁層 110 の開口 145 側の側面は、垂直形状、又はテーパ形状であることが好ましい。角度 θ_{110} は、 90° 以下であることが好ましい。角度 θ_{110} を小さくすることにより、絶縁層 110 上に形成される層（例えば、半導体層 108 、半導体層 208 等）の被覆性を高めることができる。角度 θ_{110} が小さいほど、トランジスタ 100 のチャンネル長 L_{100} 、及び、トランジスタ 200 のチャンネル幅 W_{200} を大きくすることができる。逆に、角度 θ_{110} が大きいほど、トランジスタ 100 のチャンネル長 L_{100} 、及び、トランジスタ 200 のチャンネル幅 W_{200} を小さくすることができ、トランジスタ 100 及びトランジスタ 200 の微細化にもつながる。

[0185]

角度 θ_{110} は、例えば、 30° 以上 90° 以下、 35° 以上 85° 以下、 40° 以上 80° 以下、 45° 以上 80° 以下、 50° 以上 80° 以下、 55° 以上 80° 以下、 60° 以上 80° 以下、 65° 以上 80° 以下、又は 70° 以上 80° 以下とすることができる。

[0186]

なお、図16B等では、断面視において、絶縁層 110 の開口 141 側の側面の形状が直線である構成を示しているが、本発明の一態様はこれに限られない。断面視において、絶縁層 110 の開口 141 側の側面の形状は曲線であってもよく、また、側面の形状が直線である領域と曲線である領域の双方を有してもよい。

[0187]

同様に、図14B等では、断面視において、絶縁層 110 の開口 145 側の側面の形状が直線である構成を示しているが、本発明の一態様はこれに限られない。断面視において、絶縁層 110 の開口 145 側の側面の形状は曲線であってもよく、また、側面の形状が直線である領域と、曲線で

ある領域と、の双方を有してもよい。

[0188]

図16A及び図16Bでは、開口141の幅D141を二点鎖線の両矢印で示している。図16Aでは、開口141の上面形状が円形である例を示す。このとき、幅D141は、当該円の直径に相当し、トランジスタ100のチャネル幅W100は、当該円の円周の長さとなる。すなわち、チャネル幅W100は、 $\pi \times D141$ となる。このように、開口141の上面形状が円形であると、他の形状に比べて、チャネル幅W100の小さいトランジスタを実現することができる。

[0189]

開口141の幅D141は、深さ方向で変化する場合がある。開口141の幅D141として、例えば、断面視における絶縁層110b（又は絶縁層110）の最も高い位置の径、最も低い位置の径、及び、これらの中間点の位置の径の3つの平均値を用いることができる。又は、幅D141として、例えば、断面視における絶縁層110b（又は絶縁層110）の最も高い位置の径、最も低い位置の径、又は、これらの中間点の位置の径の、いずれかの径を用いてもよい。

[0190]

同様に、平面視における開口145の径（最大径、開口145の上面形状が円形の場合は直径）は、深さ方向で変化する場合がある。開口145の径として、例えば、断面視における絶縁層110b（又は絶縁層110）の最も高い位置の径、最も低い位置の径、及び、これらの中間点の位置の径の3つの平均値を用いることができる。又は、開口145の径として、例えば、断面視における絶縁層110b（又は絶縁層110）の最も高い位置の径、最も低い位置の径、又は、これらの中間点の位置の径の、いずれかの径を用いてもよい。

[0191]

フォトリソグラフィ法を用いて開口141及び開口145を形成する場合、開口141の幅D141、及び、平面視における開口145の径は、それぞれ、露光装置の限界解像度以上となる。幅D141、及び、平面視における開口145の径は、それぞれ、例えば、200nm以上5 μ m未満、300nm以上4.5 μ m以下、400nm以上4 μ m以下、500nm以上3.5 μ m以下、500nm以上3 μ m以下、500nm以上2.5 μ m以下、500nm以上2 μ m以下、500nm以上1.5 μ m以下、又は500nm以上1 μ m以下とすることができる。

[0192]

なお、トランジスタ100のチャネル長L100、及び、トランジスタ200のチャネル長L200を小さくする場合、絶縁層110a及び絶縁層110cは、それぞれ、自身から放出される水素の量がより少ない材料を用いることが好ましい。絶縁層110a及び絶縁層110cに少量でも水素を放出する材料を用いる場合は、これらの厚さが薄いことが好ましい。例えば、トランジスタ100のチャネル長L100を100nm以下とする場合、絶縁層110aの厚さT110a及び絶縁層110cの厚さT110cは、それぞれ、例えば、1nm以上50nm以下、3nm以上40nm以下、5nm以上30nm以下、5nm以上20nm以下、5nm以上15nm以下、又は5nm以上10nm以下が好ましい。これにより、チャネル形成領域に拡散する不純物の量を少なくすることができ、チャネル長L100が短い場合においても、良好な電気特性を示し、かつ、信頼性の高いトランジスタ100とすることができる。

[0193]

なお、ここでは、半導体層108の絶縁層110bと接する領域が、トランジスタ100のチャ

ネル形成領域として機能する構成を例に挙げて説明したが、本発明の一態様はこれに限られない。半導体層108の絶縁層110aと接する領域も、トランジスタ100のチャネル形成領域として機能してもよい。

[0194]

図16B等では、トランジスタ100において、半導体層108、絶縁層106、及び導電層104が、開口141及び開口143を覆う例を示しているが、本発明の一態様はこれに限られない。絶縁層110と、導電層112aと、によって段差が形成され、当該段差に沿って、半導体層108、絶縁層106、及び導電層104が設けられる構成としてもよい。

[0195]

前述したように、トランジスタ100のチャネル長L100は、露光装置の限界解像度よりも小さな値とすることができ、トランジスタ200のチャネル長L200は、露光装置の限界解像度以上の値とすることができる。例えば、大きいオン電流が求められるトランジスタにトランジスタ100を適用し、高い飽和性が求められるトランジスタにトランジスタ200を適用することにより、それぞれのトランジスタの利点を生かした高い性能の半導体装置10を実現することができる。さらに、トランジスタ100と、トランジスタ200と、は一部の工程を共通にして形成することができる。具体的には、半導体層108及び半導体層208は、同じ工程で形成することができる。絶縁層106の一部は、トランジスタ100のゲート絶縁層として機能し、絶縁層106の他の一部はトランジスタ200のゲート絶縁層として機能する。導電層104及び導電層204は、同じ工程で形成することができる。導電層112b、導電層212a及び導電層212bは、同じ工程で形成することができる。したがって、半導体装置10の生産性を高め、製造コストを低くすることができる。

[0196]

また、前述したように、半導体装置10がトランジスタ200のみを有する構成である場合、トランジスタ200毎に開口145の上面形状を異ならせることによって、チャネル長L200の大きさの異なる複数のトランジスタ200を有する半導体装置10を作製してもよい。例えば、トランジスタ200毎に開口145の上面形状を異ならせてW/L比を調整することによって、半導体装置10において、大きいオン電流が求められるトランジスタには、W/L比の大きいトランジスタ200を適用し、高い飽和性が求められるトランジスタには、W/L比の小さいトランジスタ200を適用してもよい。

[0197]

以下では、本発明の一態様の半導体装置10に用いることができる材料について、詳細に説明する。

[0198]

[半導体層108、半導体層208]

半導体層108及び半導体層208に用いることができる金属酸化物について、具体的に説明する。金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくとも、インジウム又は亜鉛を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二又は三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Mとして、具体的には、ア

ルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種又は複数種であることがより好ましく、ガリウム及びスズの一種又は複数種がさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0199]

半導体層108及び半導体層208は、それぞれ、例えば、インジウム酸化物（In酸化物）、インジウム亜鉛酸化物（In-Zn酸化物）、インジウムスズ酸化物（In-Sn酸化物、ITOとも記す。）、インジウムチタン酸化物（In-Ti酸化物）、インジウムガリウム酸化物（In-Ga酸化物）、インジウムタングステン酸化物（In-W酸化物、IWOとも記す。）、インジウムガリウムアルミニウム酸化物（In-Ga-Al酸化物）、インジウムガリウムスズ酸化物（In-Ga-Sn酸化物）、ガリウム亜鉛酸化物（Ga-Zn酸化物、GZOとも記す。）、アルミニウム亜鉛酸化物（Al-Zn酸化物、AZOとも記す。）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn酸化物、IAZOとも記す。）、インジウムスズ亜鉛酸化物（In-Sn-Zn酸化物、ITZO（登録商標）とも記す。）、インジウムチタン亜鉛酸化物（In-Ti-Zn酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn酸化物、IGZOとも記す。）、インジウムガリウムスズ亜鉛酸化物（In-Ga-Sn-Zn酸化物、IGZTOとも記す。）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn酸化物、IGAZO、IGZAO、又はIAGZOとも記す。）などを用いることができる。又は、シリコンを含むインジウムスズ酸化物（ITSOとも記す。）、ガリウムスズ酸化物（Ga-Sn酸化物）、アルミニウムスズ酸化物（Al-Sn酸化物）などを用いることができる。なお、インジウム酸化物などに代表されるZnを含まない材料は、Siプロセスとの親和性が高いため好適である。一方で、Znを含む材料は、結晶性を高めることができるため好適である。

[0200]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。また、オン電流が大きいトランジスタを実現することができる。

[0201]

なお、金属酸化物は、インジウムに代えて、又は、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって元素周期表における周期番号が大きい金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。元素周期表における周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムは、

軽希土類元素と呼ばれる。

[0202]

金属酸化物は、非金属元素の一種又は複数種を有してもよい。金属酸化物が非金属元素を有することで、キャリア濃度の増加、又は、バンドギャップの縮小などが生じ、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

[0203]

金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制することができる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0204]

金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損 (V_O) が形成されることを抑制することができる。したがって、酸素欠損 (V_O) に起因するキャリア生成が抑制され、オフ電流が小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0205]

半導体層108及び半導体層208に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

[0206]

金属酸化物が $In-M-Zn$ 酸化物の場合、当該 $In-M-Zn$ 酸化物における In の原子数比はMの原子数比以上であることが好ましい。このような $In-M-Zn$ 酸化物の金属元素の原子数比として、例えば、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=2:1:3$ 、 $In:M:Zn=3:1:2$ 、 $In:M:Zn=4:2:3$ 、 $In:M:Zn=4:2:4.1$ 、 $In:M:Zn=5:1:3$ 、 $In:M:Zn=5:1:6$ 、 $In:M:Zn=5:1:7$ 、 $In:M:Zn=5:1:8$ 、 $In:M:Zn=6:1:6$ 、 $In:M:Zn=10:1:1$ 、 $In:M:Zn=10:1:3$ 、 $In:M:Zn=10:1:4$ 、 $In:M:Zn=10:1:6$ 、 $In:M:Zn=10:1:7$ 、 $In:M:Zn=10:1:8$ 、 $In:M:Zn=5:2:5$ 、 $In:M:Zn=10:1:10$ 、 $In:M:Zn=20:1:10$ 、 $In:M:Zn=40:1:10$ 、及び、これらの近傍の組成が挙げられる。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、又は電界効果移動度などを高めることができる。

[0207]

$In-M-Zn$ 酸化物における In の原子数比はMの原子数比未満であってもよい。このような $In-M-Zn$ 酸化物の金属元素の原子数比として、例えば、 $In:M:Zn=1:3:2$ 、 $In:M:Zn=1:3:3$ 、 $In:M:Zn=1:3:4$ 、及びこれらの近傍の組成が挙げられる。金属酸化物中のMの原子数の割合を大きくすることで、酸素欠損 (V_O) の生成を抑制することができる。

[0208]

なお、元素Mとして複数の金属元素を有する場合は、当該金属元素の原子数の割合の合計を、元素Mの原子数の割合とすることができる。

[0209]

本明細書等において、含有される全ての金属元素の原子数の和に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。

[0210]

半導体層108及び半導体層208にインジウムの含有率が高い材料を用いることで、トランジスタのオン電流、又は電界効果移動度を高めることができる。さらに、元素Mを有することで、酸素欠損(V_O)の生成を抑制することができる。元素Mの含有率(含有される全ての金属元素の原子数の和に対する元素Mの原子数の割合)は、0.1%以上3%以下が好ましく、さらには0.1%以上2%以下が好ましい。これにより、電気特性が良好なトランジスタとすることができる。例えば、 $In:M:Zn=40:1:10$ 、及びその近傍の金属酸化物を用いることが好ましい。元素Mは、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びリットリウムから選ばれた一種又は複数種であることがより好ましい。具体的には、 $In:Sn:Zn=40:1:10$ 、及びその近傍の金属酸化物を好適に用いることができる。又は、 $In:Al:Zn=40:1:10$ 、及びその近傍の金属酸化物を好適に用いることができる。

[0211]

ここで、半導体層108及び半導体層208に多結晶構造の金属酸化物を用いると、結晶粒界が再結合中心となり、キャリアが捕獲されることにより、トランジスタのオン電流が小さくなってしまう場合がある。多結晶構造になりやすい組成の金属酸化物を用いる場合、結晶化を阻害する元素を含むことが好ましい。例えば、インジウムスズ酸化物(ITO)と比較して、シリコンを含むインジウムスズ酸化物(ITSO)は多結晶構造になりづらいため、半導体層108及び半導体層208に好適に用いることができる。ITSOを用いる場合、シリコンの含有率(含有される全ての金属元素の原子数の和に対するシリコンの原子数の割合)は、1%以上20%以下が好ましく、さらには3%以上20%以下が好ましく、さらには3%以上15%以下が好ましく、さらには5%以上15%以下が好ましい。具体的には、 $In:Sn:Si=45:5:4$ 、 $In:Sn:Si=95:5:8$ 、及びこれらの近傍の金属酸化物を好適に用いることができる。

[0212]

半導体層108及び半導体層208の組成の分析には、例えば、エネルギー分散型X線分光法(EDX:Energy Dispersive X-ray Spectrometry)、X線光電子分光法(XPS:X-ray Photoelectron Spectrometry)、誘導結合プラズマ質量分析法(ICP-MS:Inductively Coupled Plasma-Mass Spectrometry)、又は誘導結合高周波プラズマ発光分光法(ICP-AES:Inductively Coupled Plasma-Atomic Emission Spectrometry)を用いることができる。又は、これらの手法を複数組み合わせて分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる場合がある。

[0213]

金属酸化物の形成には、スパッタリング法、又はALD法を好適に用いることができる。なお、

金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0214]

半導体層108及び半導体層208は、それぞれ、2以上の金属酸化物層を有する積層構造としてもよい。半導体層108及び半導体層208のそれぞれが有する2以上の金属酸化物層は、組成が互いに同じ、又は概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成することができるため、製造コストを削減することができる。

[0215]

半導体層108及び半導体層208のそれぞれが有する2以上の金属酸化物層は、組成が互いに異なってもよい。例えば、 $In:M:Zn=1:3:4$ [原子数比] 若しくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる $In:M:Zn=1:1:1$ [原子数比] 若しくはその近傍の組成の第2の金属酸化物層と、の積層構造を好適に用いることができる。また、元素Mとして、ガリウム、アルミニウム、又はスズを用いることが特に好ましい。第1の金属酸化物層と第2の金属酸化物層における元素Mは、同じであってもよく、互いに異なってもよい。例えば、第1の金属酸化物層と第2の金属酸化物層は、互いに組成が異なるIGZO層であってもよい。

[0216]

例えば、 $In:Zn=4:1$ [原子数比] 若しくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる $In:M:Zn=1:1:1$ [原子数比] 若しくはその近傍の組成の第2の金属酸化物層と、の積層構造を好適に用いることができる。

[0217]

例えば、インジウム酸化物、インジウムガリウム酸化物、及びIGZOの中から選ばれるいずれか一と、IAZO、IAGO、及びITZO（登録商標）の中から選ばれるいずれか一と、の積層構造を用いてもよい。

[0218]

なお、第1の金属酸化物を有する第1の金属酸化物層と、第2の金属酸化物を有する第2の金属酸化物層の積層構造とし、第1の金属酸化物の組成と第2の金属酸化物の組成が同じ、又は概略同じである場合、第1の金属酸化物層と第2の金属酸化物層の境界（界面）を明確に確認できない場合がある。

[0219]

半導体層108及び半導体層208には、それぞれ、結晶性を有する金属酸化物を用いることが好ましい。結晶性を有する金属酸化物の構造として、例えば、CAAC（C-Axis Aligned Crystal）構造、多結晶構造、及び、微結晶（nc:nano-crystal）構造が挙げられる。結晶性を有する金属酸化物層を用いることにより、半導体層108中及び半導体層208中の欠陥準位密度を低減することができ、信頼性の高い半導体装置を実現することができる。

[0220]

半導体層108及び半導体層208には、それぞれ、CAAC-OS又は又はnc-OSを用い

ることが好ましい。

[0221]

CAAC-OSは、複数の層状結晶を有する。当該結晶のc軸は、被形成面の法線方向に配向している。半導体層108及び半導体層208は、それぞれ、被形成面に対して、平行又は概略平行な層状結晶を有することが好ましい。例えば、半導体層108は、導電層112bの上面と接する領域においては当該上面に対して平行又は概略平行な層状結晶を有し、導電層112bの側面と接する領域においては当該側面に対して平行又は概略平行な層状結晶を有することが好ましい。特に、半導体層108は、開口141において、被形成面である絶縁層110の側面に対して平行又は概略平行な層状結晶を有することが好ましい。このような構成とすることにより、トランジスタ100のチャネル長方向に対して、半導体層108の層状結晶が概略平行に形成されるため、オン電流の大きいトランジスタとすることができる。同様に、半導体層208は、導電層212aの側面、導電層212bの側面、及び、絶縁層110の側面に対して、平行又は概略平行な層状結晶を有することが好ましい。特に、半導体層208は、導電層204と重なる領域において、被形成面である絶縁層110の側面に対して、平行又は概略平行な層状結晶を有することが好ましい。これにより、オン電流の大きいトランジスタ200を実現することができる。

[0222]

チャネル形成領域に結晶性が高い金属酸化物を用いることで、チャネル形成領域中の欠陥準位密度を低減することができる。一方、結晶性の低い金属酸化物を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

[0223]

金属酸化物をスパッタリング法により形成する場合、形成時の基板温度が高いほど、結晶性の高い金属酸化物を形成することができる。形成時の基板温度は、例えば、形成時に基板が置かれるステージの温度により調整することができる。また、形成に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう。）、又は処理室内の酸素分圧が高いほど、結晶性の高い金属酸化物を形成することができる。

[0224]

半導体層108及び半導体層208の結晶性は、例えば、X線回折（XRD：X-Ray Diffraction）、透過型電子顕微鏡（TEM：Transmission Electron Microscope）、又は電子線回折（ED：Electron Diffraction）により解析することができる。又は、これらの手法を複数組み合わせることで分析を行ってもよい。

[0225]

半導体層108及び半導体層208に金属酸化物を用いる場合、チャネル形成領域の V_{OH} をできる限り低減し、高純度真性又は実質的に高純度真性にするのが好ましい。このように、 V_{OH} が十分低減された金属酸化物を得るには、金属酸化物中の水、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損（ V_O ）を修復することが重要である。 V_{OH} などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。なお、金属酸化物に酸素を供給して酸素欠損（ V_O ）を修復することを、加酸素化処理と記す場合がある。

[0226]

半導体層108及び半導体層208に金属酸化物を用いる場合、チャネル形成領域のキャリア濃

度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域のキャリア濃度の下限値について限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0227]

OSトランジスタは、放射線照射による電気特性の変動が小さい、つまり放射線に対する耐性が高いため、放射線が入射し得る環境においても好適に用いることができる。OSトランジスタは、放射線に対する信頼性が高いともいえる。例えば、X線のフラットパネルディテクタの画素回路に、OSトランジスタを好適に用いることができる。また、OSトランジスタは、宇宙空間で使用する半導体装置に好適に用いることができる。放射線として、電磁放射線（例えば、X線、及びガンマ線）、及び粒子放射線（例えば、アルファ線、ベータ線、陽子線、及び中性子線）が挙げられる。

[0228]

半導体層108及び半導体層208は、それぞれ、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合又はイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合又はイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流が大きいトランジスタを提供することができる。

[0229]

上記層状物質として、例えば、グラフェン、シリセン、カルコゲン化物などが挙げられる。カルコゲン化物は、カルコゲン（第16族に属する元素）を含む化合物である。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。トランジスタのチャネル形成領域として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0230]

[導電層112a、導電層112b、導電層104、導電層212a、導電層212b、導電層204]

導電層112a、導電層112b、導電層104、導電層212a、導電層212b、及び導電層204は、それぞれ、単層構造でもよく、2層以上の積層構造であってもよい。導電層112a、導電層112b、導電層104、導電層212a、導電層212b、及び導電層204に用いることができる材料として、それぞれ、例えば、クロム、銅、アルミニウム、金、銀、亜鉛、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルト、モリブデン、及び、ニオブの一又は複数、並びに、前述した金属の一又は複数を成分とする合金が挙げられる。導電層112a、導電層112b、導電層104、導電層212a、導電層212b、及び導電層204には、それぞれ、銅、銀、金、及びアルミニウムのうち一又は複数を含む、低抵抗な導電材料を好適に用いることができる。特に、銅又はアルミニウムは量産性に優れるため好ましい。

[0231]

導電層112a、導電層112b、導電層104、導電層212a、導電層212b、及び導電層204には、それぞれ、導電性を有する金属酸化物（酸化物導電体）を用いることができる。酸化物導電体（OC: Oxide Conductor）として、例えば、酸化インジウム、酸化亜鉛、In-Sn酸化物（ITO）、In-Zn酸化物、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、In-Sn-Si酸化物（シリコンを含むITO、ITSOともいう。）、ガリウムを添加した酸化亜鉛、及びIn-Ga-Zn酸化物が挙げられる。特にインジウムを含む導電性酸化物は、導電性が高いため好ましい。

[0232]

半導体特性を有する金属酸化物に酸素欠損を形成し、当該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体ということができる。

[0233]

導電層112a、導電層112b、導電層104、導電層212a、導電層212b、及び導電層204は、それぞれ、前述の酸化物導電体（金属酸化物）を含む導電膜と、金属又は合金を含む導電膜と、の積層構造としてもよい。金属又は合金を含む導電膜を用いることで、配線抵抗を小さくすることができる。

[0234]

導電層112a、導電層112b、導電層104、導電層212a、導電層212b、及び導電層204には、それぞれ、Cu-X合金膜（Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、又はTi）を適用してもよい。Cu-X合金膜を用いることで、ウェットエッチング法により加工することができるため、製造コストを削減することができる。

[0235]

なお、導電層112a、導電層112b、導電層104、導電層212a、導電層212b、及び導電層204には、互いに同じ材料を用いてもよく、異なる材料を用いてもよい。

[0236]

導電層112a及び導電層112bは、半導体層108と接する領域を有する。導電層212a及び導電層212bは、半導体層208と接する領域を有する。半導体層108として金属酸化物を用いる場合、導電層112a及び導電層112bに酸化されやすい金属（例えば、アルミニウム）を用いると、導電層112aと半導体層108との間、及び、導電層112bと半導体層108との間に絶縁性の酸化物（例えば、酸化アルミニウム）が形成され、これらの導通を妨げる恐れがある。同様に、半導体層208として金属酸化物を用いる場合、導電層212a及び導電層212bに酸化されやすい金属を用いると、導電層212aと半導体層208との間、及び、導電層212bと半導体層208との間に絶縁性の酸化物が形成され、これらの導通を妨げる恐れがある。そのため、導電層112a、導電層112b、導電層212a、及び導電層212bには、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、又は酸化物導電材料を用いることが好ましい。

[0237]

導電層112a、導電層112b、導電層212a、及び導電層212bには、それぞれ、例えば、チタン、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミ

ニウムを含む窒化物、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物を用いることが好ましい。これらは、酸化されにくい導電材料、又は、酸化されても電気抵抗が低く保たれる材料であるため、好ましい。

[0238]

導電層112a、導電層112b、導電層212a、及び導電層212bには、それぞれ、前述の酸化物導電体を用いることができる。具体的には、酸化インジウム、酸化亜鉛、ITO、In-Zn酸化物、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、シリコンを含むIn-Sn酸化物、ガリウムを添加した酸化亜鉛などの導電性酸化物を用いることができる。

[0239]

導電層112a、導電層112b、導電層212a、及び導電層212bには、それぞれ、窒化物導電体を用いてもよい。窒化物導電体として、例えば、窒化タンタル、及び窒化チタンが挙げられる。

[0240]

導電層112a、導電層112b、導電層104、導電層212a、導電層212b、及び導電層204は、それぞれ、積層構造を有してもよい。このとき、少なくとも半導体層108及び半導体層208と接する領域には、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、又は酸化物導電材料を用いることが好ましい。また、半導体層108及び半導体層208と接しない領域には、電気抵抗率の低い材料を用いることが好ましい。これにより、導電層の電気抵抗を低くすることができる。例えば、半導体層108及び半導体層208と接する領域にIn-Sn-Si酸化物(ITSO)を、半導体層108及び半導体層208と接しない領域に銅又はタングステンを好適に用いることができる。

[0241]

[絶縁層106]

絶縁層106は、単層構造でもよく、2層以上の積層構造であってもよい。絶縁層106は、1層以上の無機絶縁膜を有することが好ましい。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。絶縁層106は、絶縁層110に用いることができる材料を用いることができる。

[0242]

絶縁層106は、半導体層108及び半導体層208と接する領域を有する。半導体層108及び半導体層208に金属酸化物を用いる場合、絶縁層106を構成する膜のうち、少なくとも半導体層108及び半導体層208と接する膜には、前述の酸化物及び酸化窒化物のいずれかを用いることが好ましい。また、絶縁層106には、加熱により酸素を放出する膜を用いるとより好ましい。

[0243]

具体的には、絶縁層106が単層構造の場合、絶縁層106には、酸化物又は酸化窒化物を用いることが好ましい。具体的には、絶縁層106は、酸化シリコン又は酸化窒化シリコンを好適に用いることができる。

[0244]

絶縁層106を積層構造とする場合、半導体層108及び半導体層208と接する側の絶縁膜は、酸化物又は酸化窒化物を有し、導電層104及び導電層204と接する側の絶縁膜は、窒化物又は

窒化酸化物を有することが好ましい。当該酸化物又は酸化窒化物として、例えば、酸化シリコン又は酸化窒化シリコンを好適に用いることができる。当該窒化物又は窒化酸化物として、窒化シリコン又は窒化酸化シリコンを好適に用いることができる。

[0245]

窒化シリコン、及び、窒化酸化シリコンは自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層106として好適に用いることができる。不純物が絶縁層106から半導体層108及び半導体層208に拡散することが抑制されることで、トランジスタの電気特性を良好とし、かつ信頼性を高めることができる。

[0246]

なお、微細なトランジスタにおいて、ゲート絶縁層の厚さが薄くなると、リーク電流が大きくなっていく場合がある。ゲート絶縁層に、比誘電率の高い材料（h i g h - k材料ともいう。）を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。絶縁層106に用いることができるh i g h - k材料として、例えば、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物が挙げられる。

[0247]

[絶縁層195]

トランジスタ100及びトランジスタ200の保護層として機能する絶縁層195には、不純物が拡散しにくい材料を用いることが好ましい。絶縁層195を設けることにより、トランジスタに外部から不純物が拡散することを効果的に抑制することができ、半導体装置10の信頼性を高めることができる。不純物として、例えば、水及び水素が挙げられる。

[0248]

絶縁層195は、無機材料を有する絶縁層、又は有機材料を有する絶縁層とすることができる。絶縁層195には、例えば、酸化物、酸化窒化物、窒化酸化物又は窒化物の無機材料を好適に用いることができる。より具体的には、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、及びハフニウムアルミネートの一又は複数を用いることができる。有機材料として、例えば、アクリル樹脂、及びポリイミド樹脂の一又は複数を用いることができる。有機材料は感光性の材料を用いてもよい。また、上述の絶縁膜を2以上積層して用いてもよい。絶縁層195は、無機材料を有する絶縁層と、有機材料を有する絶縁層との積層構造としてもよい。

[0249]

[基板102]

基板102の材質に大きな制限はないが、少なくとも、後の熱処理に耐え得る程度の耐熱性を有している必要がある。例えば、シリコン、又は炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板、ガラス基板、石英基板、サファイア基板、セラミック基板、又は有機樹脂基板を、基板102として用いてもよい。また、基板102には、半導体素子が設けられていてもよい。なお、半導体基板、及び絶縁性基板の形状は円形であってもよく、角形であってもよい。

[0250]

基板 102 として、可撓性基板を用い、可撓性基板上に直接、トランジスタ 100 等を形成してもよい。又は、基板 102 と、トランジスタ 100 等と、の間に剥離層を設けてもよい。剥離層を設けることにより、その上に半導体装置の一部あるいは全部を完成させた後、基板 102 より分離し、他の基板に転載することができる。その際、トランジスタ 100 等を耐熱性の劣る基板、又は可撓性基板にも転載することができる。

[0251]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0252]

(実施の形態 3)

本実施の形態では、本発明の一態様の半導体装置 10 の作製方法について、図 17A 乃至図 25C を用いて説明する。なお、各要素の材料及び形成方法について、先の実施の形態 2 で説明した部分と同様の部分については、説明を省略することがある。

[0253]

なお、図 17A 乃至図 21 では、半導体装置 10 のうち、トランジスタ 200 (VLFET) に限定した作製方法例を説明し、図 22A 乃至図 25C では、トランジスタ 200 (VLFET) とトランジスタ 100 (VFET) の双方を同時に形成する場合の作製方法例について説明する。

[0254]

初めに、半導体装置 10 が有するトランジスタ 200 の作製方法例について説明する。

[0255]

図 17A 乃至図 21 には、図 14A に示す一点鎖線 A1-A2 間の断面図と、一点鎖線 A3-A4 間の断面図と、を並べて示す。

[0256]

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スパッタリング法、化学気相堆積 (CVD: Chemical Vapor Deposition) 法、真空蒸着法、パルスレーザー堆積 (PLD: Pulsed Laser Deposition) 法、ALD 法等を用いて形成することができる。CVD 法には、PECVD 法、及び、熱 CVD 法などがある。また、熱 CVD 法の 1 つに、有機金属化学気相堆積 (MOCVD: Metal Organic CVD) 法がある。

[0257]

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スピンコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ、スリットコート、ロールコート、カーテンコート、又はナイフコート等の湿式の成膜方法により形成することができる。

[0258]

半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いることができる。又は、ナノインプリント法、サンドブラスト法、リフトオフ法などにより、薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

[0259]

フォトリソグラフィ法として、代表的には、以下の2つの方法がある。1つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう1つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

[0260]

フォトリソグラフィ法において、露光に用いる光は、例えば、i線（波長365nm）、g線（波長436nm）、h線（波長405nm）、又はこれらを混合させた光を用いることができる。その他、紫外線、KrFレーザ光、又はArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（EUV: Extreme Ultraviolet）光、又はX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線又は電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0261]

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、及びサンドブラスト法の一又は複数を用いることができる。

[0262]

まず、基板102上に、絶縁層110a及び絶縁層110bをこの順で形成する（図17A）。

[0263]

絶縁層110a及び絶縁層110bの形成には、スパッタリング法又はPECVD法を好適に用いることができる。絶縁層110aを形成した後、絶縁層110aの表面を大気に曝すことなく、真空中で連続して絶縁層110bを形成することが好ましい。絶縁層110a及び絶縁層110bを連続して形成することで、絶縁層110aの表面に大気由来の不純物が付着することを抑制することができる。当該不純物として、例えば、水、及び有機物が挙げられる。

[0264]

絶縁層110a及び絶縁層110bの形成時の基板温度は、それぞれ、180℃以上450℃以下が好ましく、さらには200℃以上450℃以下が好ましく、さらには250℃以上450℃以下が好ましく、さらには300℃以上450℃以下が好ましく、さらには300℃以上400℃以下が好ましく、さらには350℃以上400℃以下が好ましい。絶縁層110a及び絶縁層110bの形成時の基板温度を前述の範囲とすることで、自身からの不純物（例えば、水及び水素）の放出を少なくすることができ、不純物が半導体層208に拡散することを抑制することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタ200とすることができる。

[0265]

なお、絶縁層110a及び絶縁層110bは、半導体層208より先に形成されるため、絶縁層110a及び絶縁層110bの形成時に加わる熱によって、半導体層208から酸素が脱離することを懸念する必要はない。

[0266]

絶縁層110bを形成した後、絶縁層110bに酸素を供給してもよい。酸素の供給方法として、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理を用いることができる。プラズマ処理には、酸素ガスを高周波電力によってプラズマ化させる

装置を好適に用いることができる。ガスを高周波電力によってプラズマ化させる装置として、例えば、PECVD装置、プラズマエッチング装置及びプラズマアッシング装置が挙げられる。プラズマ処理は、酸素を含む雰囲気で行うことが好ましい。例えば、酸素、一酸化二窒素（ N_2O ）、二酸化窒素（ NO_2 ）、一酸化炭素、及び二酸化炭素の一以上を含む雰囲気で、プラズマ処理を行うことが好ましい。

[0267]

なお、絶縁層110bの表面を大気に曝すことなく、真空中で連続して当該プラズマ処理を行ってもよい。例えば、絶縁層110bの形成にPECVD装置を用いる場合、当該PECVD装置で、当該プラズマ処理を行うことが好ましい。これにより、生産性を高めることができる。具体的には、PECVD装置で絶縁層110bを形成した後に、真空中で連続して N_2O プラズマ処理を行うことができる。

[0268]

絶縁層110b上に、金属酸化物膜137を形成することが好ましい（図17B）。酸素を含む雰囲気でスパッタリング法により金属酸化物膜137を形成することで、絶縁層110bに酸素を供給することができる。

[0269]

金属酸化物膜137の導電性は問わない。金属酸化物膜137として、絶縁膜、半導体膜、及び導電膜の少なくとも一種を用いることができる。金属酸化物膜137として、例えば、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、インジウム酸化物、インジウムスズ酸化物（ITO）、又はシリコンを含有したインジウムスズ酸化物（ITSO）を用いることができる。

[0270]

金属酸化物膜137として、半導体層208と同一の元素を一以上含む酸化物材料を用いることが好ましい。特に、半導体層208に適用可能な金属酸化物材料を用いることが好ましい。

[0271]

金属酸化物膜137の形成時に、成膜装置の処理室内に導入する成膜ガスの酸素流量比、又は処理室内の酸素分圧が高いほど、絶縁層110b中に供給される酸素の量を増やすことができる。酸素流量比又は酸素分圧は、例えば、50%以上100%以下、好ましくは65%以上100%以下、より好ましくは80%以上100%以下、さらに好ましくは90%以上100%以下とする。特に、酸素流量比を100%とし、酸素分圧を100%にできるだけ近づけることが好ましい。

[0272]

このように、酸素を含む雰囲気でスパッタリング法により金属酸化物膜137を形成することにより、金属酸化物膜137の形成時に、絶縁層110bへ酸素を供給するとともに、絶縁層110bから酸素が脱離することを防ぐことができる。その結果、絶縁層110bに多くの酸素を閉じ込めることができる。そして、後の加熱処理によって、半導体層208に多くの酸素を供給することができる。その結果、半導体層208中の酸素欠損（ V_O ）及び $\text{V}_\text{O}\text{H}$ を低減することができ、良好な電気特性を示し、かつ信頼性の高いトランジスタ200とすることができる。

[0273]

金属酸化物膜137を形成した後、加熱処理を行ってもよい。金属酸化物膜137を形成した後に加熱処理を行うことで、金属酸化物膜137から絶縁層110bに効果的に酸素を供給することができる。

[0274]

加熱処理の温度は、例えば、150℃以上基板の歪み点未満、200℃以上450℃以下、230℃以上400℃以下、250℃以上350℃以下、又は250℃以上300℃以下が好ましい。加熱処理は、貴ガス、窒素又は酸素の一以上を含む雰囲気で行うことができる。窒素を含む雰囲気、又は酸素を含む雰囲気として、乾燥空気（CDA: Clean Dry Air）を用いてもよい。なお、当該雰囲気における水素、水などの含有量が極力少ないことが好ましい。当該雰囲気として、露点が−60℃以下、好ましくは−100℃以下の高純度ガスを用いることが好ましい。水素、水などの含有量が極力少ない雰囲気を用いることで、絶縁層110a及び絶縁層110bに水素、水などが取り込まれることを可能な限り防ぐことができる。加熱処理は、オーブン、急速加熱（RTA: Rapid Thermal Annealing）装置等を用いることができる。RTA装置を用いることで、加熱処理時間を短縮することができる。

[0275]

金属酸化物膜137を形成した後、又は前述の加熱処理の後に、さらに、金属酸化物膜137を介して、絶縁層110bに酸素を供給してもよい。酸素の供給方法として、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理を用いることができる。プラズマ処理については、前述の記載を参照することができるため、詳細な説明は省略する。

[0276]

続いて、金属酸化物膜137を除去する。金属酸化物膜137の除去方法に特に限定は無いが、ウェットエッチング法を好適に用いることができる。ウェットエッチング法を用いることで、金属酸化物膜137の除去の際に、絶縁層110bがエッチングされることを抑制することができる。これにより、絶縁層110bの厚さが薄くなることを抑制することができ、絶縁層110bの厚さを均一にすることができる。また、金属酸化物膜137の除去は、化学機械研磨（CMP: Chemical Mechanical Polishing）処理により行ってもよい。

[0277]

金属酸化物膜137を除去した後に、さらに絶縁層110bに酸素を供給してもよい。酸素の供給方法については、前述の記載を参照することができる。例えば、絶縁層110b上に膜を形成し、当該膜を介して、絶縁層110bに酸素を供給してもよい。当該処理として、酸素を含む雰囲気におけるプラズマ処理を用いることができる。

[0278]

当該膜には、導電膜又は半導体膜を用いることが好ましい。当該膜は、金属酸化物膜、金属膜又は合金膜を用いることができる。当該膜として金属酸化物を用い、酸素を含む雰囲気下でスパッタリング法等により形成すると、当該膜の形成時においても絶縁層110bに酸素を供給することができるため、好ましい。

[0279]

当該膜の厚さは薄いことが好ましい。具体的には、当該膜の厚さは、例えば、1nm以上20nm以下、2nm以上15nm以下、又は3nm以上10nm以下が好ましい。代表的には、5nm程度とすることができる。

[0280]

当該膜の形成時の基板温度は、350℃以下が好ましく、さらには340℃以下が好ましく、さらには330℃以下が好ましく、さらには300℃以下が好ましい。これにより、絶縁層110b

に供給される酸素の量を多くすることができる。

[0281]

酸素を供給する処理装置として、ドライエッチング装置、アッシング装置、又はPECVD装置を好適に用いることができる。特に、アッシング装置を用いることが好ましい。処理装置が有する一対の電極間にバイアス電圧を印加する場合、そのバイアス電圧を、例えば、10V以上1kV以下とすればよい。又は、バイアスの電力密度を、例えば、1W/cm²以上5W/cm²以下とすればよい。

[0282]

続いて、当該膜を除去する。当該膜の除去には、ウェットエッチング法を好適に用いることができる。又は、当該膜の除去は、CMP処理により行ってもよい。

[0283]

絶縁層110bに対して酸素を供給する処理は、前述の方法に限定されない。例えば、絶縁層110bに対して、イオンドーピング法、イオン注入法、又はプラズマ処理により、酸素ラジカル、酸素原子、酸素原子イオン、又は酸素分子イオンを供給する。また、絶縁層110b上に酸素の脱離を抑制する膜を形成した後、当該膜を介して絶縁層110bに酸素を供給してもよい。当該膜は、酸素を供給した後に除去することが好ましい。上述の酸素の脱離を抑制する膜として、インジウム、亜鉛、ガリウム、スズ、アルミニウム、クロム、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、及びタングステンの1以上を有する導電膜あるいは半導体膜を用いることができる。

[0284]

続いて、絶縁層110b上に、絶縁層110cを形成する(図17C)。絶縁層110cの形成は、絶縁層110a及び絶縁層110bの形成に係る記載を参照することができるため、詳細な説明は省略する。

[0285]

続いて、絶縁層110c上に、レジストマスク158を形成する。レジストマスク158は、後に導電層212a及び導電層212bが形成される領域以外と重なって設けられる。

[0286]

続いて、絶縁層110(絶縁層110a、絶縁層110b、及び絶縁層110c)を加工し、後に導電層212a及び導電層212bが形成される開口144a及び開口144bを形成する(図18A)。絶縁層110の加工には、ウェットエッチング法及びドライエッチング法の一方又は双方を好適に用いることができる。特に、異方性のドライエッチング法を好適に用いることができる。異方性のドライエッチング法を用いることにより、アスペクト比の高い微細な開口144a及び開口144bを形成することができるため、後に形成するトランジスタ200の基板面内における占有面積を減少させることができる。なお、当該加工により、開口144a及び開口144bと重なる領域の基板102の膜厚が、開口144a及び開口144bと重ならない領域の基板102の膜厚よりも薄くなる場合がある。

[0287]

続いて、レジストマスク158を除去する。

[0288]

続いて、開口144a及び開口144bを埋め込むように、基板102上及び絶縁層110上に、後に導電層212a及び導電層212bとなる導電膜212fを形成する(図18B)。導電膜2

1 2 f の形成には、例えば、スパッタリング法を好適に用いることができる。

[0 2 8 9]

続いて、導電膜 2 1 2 f の上面に対して、絶縁層 1 1 0 c の上面が露出するまで CMP 処理を行う。当該処理により、絶縁層 1 1 0 c と上面の高さが概略等しい導電層 2 1 2 a が開口 1 4 4 a 内に、絶縁層 1 1 0 c と上面の高さが概略等しい導電層 2 1 2 b が開口 1 4 4 b 内に、それぞれ形成される（図 1 8 C）。

[0 2 9 0]

続いて、導電層 2 1 2 a、導電層 2 1 2 b、及び絶縁層 1 1 0 c 上に、レジストマスク 1 5 9 を形成する。レジストマスク 1 5 9 は、後にトランジスタ 2 0 0 が形成される領域以外と重なって設けられる。

[0 2 9 1]

続いて、絶縁層 1 1 0（絶縁層 1 1 0 a、絶縁層 1 1 0 b、及び絶縁層 1 1 0 c）を加工し、導電層 2 1 2 a と導電層 2 1 2 b の間に、基板 1 0 2 に達する開口 1 4 5 を形成する（図 1 9 A）。絶縁層 1 1 0 の加工には、ウェットエッチング法及びドライエッチング法的一方又は双方を好適に用いることができる。特に、異方性のドライエッチング法を好適に用いることができる。異方性のドライエッチング法を用いることにより、側面が概略垂直で微細な開口 1 4 5 を形成することができるため、後に形成するトランジスタ 2 0 0 の基板面内における占有面積を減少させることができる。当該加工により、導電層 2 1 2 a の側面、及び、導電層 2 1 2 b の側面が露出する。なお、当該加工により、開口 1 4 5 と重なる領域の基板 1 0 2 の膜厚が、開口 1 4 5 と重ならない領域の基板 1 0 2 の膜厚よりも薄くなる場合がある。

[0 2 9 2]

続いて、レジストマスク 1 5 9 を除去する。

[0 2 9 3]

続いて、開口 1 4 5 を覆うように、基板 1 0 2 上、導電層 2 1 2 a 上、導電層 2 1 2 b 上、及び絶縁層 1 1 0 上に、後に半導体層 2 0 8 となる金属酸化物膜 2 0 8 f を形成する（図 1 9 B）。金属酸化物膜 2 0 8 f は、導電層 2 1 2 a の上面及び側面、導電層 2 1 2 b の上面及び側面、絶縁層 1 1 0 の上面及び側面、並びに、基板 1 0 2 の上面に接して設けられる。

[0 2 9 4]

金属酸化物膜 2 0 8 f は、金属酸化物ターゲットを用いたスパッタリング法により、形成することが好ましい。又は、金属酸化物膜 2 0 8 f は、ALD 法により、形成することが好ましい。ALD 法は、被覆性が高いため、開口 1 4 5 を覆って設けられる金属酸化物膜 2 0 8 f の形成に、好適に用いることができる。ALD 法を用いることにより、絶縁層 1 1 0 の側面にも、被覆性良く金属酸化物膜を形成することができる。また、ALD 法は、サイクル回数により膜厚を制御しやすいため、厚さが薄い膜を歩留まり良く形成することができる。

[0 2 9 5]

金属酸化物膜 2 0 8 f は、可能な限り欠陥の少ない緻密な膜とすることが好ましい。また、金属酸化物膜 2 0 8 f は、可能な限り水素元素を含む不純物が低減され、高純度の膜であることが好ましい。特に、金属酸化物膜 2 0 8 f として、結晶性を有する金属酸化物膜を用いることが好ましい。

[0 2 9 6]

スパッタリング法を用いる場合、金属酸化物膜 2 0 8 f を形成する際に、酸素ガスを用いること

が好ましい。酸素ガスを用いることで、絶縁層 110 中に好適に酸素を供給することができる。例えば、絶縁層 110b に酸化物又は酸化窒化物を用いる場合、絶縁層 110b 中に好適に酸素を供給することができる。

[0297]

絶縁層 110b に酸素を供給することにより、後の工程で半導体層 208 のチャネル形成領域に酸素が供給され、これらのチャネル形成領域中の酸素欠損 (V_O) 及び V_OH を低減することができる。

[0298]

金属酸化物膜 208f を形成する際に、酸素ガスと、不活性ガス（例えば、ヘリウムガス、アルゴンガス、キセノンガスなど）と、を混合させてもよい。なお、金属酸化物膜を形成する際の成膜ガス全体に占める酸素ガスの割合（酸素流量比）、又は処理室内の酸素分圧が高いほど、金属酸化物膜の結晶性を高めることができ、信頼性の高いトランジスタ 200 を実現することができる。一方、酸素流量比又は酸素分圧が低いほど、結晶性が低く、電気伝導性の高い金属酸化物膜とすることができ、オン電流が大きいトランジスタ 200 とすることができ。

[0299]

ここで、酸素流量比又は酸素分圧が高いと金属酸化物膜が多結晶構造となる場合がある。多結晶構造の金属酸化物膜の場合、結晶粒界が再結合中心となり、キャリアが捕獲されることにより、トランジスタのオン電流が小さくなってしまう場合がある。したがって、金属酸化物膜 208f が多結晶構造とならないよう、酸素流量比又は酸素分圧を調整することが好ましい。金属酸化物膜の組成によって多結晶構造へのなりやすさが異なるため、金属酸化物膜 208f の組成に応じて酸素流量比又は酸素分圧を調整すればよい。

[0300]

金属酸化物膜を形成する際の基板温度が高いほど、結晶性が高く、緻密な金属酸化物膜とすることができる。一方、基板温度が低いほど、結晶性が低く、電気伝導性の高い金属酸化物膜とすることができる。

[0301]

金属酸化物膜 208f の形成時の基板温度は、室温以上 250℃以下が好ましく、室温以上 200℃以下がより好ましく、室温以上 140℃以下がさらに好ましい。例えば、基板温度を、室温以上 140℃以下とすると、生産性が高くなり好ましい。また、基板温度を室温とする、又は基板を加熱しない状態で、金属酸化物膜 208f を形成することにより、結晶性を低くすることができる。

[0302]

基板温度が高いと、金属酸化物膜 208f が多結晶構造となる場合がある。金属酸化物膜 208f が多結晶構造とならないよう、基板温度を調整することが好ましい。金属酸化物膜 208f に適用する組成に応じて、基板温度を調整すればよい。

[0303]

ALD法を用いる場合、熱ALD法、又はPEALD（Plasma Enhanced ALD）法等の成膜方法を用いることが好ましい。熱ALD法は、極めて高い被覆性を示すため好ましい。PEALD法は、高い被覆性を示すことに加え、プリカーサ由来の有機残渣を少なくすることができ、良好な膜質の膜を形成することができるため好ましい。

[0304]

金属酸化物膜 208f は、例えば、構成する金属元素を含むプリカーサと、酸化剤と、を用いて ALD 法により形成することができる。

[0305]

例えば、In-Ga-Zn 酸化物を形成する場合には、インジウムを含むプリカーサ、ガリウムを含むプリカーサ、及び亜鉛を含むプリカーサの、3つのプリカーサを用いることができる。又は、インジウムを含むプリカーサと、ガリウム及び亜鉛を含むプリカーサの2つのプリカーサを用いてもよい。

[0306]

インジウムを含むプリカーサとして、例えば、トリエチルインジウム、トリス（2，2，6，6-テトラメチルー3，5-ヘプタンジオン酸）インジウム、シクロペンタジエニルインジウム、塩化インジウム（III）、及び、（3-（ジメチルアミノ）プロピル）ジメチルインジウムが挙げられる。

[0307]

ガリウムを含むプリカーサとして、例えば、トリメチルガリウム、トリエチルガリウム、三塩化ガリウム、トリス（ジメチルアミド）ガリウム、ガリウム（III）アセチルアセトナート、トリス（2，2，6，6-テトラメチルー3，5-ヘプタンジオン酸）ガリウム、ジメチルクロロガリウム、ジエチルクロロガリウム、及び、塩化ガリウム（III）が挙げられる。

[0308]

亜鉛を含むプリカーサとして、例えば、ジメチル亜鉛、ジエチル亜鉛、ビス（2，2，6，6-テトラメチルー3，5-ヘプタンジオン酸）亜鉛、及び、塩化亜鉛が挙げられる。

[0309]

酸化剤として、例えば、オゾン、酸素、及び、水が挙げられる。

[0310]

得られる膜の組成を制御する方法として、原料ガスの種類、原料ガスの流量比、原料ガスを流す時間、及び原料ガスを流す順番の一又は複数を調整することが挙げられる。これらを調整することにより、金属酸化物膜 208f の組成を制御することができる。また、これらを調整することで、組成が連続して変化する膜を形成することもできる。金属酸化物膜 208f の組成が連続して変化する構成としてもよい。

[0311]

金属酸化物膜 208f を成膜する前に、絶縁層 110 の表面に吸着した水、水素、及び有機物等を脱離させるための処理、及び絶縁層 110 中に酸素を供給する処理のうち、少なくとも一方を行うことが好ましい。例えば、減圧雰囲気にて 70℃以上 200℃以下の温度で加熱処理を行うことができる。又は、酸素を含む雰囲気におけるプラズマ処理を行ってもよい。又は、一酸化二窒素（N₂O）などの酸化性気体を含む雰囲気におけるプラズマ処理により、絶縁層 110 に酸素を供給してもよい。一酸化二窒素ガスを含むプラズマ処理を行うと、絶縁層 110 の表面の有機物を好適に除去しつつ、酸素を供給することができる。このような処理の後、絶縁層 110 の表面を大気に暴露することなく、連続して金属酸化物膜 208f を成膜することが好ましい。

[0312]

なお、半導体層 208 を積層構造とする場合には、先に形成する金属酸化物膜を成膜した後に、その表面を大気に曝すことなく連続して、次の金属酸化物膜を成膜することが好ましい。

[0313]

半導体層208を積層構造とする場合には、半導体層208を構成する全ての層を同じ成膜方法（例えば、スパッタリング法又はALD法）で形成してもよく、層によって異なる成膜方法を用いてもよい。例えば、第1の金属酸化物層をスパッタリング法で成膜し、第2の金属酸化物層をALD法で成膜してもよい。

[0314]

続いて、異方性エッチングにより金属酸化物膜208fを加工し、開口145内における導電層212aの側面、開口145内における導電層212bの側面、及び、開口145内における絶縁層110の側面に接する半導体層208を形成する（図19C）。当該加工により、導電層212aの上面、導電層212bの上面、絶縁層110cの上面、及び、開口145内における基板102の上面が露出する。なお、当該加工により、導電層212aの膜厚、導電層212bの膜厚、絶縁層110cの膜厚、及び、開口145内における基板102の膜厚が、当該加工前よりも薄くなる場合がある。

[0315]

なお、本発明の一態様の半導体装置における半導体層208の加工方法は、上記に限られない。例えば、金属酸化物膜208fを、レジストマスクを介してエッチング処理することにより、半導体層208を形成してもよい。図21には、レジストマスク157を介したエッチング処理により、半導体層208を形成する方法を示している。

[0316]

レジストマスク157は、開口145の内側と外側の双方を跨いだ領域と重なるように形成することが好ましい。この状態で金属酸化物膜208fのエッチング処理を行うことにより、開口145の内側に一方の端部が位置し、開口145の外側に他方の端部が位置する半導体層208を形成することができる。なお、エッチング処理としては、ウェットエッチング法及びドライエッチング法の一方又は双方を好適に用いることができる。

[0317]

当該エッチング処理により、基板102の上面の一部、導電層212aの上面の一部、導電層212bの上面の一部、及び、絶縁層110cの上面の一部が露出する。なお、当該エッチング処理により、基板102、導電層212a、導電層212b、及び絶縁層110cのそれぞれの露出している領域の膜厚が、露出していない領域の膜厚よりも薄くなる場合がある。当該エッチング処理後には、レジストマスク157を除去する。

[0318]

金属酸化物膜208fの成膜後、又は、金属酸化物膜208fを半導体層208に加工した後に、加熱処理を行うことが好ましい。加熱処理により、金属酸化物膜208f又は半導体層208中に含まれる、又は表面に吸着した水素又は水を除去することができる。また、加熱処理により、金属酸化物膜208f又は半導体層208の膜質が向上する（例えば、欠陥が低減する、又は結晶性が向上する）場合がある。

[0319]

加熱処理により、絶縁層110bから金属酸化物膜208f又は半導体層208に酸素を供給することもできる。これにより、チャネル形成領域の酸素欠損（ V_o ）を低減することができる。このとき、金属酸化物膜208fを半導体層208に加工する前に、加熱処理を行うことがより好ま

しい。加熱処理については、前述の記載を参照することができるため、詳細な説明は省略する。なお、当該加熱処理に限定されず、金属酸化物膜 208f の形成以降の熱が加わる工程（例えば、絶縁層 106 の形成工程）においても、チャンネル形成領域への酸素の供給が行われてもよい。

[0320]

なお、当該加熱処理は、不要であれば行わなくてもよい。また、ここでは、加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理（例えば成膜工程）が、当該加熱処理を兼ねられる場合もある。

[0321]

続いて、半導体層 208 上、導電層 212a 上、導電層 212b 上、絶縁層 110 上、及び基板 102 上に、これらを覆うように、絶縁層 106 を形成する（図 20A）。絶縁層 106 は、半導体層 208 の側面及び上面、導電層 212a の上面、導電層 212b の上面、絶縁層 110c の上面、並びに、基板 102 の上面と接する領域を有する。絶縁層 106 の形成には、例えば、PECVD 法又は ALD 法を好適に用いることができる。

[0322]

半導体層 208 に金属酸化物を用いる場合、絶縁層 106 は、酸素が拡散することを抑制するバリア膜として機能することが好ましい。絶縁層 106 が、酸素の拡散を抑制する機能を有することにより、半導体層 208 に含まれる酸素が、絶縁層 106 より上側に拡散することが抑制され、半導体層 208 に酸素欠損 (V_o) が増加することを抑制することができる。その結果、良好な電気特性を示し、かつ信頼性の高いトランジスタ 200 とすることができる。

[0323]

なお、本明細書等において、バリア膜とは、バリア性を有する膜のことを示す。例えば、バリア性を有する絶縁層を、バリア絶縁層とすることができる。本明細書等において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう。）、及び、対応する物質を、捕獲、又は固着する（ゲッタリングともいう。）機能の一方又は双方を指すものとする。

[0324]

ゲート絶縁層として機能する絶縁層 106 の形成時の温度を高くすることにより、欠陥の少ない絶縁層とすることができる。しかしながら、絶縁層 106 の形成時の温度が高いと半導体層 208 から酸素が脱離し、半導体層 208 中の酸素欠損 (V_o) 及び V_oH が増加してしまう場合がある。絶縁層 106 の形成時の基板温度は、180℃以上 450℃以下が好ましく、さらには 200℃以上 450℃以下が好ましく、さらには 250℃以上 450℃以下が好ましく、さらには 300℃以上 450℃以下が好ましく、さらには 300℃以上 400℃以下が好ましい。絶縁層 106 の形成時の基板温度を前述の範囲とすることで、絶縁層 106 の欠陥を少なくするとともに、半導体層 208 から酸素が脱離することを抑制することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタ 200 とすることができる。

[0325]

絶縁層 106 を形成する前に、半導体層 208 の表面に対してプラズマ処理を行ってもよい。当該プラズマ処理により、半導体層 208 の表面に吸着する水などの不純物を低減することができる。そのため、半導体層 208 と、絶縁層 106 と、の界面における不純物を低減することができ、信頼性の高いトランジスタ 200 を実現することができる。特に、半導体層 208 の形成から絶縁層 106 の形成までの間に、半導体層 208 の表面が大気に曝される場合に好適である。プラズマ処

理は、例えば、酸素、オゾン、窒素、一酸化二窒素、アルゴンなどの雰囲気で行うことができる。また、プラズマ処理と絶縁層106の成膜とは、大気に曝すことなく連続して行われることが好ましい。

[0326]

続いて、絶縁層106上に、導電層204となる導電膜を形成し、当該導電膜を加工することにより、導電層204を形成する(図20B)。導電層204は、平面視にて、半導体層208と重なる領域を有するように形成することが好ましい。特に、平面視にて、導電層204の端部が、半導体層208の外側端部よりも、外側に位置するように形成することが好ましい。これにより、絶縁層106を介して、半導体層208全体に対して、確実に導電層204からの電界を印加することができる。当該導電膜の形成には、例えば、スパッタリング法、熱CVD法(MOCVD法を含む。)、又はALD法を好適に用いることができる。

[0327]

続いて、導電層204及び絶縁層106を覆って、絶縁層195を形成する。絶縁層195の形成には、PECVD法を好適に用いることができる。

[0328]

絶縁層195の形成後、加熱処理を行ってもよい。なお、当該加熱処理は、行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理(例えば、成膜工程など)がある場合には、当該加熱処理と兼ねることができる場合もある。

[0329]

以上の工程により、本発明の一態様の半導体装置10が有するトランジスタ200を作製することができる(図14A乃至図15)。

[0330]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[0331]

次に、半導体装置10において、トランジスタ200とトランジスタ100の双方を同時に形成する場合の作製方法例について説明する。なお、先の説明内容と重複する部分については、説明を省略する場合がある。

[0332]

図22A乃至図25Cには、図13Aに示す一点鎖線A1-A2間の断面図を示す。

[0333]

まず、基板102上に、導電層112aとなる膜を形成し、当該膜を加工して、導電層112aを形成する。当該膜の形成には、スパッタリング法を好適に用いることができる。

[0334]

続いて、導電層112a及び基板102上に、絶縁層110a及び絶縁層110bをこの順で形成する(図22A)。絶縁層110a及び絶縁層110bの形成方法等については、図17Aで説明した内容を参照することができる。

[0335]

続いて、絶縁層110bの上面に対して、CMP処理を行う。当該処理により、絶縁層110b

の上面が平坦化される（図 2 2 B）。

[0 3 3 6]

絶縁層 1 1 0 b を形成した後、絶縁層 1 1 0 b に酸素を供給してもよい。酸素の供給方法については、図 1 7 A で説明した内容を参照することができる。

[0 3 3 7]

続いて、絶縁層 1 1 0 b 上に、金属酸化物膜 1 3 7 を形成することが好ましい（図 2 2 C）。金属酸化物膜 1 3 7 に用いることのできる材料及び形成方法等については、図 1 7 B で説明した内容を参照することができる。金属酸化物膜 1 3 7 を形成することにより、絶縁層 1 1 0 b に酸素を供給することができる。そのため、後の加熱処理によって、半導体層 1 0 8 及び半導体層 2 0 8 に多くの酸素を供給することができ、半導体層 1 0 8 及び半導体層 2 0 8 中の酸素欠損（ V_o ）及び V_oH を低減することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタ 1 0 0 及びトランジスタ 2 0 0 を実現することができる。

[0 3 3 8]

続いて、金属酸化物膜 1 3 7 を除去する。金属酸化物膜 1 3 7 の除去方法等については、図 1 7 B で説明した内容を参照することができる。

[0 3 3 9]

なお、絶縁層 1 1 0 b に酸素を供給する方法は上記に限られず、図 1 7 B で説明した内容を参照することができる。

[0 3 4 0]

続いて、絶縁層 1 1 0 b 上に、絶縁層 1 1 0 c を形成する（図 2 2 D）。絶縁層 1 1 0 c の形成方法等については、図 1 7 C で説明した内容を参照することができる。

[0 3 4 1]

続いて、絶縁層 1 1 0 c 上に、レジストマスク 1 5 6 を形成する。レジストマスク 1 5 6 は、後にトランジスタ 1 0 0 が形成される領域以外と重なって設けられる。

[0 3 4 2]

続いて、絶縁層 1 1 0 c 及び絶縁層 1 1 0 b を加工し、絶縁層 1 1 0 b 内部に底面を有する凹部 1 4 2 を形成する（図 2 3 A）。凹部 1 4 2 は、導電層 1 1 2 a と重なる領域を有するように形成される。絶縁層 1 1 0 c 及び絶縁層 1 1 0 b の加工には、ウェットエッチング法及びドライエッチング法的一方又は双方を好適に用いることができる。特に、異方性のドライエッチング法を好適に用いることができる。異方性のドライエッチング法を用いることにより、アスペクト比の高い微細な凹部 1 4 2 を形成することができるため、後に形成するトランジスタ 1 0 0 の基板面内における占有面積を減少させることができる。

[0 3 4 3]

続いて、レジストマスク 1 5 6 を除去する。

[0 3 4 4]

続いて、絶縁層 1 1 0 上に、レジストマスク 1 5 8 を形成する。レジストマスク 1 5 8 は、後に導電層 2 1 2 a 及び導電層 2 1 2 b が形成される領域以外と重なって設けられる。

[0 3 4 5]

続いて、絶縁層 1 1 0（絶縁層 1 1 0 a、絶縁層 1 1 0 b、及び絶縁層 1 1 0 c）を加工し、後に導電層 2 1 2 a 及び導電層 2 1 2 b が形成される開口 1 4 4 a 及び開口 1 4 4 b を形成する（図

23B)。絶縁層110の加工方法等については、図18Aで説明した内容を参照することができる。

[0346]

続いて、レジストマスク158を除去する。

[0347]

なお、上記では、凹部142の形成（図23A）を行った後に、開口144a及び開口144bの形成（図23B）を行う例を示したが、本発明の一態様はこれに限られない。例えば、開口144a及び開口144bの形成を行った後に、凹部142の形成を行ってもよい。

[0348]

続いて、開口144a及び開口144bを埋め込むように、基板102上及び絶縁層110上に、後に導電層212a及び導電層212bとなる導電膜212fを形成する（図23C）。導電膜212fの形成方法等については、図18Bで説明した内容を参照することができる。

[0349]

続いて、導電膜212fの上面に対して、絶縁層110cの上面が露出するまでCMP処理を行う。当該処理により、絶縁層110cと上面の高さが概略等しい導電層112fが凹部142内に、絶縁層110cと上面の高さが概略等しい導電層212aが開口144a内に、絶縁層110cと上面の高さが概略等しい導電層212bが開口144b内に、それぞれ形成される（図24A）。

[0350]

続いて、導電層112f、導電層212a、導電層212b、及び絶縁層110c上に、レジストマスク159を形成する。レジストマスク159は、後にトランジスタ100及びトランジスタ200が形成される領域以外と重なって設けられる。

[0351]

続いて、導電層112f及び絶縁層110（絶縁層110a、絶縁層110b、及び絶縁層110c）を加工し、導電層112aに達する開口143及び開口141と、基板102に達する開口145と、を形成する（図24B）。導電層112f及び絶縁層110の加工方法等については、図19Aで説明した絶縁層110の加工方法等に係る内容を参照することができる。当該加工により、導電層112fから、導電層112bが形成される。また、当該加工により、導電層212aの側面、及び、導電層212bの側面が露出する。なお、当該加工により、開口143及び開口141と重なる領域の導電層112aの膜厚が、開口143及び開口141と重ならない領域の導電層112aの膜厚よりも薄くなる場合がある。また、開口145と重なる領域の基板102の膜厚が、開口145と重ならない領域の基板102の膜厚よりも薄くなる場合がある。

[0352]

続いて、レジストマスク159を除去する。

[0353]

なお、上記では、開口143及び開口141の形成と、開口145の形成と、を同時に行う例を示したが、本発明の一態様はこれに限られない。例えば、初めに、トランジスタ100が形成される領域以外と重なるように第1のレジストマスクを設け、導電層112f及び絶縁層110を加工することで、開口143及び開口141の形成を行う。続いて、第1のレジストマスク除去後に、トランジスタ200が形成される領域以外と重なるように第2のレジストマスクを設け、絶縁層110を加工することで、開口145の形成を行う。その後、第2のレジストマスクを除去してもよ

い。あるいは、上記とは逆に、開口 1 4 5 の形成を行った後に、開口 1 4 3 及び開口 1 4 1 の形成を行ってもよい。また、開口 1 4 3 及び開口 1 4 1 の形成は、一括で行ってもよく、それぞれ別々に行ってもよい。例えば、開口 1 4 3 の開口を行い、その後、加工条件を変えて、開口 1 4 1 の開口を行ってもよい。

[0354]

続いて、開口 1 4 3、開口 1 4 1、及び開口 1 4 5 を覆うように、導電層 1 1 2 a 上、導電層 1 1 2 b 上、基板 1 0 2 上、導電層 2 1 2 a 上、導電層 2 1 2 b 上、及び絶縁層 1 1 0 上に、後に半導体層 1 0 8 及び半導体層 2 0 8 となる金属酸化物膜 2 0 8 f を形成する（図 2 4 C）。金属酸化物膜 2 0 8 f は、導電層 1 1 2 a の上面、導電層 1 1 2 b の上面及び側面、導電層 2 1 2 a の上面及び側面、導電層 2 1 2 b の上面及び側面、絶縁層 1 1 0 の上面及び側面、並びに、基板 1 0 2 の上面に接して設けられる。金属酸化物膜 2 0 8 f の形成方法等については、図 1 9 B で説明した内容を参照することができる。

[0355]

続いて、金属酸化物膜 2 0 8 f 上にレジストマスク 1 5 5 を形成する。レジストマスク 1 5 5 は、開口 1 4 3 及び開口 1 4 1 と重なる領域を有するように設けられる。

[0356]

続いて、異方性エッチングにより金属酸化物膜 2 0 8 f を加工し、半導体層 1 0 8 及び半導体層 2 0 8 を形成する（図 2 5 A）。半導体層 1 0 8 は、開口 1 4 1 内における導電層 1 1 2 a の上面、開口 1 4 1 内における絶縁層 1 1 0 の側面、開口 1 4 3 内における導電層 1 1 2 b の側面、及び、導電層 1 1 2 b の上面と接する領域を有する。半導体層 2 0 8 は、開口 1 4 5 内における導電層 2 1 2 a の側面、開口 1 4 5 内における導電層 2 1 2 b の側面、及び、開口 1 4 5 内における絶縁層 1 1 0 の側面と接する領域を有する。当該加工により、導電層 1 1 2 b の上面の一部、導電層 2 1 2 a の上面、導電層 2 1 2 b の上面、絶縁層 1 1 0 c の上面、及び、開口 1 4 5 内における基板 1 0 2 の上面が露出する。なお、当該加工により、導電層 1 1 2 b の露出した部分の膜厚、導電層 2 1 2 a の膜厚、導電層 2 1 2 b の膜厚、絶縁層 1 1 0 c の膜厚、及び、開口 1 4 5 内における基板 1 0 2 の膜厚が、当該加工前よりも薄くなる場合がある。

[0357]

なお、本発明の一態様の半導体装置における半導体層 2 0 8 の加工方法は、上記に限られない。例えば、金属酸化物膜 2 0 8 f を、レジストマスクを介してエッチング処理することにより、半導体層 2 0 8 を形成してもよい。当該形成方法等については、図 2 1 で説明した内容を参照することができる。

[0358]

金属酸化物膜 2 0 8 f の成膜後、又は、金属酸化物膜 2 0 8 f を半導体層 1 0 8 及び半導体層 2 0 8 に加工した後に、加熱処理を行ってもよい。当該加熱処理方法等については、図 1 9 C で説明した金属酸化物膜 2 0 8 f の成膜後又は半導体層 2 0 8 の加工後に行うことができる加熱処理等に係る内容を参照することができる。

[0359]

続いて、レジストマスク 1 5 5 を除去する。

[0360]

続いて、半導体層 1 0 8 上、導電層 1 1 2 b 上、半導体層 2 0 8 上、導電層 2 1 2 a 上、導電層

212b上、絶縁層110上、及び基板102上に、これらを覆うように、絶縁層106を形成する（図25B）。絶縁層106の形成方法等については、図20Aで説明した内容を参照することができる。

[0361]

続いて、絶縁層106上に、導電層104及び導電層204となる導電膜を形成し、当該導電膜を加工することにより、導電層104及び導電層204を形成する（図25C）。導電層104は、平面視にて、導電層112bと重なる領域を有するように形成することが好ましい。これにより、絶縁層106を介して、半導体層108のチャネル形成領域全体に対して、確実に導電層104からの電界を印加することができる。また、導電層204は、平面視にて、半導体層208と重なる領域を有するように形成することが好ましい。特に、平面視にて、導電層204の端部が、半導体層208の外側端部よりも、外側に位置するように形成することが好ましい。これにより、絶縁層106を介して、半導体層208全体に対して、確実に導電層204からの電界を印加することができる。当該導電膜の形成方法等については、図20Bで説明した導電層204となる導電膜の形成方法等に係る内容を参照することができる。

[0362]

続いて、導電層104、導電層204、及び絶縁層106を覆って、絶縁層195を形成する。絶縁層195の形成方法等については、図20Bで説明した内容を参照することができる。

[0363]

以上の工程により、本発明の一態様の半導体装置10が有するトランジスタ100とトランジスタ200の双方を、同時に作製することができる（図13A及び図13B）。

[0364]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[0365]

（実施の形態4）

本実施の形態では、本発明の一態様の表示装置について、図26A乃至図29を用いて説明する。

[0366]

本実施の形態の表示装置は、解像度の高い表示装置又は大型の表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、テレビジョン装置、デスクトップ型若しくはノート型のコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、及び、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、及び、音響再生装置の表示部に用いることができる。

[0367]

本実施の形態の表示装置は、高精細な表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、腕時計型、及び、ブレスレット型などの情報端末機（ウェアラブル機器）の表示部、並びに、ヘッドマウントディスプレイ（HMD）などのVR向け機器、及び、メガネ型のAR向け機器などの頭部に装着可能なウェアラブル機器の表示部に用いることができる。

[0368]

本発明の一態様の半導体装置は、表示装置、又は、当該表示装置を有するモジュールに用いるこ

とができる。当該表示装置を有するモジュールとして、当該表示装置にフレキシブルプリント回路基板（Flexible Printed Circuit、以下、FPCと記す。）若しくはTCP（Tape Carrier Package）等のコネクタが取り付けられたモジュール、COG（Chip On Glass）方式若しくはCOF（Chip On Film）方式等により集積回路（IC）が実装されたモジュール等が挙げられる。

[0369]

本実施の形態の表示装置は、タッチパネルとしての機能を有していてもよい。例えば、表示装置には、指などの被検知体の近接又は接触を検知することができる様々な検知素子（センサ素子ともいえる。）を適用することができる。

[0370]

センサの方式として、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、及び、感圧方式が挙げられる。

[0371]

静電容量方式として、例えば、表面型静電容量方式、投影型静電容量方式がある。また、投影型静電容量方式として、例えば、自己容量方式、相互容量方式がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

[0372]

タッチパネルとして、例えば、アウトセル型、オンセル型、及び、インセル型が挙げられる。なお、インセル型のタッチパネルは、表示素子（表示デバイスともいう。）を支持する基板と対向基板のうち一方又は双方に、検知素子を構成する電極が設けられた構成をいう。

[0373]

<構成例1>

図26Aに、表示装置50Aの斜視図を示す。

[0374]

表示装置50Aは、基板152と基板151とが貼り合わされた構成を有する。図26Aでは、基板152を破線で示している。

[0375]

表示装置50Aは、表示部162、接続部140、回路部164、導電層165等を有する。図26Aでは、表示装置50AにIC173及びFPC172が実装されている例を示している。そのため、図26Aに示す構成は、表示装置50Aと、ICと、FPCと、を有する表示モジュールということもできる。

[0376]

接続部140は、表示部162の外側に設けられる。接続部140は、表示部162の一辺又は複数の辺に沿って設けることができる。接続部140は、単数であっても複数であってもよい。図26Aでは、表示部の四辺を囲むように接続部140が設けられている例を示す。接続部140では、表示素子の共通電極と、導電層とが電氣的に接続されており、共通電極に電位を供給することができる。

[0377]

回路部164は、例えば、走査線駆動回路（ゲートドライバともいう。）を有する。また、回路部164は、走査線駆動回路及び信号線駆動回路（ソースドライバともいう。）の双方を有してい

てもよい。

[0378]

導電層165は、表示部162及び回路部164に信号及び電力を供給する機能を有する。当該信号及び電力は、FPC172を介して外部から導電層165に入力される、又はIC173から導電層165に入力される。

[0379]

図26Aでは、COG方式又はCOF方式等により、基板151にIC173が設けられている例を示す。IC173には、例えば、走査線駆動回路及び信号線駆動回路のうち、一方又は双方を有するICを適用することができる。なお、表示装置50A及び表示モジュールは、ICを設けない構成としてもよい。また、ICを、COF方式等により、FPCに実装してもよい。

[0380]

本発明の一態様の半導体装置は、例えば、表示装置50Aの表示部162及び回路部164の一方又は双方に適用することができる。

[0381]

例えば、本発明の一態様の半導体装置を、表示装置の画素回路に適用する場合、画素回路の占有面積を縮小することができ、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を、表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の一方又は双方）に適用する場合、駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。また、本発明の一態様の半導体装置は、電気特性が良好であるため、表示装置に用いることで、表示装置の信頼性を高めることができる。

[0382]

表示部162は、表示装置50Aにおける画像を表示する領域であり、周期的に配列された複数の画素210を有する。図26Aには、1つの画素210の拡大図を示している。

[0383]

本実施の形態の表示装置における画素の配列に特に限定はなく、様々な方法を適用することができる。画素の配列として、例えば、ストライプ配列、Sストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列、及びペンタイル配列が挙げられる。

[0384]

図26Aに示す画素210は、赤色の光を呈する画素230R、緑色の光を呈する画素230G、及び、青色の光を呈する画素230Bを有する。画素230R、画素230G、及び画素230Bで1つの画素210を構成することで、フルカラー表示を実現することができる。画素230R、画素230G、及び画素230Bは、それぞれ副画素として機能する。また、図26Aに示す表示装置50Aでは、副画素として機能する画素230をストライプ配列で配置する例を示している。1つの画素210を構成する副画素の数は3つに限られず、4つ以上としてもよい。例えば、R、G、B、白色(W)の光を呈する4つの副画素を有してもよい。又は、R、G、B、Yの4色の光を呈する4つの副画素を有してもよい。

[0385]

画素230R、画素230G、及び画素230Bは、それぞれ、表示素子と、当該表示素子の駆動を制御する回路と、を有する。

[0386]

表示素子として、様々な素子を用いることができ、例えば、液晶素子及び発光デバイスが挙げられる。その他、シャッター方式又は光干渉方式のMEMS (Micro Electro Mechanical Systems) 素子、マイクロカプセル方式、電気泳動方式、エレクトロウェットティング方式、又は電子粉流体 (登録商標) 方式等を適用した表示素子などを用いることもできる。また、光源と、量子ドット材料による色変換技術と、を用いたQLED (Quantum-dot LED) を用いてもよい。

[0387]

液晶素子を用いた表示装置として、例えば、透過型の液晶表示装置、反射型の液晶表示装置、及び、半透過型の液晶表示装置が挙げられる。

[0388]

液晶素子を用いた表示装置に用いることができるモードとして、例えば、垂直配向 (VA: Vertical Alignment) モード、FFS (Fringe Field Switching) モード、IPS (In-Plane-Switching) モード、TN (Twisted Nematic) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、ECB (Electrically Controlled Birefringence) モード、及び、ゲストホストモードが挙げられる。VAモードとして、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、及び、ASV (Advanced Super View) モードが挙げられる。

[0389]

液晶素子に用いることができる液晶材料として、例えば、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶 (PDLC: Polymer Dispersed Liquid Crystal)、高分子ネットワーク型液晶 (PNLC: Polymer Network Liquid Crystal)、強誘電性液晶、及び、反強誘電性液晶が挙げられる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相、ブルー相などを示す。また、液晶材料として、ポジ型の液晶及びネガ型の液晶のどちらを用いてもよく、適用するモード又は設計に応じて選択することができる。

[0390]

発光デバイスとして、例えば、LED、OLED (Organic LED)、半導体レーザなどの、自発光型の発光デバイスが挙げられる。LEDとして、例えば、ミニLED、マイクロLEDなどを用いることができる。

[0391]

発光デバイスが有する発光物質として、例えば、蛍光を発する物質 (蛍光材料)、燐光を発する物質 (燐光材料)、熱活性化遅延蛍光を示す物質 (熱活性化遅延蛍光 (Thermally Activated Delayed Fluorescence: TADF) 材料)、及び、無機化合物 (量子ドット材料等) が挙げられる。

[0392]

発光デバイスの発光色は、赤外、赤、緑、青、シアン、マゼンタ、黄、又は白などとすることができる。また、発光デバイスにマイクロキャビティ構造を付与することにより色純度を高めることができる。

[0393]

発光デバイスが有する一対の電極のうち、一方の電極は陽極として機能し、他方の電極は陰極として機能する。

[0394]

なお、本発明の一態様の表示装置は、発光デバイスが形成されている基板とは反対方向に光を射出する上面射出型（トップエミッション型）、発光デバイスが形成されている基板側に光を射出する下面射出型（ボトムエミッション型）、両面に光を射出する両面射出型（デュアルエミッション型）のいずれであってもよい。

[0395]

本実施の形態では、主に、表示素子として発光デバイスを用いる場合を例に挙げて説明する。

[0396]

図26Bは、表示装置50Aを説明するブロック図である。表示装置50Aは、表示部162、及び回路部164を有する。表示部162は、周期的に配列された複数の画素230（画素230[1, 1]乃至画素230[m, n]、m及びnはそれぞれ独立に2以上の整数）を有する。回路部164は、第1駆動回路部231、及び第2駆動回路部232を有する。

[0397]

第1駆動回路部231に含まれる回路は、例えば、走査線駆動回路として機能する。第2駆動回路部232に含まれる回路は、例えば、信号線駆動回路として機能する。なお、表示部162を挟んで第1駆動回路部231と向き合う位置に、何らかの回路を設けてもよい。表示部162を挟んで第2駆動回路部232と向き合う位置に、何らかの回路を設けてもよい。

[0398]

回路部164には、シフトレジスタ回路、レベルシフタ回路、インバータ回路、ラッチ回路、アナログスイッチ回路、デマルチプレクサ回路、及び論理回路の様々な回路を用いることができる。回路部164には、トランジスタ及び容量素子等を用いることができる。回路部164が有するトランジスタを、画素230に含まれるトランジスタと同じ工程で形成してもよい。

[0399]

表示装置50Aは、各々が略平行に配設され、かつ、第1駆動回路部231に含まれる回路によって電位が制御される配線236と、各々が略平行に配設され、かつ、第2駆動回路部232に含まれる回路によって電位が制御される配線238と、を有する。なお、図26Bでは、画素230に配線236と配線238が接続している例を示している。ただし、配線236と配線238は一例であり、画素230と接続する配線は、配線236と配線238に限らない。

[0400]

本発明の一態様である半導体装置は、チャネル長が長く、飽和性が高いトランジスタであるV L F E Tを有する。当該トランジスタのチャネル形成領域には、酸化物半導体（O S）を好適に用いることができ、オフ電流が小さいトランジスタとすることができる。本発明の一態様である半導体装置は、表示部162及び回路部164の一方又は双方に好適に用いることができる。また、本発明の一態様である半導体装置を表示部162及び回路部164の双方に用いる、つまり表示装置が

有するトランジスタの全てをOSトランジスタとすることもできる。このように表示装置が有するトランジスタの全てをOSトランジスタとすることで、製造コストを低く抑えることができるといった効果を奏する。

[0401]

<構成例2>

回路部164に用いることができる回路として、ラッチ回路を例に挙げて構成例を説明する。

[0402]

図27Aは、ラッチ回路LATの構成例を示す回路図である。図27Aに示すラッチ回路LATは、トランジスタTr31と、トランジスタTr33と、トランジスタTr35と、トランジスタTr36と、容量素子C31と、インバータ回路INVと、を有する。図27Aにおいて、トランジスタTr33のソース及びドレインの一方と、トランジスタTr35のゲートと、容量素子C31の一方の電極と、が電氣的に接続されるノードをノードNとする。

[0403]

図27Aに示すラッチ回路LATにおいて、端子SMPに高電位の信号を入力すると、トランジスタTr33がオン状態となる。これにより、ノードNの電位が、端子ROUTの電位に対応する電位となり、端子ROUTからラッチ回路LATに入力される信号に対応するデータが、ラッチ回路LATに書き込まれる。ラッチ回路LATにデータを書き込んだ後、端子SMPの電位を低電位とすると、トランジスタTr33がオフ状態となる。これにより、ノードNの電位が保持され、ラッチ回路LATに書き込まれたデータが保持される。具体的には、例えばノードNの電位が低電位である場合は、ラッチ回路LATに値が“0”のデータが保持されているとし、ノードNの電位が高電位である場合は、ラッチ回路LATに値が“1”のデータが保持されているとすることができる。

[0404]

トランジスタTr33には、オフ電流が小さいトランジスタを用いることが好ましい。トランジスタTr33には、OSトランジスタを好適に用いることができる。これにより、ラッチ回路LATは、データを長期間保持することができる。よって、ラッチ回路LATへのデータの再書き込みの頻度を低くすることができる。

[0405]

本明細書等において、端子SP2から入力される信号が端子LINに出力されるようなデータをラッチ回路LATに書き込むことを、単に「ラッチ回路LATにデータを書き込む。」という場合がある。つまり、例えば、値が“1”のデータをラッチ回路LATに書き込むことを、単に「ラッチ回路LATにデータを書き込む。」という場合がある。

[0406]

ラッチ回路LATに、本発明の一態様の半導体装置を好適に用いることができる。例えば、トランジスタTr31、トランジスタTr33、トランジスタTr35及びトランジスタTr36の一又は複数に、本発明の一態様の半導体装置が有するVLFEET（トランジスタ200等）又はVFET（トランジスタ100等）を適用することができる。

[0407]

インバータ回路INVの構成例を、図27Bに示す。インバータ回路INVは、トランジスタTr41と、トランジスタTr43と、トランジスタTr45と、トランジスタTr47と、容量素

子C41と、を有する。

[0408]

ラッチ回路LATを図27Aに示す構成とし、インバータ回路INVを図27Bに示す構成とすることにより、ラッチ回路LATが有するトランジスタを、全て同一の極性のトランジスタとすることができ、例えば、nチャネル型トランジスタとすることができる。これにより、例えば、トランジスタTr33の他、トランジスタTr31、トランジスタTr35、トランジスタTr36、トランジスタTr41、トランジスタTr43、トランジスタTr45、及びトランジスタTr47を、OSトランジスタとすることができる。よって、ラッチ回路LATが有するトランジスタを全て同じ工程で作製することができる。

[0409]

インバータ回路INVに、本発明の一態様の半導体装置を好適に用いることができる。例えば、トランジスタTr41、トランジスタTr43、トランジスタTr45、及びトランジスタTr47の一又は複数に、本発明の一態様の半導体装置が有するVL FET（トランジスタ200等）又はVFET（トランジスタ100等）を適用することができる。

[0410]

高い飽和性を求められるトランジスタに、本発明の一態様の半導体装置が有するチャンネル長の長いVL FET（トランジスタ200等）を好適に用いることができる。さらに、チャンネル長の短いVFET（トランジスタ100等）を用いることにより、トランジスタの占有面積を縮小することができ、狭額縁の表示装置とすることができる。また、大きいオン電流が求められるトランジスタに、上述のチャンネル長の短いVFET（トランジスタ100等）を好適に用いることができる。これにより、高い性能の表示装置とすることができる。

[0411]

<構成例3>

画素230の構成例を、図28Aに示す。画素230は、画素回路51及び発光デバイス61を有する。

[0412]

図28Aに示す画素回路51は、トランジスタ52A、トランジスタ52B、及び容量素子53を有する2Tr1C型の画素回路である。なお、本発明の一態様の表示装置に適用することができる画素回路は、特に限定されない。

[0413]

発光デバイス61のアノードは、トランジスタ52Bのソース及びドレインの一方、及び容量素子53の一方の電極と電氣的に接続される。トランジスタ52Bのソース及びドレインの他方は、配線ANOと電氣的に接続される。トランジスタ52Bのゲートは、トランジスタ52Aのソース及びドレインの一方、及び容量素子53の他方の電極と電氣的に接続される。トランジスタ52Aのソース及びドレインの他方は、配線GLと電氣的に接続される。トランジスタ52Aのゲートは、配線GLと電氣的に接続される。発光デバイス61のカソードは、配線VCOMと電氣的に接続される。

[0414]

配線GLは、配線236に相当し、配線SLは、配線238に相当する。配線VCOMは、発光デバイス61に電流を供給するための電位を与える配線である。トランジスタ52Aは、配線GL

の電位に基づいて、配線SLと、トランジスタ52Bのゲートと、の間の導通状態又は非導通状態を制御する機能を有する。例えば、配線ANOには、VDDが供給され、配線VCOMには、VSが供給される。

[0415]

トランジスタ52Bは、発光デバイス61に流れる電流量を制御する機能を有する。容量素子53は、トランジスタ52Bのゲート電位を保持する機能を有する。発光デバイス61が射出する光の強度は、トランジスタ52Bのゲートに供給される画像信号に応じて制御される。

[0416]

画素回路51に含まれるトランジスタの一部又は全部に、バックゲートを設けてもよい。例えば、画素回路51に含まれるトランジスタ52Bがバックゲートを有し、当該バックゲートが、トランジスタ52Bのソース及びドレインの一方と電氣的に接続される構成としてもよい。また、トランジスタ52Bのバックゲートが、トランジスタ52Bのゲートと電氣的に接続される構成としてもよい。

[0417]

画素回路51に、前述の半導体装置を好適に用いることができる。画素230の選択状態を制御するための選択トランジスタとして機能するトランジスタ52Aと比較して、発光デバイス61に流れる電流を制御する駆動トランジスタとして機能するトランジスタ52Bは、飽和性が高いことが好ましい。トランジスタ52Bに、本発明の一態様のチャネル長の長いVLFEET（トランジスタ200等）を適用することで、信頼性の高い表示装置とすることができる。また、トランジスタ52Aに、トランジスタ52Bよりもチャネル長の短いVFET（トランジスタ100等）を適用することで、画素回路51Aの占有面積を縮小することができ、高精細の表示装置とすることができる。

[0418]

なお、トランジスタ52Bに、トランジスタ52Aよりもチャネル長の短いVFET（トランジスタ100等）を適用してもよい。トランジスタ52Bにチャネル長の短いトランジスタを適用することにより、輝度の高い表示装置とすることができる。また、画素回路51の占有面積を縮小することができ、高精細の表示装置とすることができる。

[0419]

図28Aに示す画素230と異なる構成例を、図28Bに示す。画素230は、画素回路51A及び発光デバイス61を有する。

[0420]

図28Bに示す画素回路51Aは、トランジスタ52Cを有する点で、図28Aに示す画素回路51と主に異なる。画素回路51Aは、トランジスタ52A、トランジスタ52B、トランジスタ52C、及び容量素子53を有する3Tr1C型の画素回路である。

[0421]

トランジスタ52Cのソース及びドレインの一方は、トランジスタ52Bのソース及びドレインの一方と電氣的に接続される。トランジスタ52Cのソース及びドレインの他方は、配線V0と電氣的に接続される。例えば、配線V0には、基準電位が供給される。トランジスタ52Cのゲートは、配線GLと電氣的に接続される。

[0422]

トランジスタ 5 2 C は、配線 G L の電位に基づいて、トランジスタ 5 2 B のソース電極又はドレイン電極の一方と、配線 V 0 と、の間の導通状態又は非導通状態を制御する機能を有する。トランジスタ 5 2 C を介して与えられる配線 V 0 の基準電位によって、トランジスタ 5 2 B のゲートソース間電圧のばらつきを抑制することができる。

[0 4 2 3]

配線 V 0 を用いて、画素パラメータの設定に用いることのできる電流値を取得することができる。具体的には、配線 V 0 は、トランジスタ 5 2 B に流れる電流、又は発光デバイス 6 1 に流れる電流を、外部に出力するためのモニタ線として機能させることができる。配線 V 0 に出力された電流は、ソースフォロア回路により電圧に変換され、外部に出力することができる。又は、AD コンバータによりデジタル信号に変換され、外部に出力することができる。

[0 4 2 4]

画素回路 5 1 A に、前述の半導体装置を好適に用いることができる。トランジスタ 5 2 B に本発明の一態様のチャンネル長の長い V L F E T (トランジスタ 2 0 0 等) を適用することで、信頼性の高い表示装置とすることができる。また、トランジスタ 5 2 A 及びトランジスタ 5 2 C に、トランジスタ 5 2 B よりもチャンネル長の短い V F E T (トランジスタ 1 0 0 等) を適用することで、画素回路 5 1 A の占有面積を縮小することができ、高精細の表示装置とすることができる。なお、トランジスタ 5 2 B に、トランジスタ 5 2 A よりもチャンネル長の短い V F E T (トランジスタ 1 0 0 等) を適用してもよい。

[0 4 2 5]

画素回路 5 1 の構成例を、図 2 8 C に示す。図 2 8 C は、画素回路 5 1 の断面図である。図 2 8 C は、トランジスタ 5 2 A、トランジスタ 5 2 B 及び発光デバイス 6 1 が有する画素電極を抜粋して示している。なお、トランジスタ 5 2 A とトランジスタ 5 2 B の電氣的な接続を省略している。

[0 4 2 6]

トランジスタ 5 2 A は、導電層 1 0 4 と、絶縁層 1 0 6 と、半導体層 1 0 8 と、導電層 1 1 2 a と、導電層 1 1 2 b と、を有する。トランジスタ 5 2 B は、絶縁層 1 0 6 と、半導体層 2 0 8 と、導電層 2 0 4 と、導電層 2 1 2 a と、導電層 2 1 2 b と、を有する。トランジスタ 5 2 A 及びトランジスタ 5 2 B については、前述の記載を参照することができるため、詳細な説明は省略する。

[0 4 2 7]

トランジスタ 5 2 A、トランジスタ 5 2 B、及び容量素子 5 3 を覆うように絶縁層 1 9 5 が設けられ、絶縁層 1 9 5 を覆うように絶縁層 2 3 3 が設けられ、絶縁層 2 3 3 を覆うように絶縁層 2 3 5 が設けられる。絶縁層 2 3 5 上に発光デバイス 6 1 を設けることができる。図 2 8 C は、発光デバイス 6 1 の一方の電極として機能する画素電極 1 1 1 を示している。絶縁層 1 0 6、絶縁層 1 9 5、及び絶縁層 2 3 3 は、導電層 2 1 2 a に達する第 1 の開口を有し、第 1 の開口を覆うように導電層 2 3 4 が設けられる。導電層 2 3 4 は、第 1 の開口を介して導電層 2 1 2 a と電氣的に接続される。絶縁層 2 3 5 は、導電層 2 3 4 に達する第 2 の開口を有し、第 2 の開口を覆うように画素電極 1 1 1 が設けられる。画素電極 1 1 1 は、第 2 の開口を介して導電層 2 3 4 と電氣的に接続される。絶縁層 1 9 5 は、前述の記載を参照することができるため、詳細な説明は省略する。絶縁層 2 3 3 及び絶縁層 2 3 5 は、トランジスタ 5 2 A、トランジスタ 5 2 B、及びトランジスタ 5 2 C に起因する凹凸を小さくし、発光デバイス 6 1 の被形成面をより平坦にする機能を有する。なお、本明細書等において、絶縁層 2 3 3 及び絶縁層 2 3 5 をそれぞれ、平坦化層と記す場合がある。

[0428]

絶縁層233及び絶縁層235はそれぞれ、有機絶縁膜が好適である。有機絶縁膜に用いることができる材料として、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等が挙げられる。絶縁層235を、有機絶縁膜と、無機絶縁膜との積層構造にしてもよい。絶縁層235を、有機絶縁膜と、当該有機絶縁膜上の無機絶縁膜との積層構造にすることが好ましい。これにより、無機絶縁膜は、発光デバイス61を形成する際のエッチング保護層として機能することができる。具体的には、画素電極111の形成時に絶縁層235の一部がエッチングされ、絶縁層235に凹部が形成されることを抑制することができる。又は、絶縁層235には、画素電極111の形成時に、凹部が設けられてもよい。同様に、絶縁層233を、有機絶縁膜と、無機絶縁膜との積層構造にしてもよい。

[0429]

なお、導電層234及び絶縁層233は、不要であれば設けなくてもよく、その場合は、絶縁層235に設けられた開口を介して、画素電極111と、導電層212aと、が電氣的に接続される構成とすればよい。

[0430]

<構成例4>

前述と異なる構成例を、図29に示す。表示装置50Bは、基板310上に画素回路、駆動回路などが設けられた構成となっている。表示装置50Bは、素子層71、素子層73、素子層75及び配線層77を有する。配線層77は、配線が設けられる層である。

[0431]

素子層71は、基板310を有し、基板310上には、トランジスタ300が形成されている。また、トランジスタ300の上方には、配線層77が設けられており、配線層77には、トランジスタ300、トランジスタMTCK、発光デバイス130R、発光デバイス130G、及び発光デバイス130Bを電氣的に接続する配線が設けられている。また、配線層77の上方には、素子層73、及び素子層75が設けられており、素子層73は、トランジスタMTCKなどを有する。素子層75は、発光デバイス130（図29では、発光デバイス130R、発光デバイス130G、及び発光デバイス130B）などを有する。

[0432]

トランジスタ300は、素子層71に含まれているトランジスタとすることができる。また、トランジスタMTCKは、素子層73に含まれるトランジスタとすることができる。また、発光デバイス130は、素子層75に含まれる発光デバイスとすることができる。

[0433]

基板310には、例えば、半導体基板（例えば、シリコン又はゲルマニウムを材料とした単結晶基板）を用いることができる。また、基板310には、半導体基板以外としては、例えば、SOI（Silicon On Insulator）基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムを用いることができる。なお、本実施の形態では、基板310は、シリコンを材料として有する半導体基板として説明する。そのため、素子層71に

含まれるトランジスタは、S i トランジスタとすることができる。

[0434]

トランジスタ300は、素子分離層312と、導電層316と、絶縁層315と、絶縁層317と、基板310の一部からなる半導体領域313と、ソース領域又はドレイン領域として機能する低抵抗領域314a及び低抵抗領域314bと、を有する。このため、トランジスタ300は、S i トランジスタとなっている。なお、図29では、トランジスタ300のソース又はドレインの一方が、後述する導電層328を介して、後述する導電層330、導電層356、及び導電層514に電氣的に接続されている構成を示しているが、本発明の一態様の表示装置の電氣的な接続構成は、これに限定されない。本発明の一態様の表示装置は、例えば、トランジスタ300のゲートが、導電層328を介して、導電層514に電氣的に接続されている構成としてもよい。

[0435]

トランジスタ300は、例えば、半導体領域313の上面及びチャネル幅方向の側面が、ゲート絶縁層として機能する絶縁層315を介して導電層316を覆う構成にすることによって、F i n型にすることができる。トランジスタ300をF i n型にすることにより、実効上のチャネル幅が増大することができ、トランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。また、トランジスタ300は、F i n型でなくプレーナ型としてもよい。

[0436]

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。又はトランジスタ300を複数設け、pチャネル型、及びnチャネル型の双方を用いてもよい。

[0437]

半導体領域313のチャネルが形成される領域と、その近傍の領域と、ソース領域又はドレイン領域となる低抵抗領域314a及び低抵抗領域314bと、には、シリコン系半導体を含むことが好ましく、具体的には、単結晶シリコンを含むことが好ましい。又は、上述した各領域は、例えば、ゲルマニウム、シリコンゲルマニウム、ヒ化ガリウム、ヒ化アルミニウムガリウム、又は窒化ガリウムを用いて形成されてもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は、トランジスタ300は、例えば、ヒ化ガリウムとヒ化アルミニウムガリウムを用いたHEMT (High Electron Mobility Transistor) としてもよい。

[0438]

ゲート電極として機能する導電層316には、ヒ素、又はリンといったn型の導電性を付与する元素、若しくはホウ又はアルミニウムといったp型の導電性を付与する元素を含むシリコンなどの半導体材料を用いることができる。又は、導電層316には、例えば、金属材料、合金材料、又は金属酸化物材料といった導電性材料を用いることができる。

[0439]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、及び窒化タantalの一方又は双方の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン及びアルミニウムの一方又は双方の金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0440]

素子分離層312は、基板310上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、LOCOS (Local Oxidation of Silicon) 法、STI (Shallow Trench Isolation) 法、又はメサ分離法を用いて形成することができる。

[0441]

図29に示すトランジスタ300上には、絶縁層320及び絶縁層322が、基板310側から順に積層して設けられている。

[0442]

絶縁層320及び絶縁層322として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、及び窒化アルミニウムから選ばれた一以上を用いればよい。

[0443]

絶縁層322は、絶縁層320及び絶縁層322に覆われているトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁層322の上面は、平坦性を高めるためにCMP処理を用いた平坦化処理により平坦化されていてもよい。

[0444]

絶縁層320及び絶縁層322には、絶縁層322より上方に設けられているトランジスタMTCKなどと接続する導電層328が埋め込まれている。なお、導電層328は、プラグ又は配線としての機能を有する。このため、導電層328には、前述した導電層MPGに適用することができる材料を用いることができる。

[0445]

表示装置50Bでは、トランジスタ300上に配線層77が設けられている。配線層77は、例えば、絶縁層324と、絶縁層326と、導電層330と、絶縁層350と、絶縁層352と、絶縁層354と、導電層356と、を有する。

[0446]

絶縁層322上及び導電層328上には、絶縁層324と絶縁層326とが順に積層して設けられている。また、導電層328に重なる領域において、絶縁層324と絶縁層326とには、開口が形成されている。また、当該開口には導電層330が埋め込まれている。

[0447]

絶縁層326上、及び導電層330上には、絶縁層350と絶縁層352と絶縁層354とが順に積層して設けられている。また、導電層330に重なる領域において、絶縁層350と絶縁層352と絶縁層354とには、開口が形成されている。また、当該開口には導電層356が埋め込まれている。

[0448]

導電層330及び導電層356は、トランジスタ300と接続するプラグ又は配線としての機能を有する。なお、導電層330及び導電層356は、前述した導電層328又は導電層596と同様の材料を用いて設けることができる。

[0449]

なお、例えば、絶縁層324及び絶縁層350は、絶縁層592と同様に、水素、酸素、及び水

から選ばれた一以上に対するバリア性を有する絶縁物を用いることが好ましい。また、絶縁層 3 2 6、絶縁層 3 5 2、及び絶縁層 3 5 4 としては、絶縁層 5 9 4 と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁物を用いることが好ましい。また、絶縁層 3 2 6、絶縁層 3 5 2、及び絶縁層 3 5 4 は、層間絶縁膜及び平坦化膜としての機能を有する。また、導電層 3 5 6 は、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する導電体を含むことが好ましい。

[0450]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタルを用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 3 0 0 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁層 3 5 0 と接する構造であることが好ましい。

[0451]

絶縁層 3 5 4 及び導電層 3 5 6 の上方には、絶縁層 5 1 2 が設けられている。また、絶縁層 5 1 2 上には、絶縁層 I S 1 が設けられている。また、絶縁層 I S 1 及び絶縁層 5 1 2 には、プラグ又は配線として機能する導電層 5 1 4 が埋め込まれている。これにより、トランジスタ M T C K のソース又はドレインの一方とトランジスタ 3 0 0 のソース又はドレインの一方とが電氣的に接続される。なお、導電層 5 1 4 には、例えば、導電層 M P G に適用することができる材料を用いることができる。

[0452]

絶縁層 I S 1 上及び導電層 5 1 4 上には、トランジスタ M T C K が設けられている。また、トランジスタ M T C K 上には、絶縁層 5 7 4 が形成されており、また、絶縁層 5 7 4 上には、絶縁層 5 8 1 が形成されている。また、絶縁層 I S 3 と絶縁層 5 7 4 と絶縁層 5 8 1 とには、プラグ又は配線として機能する導電層 M P G が埋め込まれている。なお、トランジスタ M T C K の周辺の絶縁層、導電層、及び半導体層については、実施の形態 2 を参照する。

[0453]

トランジスタ M T C K の上方には、絶縁層 I S 3 が形成されている。また、絶縁層 I S 3 上には、絶縁層 5 7 4 及び絶縁層 5 8 1 が、この順に積層して設けられている。

[0454]

絶縁層 5 7 4 は、水及び水素（例えば、水素原子及び水素分子の一方又は双方）といった不純物の拡散を抑制する機能を有することが好ましい。つまり、絶縁層 5 7 4 は、当該不純物がトランジスタ M T C K に混入することを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁層 5 7 4 は、酸素（例えば、酸素原子及び酸素分子の一方又は双方）の拡散を抑制する機能を有することが好ましい。例えば、絶縁層 5 7 4 は、絶縁層 I S 2 及び絶縁層 I S 3 より酸素透過性が低いことが好ましい。

[0455]

そのため、絶縁層 5 7 4 は、水及び水素といった不純物の拡散を抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁層 5 7 4 は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（例えば、 N_2O 、 NO 、及び NO_2 ）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。又は、

酸素（例えば、酸素原子、及び酸素分子の一方又は双方）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

[0456]

水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁物としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及びタンタルから選ばれた一以上を含む絶縁物を、単層で、又は積層で用いればよい。具体的には、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁物としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、及び酸化タンタルといった金属酸化物が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁物としては、例えば、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁物としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン、及び窒化シリコンといった金属窒化物が挙げられる。

[0457]

特に、絶縁層574には、酸化アルミニウム、又は窒化シリコンを用いることが好ましい。これにより、水及び水素といった不純物が絶縁層574の上方からトランジスタMTCKに拡散することを抑制することができる。又は、絶縁層1S3等に含まれる酸素が、絶縁層574の上方に、拡散することを抑制することができる。

[0458]

絶縁層581は、層間膜として機能する膜であって、絶縁層574よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁層581の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁層581の比誘電率は、絶縁層574の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。絶縁層581を誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0459]

絶縁層581は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。この場合、絶縁層581には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、又は窒化シリコンを用いることができる。また、絶縁層581には、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素と窒素を添加した酸化シリコン、又は空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコンといった材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。また、絶縁層581には、樹脂を用いることができる。また、絶縁層581に適用することができる材料は、上述した材料を適宜組み合わせたものとしてもよい。

[0460]

絶縁層574上及び絶縁層581上には、絶縁層592、及び絶縁層594が、この順に積層して設けられている。

[0461]

絶縁層592には、基板310、トランジスタMTCKから、絶縁層592より上方の領域（例えば、発光デバイス130R、発光デバイス130G、及び発光デバイス130Bなどが設けられている領域）に、水、及び水素といった不純物が拡散しないようなバリア性を有する絶縁膜（バリア性絶縁膜と呼称する。）を用いることが好ましい。したがって、絶縁層592は、水素原子、水素分子、及び水分子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。また、状況によっては、絶縁層592は、窒素原子、窒素分子、酸化窒素分子（例えば、 N_2O 、 NO 、及び NO_2 ）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、及び酸素分子の一方又は双方）の拡散を抑制する機能を有することが好ましい。

[0462]

水素に対するバリア性を有する膜として、例えば、CVD法で形成した窒化シリコンを用いることができる。

[0463]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS：Thermal Desorption Spectrometry）を用いて分析することができる。例えば、絶縁層324の水素の脱離量は、TDSにおいて、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁層324の面積当りに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0464]

絶縁層594は、絶縁層581と同様に、誘電率が低い層間膜とすることが好ましい。このため、絶縁層594には、絶縁層581に適用することができる材料を用いることができる。

[0465]

なお、絶縁層594は、絶縁層592よりも誘電率が低いことが好ましい。例えば、絶縁層594の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁層594の比誘電率は、絶縁層592の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。絶縁層594を誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0466]

絶縁層G11及び絶縁層IS3には、プラグ又は配線として機能する導電層MPGが埋め込まれ、絶縁層592及び絶縁層594には、プラグ又は配線として機能する導電層596が埋め込まれている。特に、導電層MPG及び導電層596は、絶縁層594より上方に設けられている発光デバイスなどと電氣的に接続されている。また、プラグ又は配線としての機能を有する導電層は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電層の一部が配線として機能する場合、及び導電層の一部がプラグとして機能する場合もある。

[0467]

各プラグ、及び配線（例えば、導電層MPG及び導電層596）の材料としては、金属材料、合金材料、金属窒化物材料、及び金属酸化物材料から選ばれた一以上の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、又はモリブデンといった高融

点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム、又は銅といった低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0468]

絶縁層594上及び導電層596上には、絶縁層598及び絶縁層599が、順に形成されている。

[0469]

絶縁層598は、絶縁層592と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁物を用いることが好ましい。また、絶縁層599としては、絶縁層594と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁物を用いることが好ましい。また、絶縁層599は、層間絶縁膜及び平坦化膜としての機能を有する。

[0470]

絶縁層599上には、発光デバイス130及び接続部140が形成されている。

[0471]

接続部140は、カソードコンタクト部と呼ばれる場合があり、発光デバイス130R、発光デバイス130G、及び発光デバイス130Bのそれぞれのカソード電極に電氣的に接続されている。図29では、接続部140は、後述する導電層182a乃至導電層182cから選ばれた一以上の導電層と、後述する導電層126a乃至導電層126cの少なくとも一の導電層と、後述する導電層129a乃至導電層129cから選ばれた一以上の導電層と、後述する共通層114と、後述する共通電極115と、を有する。

[0472]

なお、接続部140は、平面視において表示部の四辺を囲むように設けられてもよく、又は、表示部内（例えば、隣り合う発光デバイス130同士の間）に設けられてもよい（図示しない。）。

[0473]

発光デバイス130Rは、導電層182aと、導電層182a上の導電層126aと、導電層126a上の導電層129aと、を有する。導電層182a、導電層126a、及び導電層129aの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス130Gは、導電層182bと、導電層182b上の導電層126bと、導電層126b上の導電層129bと、を有する。発光デバイス130Rと同様に、導電層182b、導電層126b、及び導電層129bの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス130Bは、導電層182cと、導電層182c上の導電層126cと、導電層126c上の導電層129cと、を有する。発光デバイス130R、及び発光デバイス130Gと同様に、導電層182c、導電層126c、及び導電層129cの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。

[0474]

導電層182a乃至導電層182c、及び導電層126a乃至導電層126cには、例えば、反射電極として機能する導電層を用いることができる。反射電極として機能する導電層には、可視光に対して反射率の高い導電層として、例えば、銀、アルミニウム、銀（Ag）とパラジウム（Pd）と銅（Cu）の合金膜（Ag-Pd-Cu（APC）膜）を適用することができる。また、導電層182a乃至導電層182c、及び導電層126a乃至導電層126cには、一対のチタンで挟ま

れたアルミニウムの積層膜（Ti、Al、Tiの順の積層膜）、又は一對のインジウムスズ酸化物で挟まれた銀の積層膜（ITO、Ag、ITOの順の積層膜）を用いることができる。

[0475]

例えば、導電層182a乃至導電層182cに反射電極として機能する導電層を用いて、導電層126a乃至導電層126cに、透光性が高い材料を用いてもよい。透光性が高い材料としては、例えば、銀とマグネシウムの合金、及びインジウムスズ酸化物（ITOと呼ばれる場合がある。）、が挙げられる。

[0476]

導電層129a乃至導電層129cには、例えば、透明電極として機能する導電層を用いることができる。透明電極として機能する導電層としては、例えば、上述した透光性が高い導電層とすることができる。

[0477]

後に詳述する発光デバイス130に、マイクロキャビティ構造（微小共振器構造）を設けてもよい。マイクロキャビティ構造とは、発光層の下面と下部電極の上面との距離を、当該発光層が発光する光の色の波長に応じた厚さにする構造を指す。この場合、上部電極（共通電極）である導電層129a乃至導電層129cに透光性及び光反射性を有する導電材料を用い、下部電極（画素電極）である導電層182a乃至導電層182c、及び導電層126a乃至導電層126cとして光反射性を有する導電材料を用いることが好ましい。

[0478]

マイクロキャビティ構造とは、下部電極と発光層の光学的距離を $(2n-1)\lambda/4$ （ただし、 n は1以上の自然数、 λ は増幅したい発光の波長）に調節した構造を指す。これにより、下部電極によって反射されて戻ってきた光（反射光）は、発光層から上部電極に直接入射する光（入射光）と大きな干渉を起こす。そのため、波長 λ のそれぞれの反射光と入射光との位相を合わせ発光層からの発光をより増幅させることができる。一方で、反射光と入射光とが波長 λ 以外である場合、位相が合わなくなるため、共振せずに減衰する。

[0479]

導電層182aは、絶縁層599に設けられた開口を介して、絶縁層594に埋め込まれている導電層596と接続されている。また、導電層182aの端部よりも外側に導電層126aの端部が位置している。導電層126aの端部と導電層129aの端部は、揃っている、又は概略揃っている。

[0480]

発光デバイス130Gにおける導電層182b、導電層126b、導電層129b、及び、発光デバイス130Bにおける導電層182c、導電層126c、導電層129cについては、発光デバイス130Rにおける導電層182a、導電層126a、導電層129aと同様であるため詳細な説明は省略する。

[0481]

導電層182a、導電層182b、及び導電層182cには、絶縁層599に設けられた開口を覆うように凹部が形成される。また、当該凹部には、層128が埋め込まれている。

[0482]

層128は、導電層182a乃至導電層182cの凹部を平坦化する機能を有する。導電層18

2 a 上乃至導電層 1 8 2 c 上、及び層 1 2 8 上には、導電層 1 8 2 a 乃至導電層 1 8 2 c と電氣的に接続される導電層 1 2 6 a 乃至導電層 1 2 6 c が設けられている。したがって、導電層 1 8 2 a 乃至導電層 1 8 2 c の凹部と重なる領域も発光領域として使用でき、画素の開口率を高めることができる。

[0483]

層 1 2 8 は、絶縁層であってもよく、導電層であってもよい。層 1 2 8 には、各種無機絶縁材料、有機絶縁材料、及び導電材料を適宜用いることができる。特に、層 1 2 8 は、絶縁材料を用いて形成されることが好ましい。

[0484]

層 1 2 8 には、有機材料を有する絶縁層を好適に用いることができる。例えば、層 1 2 8 には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる。また、層 1 2 8 として、感光性の樹脂を用いることができる。感光性の樹脂としては、ポジ型の材料、又はネガ型の材料が挙げられる。

[0485]

感光性の樹脂を用いることにより、露光及び現像の工程のみで層 1 2 8 を作製することができ、ドライエッチング、あるいはウェットエッチングによる導電層 1 8 2 a、導電層 1 8 2 b、導電層 1 8 2 c の表面への影響を低減することができる。また、ネガ型の感光性樹脂を用いて層 1 2 8 を形成することにより、絶縁層 5 9 9 の開口の形成に用いるフォトマスク（露光マスク）と同一のフォトマスクを用いて、層 1 2 8 を形成することができる場合がある。

[0486]

発光デバイス 1 3 0 R は、第 1 の層 1 1 3 a と、第 1 の層 1 1 3 a 上の共通層 1 1 4 と、共通層 1 1 4 上の共通電極 1 1 5 と、を有する。また、発光デバイス 1 3 0 G は、第 2 の層 1 1 3 b と、第 2 の層 1 1 3 b 上の共通層 1 1 4 と、共通層 1 1 4 上の共通電極 1 1 5 と、を有する。また、発光デバイス 1 3 0 B は、第 3 の層 1 1 3 c と、第 3 の層 1 1 3 c 上の共通層 1 1 4 と、共通層 1 1 4 上の共通電極 1 1 5 と、を有する。

[0487]

なお、第 1 の層 1 1 3 a は、導電層 1 2 6 a の上面及び側面と導電層 1 2 9 a の上面及び側面を覆うように形成されている。同様に、第 2 の層 1 1 3 b は、導電層 1 2 6 b の上面及び側面と導電層 1 2 9 b の上面及び側面を覆うように形成されている。また、同様に、第 3 の層 1 1 3 c は、導電層 1 2 6 c の上面及び側面と導電層 1 2 9 c の上面及び側面を覆うように形成されている。したがって、導電層 1 2 6 a、導電層 1 2 6 b、及び導電層 1 2 6 c が設けられている領域全体を、発光デバイス 1 3 0 R、発光デバイス 1 3 0 G、及び発光デバイス 1 3 0 B の発光領域として用いることができるため、画素の開口率を高めることができる。

[0488]

発光デバイス 1 3 0 R において、第 1 の層 1 1 3 a と共通層 1 1 4 をまとめて E L 層と呼ぶことができる。また、同様に、発光デバイス 1 3 0 G において、第 2 の層 1 1 3 b と共通層 1 1 4 をまとめて E L 層と呼ぶこともできる。また、同様に、発光デバイス 1 3 0 B において、第 3 の層 1 1 3 c と共通層 1 1 4 をまとめて E L 層と呼ぶことができる。

[0489]

本実施の形態の発光デバイスの構成に、特に限定はなく、シングル構造であってもタンデム構造であってもよい。

[0490]

第1の層113a、第2の層113b、及び第3の層113cは、フォトリソグラフィ法により島状に加工されている。そのため、第1の層113a、第2の層113b、及び第3の層113cは、それぞれその端部において、上面と側面とのなす角が90°に近い形状となる。一方、例えば、FMMを用いて形成された有機膜は、その厚さが端部に近いほど徐々に薄くなる傾向があり、例えば、先端から1μm以上10μm以下の範囲にわたって、上面がスロープ状に形成されるため、上面と側面の区別が困難な形状となる。

[0491]

第1の層113a、第2の層113b、及び第3の層113cは、上面と側面の区別が明瞭となる。これにより、隣接する第1の層113aと第2の層113bにおいて、第1の層113aの側面の一と、第2の層113bの側面の一は、互いに対向して配置される。これは、第1の層113a、第2の層113b、及び第3の層113cのうちいずれの組み合わせにおいても同様である。

[0492]

第1の層113a、第2の層113b、及び第3の層113cは、少なくとも発光層を有する。例えば、第1の層113aが、赤色の光を発する発光層を有し、第2の層113bが緑色の光を発する発光層を有し、第3の層113cが、青色の光を発する発光層を有する構成であると好ましい。また、それぞれの発光層は、上記以外の色としては、シアン、マゼンタ、黄、又は白を適用することができる。

[0493]

第1の層113a、第2の層113b、及び第3の層113cは、発光層と、発光層上のキャリア輸送層（電子輸送層又は正孔輸送層）と、を有することが好ましい。第1の層113a、第2の層113b、及び第3の層113cの表面は、表示装置の作製工程中に露出する場合があるため、キャリア輸送層を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、発光デバイスの信頼性を高めることができる。

[0494]

共通層114は、例えば、電子注入層又は正孔注入層を有する。又は、共通層114は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層114は、発光デバイス130R、発光デバイス130G、及び発光デバイス130Bで共有されている。

[0495]

共通電極115は、発光デバイス130R、発光デバイス130G、及び発光デバイス130Bで共有されている。また、図29に示すように、複数の発光デバイスが共通して有する共通電極115は、接続部140に含まれている導電層に電氣的に接続される。

[0496]

絶縁層125は、水及び酸素の一方又は双方に対するバリア絶縁層としての機能を有することが好ましい。また、絶縁層125は、水及び酸素の一方又は双方の拡散を抑制する機能を有することが好ましい。また、絶縁層125は、水及び酸素の一方又は双方を捕獲、又は固着する（ゲッタリングともいう。）機能を有することが好ましい。絶縁層125が、バリア絶縁層としての機能、又

はゲッタリング機能を有することで、外部から各発光デバイスに拡散し得る不純物（代表的には、水及び酸素の一方又は双方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光デバイス、さらには、信頼性の高い表示パネルを提供することができる。

[0497]

絶縁層125は、不純物濃度が低いことが好ましい。これにより、絶縁層125からEL層に不純物が混入し、EL層が劣化することを抑制することができる。また、絶縁層125において、不純物濃度を低くすることで、水及び酸素の一方又は双方に対するバリア性を高めることができる。例えば、絶縁層125は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

[0498]

絶縁層127としては、有機材料を有する絶縁層を好適に用いることができる。有機材料としては、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いればよい。また、絶縁層127の材料の粘度は、1cP以上1500cP以下とすればよく、1cP以上12cP以下とすることが好ましい。絶縁層127の材料の粘度を上記の範囲にすることで、後述するテーパ形状を有する絶縁層127を、比較的容易に形成することができる。なお、本明細書などにおいて、アクリル樹脂とは、ポリメタクリル酸エステル、又はメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

[0499]

なお、絶縁層127は、後述するように側面にテーパ形状を有していればよく、絶縁層127に用いることができる有機材料は上記に限られるものではない。例えば、絶縁層127には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる場合がある。また、絶縁層127として、ポリビニルアルコール（PVA）、ポリビニルブチラル（PVB）、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、又はアルコール可溶性のポリアミド樹脂といった有機材料を適用することができる場合がある。また、絶縁層127には、例えば、感光性の樹脂として、フォトレジストを用いることができる場合がある。なお、感光性の樹脂としては、ポジ型の材料、又はネガ型の材料が挙げられる。

[0500]

絶縁層127には、可視光を吸収する材料を用いてもよい。絶縁層127が、発光デバイスからの発光を吸収することで、発光デバイスから、絶縁層127を介して、隣接する発光デバイスに光が漏れること（迷光）を抑制することができる。これにより、表示パネルの表示品位を高めることができる。また、表示パネルに偏光板を用いなくても、表示品位を高めることができるため、表示パネルの軽量化及び薄型化を図ることができる。

[0501]

可視光を吸収する材料としては、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料（例えば、ポリイミド）、及び、カラーフィルタに用いることのできる樹脂材料（カラーフィルタ材料）が挙げられる。特に、2色、又は3色以上のカラーフィルタ材料を積層又は混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に、3色以上のカラーフィルタ材料を混合させることで、黒色又は黒色近傍の樹脂層とすることが可能となる。

[0502]

絶縁層127は、例えば、スピコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ、スリットコート、ロールコート、カーテンコート、又はナイフコートといった湿式の成膜方法を用いて形成することができる。特に、スピコートにより、絶縁層127となる有機絶縁膜を形成することが好ましい。

[0503]

絶縁層127は、EL層の耐熱温度よりも低い温度で形成する。絶縁層127を形成する際の基板温度としては、代表的には、200℃以下、好ましくは180℃以下、より好ましくは160℃以下、より好ましくは150℃以下、より好ましくは140℃以下である。

[0504]

以下では、発光デバイス130Rと発光デバイス130Gの間の絶縁層127の構造を例に挙げて、絶縁層127などの構造について説明を行う。なお、発光デバイス130Gと発光デバイス130Bの間の絶縁層127、及び発光デバイス130Bと発光デバイス130Rの間の絶縁層127などについても同様のことが言える。また、以下では、第2の層113b上の絶縁層127の端部を例に挙げて説明する場合があるが、第1の層113a上の絶縁層127の端部、及び第3の層113c上の絶縁層127の端部についても同様のことが言える。

[0505]

絶縁層127は、表示装置の断面視において、側面にテーパ角 $\theta 1$ のテーパ形状を有することが好ましい。テーパ角 $\theta 1$ は、絶縁層127の側面と基板面のなす角である。ただし、基板面に限らず、絶縁層125の平坦部の上面、又は第2の層113bの平坦部の上面と、絶縁層127の側面がなす角としてもよい。また、絶縁層127の側面をテーパ形状にすることにより、絶縁層125の側面、及びマスク層118aの側面もテーパ形状となる場合がある。

[0506]

絶縁層127のテーパ角 $\theta 1$ は、90°未満であり、60°以下が好ましく、45°以下がより好ましい。絶縁層127の側面端部をこのような順テーパ形状にすることで、絶縁層127の側面端部上に設けられる、共通層114及び共通電極115に、段切れ、又は局所的な薄膜化などを生じさせることなく、被覆性良く成膜することができる。これにより、共通層114及び共通電極115の面内均一性を向上させることができるため、表示装置の表示品位を向上させることができる。

[0507]

表示装置の断面視において、絶縁層127の上面は凸曲面形状を有することが好ましい。絶縁層127の上面の凸曲面形状は、中心に向かってなだらかに膨らんだ形状であることが好ましい。また、絶縁層127上面の中心部の突曲面部が、側面端部のテーパ部に滑らかに接続される形状であることが好ましい。絶縁層127をこのような形状にすることで、絶縁層127上全体で、共通層114及び共通電極115を被覆性良く成膜することができる。

[0508]

絶縁層127は、2つのEL層の間の領域（例えば、第1の層113aと第2の層113bとの間の領域）に形成される。このとき、絶縁層127の一部が、一方のEL層（例えば、第1の層113a）の側面端部と、もう一方のEL層（例えば、第2の層113b）の側面端部に挟まれる位置に配置されることになる。

[0509]

絶縁層 127 の一方の端部が画素電極として機能する導電層 126a と重なり、絶縁層 127 の他方の端部が画素電極として機能する導電層 126b と重なることが好ましい。このような構造にすることで、絶縁層 127 の端部を第 1 の層 113a（第 2 の層 113b）の概略平坦な領域の上に形成することができる。よって、絶縁層 127 のテーパ形状を、上記の通り加工することが比較的容易になる。

[0510]

以上のように、絶縁層 127 など設けることにより、第 1 の層 113a の概略平坦な領域から第 2 の層 113b の概略平坦な領域まで、共通層 114 及び共通電極 115 に段切れ箇所、及び局所的に膜厚が薄い箇所が形成されるのを防ぐことができる。よって、各発光デバイス間において、共通層 114 及び共通電極 115 に、段切れ箇所に起因する接続不良、及び局所的に膜厚が薄い箇所に起因する電気抵抗の上昇が発生するのを抑制することができる。

[0511]

本実施の形態の表示装置は、発光デバイス間の距離を狭くすることができる。具体的には、発光デバイス間の距離、EL 層間の距離、又は画素電極間の距離を、10 μ m 未満、8 μ m 以下、5 μ m 以下、3 μ m 以下、2 μ m 以下、1 μ m 以下、500 nm 以下、200 nm 以下、100 nm 以下、90 nm 以下、70 nm 以下、50 nm 以下、30 nm 以下、20 nm 以下、15 nm 以下、又は 10 nm 以下とすることができる。別言すると、本実施の形態の表示装置は、隣接する 2 つの島状の EL 層の間隔が 1 μ m 以下の領域を有し、好ましくは 0.5 μ m（500 nm）以下の領域を有し、さらに好ましくは 100 nm 以下の領域を有する。このように、各発光デバイス間の距離を狭めることで、高い精細度と、大きな開口率を有する表示装置を提供することができる。

[0512]

発光デバイス 130 上には、保護層 131 が設けられている。保護層 131 は、発光デバイス 130 を保護するパッシベーション膜として機能する膜である。発光デバイスを覆う保護層 131 を設けることで、発光デバイスに水及び酸素といった不純物が入り込むことを抑制し、発光デバイス 130 の信頼性を高めることができる。保護層 131 には、例えば、酸化アルミニウム、窒化シリコン、又は窒化酸化シリコンを用いることができる。

[0513]

保護層 131 と、基板 119 と、は接着層 107 を介して接着されている。発光デバイスの封止には、固体封止構造又は中空封止構造などが適用することができる。図 29 では、基板 310 と基板 119 との間の空間が、接着層 107 で充填されており、固体封止構造が適用されている。又は、当該空間を不活性ガス（窒素又はアルゴンなど）で充填し、中空封止構造を適用してもよい。このとき、接着層 107 は、発光デバイスと重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層 107 とは異なる樹脂で充填してもよい。

[0514]

接着層 107 には、紫外線硬化型の光硬化型接着剤、反応硬化型接着剤、又は熱硬化型接着剤、嫌気型接着剤といった各種硬化型接着剤を用いることができる。これら接着剤としては、例えば、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラル）樹脂、EVA（エチレンビニルアセテート）樹脂が挙げられる。特に、エポキシ樹脂の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シートを用いてもよい。

[0515]

表示装置50Bは、トップエミッション型である。発光デバイスが発する光は、基板119側に射出される。そのため、基板119には、可視光に対する透過性が高い材料を用いることが好ましい。例えば、基板119には、基板310に適用することができる基板のうち、可視光に対する透過性が高い基板を選択すればよい。画素電極は可視光を反射する材料を含み、対向電極（共通電極115）は可視光を透過する材料を含む。

[0516]

なお、本発明の一態様の表示装置は、トップエミッション型ではなく、発光デバイスが発する光が基板310側に射出されるボトムエミッション型としてもよい。なお、この場合、基板310には、可視光に対する透過性が高い基板を選択すればよい。

[0517]

上記で説明した各々の構成例の一を表示装置に適用することによって、高い解像度、かつ高い精細度を有する表示装置を実現することができる場合がある。具体的には、例えば、HD（画素数1280×720）、FHD（画素数1920×1080）、WQHD（画素数2560×1440）、WQXGA（画素数2560×1600）、4K（画素数3840×2160）、8K（画素数7680×4320）の解像度の表示装置を実現することができる場合がある。また、具体的には、例えば、100ppi以上、300ppi以上、500ppi以上、1000ppi以上、2000ppi以上、3000ppi以上、5000ppi以上、又は6000ppi以上の精細度の表示装置を実現することができる場合がある。

[0518]

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせる用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0519]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[0520]

(実施の形態5)

本実施の形態では、本発明の一態様の電子装置及び表示装置などについて説明する。本発明の一態様は、例えば、VR又はAR用途の装着型の電子装置に好適に用いることができる。

[0521]

<電子装置の構成例>

図30Aに、装着型の電子装置の一例としてメガネ型の電子装置150の斜視図を示す。図30Aに示す電子装置150では、一对の表示装置90（表示装置90__L及び表示装置90__R）、動き検出部101、視線検出部84、演算部103、及び通信部85を筐体105内に備える様子を示している。

[0522]

図30Bは、図30Aの電子装置150のブロック図である。電子装置150は、図30Aと同

様に表示装置 90__L、表示装置 90__R、動き検出部 101、視線検出部 84、演算部 103、及び通信部 85を有し、バス配線 BWを介して相互に各種信号を送受信する。表示装置 90__L、表示装置 90__Rはそれぞれ、複数の画素 230、駆動回路 65及び機能回路 40を有する。1つの画素 230は、1つの発光デバイス 61と1つの画素回路 51を含む。よって、表示装置 90__L、表示装置 90__Rはそれぞれ、複数の発光デバイス 61及び複数の画素回路 51を含む。

[0523]

動き検出部 101は、筐体 105の動き、すなわち電子装置 150を装着したユーザの頭部の動きを検出する機能を有する。動き検出部 101は、例えば、MEMS技術を用いたモーションセンサを用いることができる。モーションセンサとしては、3軸モーションセンサ、あるいは6軸モーションセンサなどを用いることができる。動き検出部 101で検出される筐体 105の動きに関する情報は、第1情報、あるいは、動き情報などという場合がある。

[0524]

視線検出部 84は、ユーザの視線に関する情報を取得する機能を有する。具体的には、ユーザの視線を検出する機能を有する。ユーザの視線は、例えば、瞳孔角膜反射 (P u p i l C e n t e r C o r n e a l R e f l e c t i o n) 法、又は明／暗瞳孔 (B r i g h t / D a r k P u p i l E f f e c t) 法などの視線計測 (アイトラッキング) 法で取得すればよい。又は、レーザ又は超音波などを用いた視線計測方法で取得してもよい。

[0525]

演算部 103は、視線検出部 84における視線の検出結果を用いて、ユーザの注視点を算出する機能を有する。すなわち、ユーザが表示装置 90__L及び表示装置 90__Rに表示される画像のどのオブジェクトを注視しているかを知ることができる。また、ユーザが画面以外の部位を注視しているか否かを知ることができる。なお、視線検出部 84が得たユーザの視線に関する情報 (視線の検出結果) を、第2情報、あるいは視線情報などという場合がある。

[0526]

演算部 103は、筐体 105の動きに応じた描画処理 (画像データの演算処理) を行う機能を有する。演算部 103において筐体 105の動きに応じた描画処理は、第1情報、及び通信部 85を介して外部より入力される画像データを用いて行われる。当該画像データとしては、例えば、360° 全方位の画像データを用いることができる。360° 全方位の画像データは、例えば全天球カメラ (全方位カメラ、360° カメラ) で撮影した画像データであってもよく、あるいはコンピュータグラフィックスなどによって生成される画像データであってもよい。演算部 103は、第1情報に応じて360° 全方位の画像データを、表示装置 90__L及び表示装置 90__Rに表示可能な画像データに変換する機能を有する。

[0527]

演算部 103は、第2情報を用いて、表示装置 90__L及び表示装置 90__Rそれぞれの表示部に設定する複数の領域の大きさ及び形状を決定する機能を有する。具体的には、演算部 103は、第2情報に応じて表示部上の注視点を算出し、当該注視点を基準にして、表示部に後述する第1領域 S1乃至第3領域 S3等を設定する。

[0528]

演算部 103としては、中央演算処理装置 (C P U : C e n t r a l P r o c e s s i n g U n i t) の他、D S P (D i g i t a l S i g n a l P r o c e s s o r) 、G P U (G r

aphics Processing Unit)などの他のマイクロプロセッサを単独で、又は組み合わせて用いることができる。またこれらマイクロプロセッサをFPGA(Field Programmable Gate Array)又はFPAA(Field Programmable Analog Array)といったPLD(Programmable Logic Device)によって実現した構成としてもよい。

[0529]

演算部103は、プロセッサにより種々のプログラムからの命令を解釈し実行することで、各種のデータ処理及びプログラム制御を行う。プロセッサにより実行し得るプログラムは、プロセッサが有するメモリ領域に格納されていてもよいし、別途設けられる記憶部に格納されていてもよい。記憶部としては、例えば、フラッシュメモリ、MRAM(Magnetoresistive Random Access Memory)、PRAM(Phase change RAM)、ReRAM(Resistive RAM)、FeRAM(Ferroelectric RAM)などの不揮発性の記憶素子が適用された記憶装置、又はDRAM(Dynamic RAM)及びSRAM(Static RAM)などの揮発性の記憶素子が適用された記憶装置等を用いてもよい。

[0530]

通信部85は、画像データ等の各種データを取得するために無線又は有線によって外部機器と通信を行う機能を有する。通信部85は、例えば高周波回路(RF回路)を設け、RF信号の送受信を行えばよい。高周波回路は、各国法制により定められた周波数帯域の電磁信号と電気信号とを相互に変換し、当該電磁信号を用いて無線で他の通信機器との間で通信を行うための回路である。無線通信を行う場合、通信プロトコル又は通信技術として、LTE(Long Term Evolution)、GSM(Global System for Mobile Communication:登録商標)、EDGE(Enhanced Data Rates for GSM Evolution)、CDMA2000(Code Division Multiple Access 2000)、WCDMA(Wideband Code Division Multiple Access:登録商標)などの通信規格、又はWi-Fi(登録商標)、Bluetooth(登録商標)、ZigBee(登録商標)等のIEEEにより通信規格化された仕様を用いることができる。また、国際電気通信連合(ITU)が定める第3世代移動通信システム(3G)、第4世代移動通信システム(4G)、又は第5世代移動通信システム(5G)などを用いることもできる。

[0531]

通信部85において、LAN(Local Area Network)接続用端子、デジタル放送の受信端子、ACアダプタを接続する端子等の外部ポートを有していてもよい。

[0532]

表示装置90__L、表示装置90__Rは、それぞれ、複数の発光デバイス61、複数の画素回路51、駆動回路65、及び機能回路40を有する。画素回路51は、発光デバイス61の発光を制御する機能を有する。駆動回路65は、画素回路51を制御する機能を有する。

[0533]

演算部103で決定された表示装置の表示部における複数の領域の情報は、領域ごとに解像度を異ならせる駆動などに用いられる。機能回路40は、注視点に近い領域で、解像度の高い表示を行

うよう駆動回路 65 の制御を行い、注視点より遠い領域で解像度の低い表示を行うように駆動回路 65 の制御を行う機能を有する。

[0534]

例えば、画像データの書き換えを 1 画素おき、又は複数画素おきに行うことで、解像度の低い表示を実現することができる。画像データの書き換えを行う画素を減らすことで、表示装置の消費電力を低減することができる。

[0535]

電子装置 150 にセンサ 97 を設けてもよい。センサ 97 は、ユーザの視覚、聴覚、触覚、味覚、及び嗅覚、のいずれか一又は複数の情報を取得する機能を有すればよい。より具体的には、センサ 97 は、力、変位、位置、速度、加速度、角速度、回転数、距離、光、磁気、温度、音声、時間、電場、電流、電圧、電力、放射線、湿度、傾度、振動、におい、及び赤外線、のいずれか一又は複数の情報を検知する機能、又は測定する機能を有すればよい。電子装置 150 は、1 又は複数のセンサ 97 を備えてもよい。

[0536]

センサ 97 を用いて、周囲の温度、湿度、照度、臭気などを計測してもよい。また、センサ 97 を用いて、例えば、指紋、掌紋、虹彩、網膜、脈形状（静脈形状、動脈形状を含む。）、又は顔などを用いた個人認証のための情報を取得してもよい。また、センサ 97 を用いて、ユーザの瞬き回数、瞼の挙動、瞳孔の大きさ、体温、脈拍、又は血液中の酸素飽和度などを計測し、ユーザの疲労度及び健康状態などを検出してもよい。電子装置 150 は、ユーザの疲労度及び健康状態などを検知して、表示装置 90 に警告などを表示してもよい。

[0537]

ユーザの視線及び瞼の動きを検出して、電子装置 150 の動作を制御してもよい。ユーザは、電子装置 150 に触れて操作する必要がないため、両手に何も持たない状態（両手がフリーの状態）で、入力操作などを実現することができる。

[0538]

図 31A は、電子装置 150 を示す斜視図である。図 31A において電子装置 150 の筐体 105 は、一対の表示装置 90__L、表示装置 90__R 及び演算部 103 の他、一例として、装着部 86、緩衝部材 87、一対のレンズ 88 等を有する。一対の表示装置 90__L、表示装置 90__R は、筐体 105 の内部の、レンズ 88 を通して視認することができる位置にそれぞれ設けられている。

[0539]

図 31A に示す筐体 105 には、入力端子 109 と、出力端子 89 とが設けられている。入力端子 109 には映像出力機器等からの画像信号（画像データ）、又は筐体 105 内に設けられるバッテリー（図示しない。）を充電するための電力等を供給するケーブルを接続することができる。出力端子 89 としては、例えば、音声出力端子として機能し、イヤフォン、ヘッドフォン等を接続することができる。

[0540]

筐体 105 は、レンズ 88 及び表示装置 90__L、表示装置 90__R が、ユーザの目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ 88 と表示装置 90__L、表示装置 90__R との距離を変えることで、ピントを調整する機構を有していることが好ましい。

[0541]

緩衝部材 87 は、ユーザの顔（額、頬など）に接触する部分である。緩衝部材 87 がユーザの顔と密着することにより、外光の侵入（光漏れ）を防ぐことができ、より没入感を高めることができる。緩衝部材 87 は、ユーザが電子装置 150 を装着した際にユーザの顔に密着するよう、緩衝部材 87 としては柔らかな素材を用いることが好ましい。このような素材を用いると、肌触りが良いことに加え、寒い季節などに装着した際に、ユーザに冷たさを感じさせないため好ましい。緩衝部材 87 又は装着部 86 などの、ユーザの肌に触れる部材は、取り外し可能な構成とすると、クリーニング又は交換が容易となるため好ましい。

[0542]

本発明の一態様の電子装置は、さらに、イヤフォン 99A を有していてもよい。イヤフォン 99A は、通信部（図示しない。）を有し、無線通信機能を有する。イヤフォン 99A は、無線通信機能により、音声データを出力することができる。なおイヤフォン 99A は、骨伝導イヤフォンとして機能する振動機構を有していてもよい。

[0543]

イヤフォン 99A は、図 31B に示すイヤフォン 99B のように、装着部 86 に直接接続、又は有線接続されている構成とすることができる。また、イヤフォン 99B 及び装着部 86 はマグネットを有していてもよい。これにより、イヤフォン 99B を装着部 86 に磁力によって固定することができ、収納が容易となり好ましい。

[0544]

<表示装置の構成例>

図 30A、図 30B に示す表示装置 90__L、表示装置 90__R に適用可能な表示装置 90A の構成について、図 32A、図 32B、及び図 33 を参照して説明する。

[0545]

図 32A は、図 30A 及び図 30B に示す表示装置 90__L、表示装置 90__R に適用可能な表示装置 90A の斜視図である。

[0546]

表示装置 90A は、基板 91、基板 92 を有する。表示装置 90A は、基板 91 と基板 92 との間に設けられる表示部 93 を有する。表示部 93 は、複数の画素 230 を有する。画素 230 は、画素回路 51 及び発光デバイス 61 を有する。表示部 93 は、表示装置 90A における画像を表示する領域である。

[0547]

画素 230 を 1920×1080 画素のマトリクス状に配置すると、いわゆるフルハイビジョン（「2K 解像度」、「2K1K」、又は「2K」などとも言われる。）の解像度で表示可能な表示部 93 を実現することができる。また、例えば、画素 230 を 3840×2160 画素のマトリクス状に配置すると、いわゆるウルトラハイビジョン（「4K 解像度」、「4K2K」、又は「4K」などとも言われる。）の解像度で表示可能な表示部 93 を実現することができる。また、例えば、画素 230 を 7680×4320 画素のマトリクス状に配置すると、いわゆるスーパーハイビジョン（「8K 解像度」、「8K4K」、又は「8K」などとも言われる。）の解像度で表示可能な表示部 93 を実現することができる。画素 230 を増やすことで、16K さらには 32K の解像度で表示可能な表示部 93 を実現することも可能である。

[0548]

表示部93の画素密度（精細度）は、1000ppi以上10000ppi以下が好ましい。例えば、2000ppi以上6000ppi以下であってもよいし、3000ppi以上5000ppi以下であってもよい。

[0549]

なお、表示部93の画面比率（アスペクト比）については、特に限定はない。表示部93は、例えば、1:1（正方形）、4:3、16:9、16:10など様々な画面比率に対応することができる。

[0550]

なお、本明細書等において、素子という用語を「デバイス」と言い換えることができる場合がある。例えば、表示素子、発光素子、及び液晶素子は、例えば、表示デバイス、発光デバイス、及び液晶デバイスと言い換えることができる。

[0551]

表示装置90Aは、端子部94を介して、外部より各種信号及び電源電位が入力され、表示部93に設けられた表示素子を用いて画像表示を行うことができる。表示素子としては様々な素子を用いることができる。代表的には、有機EL素子（OLED素子）及びLED素子などの光を射出する機能を有する発光デバイス、液晶素子、又はMEMS素子などを適用することができる。

[0552]

基板91と基板92との間には、複数の層が設けられ、各層には回路動作を行うためのトランジスタ、又は光を射出する表示素子が設けられる。複数の層においては、表示素子の動作を制御する機能を有する画素回路、画素回路を制御する機能を有する駆動回路、駆動回路を制御する機能を有する機能回路等が設けられる。

[0553]

図32Bに、基板91と基板92との間に設けられる各層の構成を模式的に示した斜視図を示している。

[0554]

基板91上には、層62が設けられる。層62は、駆動回路65、機能回路40、及び入出力回路80を有する。層62は、チャンネル形成領域64にシリコンを有するトランジスタ63（Siトランジスタともいう。）を有する。基板91は、例えば、シリコン基板を用いることができる。シリコン基板は、ガラス基板と比較して熱伝導性が高いため好ましい。駆動回路65、機能回路40、及び入出力回路80を同じ層に設けることで、駆動回路65、機能回路40、及び入出力回路80を電氣的に接続する配線を短くすることができる。よって、機能回路40が駆動回路65を制御するための制御信号の充放電時間が短くなり、消費電力を低減することができる。また、入出力回路80が、機能回路40及び駆動回路65に信号を供給する時のための充放電時間が短くなり、消費電力を低減することができる。

[0555]

トランジスタ63は、例えば、チャンネル形成領域に単結晶シリコンを有するトランジスタ（「c-Siトランジスタ」ともいう。）とすることができる。特に、層62に設けられるトランジスタとして、チャンネル形成領域に単結晶シリコンを有するトランジスタを用いると、当該トランジスタのオン電流を大きくすることができる。よって、層62が有する回路を高速に駆動させることがで

きるため、好ましい。またSiトランジスタは、チャネル長が3nm以上10nm以下といった微細加工で形成することができるため、CPU、GPUなどのアクセラレータ、アプリケーションプロセッサなどが表示部と一体に設けられた表示装置90Aとすることができる。

[0556]

層62に、チャネル形成領域に多結晶シリコンを有するトランジスタ（「Poly-Siトランジスタ」ともいう。）を設けてもよい。多結晶シリコンとして、LTPSを用いてもよい。なお、チャネル形成領域にLTPSを有するトランジスタを「LTPSトランジスタ」ともいう。また、必要に応じて層62にOSトランジスタを設けてもよい。

[0557]

駆動回路65として、シフトレジスタ、レベルシフタ、インバータ、ラッチ、アナログスイッチ、及び論理回路等の様々な回路を用いることができる。駆動回路65は、例えば、ゲートドライバ回路、ソースドライバ回路等を有する。この他に、演算回路、メモリ回路、及び電源回路等を有していてもよい。ゲートドライバ回路、ソースドライバ回路、及びその他の回路を、表示部93に重ねて配置することが可能となるため、これら回路と、表示部93とを並べて配置する場合と比較して、表示装置90Aの表示部93の外周に存在する非表示領域（額縁ともいう。）の幅を極めて狭くすることができ、表示装置90Aの小型化を実現することができる。

[0558]

機能回路40は、例えば、表示装置90Aにおける各回路の制御、及び各回路を制御するための信号を生成するためのアプリケーションプロセッサの機能を有する。また機能回路40は、CPU、GPUなどのアクセラレータなどの画像データを補正するための回路を有していてもよい。また機能回路40は、画像データ等を表示装置90Aの外部から受信するためのインターフェースとしての機能を有するLVDS（Low Voltage Differential Signaling）回路、MIPI（Mobile Industry Processor Interface）回路、及びD/A（Digital to Analog）変換回路等を有していてもよい。また機能回路40は、画像データを圧縮・伸長するための回路、及び電源回路等を有していてもよい。

[0559]

層62上には、層83が設けられる。層83は、複数の画素回路51を含む画素回路群55を有する。層83にOSトランジスタを設けてもよい。画素回路51は、OSトランジスタを含んで構成してもよい。なお、層83は、層62上に積層して設けることができる。

[0560]

層83にSiトランジスタを設けてもよい。例えば、画素回路51をチャネル形成領域に単結晶シリコン又は多結晶シリコンを有するトランジスタを含んで構成してもよい。多結晶シリコンとしては、LTPSを用いてもよい。例えば、別の基板に層83を形成し、層62と貼り合わせることも可能である。

[0561]

例えば、画素回路51を異なる半導体材料を用いた複数種類のトランジスタで構成してもよい。画素回路51が、異なる半導体材料を用いた複数種類のトランジスタで構成される場合、トランジスタの種類毎に異なる層にトランジスタを設けてもよい。例えば、画素回路51が、Siトランジスタと、OSトランジスタで構成される場合、SiトランジスタとOSトランジスタを重ねて設け

てもよい。トランジスタを重ねて設けることで、画素回路51の占有面積が低減される。よって、表示装置90Aの精細度を高めることができる。なお、LTPSトランジスタとOSトランジスタを、組み合わせる構成をLTPOと呼称する場合がある。

[0562]

OSトランジスタであるトランジスタ52として、チャネル形成領域54にインジウム、元素M（元素Mは、アルミニウム、ガリウム、イットリウム、又はスズ）、亜鉛の少なくとも一を含む酸化物を有するトランジスタを用いることが好ましい。このようなOSトランジスタは、オフ電流が非常に低いという特性を有する。よって、特に、画素回路に設けられるトランジスタとしてOSトランジスタを用いると、画素回路に書き込まれたアナログデータを長期間保持することができるため好ましい。

[0563]

層83上には、層81が設けられる。層81上には、基板92が設けられる。基板92は、透光性を有する基板あるいは透光性を有する材料でなる層であることが好ましい。層81は、複数の発光デバイス61が設けられる。なお層81は、層83上に積層して設ける構成とすることができる。発光デバイス61としては、例えば、有機エレクトロルミネセンス素子（有機EL素子ともいう。）などを用いることができる。ただし、発光デバイス61は、これに限定されず、例えば無機材料からなる無機EL素子を用いても良い。なお、「有機EL素子」と「無機EL素子」をまとめて「EL素子」と呼ぶ場合がある。発光デバイス61は、量子ドットなどの無機化合物を有していてもよい。例えば、量子ドットを発光層に用いることで、発光材料として機能させることもできる。

[0564]

図32Bに示すように、本発明の一態様の表示装置90Aは、発光デバイス61と、画素回路51と、駆動回路65及び機能回路40と、を積層した構成とすることができるため、画素の開口率（有効表示面積比）を極めて高くすることができる。例えば、画素の開口率は、40%以上100%未満、好ましくは50%以上95%以下、より好ましくは60%以上95%以下とすることができる。また、画素回路51を極めて高密度に配置することが可能で、画素の精細度を極めて高くすることができる。例えば、表示装置90Aの表示部93（画素回路51及び発光デバイス61が積層されて設けられる領域）では、例えば、2000ppi以上3000ppi以下、3000ppi以上20000ppi以下、5000ppi以上20000ppi以下、又は6000ppi以上20000ppi以下の精細度で、画素を配置することが可能となる。

[0565]

このような表示装置90Aは、極めて高精細であることから、ヘッドマウントディスプレイなどのVR向け機器、又はメガネ型のAR向け機器に好適に用いることができる。例えば、レンズ等の光学部材を通して表示装置90Aの表示部を視認する構成の場合であっても、表示装置90Aは極めて高精細な表示部を有するためにレンズで表示部を拡大しても画素が視認されず、没入感の高い表示を行うことができる。

[0566]

なお、表示装置90Aを装着型のVR又はAR用の表示装置として用いる場合、表示部93の対角サイズは、0.1インチ以上5.0インチ以下、好ましくは0.5インチ以上2.0インチ以下、さらに好ましくは、1インチ以上1.7インチ以下とすることができる。例えば、表示部93の対角サイズを1.5インチ、又は1.5インチ近傍にしてもよい。表示部93の対角サイズを2.0

インチ以下とすることで、露光装置（代表的にはスキャナー装置）の1回の露光処理で処理することが可能となるため、製造プロセスの生産性を向上させることができる。

[0567]

本発明の一態様の表示装置90Aは、装着型の電子装置以外にも適用することができる。この場合、表示部93の対角サイズは2.0インチを越えても構わない。表示部93の対角サイズに応じて、画素回路51に用いるトランジスタの構成を適宜選択してもよい。例えば、画素回路51に単結晶Siトランジスタを用いる場合、表示部93の対角のサイズは0.1インチ以上3インチ以下が好ましい。また、画素回路51にLTPSトランジスタを用いる場合、表示部93の対角のサイズは0.1インチ以上30インチ以下が好ましく、1インチ以上30インチ以下がより好ましい。また、画素回路51にLTPOを用いる場合、表示部93の対角のサイズは0.1インチ以上50インチ以下が好ましく1インチ以上50インチ以下がより好ましい。また、画素回路51にOSTトランジスタを用いる場合、表示部93の対角のサイズは0.1インチ以上200インチ以下が好ましく、50インチ以上100インチ以下がより好ましい。

[0568]

画素回路51などに単結晶Siトランジスタを用いた表示装置は、単結晶Si基板の大きさより、大型化が非常に困難である。また、画素回路51などにLTPSトランジスタを用いた表示装置は、製造工程にてレーザ結晶化装置を用いるため、大型化（代表的には、対角のサイズにて30インチを超える画面サイズ）への対応が難しい。一方でOSTトランジスタは、製造工程にてレーザ結晶化装置などを用いる制約がない、又は比較的低温のプロセス温度（代表的には450℃以下）で製造することが可能なため、比較的大面積（代表的には、対角のサイズにて50インチ以上100インチ以下）の表示装置まで対応することが可能である。また、LTPOについては、LTPSトランジスタを用いる場合と、OSTトランジスタを用いる場合との間の領域の表示部の対角サイズ（代表的には、1インチ以上50インチ以下）に適用することが可能となる。

[0569]

駆動回路65及び機能回路40の具体的な構成例について、図33を参照して説明する。図33は、表示装置90Aの構成を示すブロック図であり、画素回路51、駆動回路65及び機能回路40を接続する複数の配線、及び表示装置90A内のバス配線等を示している。

[0570]

図33に示す表示装置90Aにおいて、層83は、複数の画素回路51がマトリクス状に配置されている。

[0571]

図33に示す表示装置90Aにおいて、層62は、駆動回路65、機能回路40、及び入出力回路80が配置されている。駆動回路65は、一例として、ソースドライバ回路66、デジタルアナログ変換回路（DAC: Digital Analog Converter）67、ゲートドライバ回路33、レベルシフタ34、増幅回路35、検査回路36、映像生成回路37、及び映像分配回路38を有する。機能回路40は、一例として、記憶装置41、GPU（AIアクセラレータ）42、EL補正回路43、タイミングコントローラ44、CPU45、センサコントローラ46、電源回路47、温度センサ48、及び輝度補正回路49を有する。機能回路40は、アプリケーションプロセッサの機能を有する。

[0572]

入出力回路 80 は、L V D S などの伝送方式に対応し、入出力回路 80 は端子部 94 を介して入力される制御信号及び画像データなどを、駆動回路 65 及び機能回路 40 に振り分ける機能を有する。また、入出力回路 80 は、表示装置 90 A の情報を、端子部 94 を介して外部に出力する機能を有する。

[0573]

図 33 の表示装置 90 A では、駆動回路 65 に含まれる回路、機能回路 40 に含まれる回路、及び入出力回路 80 のそれぞれが、バス配線 B S L と電氣的に接続する構成を例示している。

[0574]

ソースドライバ回路 66 は、一例として、画素 230 が有する画素回路 51 に対して、画像データを送信する機能を有する。そのため、ソースドライバ回路 66 は、配線 S L を介して、画素回路 51 に電氣的に接続されている。なおソースドライバ回路 66 は、複数設けてもよい。

[0575]

デジタルアナログ変換回路 67 は、一例として、後述する G P U、補正回路などによってデジタル処理された画像データをアナログデータに変換する機能を有する。アナログデータに変換された画像データはオペアンプなどの増幅回路 35 により増幅され、ソースドライバ回路 66 を介して、画素回路 51 に送信される。なお、ソースドライバ回路 66、デジタルアナログ変換回路 67、画素回路 51 の順に画像データが送信される構成としてもよい。また、デジタルアナログ変換回路 67 及び増幅回路 35 は、ソースドライバ回路 66 に含まれていてもよい。

[0576]

ゲートドライバ回路 33 は、一例として、画素回路 51 において、画像データの送信先となる画素回路を選択する機能を有する。そのため、ゲートドライバ回路 33 は、配線 G L を介して、画素回路 51 に電氣的に接続されている。なおゲートドライバ回路 33 は、ソースドライバ回路 66 と対応して、複数設けてもよい。

[0577]

レベルシフタ 34 は、一例として、ソースドライバ回路 66、デジタルアナログ変換回路 67、ゲートドライバ回路 33 などに対して入力される信号を適切なレベルに変換する機能を有する。

[0578]

記憶装置 41 は、一例として、画素回路 51 に表示させる画像データを保存する機能を有する。なお、記憶装置 41 は、画像データをデジタルデータ又はアナログデータとして保存する構成とすることができる。

[0579]

記憶装置 41 に画像データを保存する場合、記憶装置 41 としては不揮発性メモリとすることが好ましい。この場合、記憶装置 41 としては、例えば、NAND 型メモリなどを適用することができる。

[0580]

記憶装置 41 に G P U 42、E L 補正回路 43、C P U 45 など生じる一時データを保存する場合、記憶装置 41 としては揮発性メモリとすることが好ましい。この場合、記憶装置 41 としては、例えば、S R A M、D R A Mなどを適用することができる。

[0581]

G P U 42 は、一例として、記憶装置 41 から読み出された画像データを、画素回路 51 に出力

するための処理を行う機能を有する。特に、GPU 42は、並列にパイプライン処理を行う構成となっているため、画素回路51に出力する画像データを高速に処理することができる。また、GPU 42は、エンコードされた画像を復元するためのデコーダとしての機能も有することができる。

[0582]

機能回路40には、表示装置90Aの表示品位を高めることができる回路が複数含まれていてもよい。当該回路としては、例えば、表示される画像の色ムラを検出して、当該色ムラを補正して最適な画像にする補正回路（調色、調光）を設けてもよい。例えば、表示素子に有機ELが用いられた発光デバイスが適用されている場合、機能回路40に、当該発光デバイスの特性に応じて画像データを補正するEL補正回路を設けてもよい。機能回路40には、一例として、EL補正回路43を含めている。

[0583]

上記で説明した画像補正には、人工知能を用いてもよい。例えば、画素回路に流れる電流（又は画素回路に印加される電圧）をモニタリングして取得し、表示された画像をイメージセンサなどで取得し、電流（又は電圧）と画像を人工知能の演算（例えば、人工ニューラルネットワークなど）の入力データとして扱い、その出力結果で当該画像の補正の有無を判断させてもよい。

[0584]

人工知能の演算は、画像補正だけでなく、画像データの解像度を高めるアップコンバート処理にも適用することができる。一例として、図33のGPU 42は、各種補正の演算（色ムラ補正42a、アップコンバート42bなど）を行うためのブロックを図示している。

[0585]

画像データのアップコンバート処理を行うためのアルゴリズムとしては、Nearest neighbor法、Bilinear法、Bicubic法、RAISR（Rapid and Accurate Image Super-Resolution）法、ANR（Anchored Neighborhood Regression）法、A+法、SRCNN（Super-Resolution Convolutional Neural Network）法などから選択して行うことができる。

[0586]

アップコンバート処理は、注視点に応じて決定される領域ごとに、アップコンバート処理に用いるアルゴリズムを変える構成としてもよい。例えば、注視点及び注視点近傍の領域のアップコンバート処理を、処理速度が遅いが高精度なアルゴリズムで行い、当該領域以外の領域のアップコンバート処理を、処理速度は速いが低精度なアルゴリズムで行えばよい。当該構成とすることで、アップコンバート処理に必要な時間を短縮することができる。また、アップコンバート処理に必要な消費電力を低減することができる。

[0587]

アップコンバート処理に限らず、画像データの解像度を下げるダウンコンバート処理を行ってもよい。画像データの解像度が表示部93の解像度よりも大きい場合、画像データの一部が表示部93に表示されない場合がある。このような場合、ダウンコンバート処理を行うことで、当該画像データ全体を表示部93に表示することができる。

[0588]

タイミングコントローラ44は、一例として、画像を表示させる駆動周波数（フレーム周波数、

フレームレート、又はリフレッシュレートなど）を制御する機能を有する。例えば、表示装置 90A で静止画を表示させる場合、タイミングコントローラ 44 によって駆動周波数を下げることによって、表示装置 90A の消費電力を低減することができる。

[0589]

CPU 45 は、一例として、オペレーティングシステムの実行、データの制御、各種演算、及びプログラムの実行など、汎用の処理を行う機能を有する。CPU 45 は、例えば、記憶装置 41 における画像データの書き込み動作又は読み出し動作、画像データの補正動作、後述するセンサへの動作、などの命令を行う役割を有する。また、例えば、CPU 45 は、機能回路 40 に含まれる回路の少なくとも一に制御信号を送信する機能を有してもよい。

[0590]

センサコントローラ 46 は、一例として、センサを制御する機能を有する。また、図 33 では、当該センサに電氣的に接続するための配線として、配線 SNCL を図示している。

[0591]

当該センサとしては、例えば、表示部に備えることができるタッチセンサとすることができる。又は、当該センサとしては、例えば、照度センサとすることができる。

[0592]

電源回路 47 は、一例として、画素回路 51、駆動回路 65、及び機能回路 40 に含まれている回路などに対して供給する電圧を生成する機能を有する。なお、電源回路 47 は、電圧を供給する回路を選択する機能を有してもよい。例えば、電源回路 47 は、静止画を表示させている期間では、CPU 45、GPU 42 などに対しての電圧供給を停止することによって、表示装置 90A 全体の消費電力を低減することができる。

[0593]

以上説明したように、本発明の一態様の表示装置は、表示素子と、画素回路と、駆動回路及び機能回路 40 と、を積層した構成とすることができる。周辺回路である駆動回路及び機能回路を画素回路と重ねて配置することができ、額縁の幅を極めて狭くすることができるため、小型化が図られた表示装置とすることができる。また本発明の一態様の表示装置は、各回路を積層した構成とすることにより、各回路間を接続する配線を短くすることができるため、軽量化が図られた表示装置とすることができる。また本発明の一態様の表示装置は、画素の精細度が高められた表示部とすることができるため、表示品位に優れた表示装置とすることができる。

[0594]

<表示モジュールの構成例>

続いて、表示装置 90A を含む表示モジュールの構成例について説明する。

[0595]

図 34A 乃至図 34C は、表示モジュール 500 の斜視図である。表示モジュール 500 は、表示装置 90A の端子部 94 に、FPC 504 を備えた構造を有する。FPC 504 は、絶縁物でできたフィルムに配線を備えた構造を有する。また、FPC 504 は、可撓性を有する。FPC 504 は、外部から表示装置 90A にビデオ信号、制御信号、及び電源電位などを供給するための配線として機能する。また、FPC 504 上に IC が実装されていてもよい。

[0596]

図 34A に示す表示モジュール 500 は、プリント配線板 501 上に表示装置 90A を備える構

成を有する。プリント配線板 501 は、絶縁物でできた基板の内部又は表面、若しくは、内部と表面に配線を備えた構造を有する。

[0597]

図 34B に示す表示モジュール 500 では、表示装置 90A の端子部 94 と、プリント配線板 501 の端子部 502 がワイヤ 503 を介して電氣的に接続している。ワイヤ 503 はワイヤボンディングで形成することができる。また、ワイヤボンディングとしては、ボールボンディング又はウェッジボンディングを用いることができる。

[0598]

ワイヤ 503 の形成後、樹脂材料などでワイヤ 503 を覆ってもよい。なお、表示装置 90A とプリント配線板 501 の電氣的な接続は、ワイヤボンディング以外の方法で行ってもよい。例えば、表示装置 90A とプリント配線板 501 の電氣的な接続を、異方性導電接着剤又はバンプなどで実現してもよい。

[0599]

図 34B に示す表示モジュール 500 は、プリント配線板 501 の端子部 502 が FPC 504 と電氣的に接続している。例えば、表示装置 90A の端子部 94 が備える電極のピッチと、FPC 504 が備える電極のピッチが異なる場合は、プリント配線板 501 を介して、端子部 94 と FPC 504 を電氣的に接続してもよい。具体的には、プリント配線板 501 に形成された配線を用いて、端子部 94 が備える複数の電極の間隔（ピッチ）を、端子部 502 が備える複数の電極の間隔に変換することができる。すなわち、端子部 94 が備える電極のピッチと FPC 504 が備える電極のピッチが異なる場合においても、両者の電極の電氣的な接続を実現することができる。

[0600]

プリント配線板 501 には、抵抗素子、容量素子、半導体素子などの様々な素子を設けることができる。

[0601]

図 34C に示す表示モジュール 500 のように、端子部 502 をプリント配線板 501 の下面（表示装置 90A が設けられていない側の面）に設けられた接続部 505 と電氣的に接続してもよい。例えば、接続部 505 をソケット形式の接続部にすることで、表示モジュール 500 と他の機器との脱着を容易に行える。

[0602]

<画素回路の構成例>

図 35A 及び図 35B では、画素回路 51 の構成例、及び画素回路 51 に接続される発光デバイス 61 について示す。図 35A は各素子の接続を示す図、図 35B は、駆動回路を備える層 62、画素回路が有する複数のトランジスタを備える層 83、発光デバイスを備える層 81 の上下関係を模式的に示す図である。

[0603]

図 35A 及び図 35B に一例として示す画素回路 51 は、トランジスタ 52A、トランジスタ 52B、トランジスタ 52C、及び容量素子 53 を備える。トランジスタ 52A、トランジスタ 52B、トランジスタ 52C は、OS トランジスタで構成することができる。トランジスタ 52A、トランジスタ 52B、トランジスタ 52C の各 OS トランジスタは、バックゲート電極を備えていることが好ましく、この場合、バックゲート電極にゲート電極と同じ信号を与える構成、バックゲー

ト電極にゲート電極と異なる信号を与える構成とすることができる。

[0604]

トランジスタ52Bは、トランジスタ52Aと電氣的に接続されるゲート電極と、発光デバイス61と電氣的に接続される第1の電極と、配線ANOと電氣的に接続される第2の電極と、を備える。配線ANOは、発光デバイス61に電流を供給するための電位を与えるための配線である。

[0605]

トランジスタ52Aは、トランジスタ52Bのゲート電極と電氣的に接続される第1の端子と、ソース線として機能する配線SLと電氣的に接続される第2の端子と、ゲート線として機能する配線GL1の電位に基づいて、導通状態又は非導通状態を制御する機能を有するゲート電極と、備える。

[0606]

トランジスタ52Cは、配線V0と電氣的に接続される第1の端子と、発光デバイス61と電氣的に接続される第2の端子と、ゲート線として機能する配線GL2の電位に基づいて、導通状態又は非導通状態を制御する機能を有するゲート電極と、を備える。配線V0は、基準電位を与えるための配線、及び画素回路51を流れる電流を駆動回路65又は機能回路40に出力するための配線である。

[0607]

容量素子53は、トランジスタ52Bのゲート電極と電氣的に接続される導電膜と、トランジスタ52Cの第2の電極と電氣的に接続される導電膜を備える。

[0608]

発光デバイス61は、トランジスタ52Bの第1の電極に電氣的に接続される第1の電極と、配線VCOMに電氣的に接続される第2の電極と、を備える。配線VCOMは、発光デバイス61に電流を供給するための電位を与えるための配線である。

[0609]

これにより、トランジスタ52Bのゲート電極に与えられる画像信号に応じて発光デバイス61が射出する光の強度を制御することができる。またトランジスタ52Cを介して与えられる配線V0の基準電位によって、トランジスタ52Bのゲートソース間電圧のばらつきを抑制することができる。

[0610]

配線V0から、画素パラメータの設定に用いることのできる電流値を出力することができる。より具体的には、配線V0は、トランジスタ52Bに流れる電流、又は発光デバイス61に流れる電流を、外部に出力するためのモニタ線として機能させることができる。配線V0に出力された電流は、ソースフォロア回路などにより電圧に変換され、外部に出力される。又は、A-Dコンバータなどによりデジタル信号に変換され、機能回路40等に出力的ことができる。

[0611]

本発明の一態様で説明する発光デバイスは、OLEDなどの自発光型の表示素子をいう。なお画素回路に電氣的に接続される発光デバイスは、LED、マイクロLED、QLED、半導体レーザ等の、自発光型の発光デバイスとすることが可能である。

[0612]

図35Bに一例として示す構成では、画素回路51と、駆動回路65と、を電氣的に接続する配

線を短くすることができるため、当該配線の配線抵抗を小さくすることができる。よって、データの書き込みを高速に行うことができるため、表示装置 90 A を高速に駆動させることができる。これにより、表示装置 90 A が有する画素回路 51 を多くしても十分なフレーム期間を確保することができるため、表示装置 90 A の画素密度を高めることができる。また、表示装置 90 A の画素密度を高めることにより、表示装置 90 A により表示される画像の精細度を高めることができる。例えば、表示装置 90 A の画素密度を、1000 p p i 以上とすることができ、又は 5000 p p i 以上とすることができ、又は 7000 p p i 以上とすることができ、又は 7000 p p i 以上とすることができ。よって、表示装置 90 A は、例えば、AR、又は VR 用の表示装置とすることができ、HMD 等、表示部とユーザの距離が近い電子装置に好適に適用することができる。

[0613]

なお、図 35 A 及び図 35 B では、計 3 つのトランジスタを有する画素回路 51 を一例として示したが、本発明の一態様はこれに限らない。以下では、画素回路 51 に適用可能な画素回路の構成例、及び駆動方法例について説明する。

[0614]

図 36 A に示す画素回路 51 A は、トランジスタ 52 A、トランジスタ 52 B、及び容量素子 53 を図示している。また、図 36 A では、画素回路 51 A に接続される発光デバイス 61 を図示している。また、画素回路 51 A には、配線 S L、配線 G L、配線 A N O、及び配線 V C O M が電氣的に接続されている。画素回路 51 A は、図 35 A に示す画素回路 51 からトランジスタ 52 C を除き、かつ、配線 G L 1 及び配線 G L 2 を配線 G L に置き換えた構成を有している。

[0615]

トランジスタ 52 A は、ゲートが配線 G L と、ソース及びドレインの一方が配線 S L と、他方がトランジスタ 52 B のゲート、及び容量 C 1 の一方の電極と、それぞれ電氣的に接続されている。トランジスタ 52 B は、ソース及びドレインの一方が配線 A N O と、他方が発光デバイス 61 のアノードと、それぞれ電氣的に接続されている。容量 C 1 は、他方の電極が発光デバイス 61 のアノードと電氣的に接続されている。発光デバイス 61 は、カソードが配線 V C O M と電氣的に接続されている。

[0616]

図 36 B に示す画素回路 51 B は、画素回路 51 A に、トランジスタ 52 C を追加した構成である。また画素回路 51 B には、配線 V 0 が電氣的に接続されている。

[0617]

図 36 C に示す画素回路 51 C は、上記画素回路 51 A のトランジスタ 52 A 及びトランジスタ 52 B に、一対のゲートが電氣的に接続されたトランジスタを適用した場合の例である。また、図 36 D に示す画素回路 51 D は、画素回路 51 B に当該トランジスタを適用した場合の例である。これにより、トランジスタが流すことのできる電流を増大させることができる。なお、ここでは全てのトランジスタに、一対のゲートが電氣的に接続されたトランジスタを適用したが、これに限られない。また、一対のゲートを有し、かつこれらが異なる配線と電氣的に接続されるトランジスタを適用してもよい。例えば、ゲートの一方とソースとが電氣的に接続されたトランジスタを用いることで、信頼性を高めることができる。

[0618]

図 37 A に示す画素回路 51 E は、上記 51 B に、トランジスタ 52 D を追加した構成である。

また、画素回路51Eには、ゲート線として機能する配線GL1、配線GL2、及び配線GL3が電氣的に接続されている。なお、本実施の形態などにおいて、配線GL1、配線GL2、及び配線GL3をまとめて配線GLと呼ぶ場合がある。よって、配線GLは1本に限らず、複数本の場合がある。

[0619]

トランジスタ52Dは、ゲートが配線GL3と、ソース及びドレインの一方がトランジスタ52Bのゲートと、他方が配線V0と、それぞれ電氣的に接続されている。また、トランジスタ52Aのゲートが配線GL1と、トランジスタ52Cのゲートが配線GL2と、それぞれ電氣的に接続されている。

[0620]

トランジスタ52Cとトランジスタ52Dを同時に導通状態とさせることで、トランジスタ52Bのソースとゲートが同電位となり、トランジスタ52Bを非導通状態とすることができる。これにより、発光デバイス61に流れる電流を強制的に遮断することができる。このような画素回路は、表示期間と消灯期間を交互に設ける表示方法を用いる場合に適している。

[0621]

図37Bに示す画素回路51Fは、上記画素回路51Eに容量素子53Aを追加した場合の例である。容量素子53Aは保持容量として機能する。

[0622]

図37Cに示す画素回路51G、及び図37Dに示す画素回路51Hは、それぞれ、上記画素回路51E又は画素回路51Fに、一对のゲートを有するトランジスタを適用した場合の例である。トランジスタ52A、トランジスタ52C、トランジスタ52Dには、一对のゲートが電氣的に接続されたトランジスタが適用され、トランジスタ52Bには、一方のゲートがソースと電氣的に接続されたトランジスタが適用されている。

[0623]

<変形例>

図38A及び図38Bに表示装置90Aの変形例である表示装置90Bの斜視図を示す。図38Bは、表示装置90Bが有する各層の構成を説明するための斜視図である。説明の繰り返しを減らすため、主に表示装置90Aと異なる点について説明する。

[0624]

表示装置90Bは、複数の画素回路51を含む画素回路群55と、駆動回路65と、が重ねて設けられている。表示装置90Bにおいて、画素回路群55は複数の区画59に分けられ、駆動回路65は複数の区画39に分けられる。複数の区画39はそれぞれがソースドライバ回路66とゲートドライバ回路33を有する。

[0625]

図39Aに、表示装置90Bが有する画素回路群55の構成例を示す。図39Bに、表示装置90Bが有する駆動回路65の構成例を示す。区画59及び区画39は、それぞれm行n列(m及びnは、それぞれ1以上の整数)のマトリクス状に配置されている。本明細書等において、1行1列目の区画59を区画59[1, 1]と示し、m行n列目の区画59を区画59[m, n]と示す。同様に、1行1列目の区画39を区画39[1, 1]と示し、m行n列目の区画39を区画39[m, n]と示す。図39A及び図39Bは、mが4で、nが8の場合を示している。すなわち、

画素回路群 5 5 と駆動回路 6 5 が、それぞれ 3 2 分割されている。

[0626]

複数の区画 5 9 のそれぞれは、複数の画素回路 5 1、複数の配線 S L、及び複数の配線 G L を有する。複数の区画 5 9 のそれぞれにおいて、複数の画素回路 5 1 の一は、複数の配線 S L の少なくとも一、及び複数の配線 G L の少なくとも一と、電氣的に接続される。

[0627]

区画 5 9 の一と区画 3 9 の一は重ねて設けられる (図 3 9 C 参照)。例えば、区画 5 9 [i, j] (i は 1 以上 m 以下の整数。j は 1 以上 n 以下の整数。) と区画 3 9 [i, j] は重ねて設けられる。区画 3 9 [i, j] が有するソースドライバ回路 6 6 [i, j] は、区画 5 9 [i, j] が有する配線 S L と電氣的に接続する。区画 3 9 [i, j] が有するゲートドライバ回路 3 3 [i, j] は、区画 5 9 [i, j] が有する配線 G L と電氣的に接続する。ソースドライバ回路 6 6 [i, j] 及びゲートドライバ回路 3 3 [i, j] は、区画 5 9 [i, j] が有する複数の画素回路 5 1 を制御する機能を有する。

[0628]

区画 5 9 [i, j] と区画 3 9 [i, j] を重ねて設けることで、区画 5 9 [i, j] が有する画素回路 5 1 と、区画 3 9 [i, j] が有するソースドライバ回路 6 6 及びゲートドライバ回路 3 3 との接続距離 (配線長) を極めて短くできる。その結果、配線抵抗及び寄生容量が減るため、充放電にかかる時間が少なくなり、高速駆動を実現することができる。また、消費電力を低減することができる。また、小型化及び軽量化を実現することができる。

[0629]

表示装置 9 0 B は、区画 3 9 毎にソースドライバ回路 6 6 及びゲートドライバ回路 3 3 を有する構成である。よって、区画 3 9 に対応する区画 5 9 毎に表示部 9 3 を分割し、画像の書き換えを行うことができる。例えば、表示部 9 3 のうち、画像に変化が生じた区画のみ画像データを書き換え、変化のない区画は画像データを保持することが可能となり、消費電力の低減を実現することができる。

[0630]

本実施の形態などでは、区画 5 9 毎に分割された表示部 9 3 の 1 つを副表示部 9 5 と呼ぶ。よって、副表示部 9 5 は区画 3 9 毎に分割された表示部 9 3 の 1 つでもある。表示部 9 3 は複数の副表示部 9 5 を有する。また、表示部 9 3 は複数の副表示部 9 5 で構成されているとも言える。図 3 4 及び図 3 5 を用いて説明した表示装置 9 0 B では、表示部 9 3 が 3 2 個の副表示部 9 5 に分割される場合を示している (図 3 8 A 参照)。副表示部 9 5 は図 3 1 等に示した画素 2 3 0 を複数含む。具体的には、1 つの副表示部 9 5 は、複数の画素回路 5 1 を含む区画 5 9 の 1 つと、複数の発光デバイス 6 1 と、を含む。また、1 つの区画 3 9 は、1 つの副表示部 9 5 に含まれる複数の画素 2 3 0 を制御する機能を有する。

[0631]

表示装置 9 0 B は、機能回路 4 0 が有するタイミングコントローラ 4 4 によって、画像表示時の駆動周波数を副表示部 9 5 毎に任意に設定することができる。機能回路 4 0 は、複数の区画 3 9 及び複数の区画 5 9 それぞれの動作を制御する機能を有する。すなわち、機能回路 4 0 は、マトリクス状に配置された複数の副表示部 9 5 それぞれの駆動周波数及び動作タイミングを制御する機能を有する。また、機能回路 4 0 は、副表示部間の同期調整を行う機能を有する。

[0632]

区画39毎にタイミングコントローラ441及び入出力回路442を設けてもよい（図39D参照）。入出力回路442としては、例えば、I2C（Inter-Integrated Circuit）インターフェースなどを用いることができる。図39C及び図39Dでは、区画39[i, j]が有するタイミングコントローラ441を、タイミングコントローラ441[i, j]と示している。また、区画39[i, j]が有すると入出力回路442をと入出力回路442[i, j]と示している。

[0633]

例えば、機能回路40は、入出力回路442[i, j]に、ゲートドライバ回路33[i, j]の走査方向及び駆動周波数の設定信号、並びに、解像度を低くする際の画像データ間引き画素数（画像データの書き換え時に、書き換えを行わない画素の数）などの動作パラメータを供給する。ソースドライバ回路66[i, j]及びゲートドライバ回路33[i, j]は、当該動作パラメータに従って動作する。

[0634]

副表示部95が、後述する受光デバイスを有する場合、入出力回路442は、受光デバイスで光電変換された情報を機能回路40に出力する。

[0635]

本発明の一態様にかかる電子装置における表示装置90Bは、画素回路51と駆動回路65を積層し、ユーザの視線の動きに応じて副表示部95毎の駆動周波数を異ならせることで、低消費電力化を図ることができる。

[0636]

図40Aに、4行8列の副表示部95を有する表示部93を示す。また図40Aでは、注視点Gを中心にする第1領域S1乃至第3領域S3を示している。演算部103は、複数の副表示部95のそれぞれを、第1領域S1又は第2領域S2と重なる第1区域29Aと、第3領域S3と重なる第2区域29Bのいずれかに振り分ける。すなわち、演算部103は、複数の区画39のそれぞれを、第1区域29A又は第2区域29Bに振り分ける。この場合、第1領域S1及び第2領域S2と重なる第1区域29Aは、注視点Gと重なる領域を含む。また、第2区域29Bは第1区域29Aの外側に位置する副表示部95を含む。（図40B参照）。

[0637]

複数の区画39それぞれが有する駆動回路（ソースドライバ回路66及びゲートドライバ回路33）の動作は機能回路40により制御される。例えば、第2区域29Bは、前述した安定注視野、誘導視野、及び補助視野が含まれる第3領域S3と重なる区域であり、ユーザの識別力が低い区域である。よって、画像表示時において、単位時間当たりの画像データの書き換え回数（以下、「画像書き換え回数」ともいう。）を、第1区域29Aより第2区域29Bを少なくしても、ユーザが感じる実質的な表示品位（以下、「実質的な表示品位」ともいう。）の低下は少ない。すなわち、第2区域29Bに含まれる副表示部95の駆動周波数（「第2駆動周波数」ともいう。）を第1区域29Aに含まれる副表示部95の駆動周波数（「第1駆動周波数」ともいう。）よりも低くしても、実質的な表示品位の低下は少ない。

[0638]

駆動周波数を低くすると、表示装置の消費電力を低減することができる。その一方で、駆動周波

数を低くすると、表示品位も低下する。特に、動画表示時の表示品位が低下する。本発明の一態様によれば、第2駆動周波数を第1駆動周波数よりも低くすることで、ユーザの視認性が低い区域の消費電力を低減しつつ、実質的な表示品位の低下を抑制することができる。本発明の一態様によれば、表示品位の維持と消費電力の低減を両立することができる。

[0639]

第1駆動周波数は、30Hz以上500Hz以下、好ましくは60Hz以上500Hz以下とすればよい。第2駆動周波数は第1駆動周波数以下が好ましく、第1駆動周波数の $1/2$ 以下がより好ましく、第1駆動周波数の $1/5$ 以下がより好ましい。

[0640]

第3領域S3に重なる副表示部95のうち、第2区域29Bの外側に第3区域29Cに設定し(図40C参照)、第3区域29Cに含まれる副表示部95の駆動周波数(「第3駆動周波数」ともいう。)を第2区域29Bよりも低くしてもよい。第3駆動周波数は第2駆動周波数以下が好ましく、第2駆動周波数の $1/2$ 以下がより好ましく、第2駆動周波数の $1/5$ 以下がより好ましい。画像書き換え回数を著しく少なくすることで、消費電力をさらに低減することができる。また、必要に応じて、画像データの書き換えを停止してもよい。画像データの書き換えを停止することで、消費電力をさらに低減することができる。

[0641]

このような駆動方法を行う場合、画素回路51を構成するトランジスタにオフ電流が極めて少ないトランジスタを用いると好適である。例えば、画素回路51を構成するトランジスタにOSトランジスタを用いると好適である。OSトランジスタはオフ電流が著しく低いため、画素回路51に供給された画像データを長期間保持することができる。特にトランジスタ52AにOSトランジスタを用いると好適である。

[0642]

表示部93に表示する映像シーンが変わる場合など、直前の画像よりも明るさ、コントラスト、又は色調などが大きく異なる画像が表示される場合がある。このような場合、第1区域29Aと、第1区域29Aよりも駆動周波数が低い区域の間で、画像が切り換わるタイミングにずれが生じるため、両区間の間で明るさ、コントラスト、又は色調などが大きく異なり、実質的な表示品位が損なわれる恐れがある。このように映像シーンが変わる場合などでは、一旦、第1区域29A以外の区域も第1区域29Aと同じ駆動周波数で画像の書き換えを行い、その後第1区域29A以外の区域の駆動周波数を低下させればよい。

[0643]

注視点Gの変動量が一定量を越えたと判断した場合、第1区域29A以外の区域も第1区域29Aと同じ駆動周波数で画像の書き換えを行い、変動量が一定量以内であると判断した場合に、第1区域29A以外の区域の駆動周波数を低下させてもよい。また、注視点Gの変動量が少ないと判断した場合、第1区域29A以外の区域の駆動周波数をさらに低下させてもよい。

[0644]

表示装置90Bが、画像データを一時的に保持する記憶装置であるフレームメモリを有さない場合、若しくは、表示部93全体に対して1つのフレームメモリを有する場合、第2駆動周波数及び第3駆動周波数は、どちらも第1駆動周波数の整数分の1にする必要がある。

[0645]

複数の副表示部 9 5 それぞれに対応するフレームメモリを設けることで、第 2 駆動周波数及び第 3 駆動周波数を第 1 駆動周波数の整数分の 1 に限らず、任意の値に設定することができる。第 2 駆動周波数及び第 3 駆動周波数を任意の値に設定することによって、駆動周波数の設定自由度を高めることができる。よって、実質的な表示品位の低下を低減することができる。

[0646]

なお、表示部 9 3 に設定する区域は、第 1 区域 2 9 A、第 2 区域 2 9 B、及び第 3 区域 2 9 C の 3 つに限定されない。表示部 9 3 に 4 以上の区域を設定してもよい。表示部 9 3 に複数の区域を設定し、段階的に駆動周波数を低くすることで、実質的な表示品位の低下をより少なくすることができる。

[0647]

第 1 区域 2 9 A に表示する画像に対して、前述したアップコンバート処理を行ってもよい。第 1 区域 2 9 A にアップコンバート処理された画像を表示することで、表示品位を高めることができる。また、第 1 区域 2 9 A 以外の区域に表示する画像に対して、前述したアップコンバート処理を行ってもよい。第 1 区域 2 9 A 以外の区域にアップコンバート処理された画像を表示することで、第 1 区域 2 9 A 以外の区域の駆動周波数を低下させた場合の実質的な表示品位の低下をより少なくすることができる。

[0648]

なお、第 1 区域 2 9 A に表示する画像のアップコンバート処理を高精度なアルゴリズムで行い、第 1 区域 2 9 A 以外の区域に表示する画像のアップコンバート処理を低精度なアルゴリズムで行ってもよい。このような場合においても、第 1 区域 2 9 A 以外の区域の駆動周波数を低下させた場合の実質的な表示品位の低下をより少なくすることができる。

[0649]

画像データの解像度が表示部 9 3 の解像度よりも大きい場合、若しくは、高速書き換えと消費電力の低減を優先させたい場合など、目的などに応じて第 1 区域 2 9 A 以外の区域に表示する画像に、ダウンコンバート処理を行ってもよい。例えば、第 1 区域 2 9 A 以外の区域に表示する画像の書き換えを数行おき、数列おき、又は数画素おきに行うことにより、高速書き換えと消費電力の低減を実現することができる。

[0650]

注視点を含む第 1 区域 2 9 A に表示する画像の解像度よりも、第 1 区域 2 9 A 以外の区域に表示する画像の解像度を小さくすることで、映像信号生成（レンダリング）時の負荷が軽減される。このような処理を、「フォービエイテッド・レンダリング（Foveated Rendering）」ともいう。第 1 区域 2 9 A 以外の区域の駆動周波数の低減とフォービエイテッド・レンダリングを組み合わせることで、表示品位の低下を抑えながら、さらなる消費電力の低減を実現することができる。

[0651]

副表示部 9 5 毎に行う画像データの書き換えを、全ての副表示部 9 5 で同時に行うことで、高速書き換えを実現することができる。すなわち、区画 3 9 毎に行う画像データの書き換えを、全ての区画 3 9 で同時に行うことで、高速書き換えを実現することができる。

[0652]

一般に、ソースドライバ回路は、線順次駆動の場合、ゲートドライバ回路が 1 行分の画素を選択

している間に、1行分の全ての画素に、同時に画像データを書き込む。例えば、表示部93が副表示部95に分割されておらず、解像度が4000×2000画素である場合、ゲートドライバ回路が1行分の画素を選択している間に、ソースドライバ回路は4000個の画素に画像データを書き込む必要がある。フレーム周波数が120Hzの場合、1フレームの時間は約8.3msである。よって、ゲートドライバは2000行を約8.3msで選択する必要がある、ゲート線1行が選択される時間、つまり、1画素当たりの画像データの書き込み時間は約4.17μsとなる。すなわち、表示部の解像度が高くなるほど、また、フレーム周波数が高くなるほど、十分な画像データの書き換え時間の確保が難しくなる。

[0653]

本実施の形態で例示した表示装置90Bは、表示部93が行方向に4分割されている。よって、1つの副表示部95において、1画素当たりの画像データの書き込み時間を、表示部93が分割されていない場合よりも、4倍長くすることができる。本発明の一態様によれば、フレーム周波数を240Hz、さらには360Hzにした場合でも画像データの書き換え時間の確保が容易になるため、表示品位の高い表示装置を実現することができる。

[0654]

本実施の形態で例示した表示装置90Bは、表示部93が行方向に4分割されているため、ソースドライバ回路と画素回路を電氣的に接続する配線SLの長さが4分の1になる。このため、配線SLの抵抗値及び寄生容量がそれぞれ4分の1になり、画像データの書き込み（書き換え）に必要な時間を短くすることができる。

[0655]

加えて、本実施の形態で例示した表示装置90Bは、表示部93が列方向に8分割されているため、ゲートドライバ回路と画素回路を電氣的に接続する配線GLの長さが8分の1になる。このため、配線GLの抵抗値及び寄生容量がそれぞれ8分の1になり、信号の劣化及び遅延が改善し、画像データの書き換え時間の確保が容易になる。

[0656]

本発明の一態様の表示装置90Bによれば、十分な画像データの書き込み時間の確保が容易であるため、表示画像の高速書き換えを実現することができる。よって、表示品位の高い表示装置を実現することができる。特に、動画表示に優れた表示装置を実現することができる。

[0657]

ここで、本発明の一態様の表示装置90のシンククライアント（thin client）への適用について説明しておく。近年、サーバ側で主要な演算処理を実行し、クライアント側では限られた処理のみを行うシンククライアントが注目されている。シンククライアントの実行方式としては、ネットワークブート方式、サーバベース方式、ブレードPC方式、及びデスクトップ仮想化（VDI）方式などが提唱されている。

[0658]

いずれの方式においても、シンククライアントでは、サーバからクライアントへ大量のデータが送信されるため、データ送信時の消費電力が大きくなる。クライアントとして本発明の一態様の表示装置90を含む電子装置を用いることで、データ送信時の省電力化を実現することができる。

[0659]

なお、本発明の一態様の表示装置90Bでは、表示部93を、32個の副表示部95に分割する

場合を例示した。ただし、本発明の一態様の表示装置 90B は、32 分割に限らず、16 分割、64 分割、又は 128 分割などにしてもよい。表示部 93 の分割数を増やすと、ユーザが感じる実質的な表示品位の低下をより少なくすることができる。

[0660]

本実施の形態で例示した構成例、及び、それらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[0661]

(実施の形態 6)

本実施の形態では、本発明の一態様の電子機器について、図 41A 乃至図 42G を用いて説明する。

[0662]

本実施の形態の電子機器は、表示部に本発明の一態様の表示装置を有する。本発明の一態様の表示装置は、高精細化及び高解像度化が容易である。したがって、様々な電子機器の表示部に用いることができる。

[0663]

本発明の一態様の半導体装置は、電子機器の表示部以外に適用することもできる。例えば、電子機器の制御部等に、本発明の一態様の半導体装置を用いることで、低消費電力化が可能となり好ましい。

[0664]

電子機器として、例えば、テレビジョン装置、デスクトップ型若しくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

[0665]

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に好適に用いることができる。このような電子機器として、例えば、腕時計型及びブレスレット型の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイなどの VR 向け機器、メガネ型の AR 向け機器、及び、MR 向け機器など、頭部に装着可能なウェアラブル機器等が挙げられる。

[0666]

本発明の一態様の表示装置は、HD（画素数 1280×720）、FHD（画素数 1920×1080）、WQHD（画素数 2560×1440）、WQXGA（画素数 2560×1600）、4K（画素数 3840×2160）、8K（画素数 7680×4320）といった極めて高い解像度を有していることが好ましい。特に 4K、8K、又はそれ以上の解像度とすることが好ましい。また、本発明の一態様の表示装置における画素密度（精細度）は、100 ppi 以上が好ましく、300 ppi 以上が好ましく、500 ppi 以上がより好ましく、1000 ppi 以上がより好ましく、2000 ppi 以上がより好ましく、3000 ppi 以上がより好ましく、5000 ppi 以上がより好ましく、7000 ppi 以上がさらに好ましい。このように高い解像度及び高い精細度の一方又は双方を有する表示装置を用いることで、臨場感及び奥行き感などをより高めることが

可能となる。また、本発明の一態様の表示装置の画面比率（アスペクト比）については、特に限定はない。例えば、表示装置は、1：1（正方形）、4：3、16：9、16：10など様々な画面比率に対応することができる。

[0667]

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を検知、検出、又は測定する機能を含むもの）を有してもよい。

[0668]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出す機能等を有することができる。

[0669]

図41Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。

[0670]

電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、及び光源6508等を有する。表示部6502はタッチパネル機能を備える。

[0671]

表示部6502に、本発明の一態様の表示装置を適用することができる。

[0672]

図41Bは、筐体6501のマイク6506側の端部を含む断面概略図である。

[0673]

筐体6501の表示面側には、透光性を有する保護部材6510が設けられ、筐体6501と保護部材6510に囲まれた空間内に、表示パネル6511、光学部材6512、タッチセンサパネル6513、プリント基板6517、バッテリー6518等が配置されている。

[0674]

保護部材6510には、表示パネル6511、光学部材6512、及びタッチセンサパネル6513が接着層（図示しない）により固定されている。

[0675]

表示部6502よりも外側の領域において、表示パネル6511の一部が折り返されており、当該折り返された部分にFPC6515が接続されている。FPC6515には、IC6516が実装されている。FPC6515は、プリント基板6517に設けられた端子に接続されている。

[0676]

表示パネル6511には、本発明の一態様の可撓性を有する表示装置を適用することができる。そのため、極めて軽量の電子機器を実現できる。また、表示パネル6511が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー6518を搭載することもできる。また、表示パネル6511の一部を折り返して、表示部6502の裏側にFPC6515との接続部を配置することにより、狭額縁の電子機器を実現できる。

[0677]

図41Cに、テレビジョン装置の一例を示す。テレビジョン装置7100は、筐体7101に表示部7000が組み込まれている。ここでは、スタンド7103により筐体7101を支持した構成を示している。

[0678]

表示部7000に、本発明の一態様の表示装置を適用することができる。

[0679]

図41Cに示すテレビジョン装置7100の操作は、筐体7101が備える操作スイッチ、及び、別体のリモコン操作機7111により行うことができる。又は、表示部7000にタッチセンサを備えていてもよく、指等で表示部7000に触れることでテレビジョン装置7100を操作してもよい。リモコン操作機7111は、当該リモコン操作機7111から出力する情報を表示する表示部を有してもよい。リモコン操作機7111が備える操作キー又はタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部7000に表示される映像を操作することができる。

[0680]

なお、テレビジョン装置7100は、受信機及びモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間など）の情報通信を行うことも可能である。

[0681]

図41Dに、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ7200は、筐体7211、キーボード7212、ポインティングデバイス7213、外部接続ポート7214等を有する。筐体7211に、表示部7000が組み込まれている。

[0682]

表示部7000に、本発明の一態様の表示装置を適用することができる。

[0683]

図41E及び図41Fに、デジタルサイネージの一例を示す。

[0684]

図41Eに示すデジタルサイネージ7300は、筐体7301、表示部7000、及びスピーカ7303等を有する。さらに、LEDランプ、操作キー（電源スイッチ、又は操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

[0685]

図41Fは円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7000を有する。

[0686]

図41E及び図41Fにおいて、表示部7000に、本発明の一態様の表示装置を適用することができる。

[0687]

表示部7000が広いほど、一度に提供できる情報量を増やすことができる。また、表示部7000が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[0688]

表示部 7000 にタッチパネルを適用することで、表示部 7000 に画像又は動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報若しくは交通情報などの情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

[0689]

図 41E 及び図 41F に示すように、デジタルサイネージ 7300 又はデジタルサイネージ 7400 は、使用者が所持するスマートフォン等の情報端末機 7311 又は情報端末機 7411 と無線通信により連携可能であることが好ましい。例えば、表示部 7000 に表示される広告の情報を、情報端末機 7311 又は情報端末機 7411 の画面に表示させることができる。また、情報端末機 7311 又は情報端末機 7411 を操作することで、表示部 7000 の表示を切り替えることができる。

[0690]

デジタルサイネージ 7300 又はデジタルサイネージ 7400 に、情報端末機 7311 又は情報端末機 7411 の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

[0691]

図 42A 乃至図 42G に示す電子機器は、筐体 9000、表示部 9001、スピーカ 9003、操作キー 9005（電源スイッチ、又は操作スイッチを含む）、接続端子 9006、センサ 9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を検知、検出、又は測定する機能を含むもの）、マイクロフォン 9008、等を有する。

[0692]

図 42A 乃至図 42G において、表示部 9001 に、本発明の一態様の表示装置を適用することができる。

[0693]

図 42A 乃至図 42G に示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有してもよい。また、電子機器にカメラ等を設け、静止画又は動画を撮影し、記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有してもよい。

[0694]

図 42A 乃至図 42G に示す電子機器の詳細について、以下説明を行う。

[0695]

図 42A は、携帯情報端末 9101 を示す斜視図である。携帯情報端末 9101 は、例えばスマートフォンとして用いることができる。なお、携帯情報端末 9101 は、スピーカ 9003、接続端子 9006、センサ 9007 等を設けてもよい。また、携帯情報端末 9101 は、文字及び画像情報をその複数の面に表示することができる。図 42A では、3つのアイコン 9050 を表示した

例を示している。また、破線の矩形で示す情報 9051 を表示部 9001 の他の面に表示することもできる。情報 9051 の一例として、電子メール、SNS、電話などの着信の通知、電子メール又は SNS などの題名、送信者名、日時、時刻、バッテリーの残量、電波強度などがある。又は、情報 9051 が表示されている位置にはアイコン 9050 などを表示してもよい。

[0696]

図 42B は、携帯情報端末 9102 を示す斜視図である。携帯情報端末 9102 は、表示部 9001 の 3 面以上に情報を表示する機能を有する。ここでは、情報 9052、情報 9053、情報 9054 が、それぞれ異なる面に表示されている例を示す。例えば、使用者は、洋服の胸ポケットに携帯情報端末 9102 を収納した状態で、携帯情報端末 9102 の上方から観察できる位置に表示された情報 9053 を確認することもできる。使用者は、携帯情報端末 9102 をポケットから取り出すことなく表示を確認し、例えば、電話を受けるか否かを判断できる。

[0697]

図 42C は、タブレット端末 9103 を示す斜視図である。タブレット端末 9103 は、一例として、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションの実行が可能である。タブレット端末 9103 は、筐体 9000 の正面に表示部 9001、カメラ 9002、マイクロフォン 9008、スピーカ 9003 を有し、筐体 9000 の側面には操作用のボタンとしての操作キー 9005、底面には接続端子 9006 を有する。

[0698]

図 42D は、腕時計型の携帯情報端末 9200 を示す斜視図である。携帯情報端末 9200 は、例えば、スマートウォッチ（登録商標）として用いることができる。また、表示部 9001 は、その表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末 9200 は、例えば、無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末 9200 は、接続端子 9006 により、他の情報端末と相互にデータ伝送を行うこと、及び、充電を行うこともできる。なお、充電動作は、無線給電により行ってもよい。

[0699]

図 42E 乃至図 42G は、折り畳み可能な携帯情報端末 9201 を示す斜視図である。また、図 42E は、携帯情報端末 9201 を展開した状態、図 42G は、折り畳んだ状態、図 42F は、図 42E と図 42G の一方から他方に変化する途中の状態の斜視図である。携帯情報端末 9201 は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末 9201 が有する表示部 9001 は、ヒンジ 9055 によって連結された 3 つの筐体 9000 に支持されている。例えば、表示部 9001 は、曲率半径 0.1 mm 以上 150 mm 以下で曲げることができる。

[0700]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0701]

(実施の形態 7)

本実施の形態では、 p 行 q 列 (p 及び q は、それぞれ 2 以上の整数) のマトリクス状に配置された複数の画素 230 を有する副表示部 95 の構成例について説明する。図 43A は、副表示部 95

を説明するブロック図である。副表示部 9 5 は、区画 3 9 に設けられているソースドライバ回路 6 6 及びゲートドライバ回路 3 3 と、電氣的に接続される。

[0702]

図 4 3 A では、 p 行 1 列目の画素 2 3 0 を画素 2 3 0 $[p, 1]$ と示し、1 行 q 列目の画素 2 3 0 を画素 2 3 0 $[1, q]$ と示し、 p 行 q 列目の画素 2 3 0 を画素 2 3 0 $[p, q]$ と示している。

[0703]

ゲートドライバ回路 3 3 に含まれる回路は、例えば、走査線駆動回路として機能する。ソースドライバ回路 6 6 に含まれる回路は、例えば、信号線駆動回路として機能する。

[0704]

例えば、画素 2 3 0 を構成するトランジスタに OS トランジスタを用い、駆動回路を構成するトランジスタに Si トランジスタを用いてもよい。OS トランジスタは、オフ電流が低いため、消費電力を低減することができる。また、Si トランジスタは、OS トランジスタよりも動作速度が速いため、駆動回路に用いると好適である。また、表示装置によっては、画素 2 3 0 を構成するトランジスタと駆動回路を構成するトランジスタの双方に OS トランジスタを用いてもよい。また、表示装置によっては、画素 2 3 0 を構成するトランジスタと駆動回路を構成するトランジスタの双方に Si トランジスタを用いてもよい。又は、表示装置によっては、画素 2 3 0 を構成するトランジスタに Si トランジスタを用い、駆動回路を構成するトランジスタに OS トランジスタを用いてもよい。

[0705]

画素 2 3 0 を構成するトランジスタに、Si トランジスタと OS トランジスタの双方を用いてもよい。また、駆動回路を構成するトランジスタに、Si トランジスタと OS トランジスタの双方を用いてもよい。

[0706]

図 4 3 A では、各々が略平行に配設され、かつ、ゲートドライバ回路 3 3 によって電位が制御される p 本の配線 GL と、各々が略平行に配設され、かつ、ソースドライバ回路 6 6 によって電位が制御される q 本の配線 SL と、を示している。例えば、 r 行目 (r は任意の数を示し、本実施の形態などでは 1 以上 p 以下の整数である。) に配置されている画素 2 3 0 は、 r 行目の配線 GL を介してゲートドライバ回路 3 3 と電氣的に接続される。また、 s 列目 (s は任意の数を示し、本実施の形態などでは 1 以上 q 以下の整数である。) に配置されている画素 2 3 0 は、 s 列目の配線 SL を介してソースドライバ回路 6 6 と電氣的に接続される。図 4 3 A では、 r 行 s 列目の画素 2 3 0 を画素 2 3 0 $[r, s]$ と示している。

[0707]

なお、1 つの行に含まれる画素 2 3 0 と電氣的に接続する配線 GL は 1 本とは限らない。また、1 つの列に含まれる画素 2 3 0 と電氣的に接続する配線 SL は 1 本とは限らない。また、配線 GL と配線 SL は一例であり、画素 2 3 0 と接続する配線は、配線 GL と配線 SL に限らない。

[0708]

赤色光を制御する画素 2 3 0、緑色光を制御する画素 2 3 0、及び青色光を制御する画素 2 3 0 をストライプ状に配置し、これらをまとめて 1 つの画素 2 4 0 として機能させ、それぞれの画素 2 3 0 の発光量 (発光輝度) を制御することで、フルカラー表示を実現することができる。言い換えると、当該 3 つの画素 2 3 0 はそれぞれが副画素として機能する。すなわち、3 つの副画素は、そ

れぞれが赤色光、緑色光、又は青色光の、発光量などを制御する（図43B1参照）。なお、3つの副画素それぞれが制御する光の色は、赤（R）、緑（G）、青（B）の組み合わせに限らず、シアン（C）、マゼンタ（M）、黄（Y）であってもよい（図43B2参照）。

[0709]

画素240を1920×1080のマトリクス状に配置すると、いわゆる2K解像度でフルカラー表示可能な表示部93を実現することができる。また、例えば、画素240を3840×2160のマトリクス状に配置すると、いわゆる4K解像度でフルカラー表示可能な表示部93を実現することができる。また、例えば、画素240を7680×4320のマトリクス状に配置すると、いわゆる8K解像度でフルカラー表示可能な表示部93を実現することができる。画素240を増やすことで、16Kさらには32Kの解像度でフルカラー表示可能な表示部93を実現することも可能である。

[0710]

1つの画素240を構成する3つの画素230の配置は、デルタ配置でもよい（図43B3参照）。具体的には、1つの画素240を構成する3つの画素230それぞれの中心点を結ぶ線が、三角形になるように配置してもよい。なお、画素230の配置は、ストライプ配置及びデルタ配置に限らない。画素230の配置を、ジグザグ配置、Sストライプ配置、ベイヤー配置、又はペンタイル配置にしてもよい。

[0711]

3つの副画素（画素230）それぞれの面積は同じでなくてもよい。発光色によって発光効率及び信頼性などが異なる場合、発光色毎に副画素の面積を変えてもよい（図43B4参照）。

[0712]

4つの副画素を、まとめて1つの画素として機能させてもよい。例えば、赤色光、緑色光、青色光をそれぞれ制御する3つの副画素に、白色光を制御する副画素を加えてもよい（図43B5参照）。白色光を制御する副画素を加えることで、表示領域の輝度を高めることができる。また、赤色光、緑色光、青色光をそれぞれ制御する3つの副画素に、黄色光を制御する副画素を加えてもよい（図43B6参照）。また、シアン色光、マゼンタ色光、黄色光をそれぞれ制御する3つの副画素に、白色光を制御する副画素を加えてもよい（図43B7参照）。

[0713]

1つの画素として機能させる副画素の数を増やし、赤、緑、青、シアン、マゼンタ、及び黄などの光を制御する副画素を適宜組み合わせて用いることにより、中間調の再現性を高めることができる。よって、表示品位を高めることができる。

[0714]

本発明の一態様の表示装置は、さまざまな規格の色域を再現することができる。例えば、テレビ放送で使われるPAL（Phase Alternating Line）規格及びNTSC（National Television System Committee）規格、パーソナルコンピュータ、デジタルカメラ、プリンタなどの電子装置に用いる表示装置で広く使われているsRGB（standard RGB）規格及びAdobe RGB規格、HDTV（High Definition Television、ハイビジョンともいう）で使われるITU-R BT. 709（International Telecommunication Union Radiocommunication Sector Broadcasting Servi

ce (Television) 709) 規格、デジタルシネマ映写で使われるDCI-P3 (Digital Cinema Initiatives P3) 規格、UHDTV (Ultra High Definition Television、スーパーハイビジョンともいう。) で使われるITU-R BT. 2020 (REC. 2020 (Recommendation 2020)) 規格などの色域を再現することができる。

[0715]

1つの画素240に受光デバイスを含む画素237を設けてもよい。図44Aに示す画素240は、緑色の光を呈する画素230 (G)、青色の光を呈する画素230 (B)、赤色の光を呈する画素230 (R)、及び、受光デバイスを有する画素237 (S) がストライプ状に配置されている。なお、本明細書などでは、画素237を「撮像素素」ともいう。

[0716]

画素237が有する受光デバイスは、可視光を検出する素子であることが好ましく、青色、紫色、青紫色、緑色、黄緑色、黄色、橙色、赤色などの色のうち1つ又は複数を検出する素子が好ましい。また、画素237が有する受光デバイスは、赤外光を検出する素子であってもよい。

[0717]

図44Aに示す画素240には、ストライプ配置が適用されている。なお、受光デバイスを有する画素237で特定の色の光を検出する場合は、当該色の光を呈する画素230を画素237の隣に配置することで検出精度を高めることができ、好ましい。

[0718]

図44Bに示す画素240には、3つの画素230と1つの画素237がマトリクス配置されている。図44Bでは、赤の光を呈する画素230が受光デバイスを有する画素237と行方向に隣接し、青の光を呈する画素230と緑の光を呈する画素230が行方向に隣接する例を示すが、これに限定されない。

[0719]

図44Cに示す画素240には、Sストライプ配置に画素237を追加した構成を有する。図44Cの画素240は、1つの縦長の画素230と、2つの横長の画素230と、1つの横長の画素237と、を有する。なお、縦長の画素230は、R、G、Sのいずれかであってもよく、横長の副画素の並び順にも限定はない。

[0720]

図44Dでは、画素240aと画素240bが交互に配置されている例を示す。画素240aは、青の光を呈する画素230、緑の光を呈する画素230、及び受光デバイスを有する画素237を有する。また、画素240bは、赤の光を呈する画素230、緑の光を呈する画素230、及び受光デバイスを有する画素237を有する。画素240aと画素240bを併せて1つの画素240として機能する。図44Dでは、画素240aと画素240bの双方が、緑の光を呈する画素230と画素237を有しているが、これに限定されない。画素237を、画素240aと画素240bの双方が有することで、撮像素素の精細度を高めることができる。

[0721]

図44Eに示すレイアウトとすることで、各副画素の開口率を高めることができ好ましい。また、図44Fでは、画素230及び画素237の上面形状が、六角形である例を示している。

[0722]

図 4 4 F に示す画素 2 4 0 は、横 1 列に画素 2 3 0 が配置され、その下に画素 2 3 7 が配置されている例である。

[0 7 2 3]

図 4 4 G に示す画素 2 4 0 は、横 1 列に画素 2 3 0、及び、画素 2 3 0 X が配置され、その下に画素 2 3 7 が配置されている例である。

[0 7 2 4]

画素 2 3 0 X としては、例えば、赤外光 (I R) を呈する画素 2 3 0 を適用することができる。すなわち、画素 2 3 0 X は、赤外光 (I R) を発する発光デバイス 6 1 を有する。この場合、画素 2 3 7 は、赤外光を検出する受光デバイスを有することが好ましい。例えば、可視光を発する画素 2 3 0 で画像を表示しながら、副画素 X が発する赤外光の反射光を画素 2 3 7 で検出することができる。

[0 7 2 5]

1 つの画素 2 4 0 に複数の画素 2 3 7 を設けてもよい。この場合、複数の画素 2 3 7 で検出する光の波長域は同じであってもよく、異なってもよい。例えば、複数の画素 2 3 7 の一部が可視光を検出し、他の一部が赤外光を検出してもよい。

[0 7 2 6]

画素 2 3 7 は全ての画素 2 4 0 に設けなくてもよい。一定の画素数毎に、画素 2 3 7 を含む画素 2 4 0 を設けてもよい。

[0 7 2 7]

画素 2 3 7 を用いて、若しくは、画素 2 3 7 と前述したセンサ 9 7 を用いて、例えば、指紋、掌紋、虹彩、網膜、脈形状 (静脈形状、動脈形状を含む。)、又は顔などを用いた個人認証のための情報を検出することができる。また、画素 2 3 7 を用いて、若しくは、画素 2 3 7 とセンサ 9 7 を用いて、ユーザの瞬き回数、瞼の挙動、瞳孔の大きさ、体温、脈拍、血液中の酸素飽和度などを計測し、ユーザの疲労度及び健康状態などを検出することができる。

[0 7 2 8]

ユーザの視線の動き、まばたきの回数、及び、まばたきのリズムなどを用いて、電子装置の操作を実現することができる。具体的には、画素 2 3 7 を用いて、若しくは、画素 2 3 7 とセンサ 9 7 を用いて、ユーザの視線の動き、まばたきの回数、及び、まばたきのリズムなどの情報を検出し、これらの情報の一若しくは複数の組み合わせを電子装置の操作信号として用いればよい。例えば、まばたきをマウスのクリック動作に置き換えることも可能である。視線の動き、及び、まばたきを検出することにより、ユーザは手に何も持たない状態で電子装置の入力操作を行うことができる。よって、電子装置の操作性を高めることができる。

[0 7 2 9]

表示装置 9 0 に複数の撮像素素 (画素 2 3 7) を設けることで、当該複数の撮像素素を視線検出部 8 4 として用いることができる。よって、電子装置の構成部品数を減らすことができる。よって、電子装置の軽量化、生産性向上、及びコストダウンなどを実現することができる。

[0 7 3 0]

<発光デバイスの構成例>

本発明の一態様の表示装置に用いることができる発光デバイス 6 1 について説明する。

[0 7 3 1]

図45Aに示すように、発光デバイス61は、一対の電極（導電層171、導電層177）の間に、EL層175を備える。EL層175は、層4420、発光層4411、層4430などの複数の層で構成することができる。層4420は、例えば、電子注入性の高い物質を含む層（電子注入層）及び電子輸送性の高い物質を含む層（電子輸送層）などを備えることができる。発光層4411は、例えば、発光性の化合物を備える。層4430は、例えば、正孔注入性の高い物質を含む層（正孔注入層）及び正孔輸送性の高い物質を含む層（正孔輸送層）を備えることができる。

[0732]

一対の電極間に設けられた層4420、発光層4411、及び層4430を備える構成は、単一の発光ユニットとして機能することができ、本明細書などでは、図45Aの構成をシングル構造と呼ぶ。

[0733]

図45Bは、図45Aに示す発光デバイス61が備えるEL層175の変形例である。具体的には、図45Bに示す発光デバイス61は、導電層171上の層4430-1と、層4430-1上の層4430-2と、層4430-2上の発光層4411と、発光層4411上の層4420-1と、層4420-1上の層4420-2と、層4420-2上の導電層177と、を備える。例えば、導電層171を陽極とし、導電層177を陰極とした場合、層4430-1が正孔注入層として機能し、層4430-2が正孔輸送層として機能し、層4420-1が電子輸送層として機能し、層4420-2が電子注入層として機能する。又は、導電層171を陰極とし、導電層177を陽極とした場合、層4430-1が電子注入層として機能し、層4430-2が電子輸送層として機能し、層4420-1が正孔輸送層として機能し、層4420-2が正孔注入層として機能する。このような層構造とすることで、発光層4411に効率よくキャリアを注入し、発光層4411内におけるキャリアの再結合の効率を高めることが可能となる。

[0734]

なお、図45Cに示すように層4420と層4430との間に複数の発光層（発光層4411、発光層4412、発光層4413）が設けられる構成も、シングル構造の一例である。

[0735]

図45Dに示すように、複数の発光ユニット（EL層175a、EL層175b）が中間層（電荷発生層）4440を介して直列に接続された構成を、本明細書などではタンデム構造又はスタック構造と呼ぶ。なお、タンデム構造とすることで、高輝度発光が可能な発光デバイスを実現することができる。

[0736]

発光デバイス61を図45Dに示すタンデム構造にする場合、EL層175aとEL層175bそれぞれの発光色を同じにしてもよい。例えば、EL層175a及びEL層175bの発光色を、どちらも緑色にしてもよい。

[0737]

なお、赤色光（R）を発する発光デバイス61、緑色光（G）を発する発光デバイス61、及び青色光（B）を発する発光デバイス61をそれぞれ副画素として用いて、これら3つの副画素で1つの画素を構成することで、フルカラー表示を実現することができる。表示部93がR、G、Bの3種類の副画素を含む場合、それぞれの発光デバイスをタンデム構造としてもよい。具体的には、Rの副画素のEL層175a、及びEL層175bは、それぞれ、赤色発光が可能な材料を有し、

Gの副画素のEL層175a、及びEL層175bは、それぞれ、緑色発光が可能な材料を有し、Bの副画素のEL層175a、及びEL層175bは、それぞれ、青色発光が可能な材料を備える。言い換えると、発光層4411と発光層4412の材料が同じでもよい。EL層175aとEL層175bの発光色を同じにすることで、単位発光輝度あたりの電流密度を低減することができる。よって、発光デバイス61の信頼性を高めることができる。

[0738]

発光デバイスの発光色は、EL層175を構成する材料によって、赤、緑、青、シアン、マゼンタ、黄又は白などとすることができる。また、発光デバイスにマイクロキャビティ構造を付与することにより色純度をさらに高めることができる。

[0739]

発光層には、R（赤）、G（緑）、B（青）、Y（黄）、O（橙）などの発光を示す発光物質を2以上含んでもよい。白色の光を発する発光デバイスは、発光層に2種類以上の発光物質を含む構成とすることが好ましい。白色発光を得るには、2以上の発光物質の各々の発光が補色の関係となるような発光物質を選択すればよい。例えば、第1の発光層の発光色と第2の発光層の発光色を補色の関係になるようにすることで、発光デバイス全体として白色発光する発光デバイスを得ることができる。また、発光層を3つ以上備える発光デバイスの場合も同様である。

[0740]

発光層には、R（赤）、G（緑）、B（青）、Y（黄）、O（橙）等の発光を示す発光物質を2以上含むことが好ましい。又は、発光物質を2以上有し、それぞれの発光物質の発光は、R、G、Bのうち2以上の色のスペクトル成分を含むことが好ましい。また、発光物質として、近赤外光を発する物質を用いることもできる。

[0741]

発光物質としては、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、無機化合物（量子ドット材料など）、熱活性化遅延蛍光を示す物質（TADF材料）などが挙げられる。

[0742]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[符号の説明]

[0743]

10：半導体装置、20A：半導体装置、20B：半導体装置、20C：半導体装置、20D：半導体装置、20E：半導体装置、20：半導体装置、21：半導体層、22：絶縁層、23：導電層、24a：導電層、24b：導電層、25：導電層、29A：第1区域、29B：第2区域、29C：第3区域、30：開口、31：絶縁層、32：絶縁層、33：ゲートドライバ回路、34：レベルシフタ、35：増幅回路、36：検査回路、37：映像生成回路、38：映像分配回路、39：区画、40：機能回路、41：記憶装置、42a：色ムラ補正、42b：アップコンバート、42：GPU、43：EL補正回路、44：タイミングコントローラ、45：CPU、46：センサコントローラ、47：電源回路、48：温度センサ、49：輝度補正回路、50A：表示装置、50B：表示装置、51A：画素回路、51B：画素回路、51C：画素回路、51D：画素回路、51E：画素回路、51F：画素回路、51G：画素回路、51H：画素回路、51：画素回路、52A：トランジスタ、52B：トランジスタ、52C：トランジスタ、52D：トランジスタ、

52 : トランジスタ、53A : 容量素子、53 : 容量素子、54 : チャネル形成領域、55 : 画素回路群、59 : 区画、61 : 発光デバイス、62 : 層、63 : トランジスタ、64 : チャネル形成領域、65 : 駆動回路、66 : ソースドライバ回路、67 : デジタルアナログ変換回路、71 : 素子層、73 : 素子層、75 : 素子層、77 : 配線層、80 : 入出力回路、81 : 層、83 : 層、84 : 視線検出部、85 : 通信部、86 : 装着部、87 : 緩衝部材、88 : レンズ、89 : 出力端子、90__L : 表示装置、90__R : 表示装置、90A : 表示装置、90B : 表示装置、90 : 表示装置、91 : 基板、92 : 基板、93 : 表示部、94 : 端子部、95 : 副表示部、97 : センサ、99A : イヤフォン、99B : イヤフォン、100 : トランジスタ、101 : 動き検出部、102 : 基板、103 : 演算部、104 : 導電層、105 : 筐体、106 : 絶縁層、107 : 接着層、108 : 半導体層、109 : 入力端子、110a : 絶縁層、110b : 絶縁層、110c : 絶縁層、110 : 絶縁層、111 : 画素電極、112a : 導電層、112b : 導電層、112f : 導電層、113a : 第1の層、113b : 第2の層、113c : 第3の層、114 : 共通層、115 : 共通電極、118a : マスク層、119 : 基板、125 : 絶縁層、126a : 導電層、126b : 導電層、126c : 導電層、127 : 絶縁層、128 : 層、129a : 導電層、129b : 導電層、129c : 導電層、130B : 発光デバイス、130G : 発光デバイス、130R : 発光デバイス、130 : 発光デバイス、131 : 保護層、137 : 金属酸化物膜、140 : 接続部、141 : 開口、142 : 凹部、143 : 開口、144a : 開口、144b : 開口、145 : 開口、150 : 電子装置、151 : 基板、152 : 基板、155 : レジストマスク、156 : レジストマスク、157 : レジストマスク、158 : レジストマスク、159 : レジストマスク、162 : 表示部、164 : 回路部、165 : 導電層、171 : 導電層、172 : FPC、173 : IC、175a : EL層、175b : EL層、175 : EL層、177 : 導電層、182a : 導電層、182b : 導電層、182c : 導電層、195 : 絶縁層、200 : トランジスタ、204 : 導電層、208f : 金属酸化物膜、208 : 半導体層、210 : 画素、212a : 導電層、212b : 導電層、212f : 導電膜、230B : 画素、230G : 画素、230R : 画素、230X : 画素、230 : 画素、231 : 第1駆動回路部、232 : 第2駆動回路部、233 : 絶縁層、234 : 導電層、235 : 絶縁層、236 : 配線、237 : 画素、238 : 配線、240a : 画素、240b : 画素、240 : 画素、300 : トランジスタ、310 : 基板、312 : 素子分離層、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁層、316 : 導電層、317 : 絶縁層、320 : 絶縁層、322 : 絶縁層、324 : 絶縁層、326 : 絶縁層、328 : 導電層、330 : 導電層、350 : 絶縁層、352 : 絶縁層、354 : 絶縁層、356 : 導電層、441 : タイミングコントローラ、442 : 入出力回路、500 : 表示モジュール、501 : プリント配線板、502 : 端子部、503 : ワイヤ、504 : FPC、505 : 接続部、512 : 絶縁層、514 : 導電層、574 : 絶縁層、581 : 絶縁層、592 : 絶縁層、594 : 絶縁層、596 : 導電層、598 : 絶縁層、599 : 絶縁層、4411 : 発光層、4412 : 発光層、4413 : 発光層、4420-1 : 層、4420-2 : 層、4420 : 層、4430-1 : 層、4430-2 : 層、4430 : 層、4440 : 中間層、6500 : 電子機器、6501 : 筐体、6502 : 表示部、6503 : 電源ボタン、6504 : ボタン、6505 : スピーカ、6506 : マイク、6507 : カメラ、6508 : 光源、6510 : 保護部材、6511 : 表示パネル、6512 : 光学部材、6513 : タッチセンサパネル、6515 : FPC、6516 : IC、6517 : プリント基板、6518 : バッテリ、7000 : 表示部、7100 : テレビジョン装置、7101 : 筐体、7103 : スタンド、7111 : リ

モコン操作機、7200：ノート型パーソナルコンピュータ、7211：筐体、7212：キーボード、7213：ポインティングデバイス、7214：外部接続ポート、7300：デジタルサイネージ、7301：筐体、7303：スピーカ、7311：情報端末機、7400：デジタルサイネージ、7401：柱、7411：情報端末機、9000：筐体、9001：表示部、9002：カメラ、9003：スピーカ、9005：操作キー、9006：接続端子、9007：センサ、9008：マイクロフォン、9050：アイコン、9051：情報、9052：情報、9053：情報、9054：情報、9055：ヒンジ、9101：携帯情報端末、9102：携帯情報端末、9103：タブレット端末、9200：携帯情報端末、9201：携帯情報端末

請求の範囲

[請求項 1]

トランジスタと、第 1 の絶縁層と、を有し、

前記トランジスタは、ソース電極、ドレイン電極、半導体層、ゲート絶縁層、及びゲート電極を有し、

前記ソース電極及び前記ドレイン電極は、それぞれ円形、楕円形、角の丸い多角形のいずれかの上面形状を有し、前記第 1 の絶縁層に埋め込まれるように対向して柱状に設けられ、

前記第 1 の絶縁層は、前記ソース電極と、前記ドレイン電極と、の間に開口を有し、

前記半導体層は、前記開口において、前記ソース電極と前記ドレイン電極の互いに対向する側面、及び、前記ソース電極と前記ドレイン電極との間の前記第 1 の絶縁層の側面に接して設けられ、

前記ゲート絶縁層は、前記開口において、前記半導体層の側面に接して設けられ、

前記ゲート電極は、前記開口において、前記半導体層と対向する領域を有するように、前記ゲート絶縁層の側面に接して設けられる、

半導体装置。

[請求項 2]

請求項 1 において、

前記半導体層は、金属酸化物を有する、

半導体装置。

[請求項 3]

請求項 1 又は請求項 2 において、

前記第 1 の絶縁層は、第 2 の絶縁層と、前記第 2 の絶縁層上の第 3 の絶縁層と、前記第 3 の絶縁層上の第 4 の絶縁層と、を有し、

前記第 2 の絶縁層、及び、前記第 4 の絶縁層は、窒化物及び窒化酸化物の一方又は双方を有し、

前記第 3 の絶縁層は、酸化物及び酸化窒化物の一方又は双方を有する、

半導体装置。

[請求項 4]

請求項 1 又は請求項 2 において、

前記ソース電極の上面、前記ドレイン電極の上面、及び、前記第 1 の絶縁層の上面は、高さが概略一致している、

半導体装置。

[請求項 5]

請求項 1 又は請求項 2 において、

前記開口の上面形状は、円形、楕円形、多角形の角が丸い形状、又は、直線と曲線とを組み合わせた閉曲線のいずれかである、

半導体装置。

[請求項 6]

第 1 の絶縁層を形成し、

前記第 1 の絶縁層を加工して、第 1 の開口及び第 2 の開口を形成し、

前記第 1 の開口及び前記第 2 の開口を埋め込むように、前記第 1 の絶縁層上に、第 1 の導電膜を形成し、

前記第1の導電膜に対して、前記第1の絶縁層の上面が露出するまでCMP処理を行い、前記第1の開口内に、前記第1の絶縁層と上面の高さが概略等しい第1の導電層を形成し、前記第2の開口内に、前記第1の絶縁層と上面の高さが概略等しい第2の導電層を形成し、

前記第1の絶縁層を加工し、前記第1の導電層と前記第2の導電層の間に、第3の開口を形成し、前記第3の開口を覆うように、前記第1の導電層の上面及び側面、前記第2の導電層の上面及び側面、並びに、前記第1の絶縁層の側面及び上面に接する第1の金属酸化物膜を形成し、

前記第1の金属酸化物膜を加工して、前記第3の開口における前記第1の導電層の側面、前記第3の開口における前記第2の導電層の側面、並びに、前記第3の開口における前記第1の絶縁層の側面に接する半導体層を形成し、

前記半導体層上、前記第1の導電層上、前記第2の導電層上、及び、前記第1の絶縁層上に、第2の絶縁層を形成し、

前記第2の絶縁層上に、第2の導電膜を形成し、前記第2の導電膜を加工して、平面視にて前記半導体層と重なる領域を有するように第3の導電層を形成する、

半導体装置の作製方法。

[請求項7]

請求項6において、

前記第1の絶縁層は、第3の絶縁層と、前記第3の絶縁層上の第4の絶縁層と、前記第4の絶縁層上の第5の絶縁層と、を有し、

前記第3の絶縁層及び前記第5の絶縁層は、窒化物及び窒化酸化物のいずれか1つ又は複数を有する材料で形成し、

前記第4の絶縁層は、酸化物及び酸化窒化物のいずれか1つ又は複数を有する材料で形成する、
半導体装置の作製方法。

[請求項8]

請求項6又は請求項7において、

前記第1の金属酸化物膜の加工には、異方性エッチングを用いる、
半導体装置の作製方法。

[請求項9]

請求項6又は請求項7において、

前記第1の金属酸化物膜の加工には、レジストマスクを介したエッチング処理を用いる、
半導体装置の作製方法。

[請求項10]

請求項6又は請求項7において、

前記第3の絶縁層及び前記第4の絶縁層の形成後に、第2の金属酸化物膜を形成し、
前記第2の金属酸化物膜の除去後に、前記第5の絶縁層を形成する、
半導体装置の作製方法。

[請求項11]

請求項6又は請求項7において、

前記第3の絶縁層及び前記第4の絶縁層の形成後に、第2の金属酸化物膜を形成し、
前記第2の金属酸化物膜の形成後に、加熱処理を行う、
半導体装置の作製方法。

[請求項 1 2]

請求項 6 又は請求項 7 において、
前記第 3 の絶縁層及び前記第 4 の絶縁層の形成後に、第 2 の金属酸化物膜を形成し、
前記第 2 の金属酸化物膜の形成後に、前記第 4 の絶縁層に対して、酸素を供給する処理を行う、
半導体装置の作製方法。

図1A

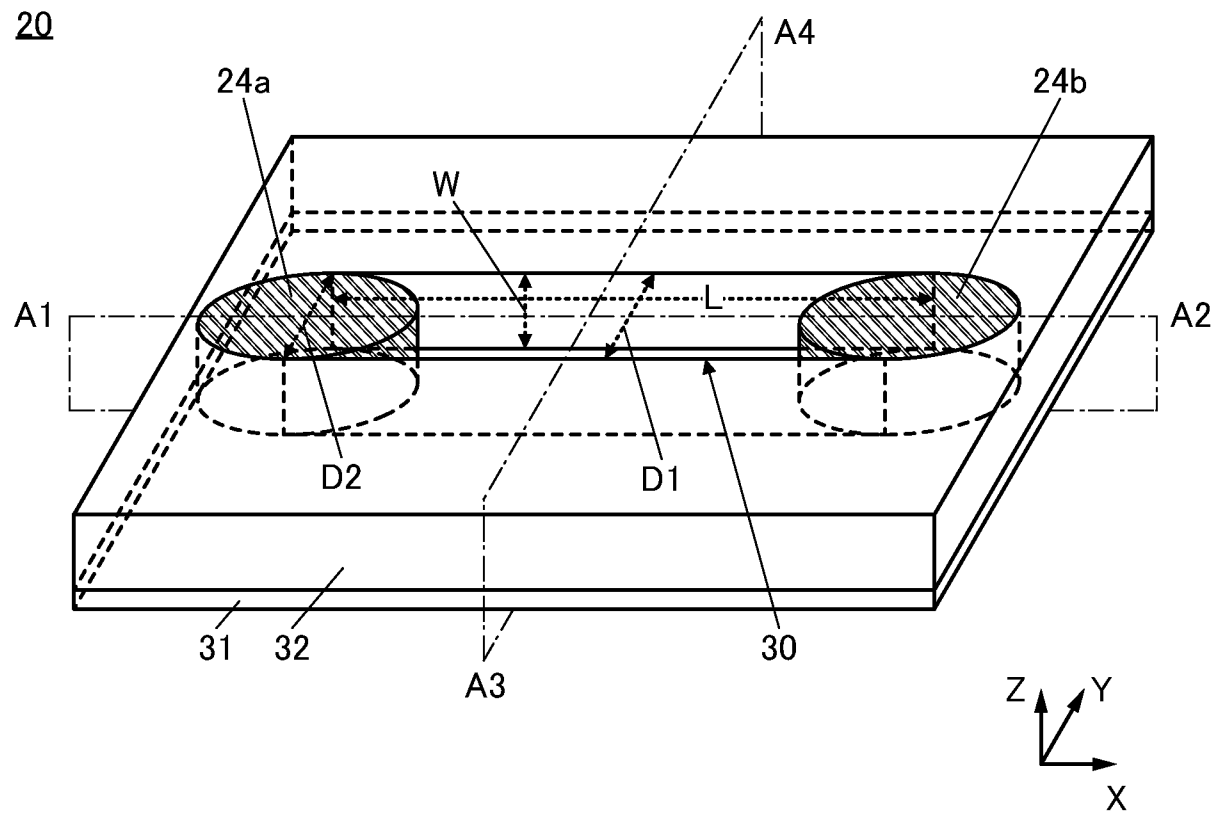


図1B

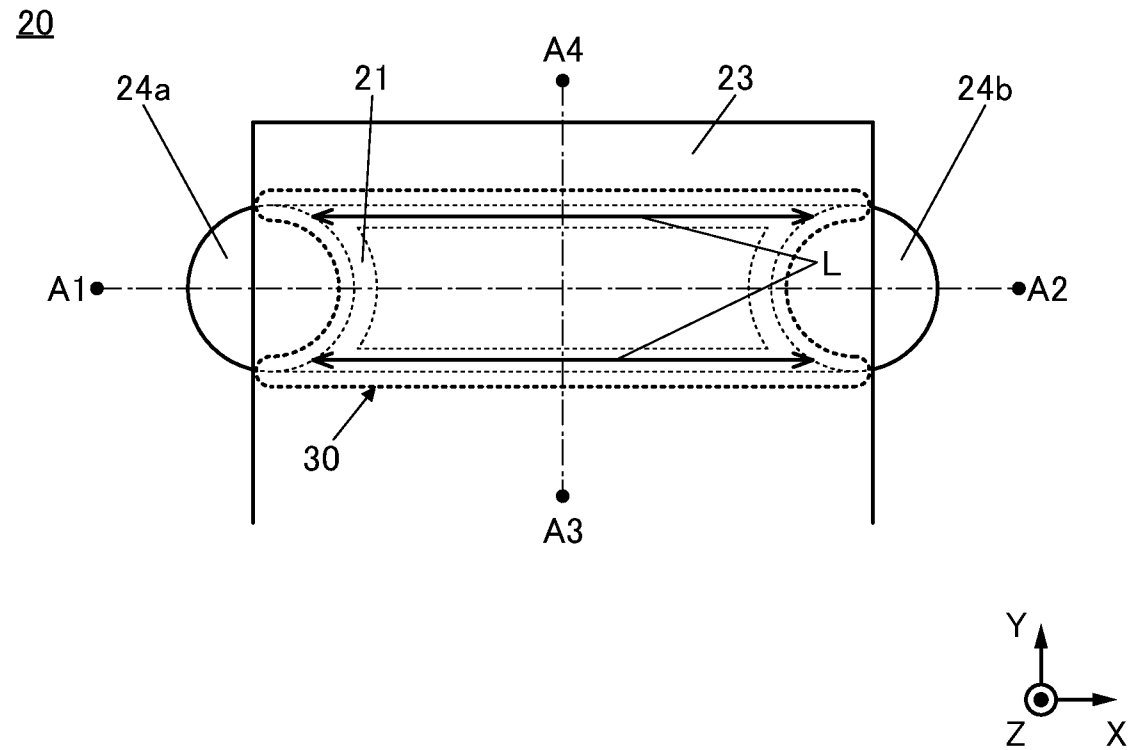


図2A

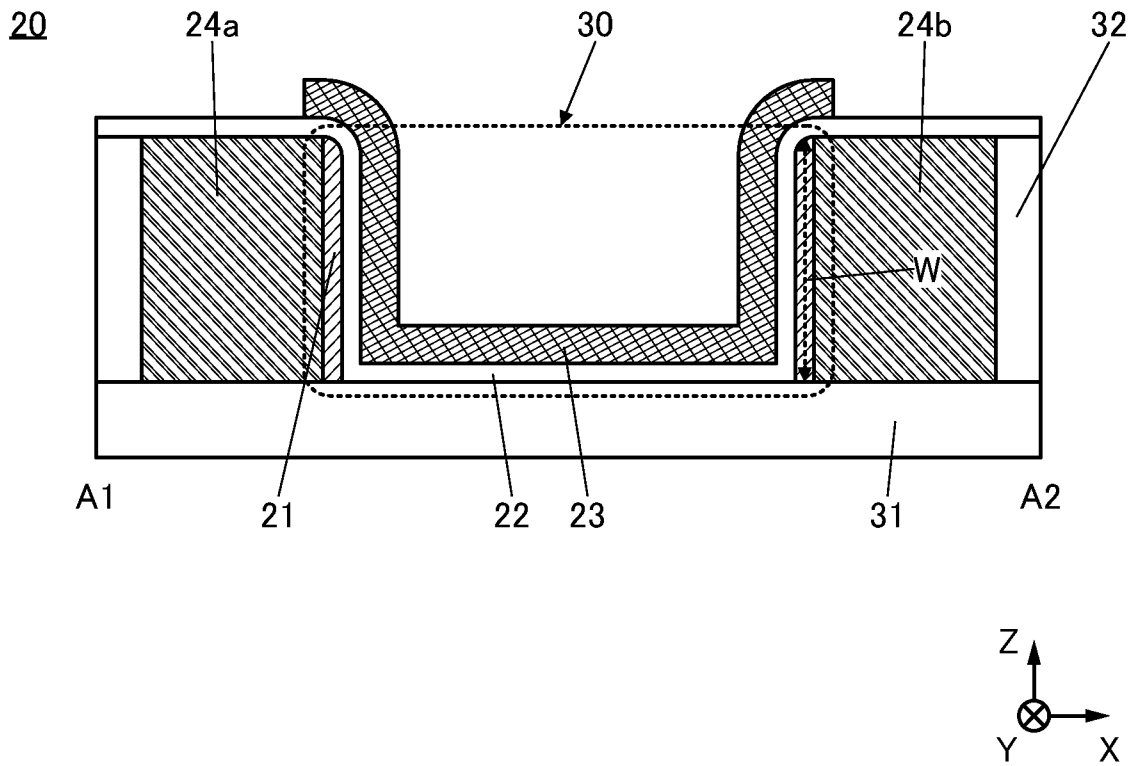


図2B

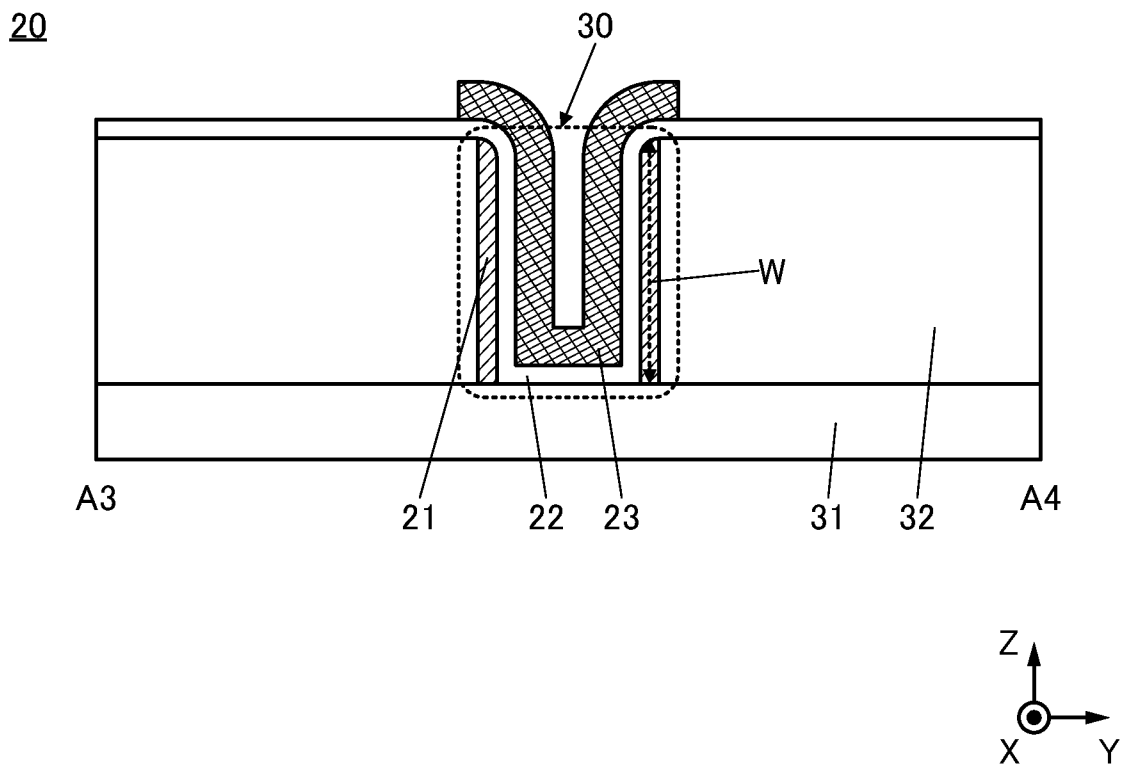


図3A

20A

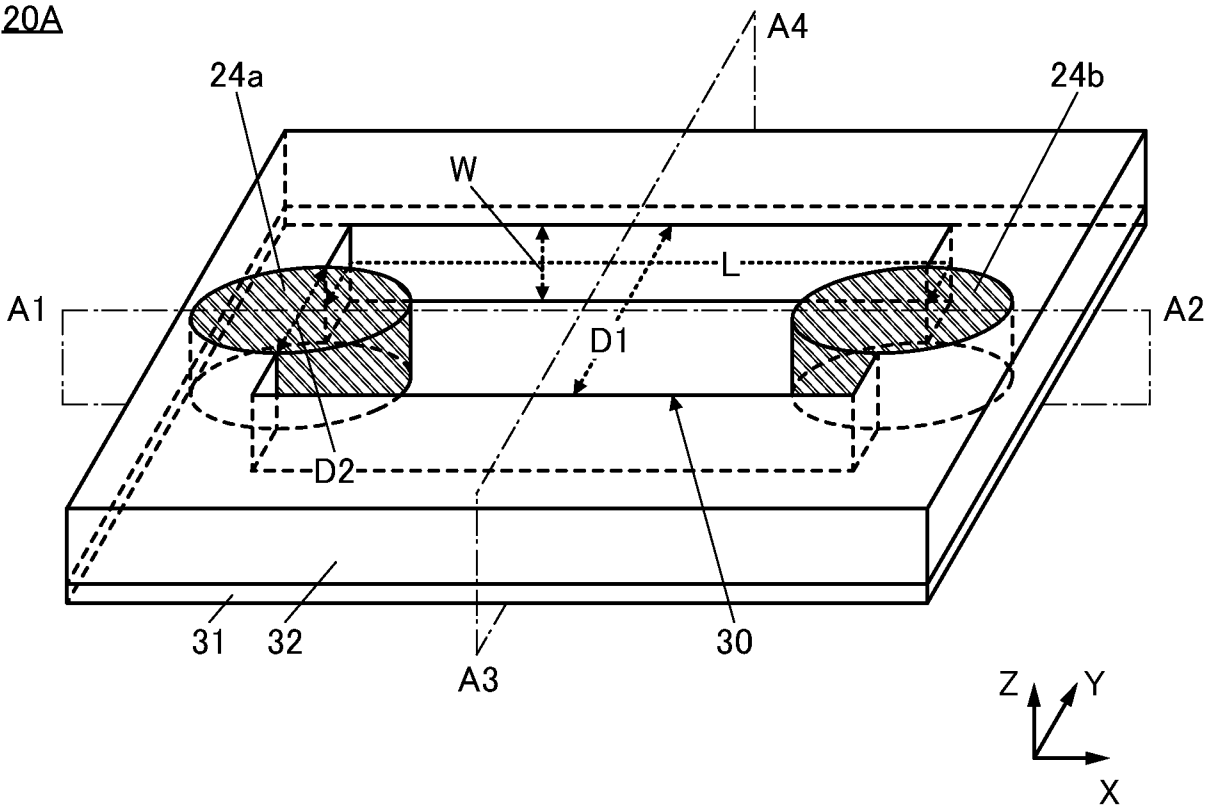


図3B

20A

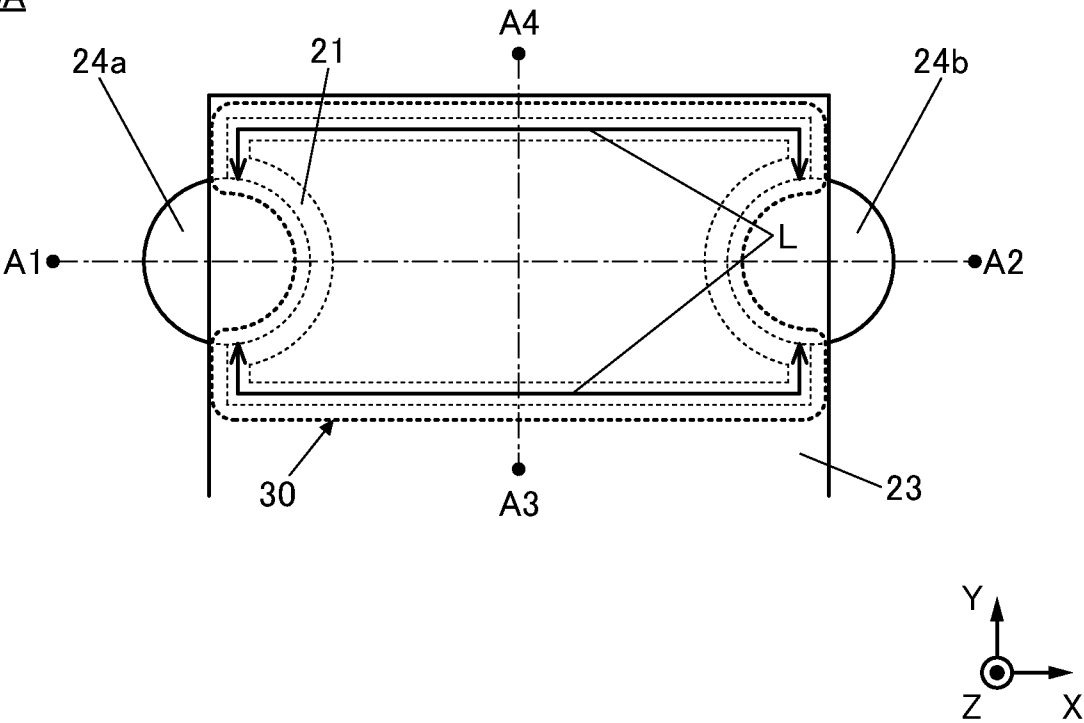


図4A

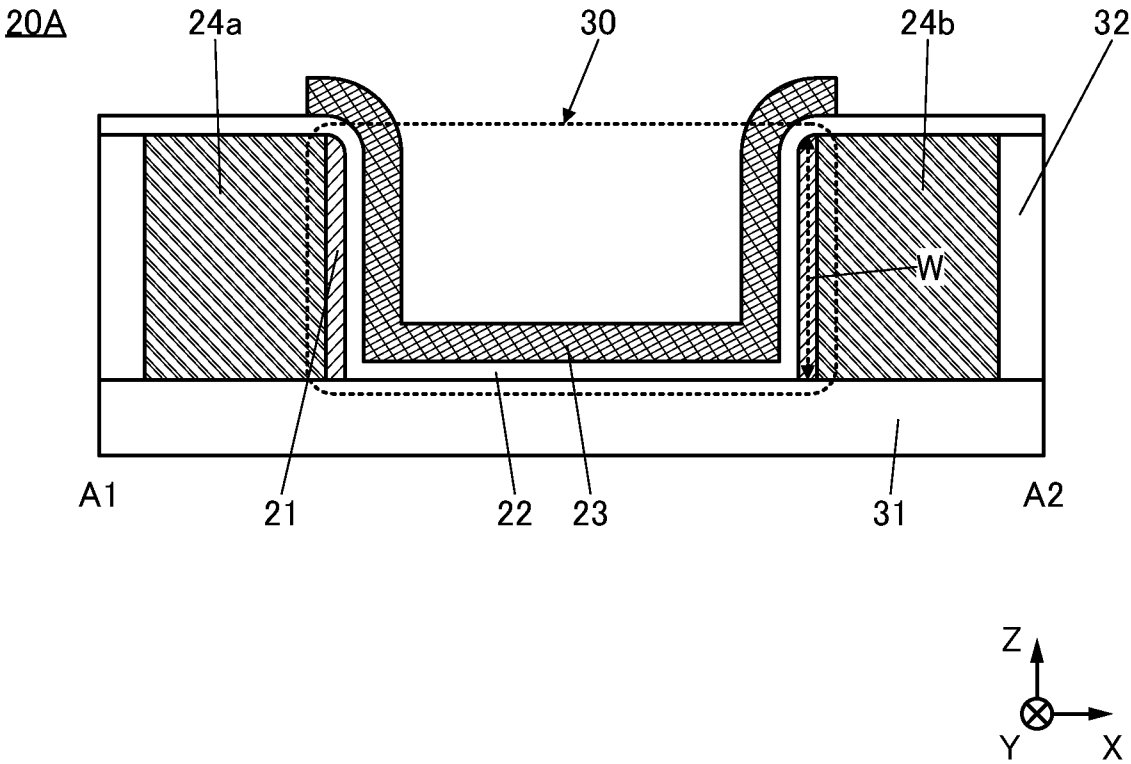


図4B

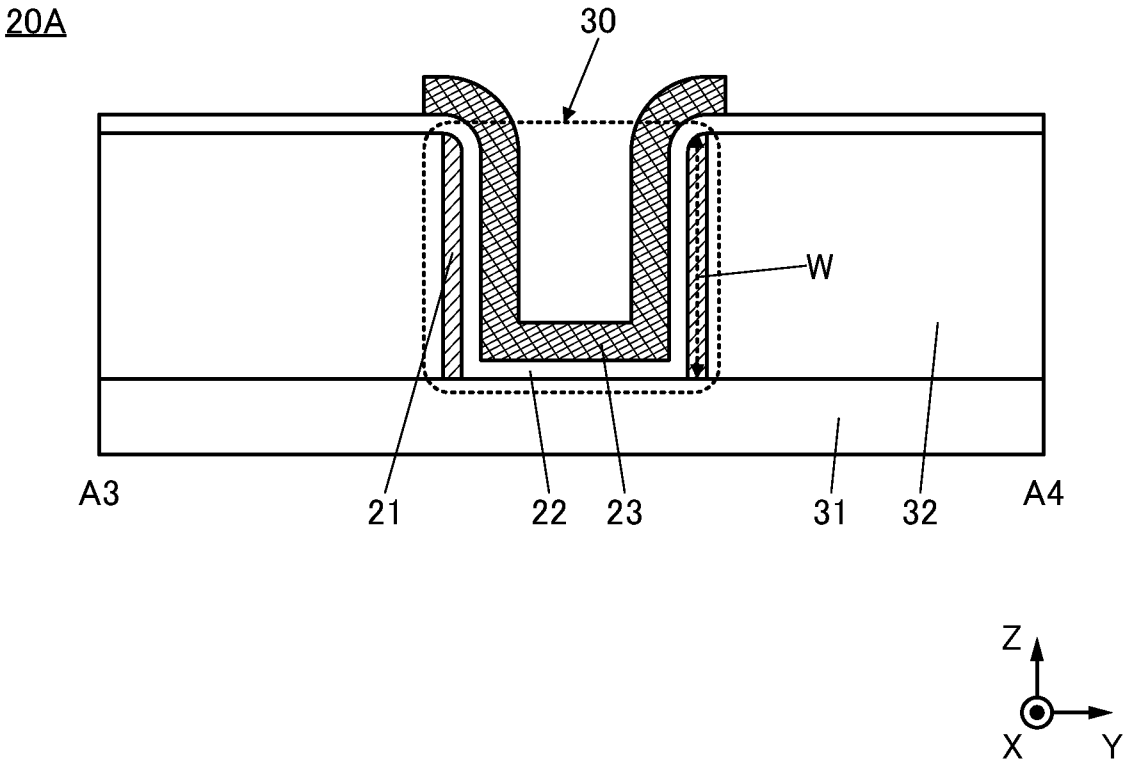


図5A

20B

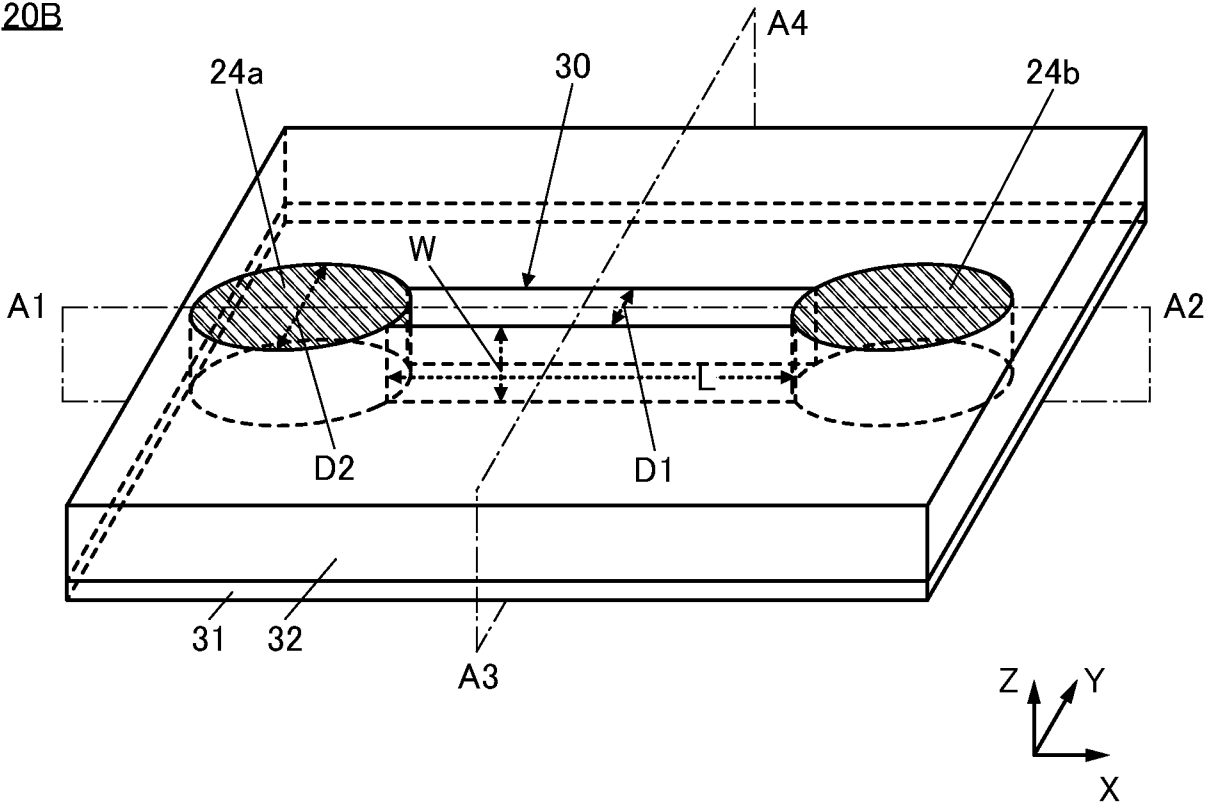


図5B

20B

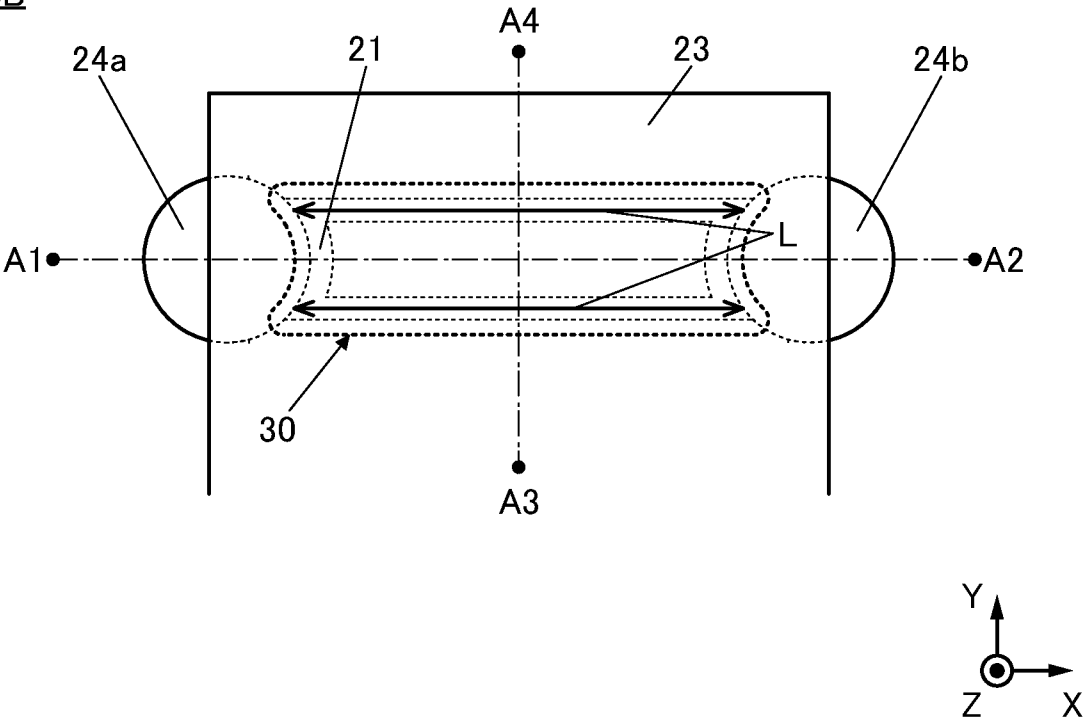


図6A

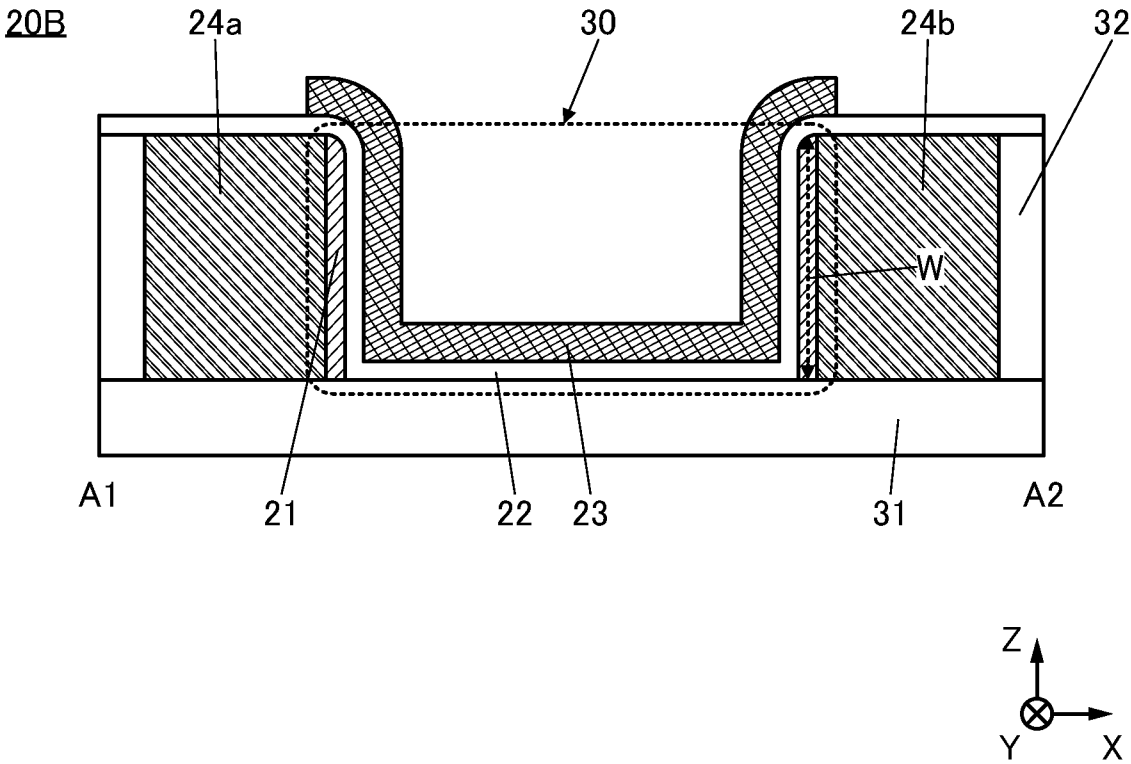


図6B

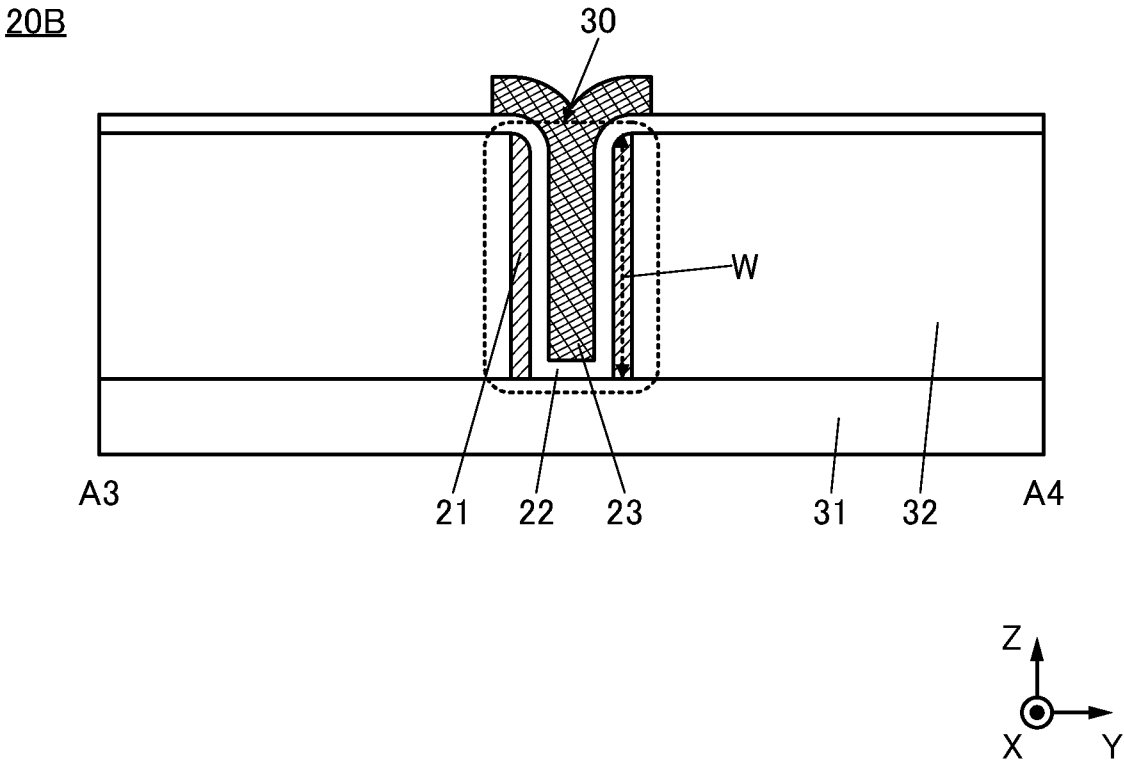


図7A

20C

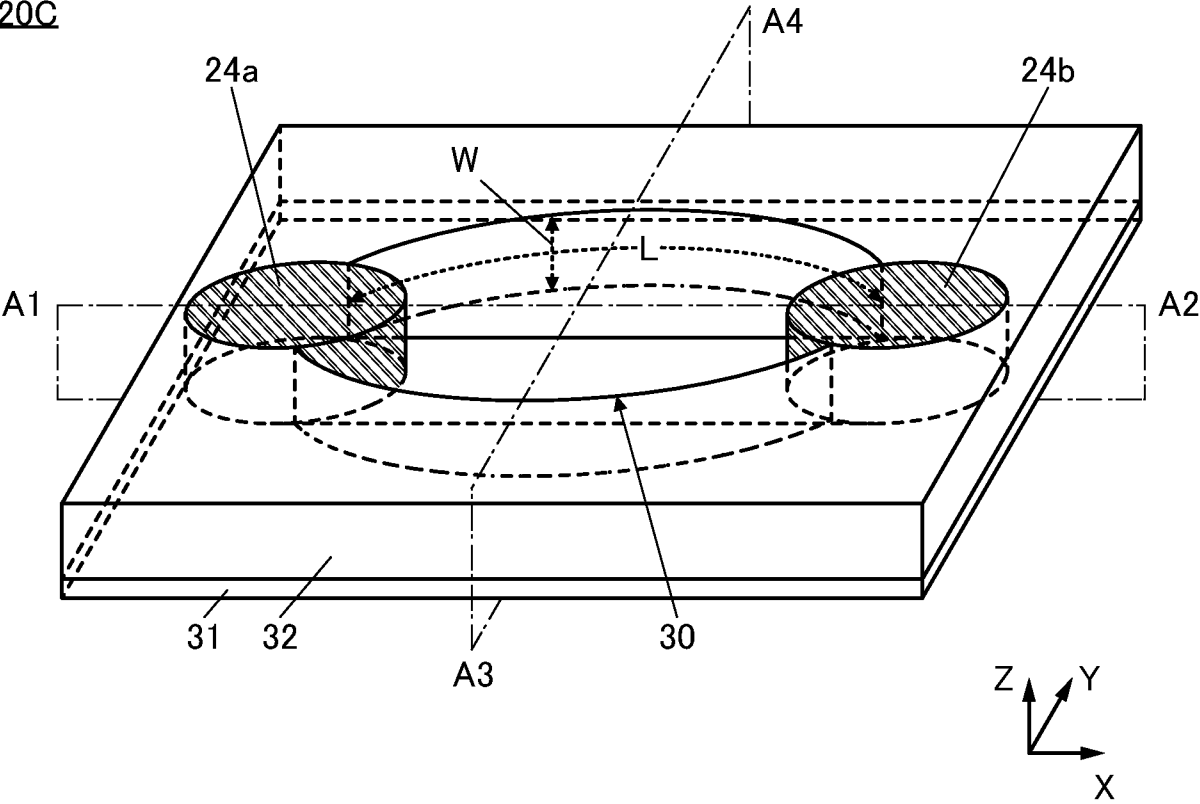


図7B

20C

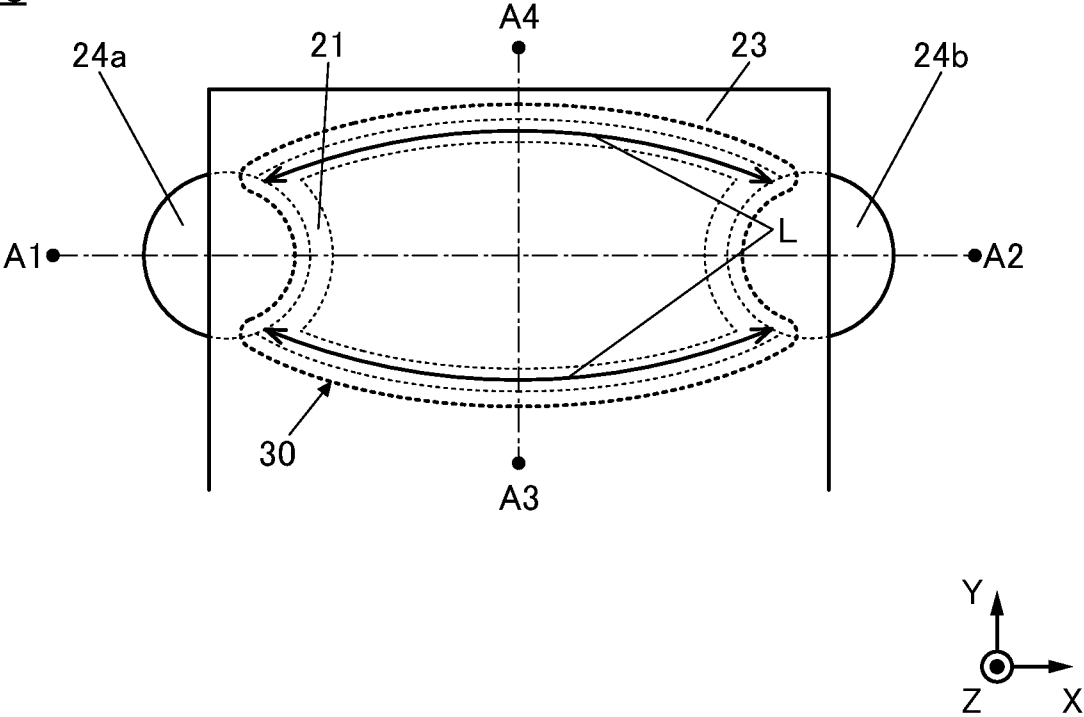


図8A

20C

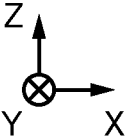
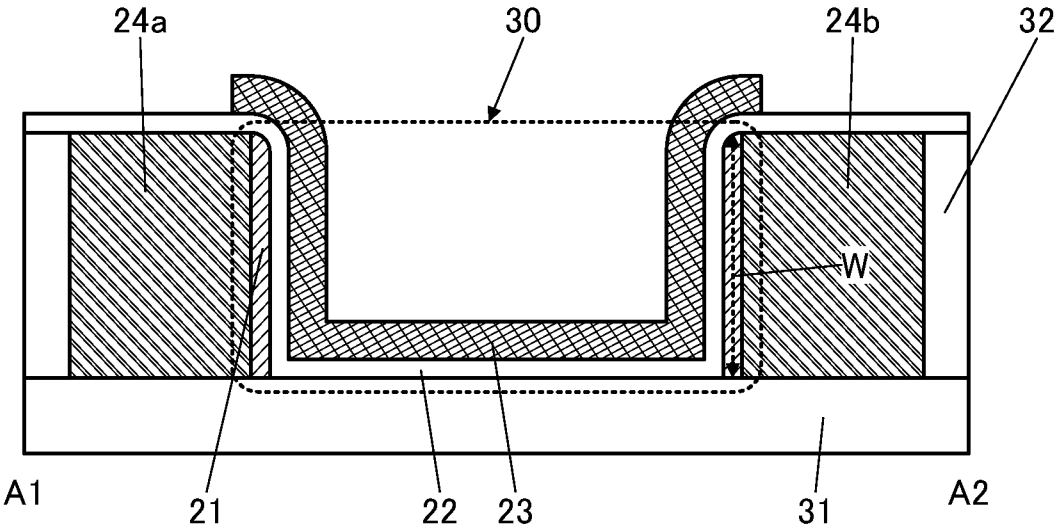


図8B

20C

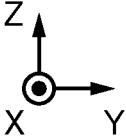
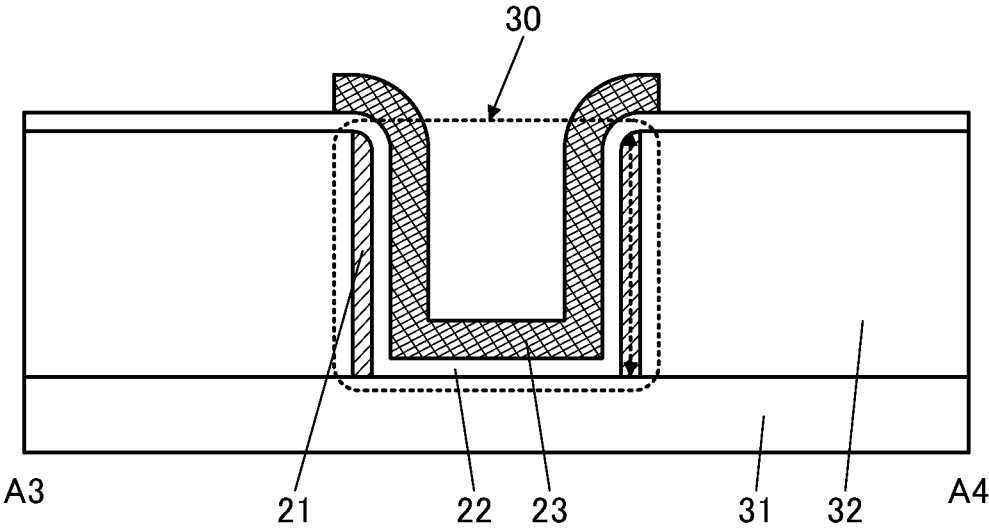


図9A

20D

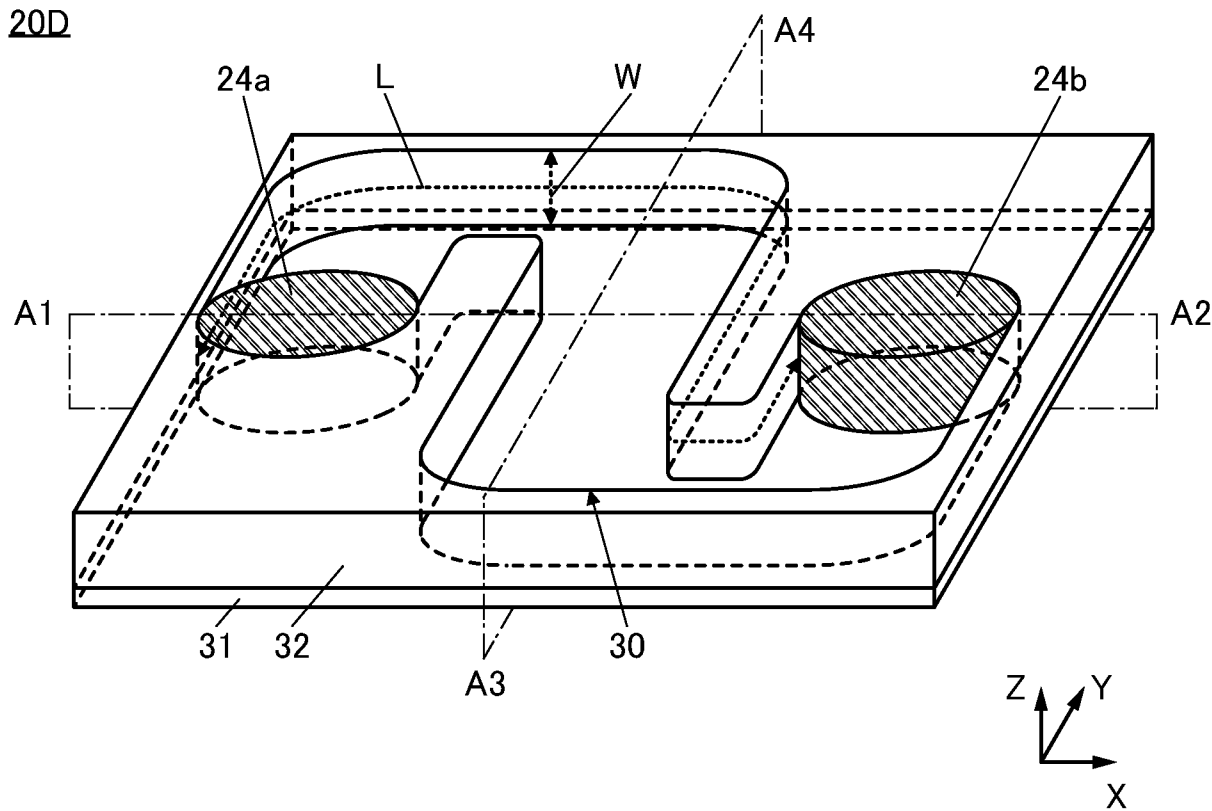


図9B

20D

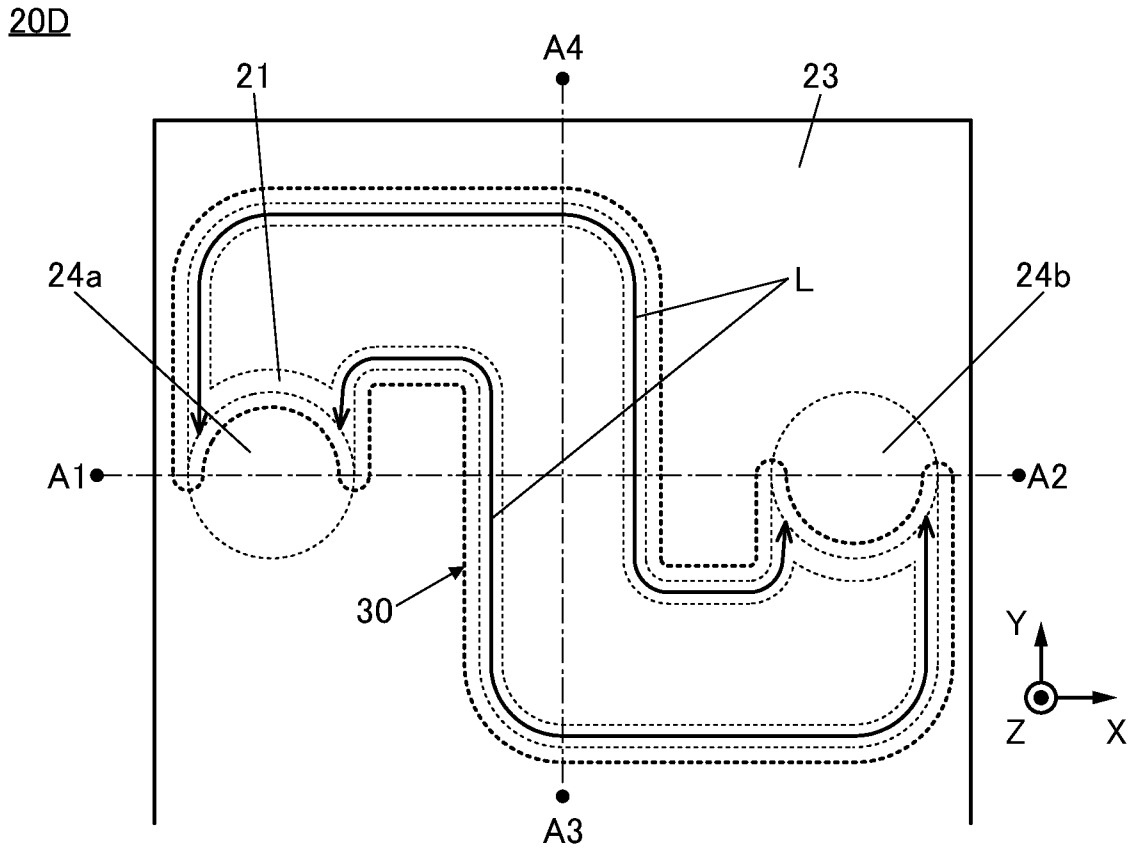


図10A

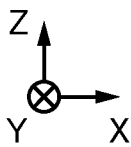
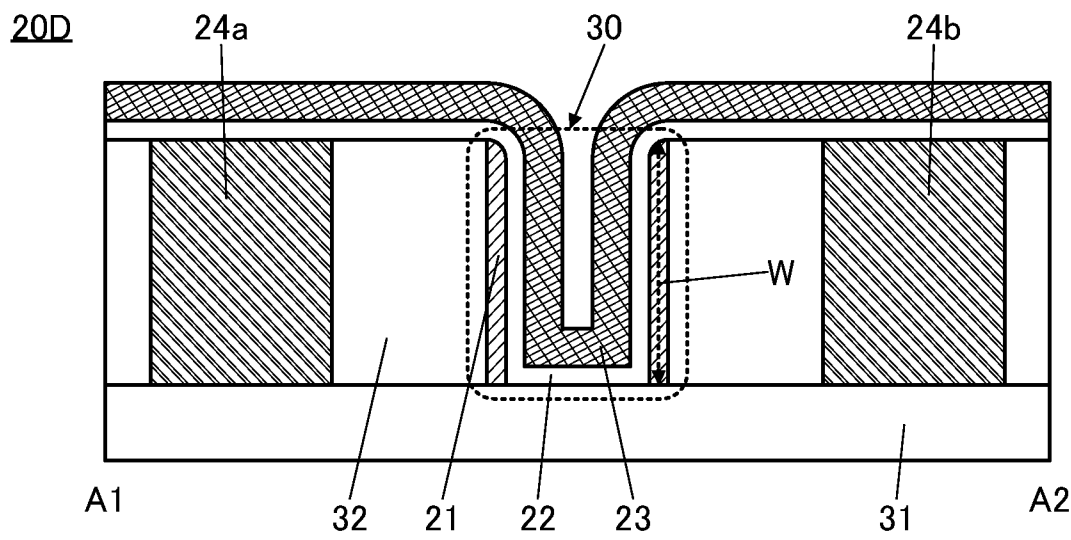


図10B

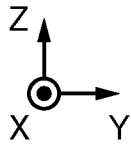
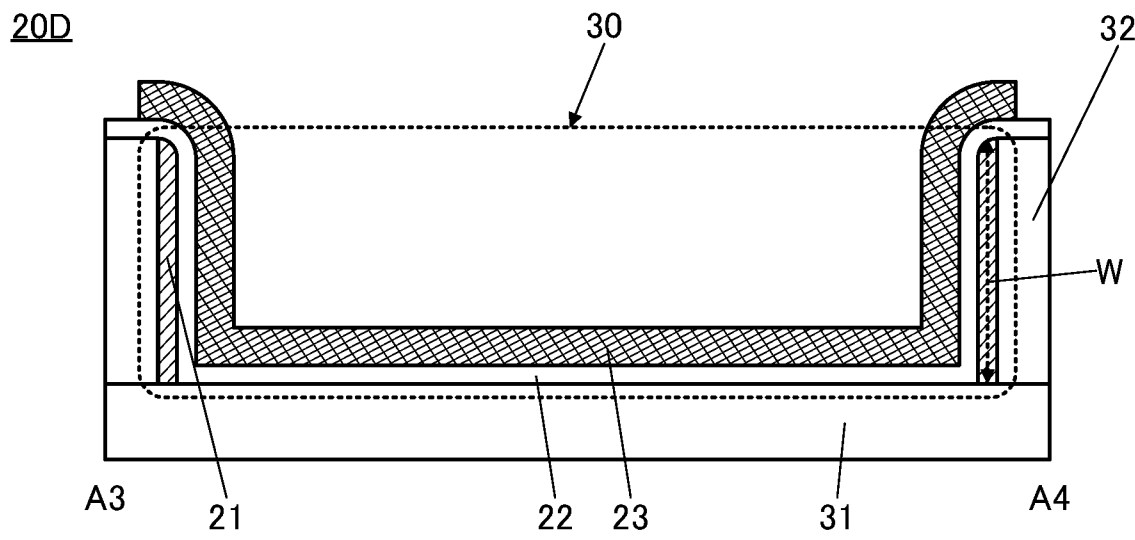


図11A

20E

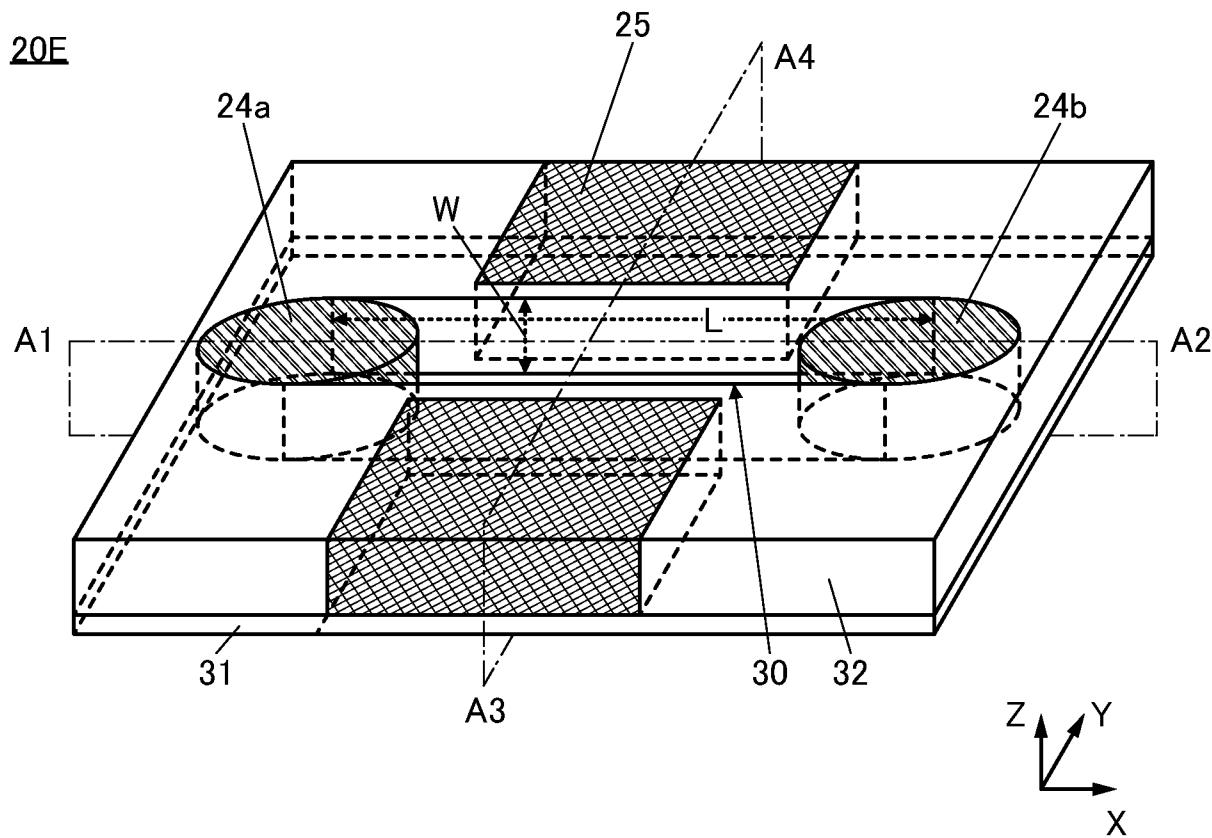


図11B

20E

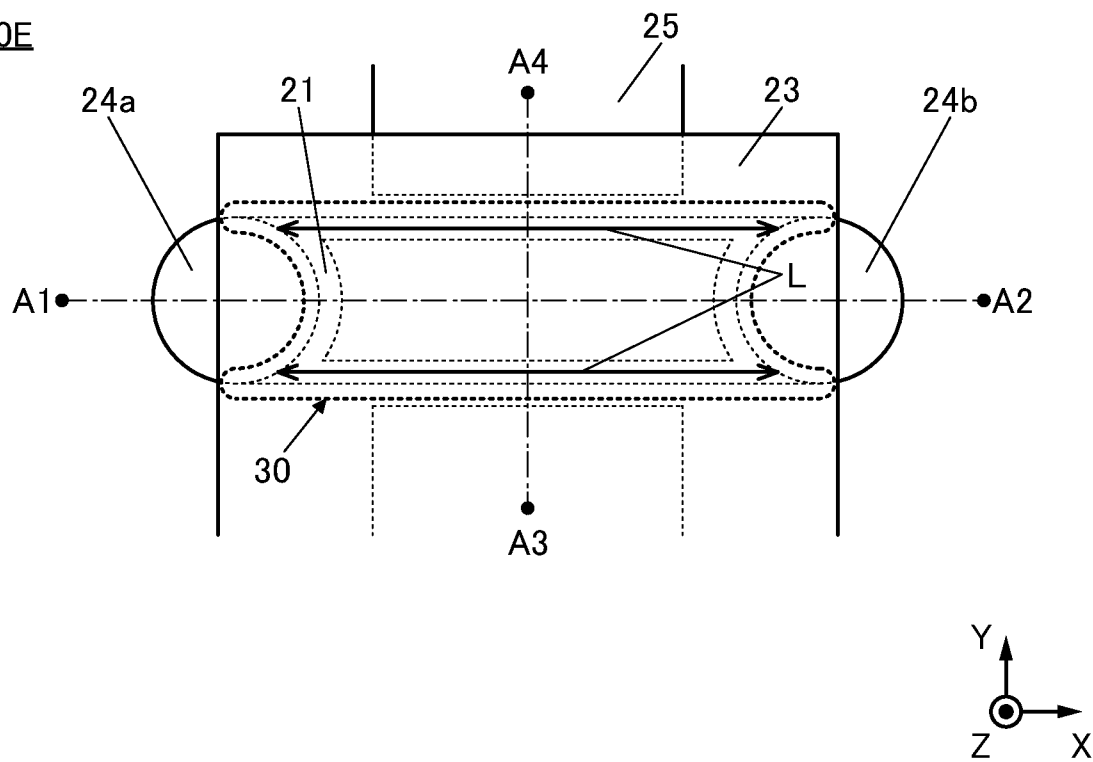


図12A

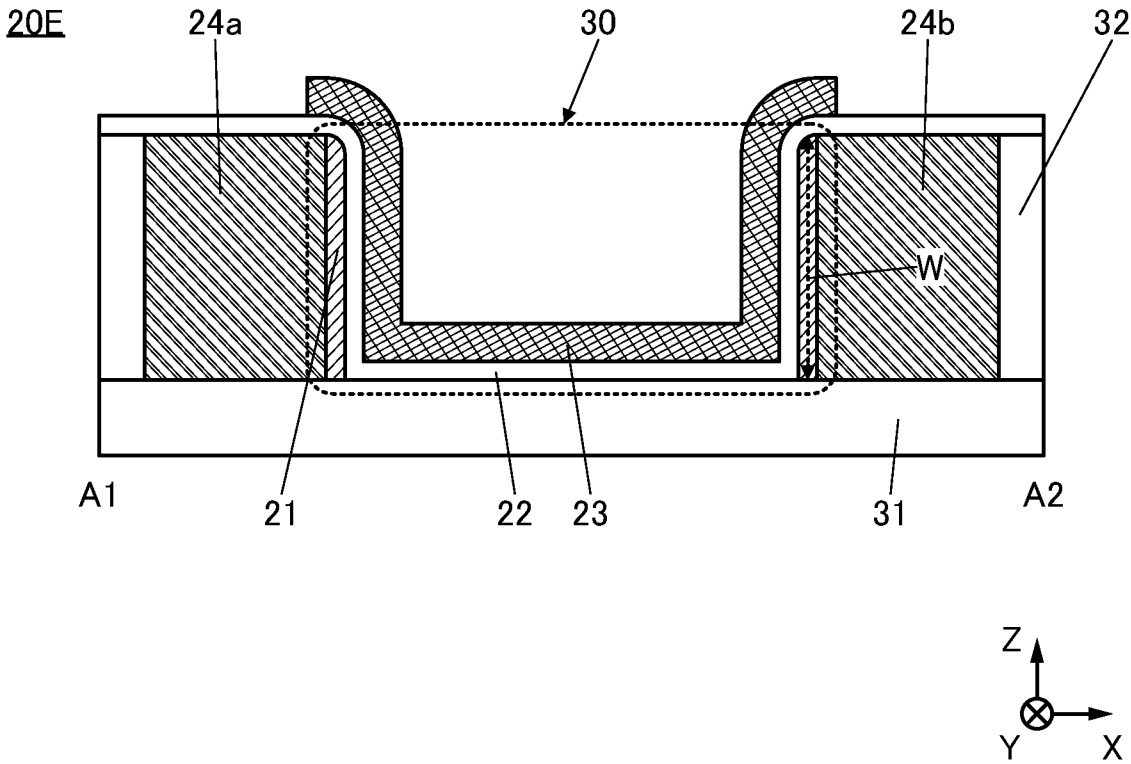


図12B

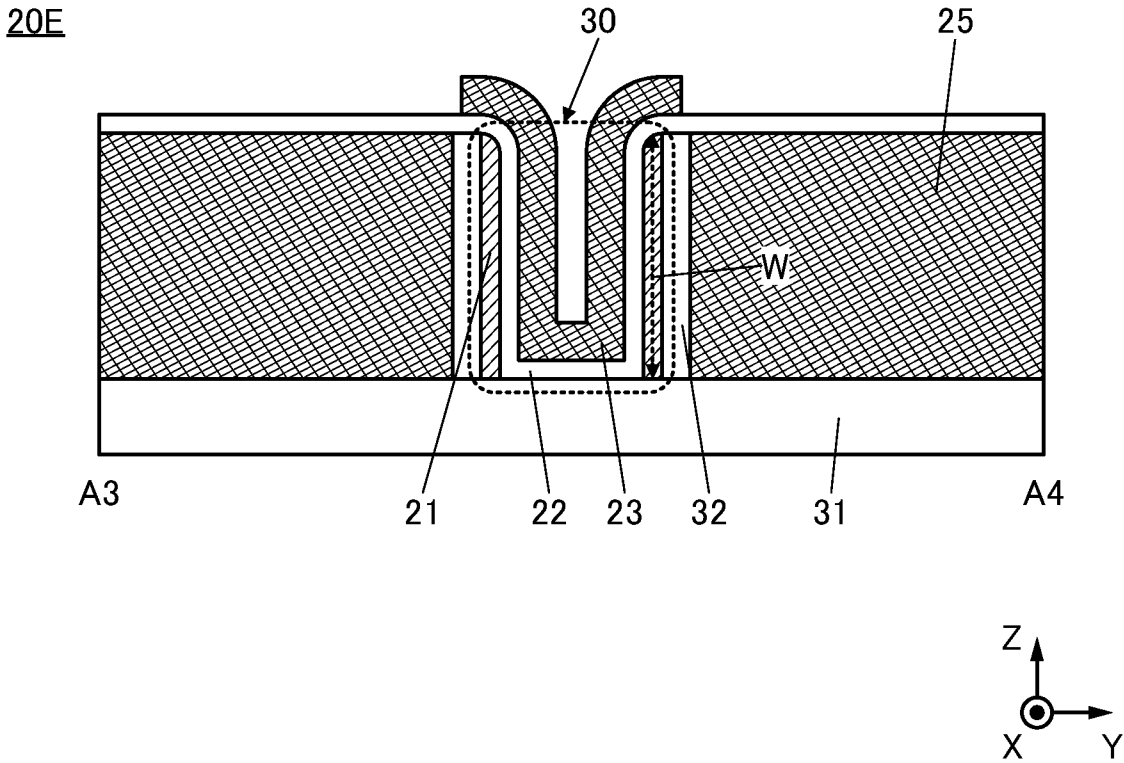


図13A

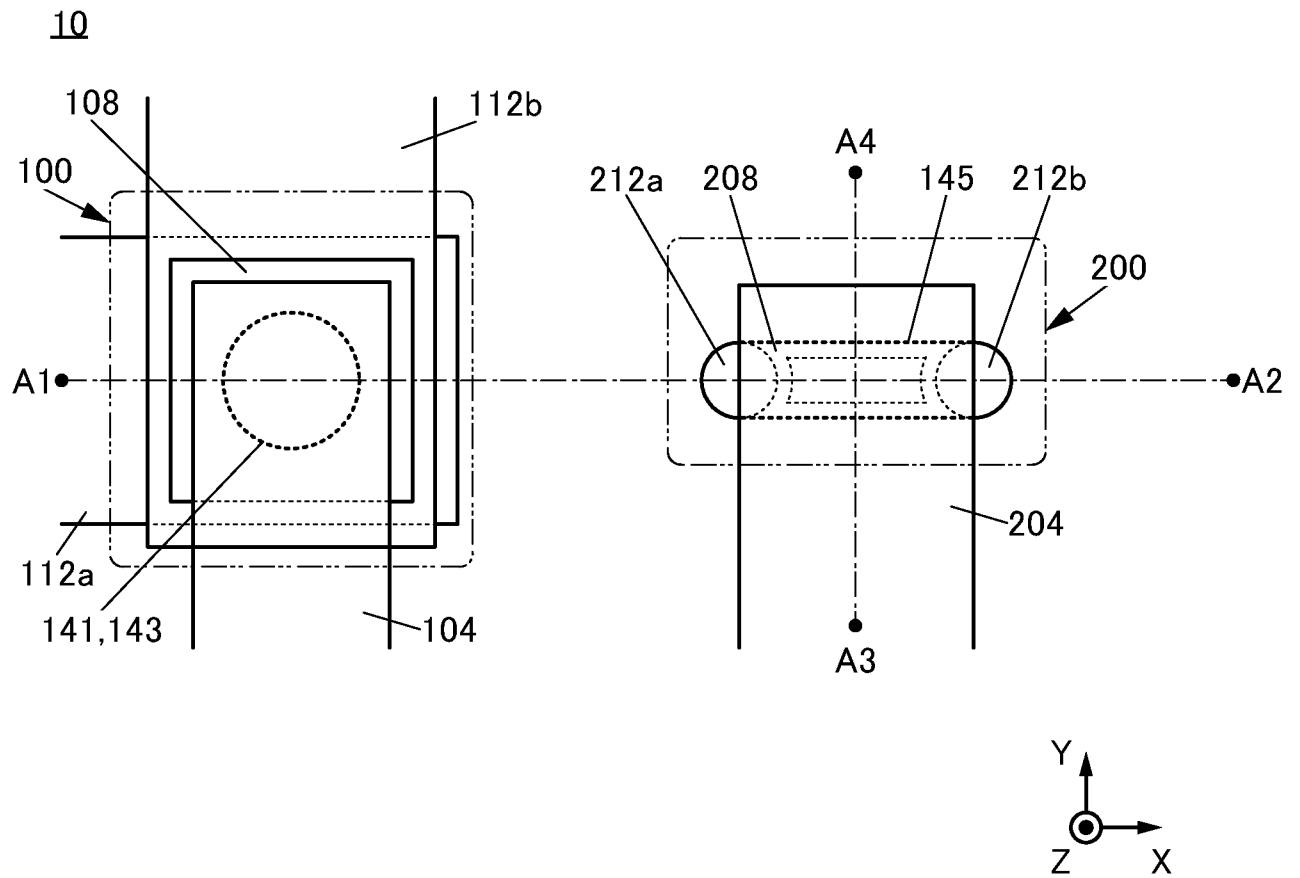


図13B

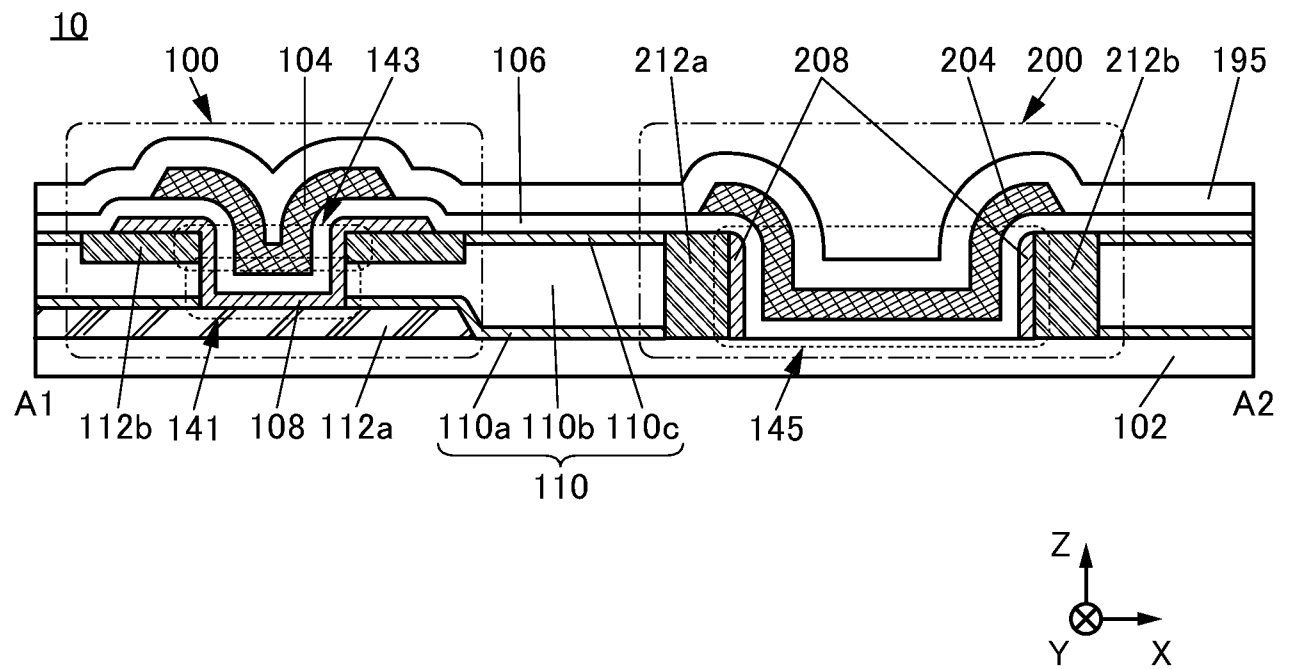


図14A

200

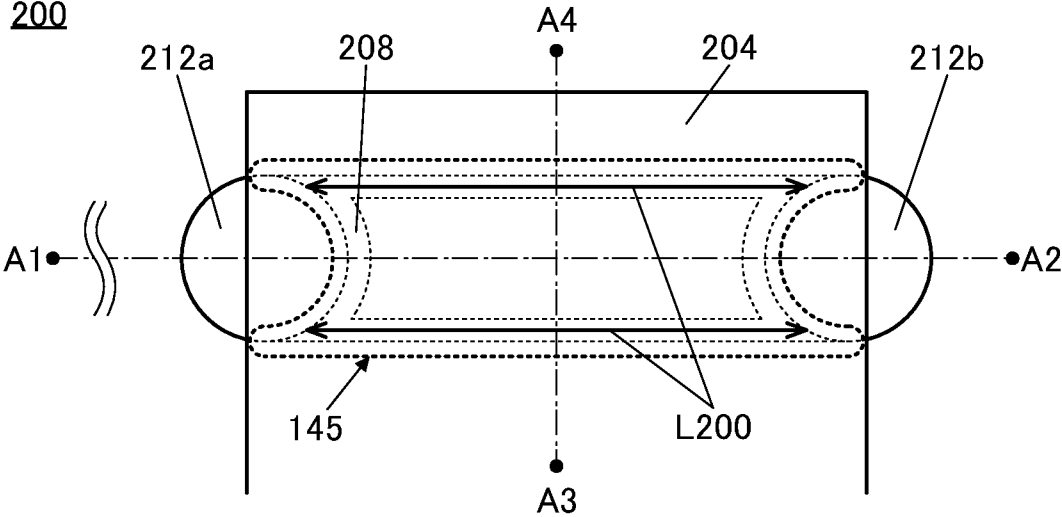
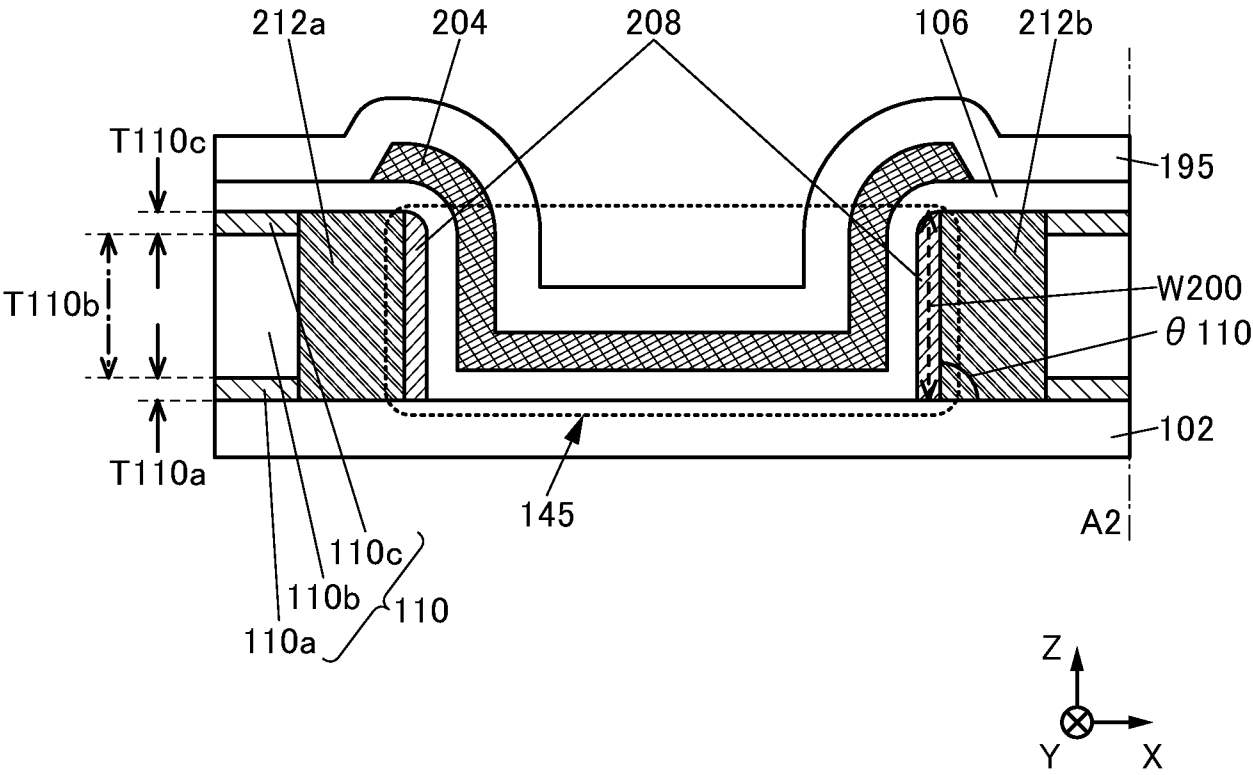


図14B

200



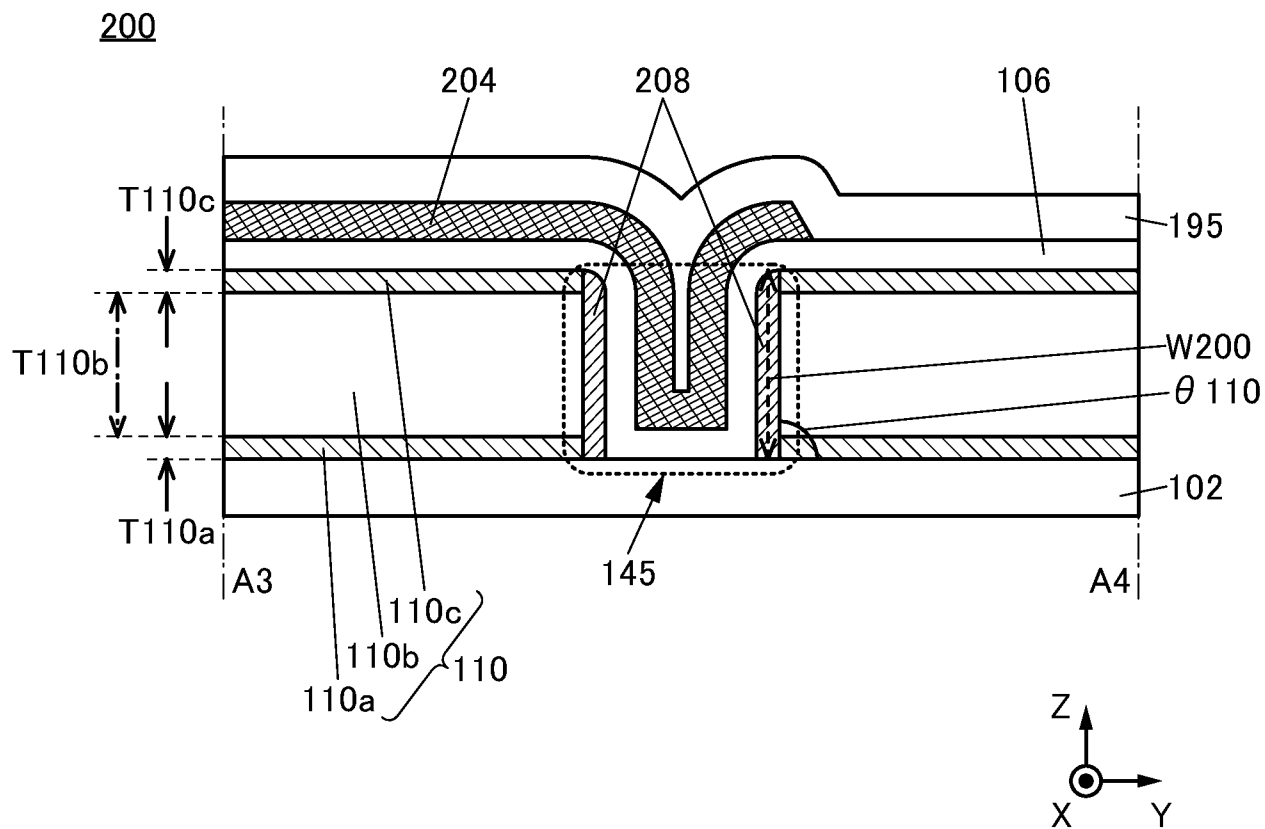


図16A

100

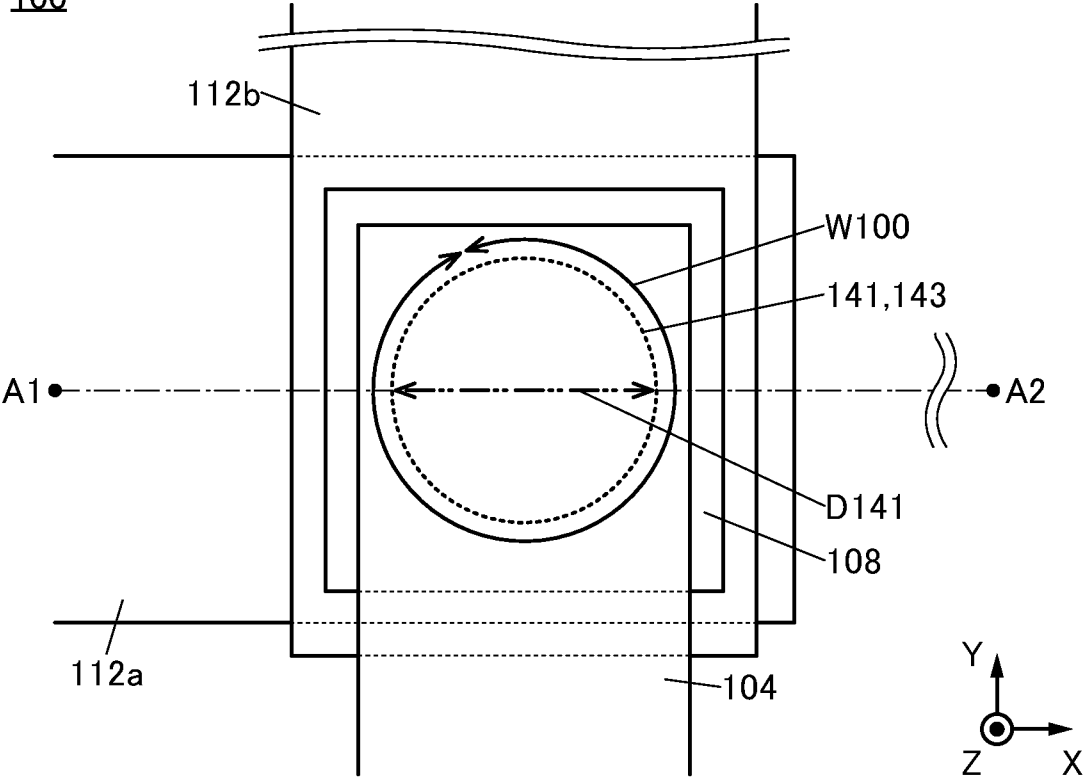


図16B

100

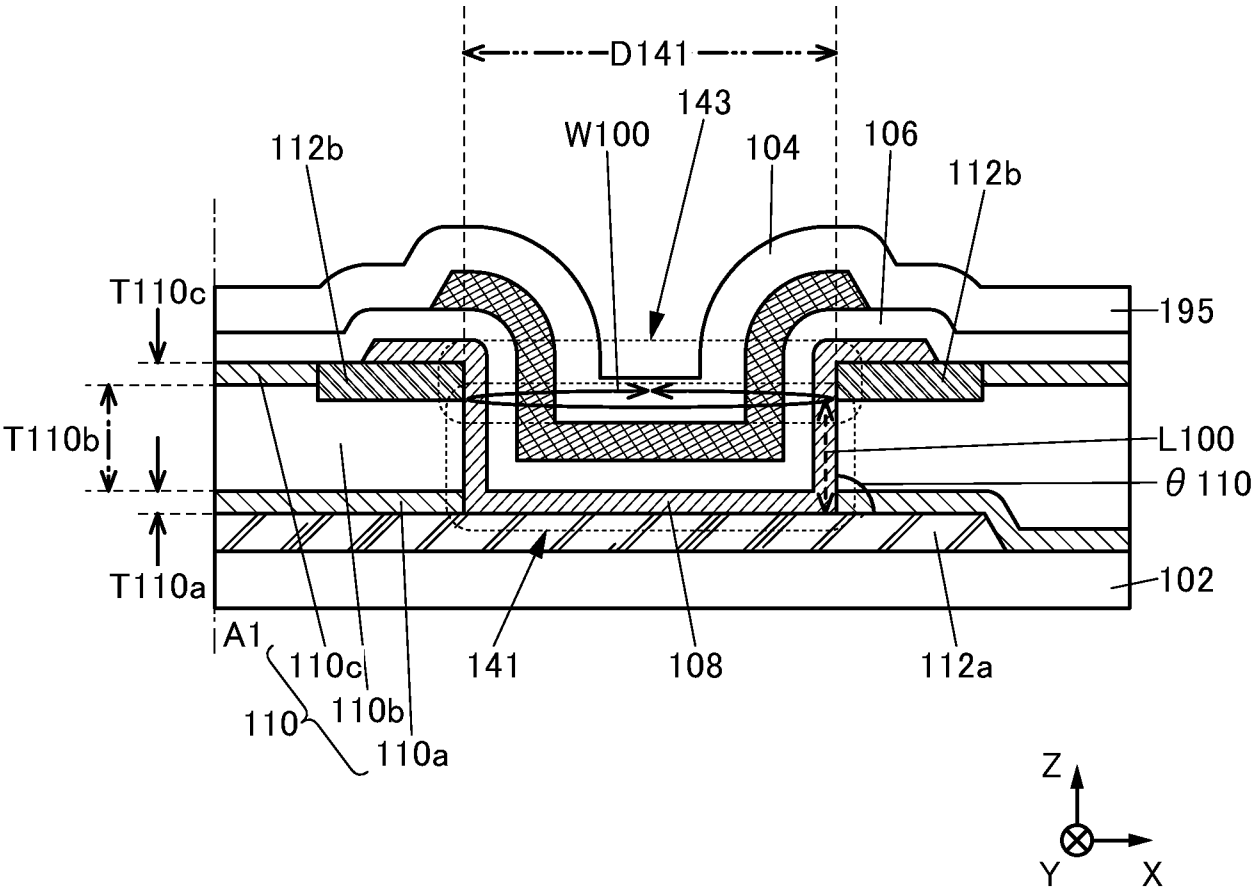


図17A

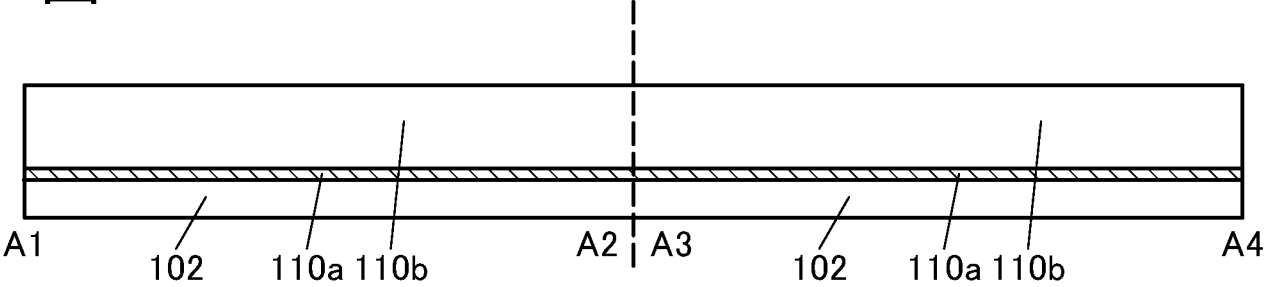


図17B

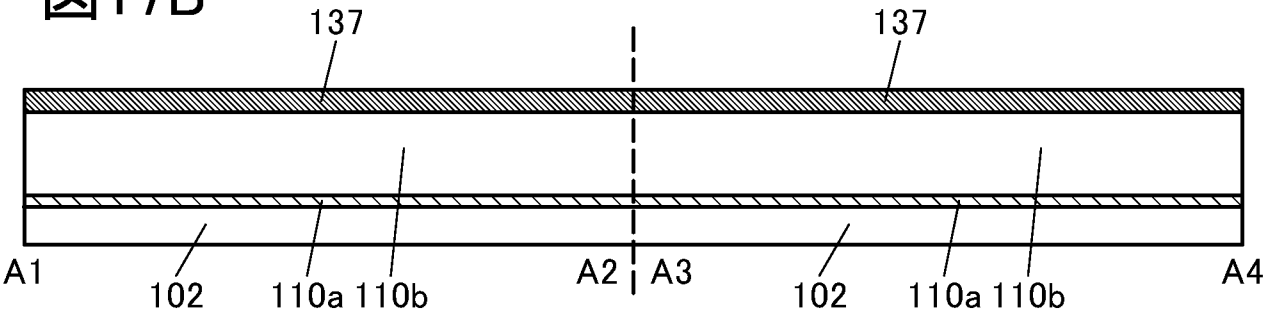
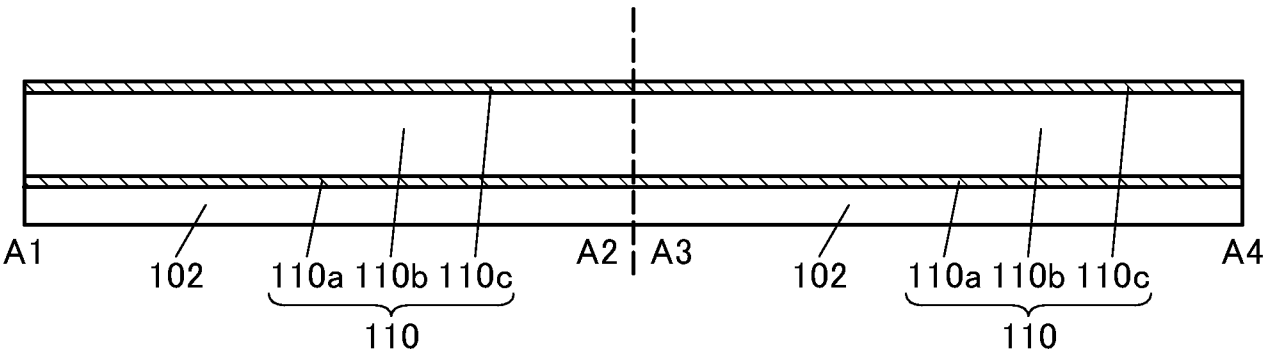


図17C



This diagram shows a cross-sectional view of a semiconductor device. A central channel region (102) is defined between two side regions (110). The side regions (110) are further divided into sub-regions 110a, 110b, and 110c. A layer 145 is located at the bottom of the side regions. A layer 212a is located at the top of the side regions. A layer 212b is located at the bottom of the central channel region. A layer 159 is located at the top of the central channel region. The device is bounded by vertical dashed lines A1, A2, A3, and A4.

This cross-sectional view shows a semiconductor device with a central opening. The device consists of a substrate 102 with a top layer 110. The top layer 110 is divided into three regions: 110a, 110b, and 110c. The central region 110b is the opening. The side regions 110a and 110c are covered by a layer 212. The top surface of the side regions 110a and 110c is covered by a layer 208f. The central region 110b is covered by a layer 212b. The top surface of the central region 110b is covered by a layer 208f. The device is bounded by vertical dashed lines A1, A2, A3, and A4.

This cross-sectional view shows a semiconductor device with a substrate 102. Two active regions, 110, are defined by gate structures 208. Each active region 110 contains a channel layer 110a, a source layer 110b, and a drain layer 110c. The gate structures 208 are composed of a gate stack 212a and a gate stack 212b. The device is divided into sections A1, A2, A3, and A4 by vertical dashed lines.

図20A

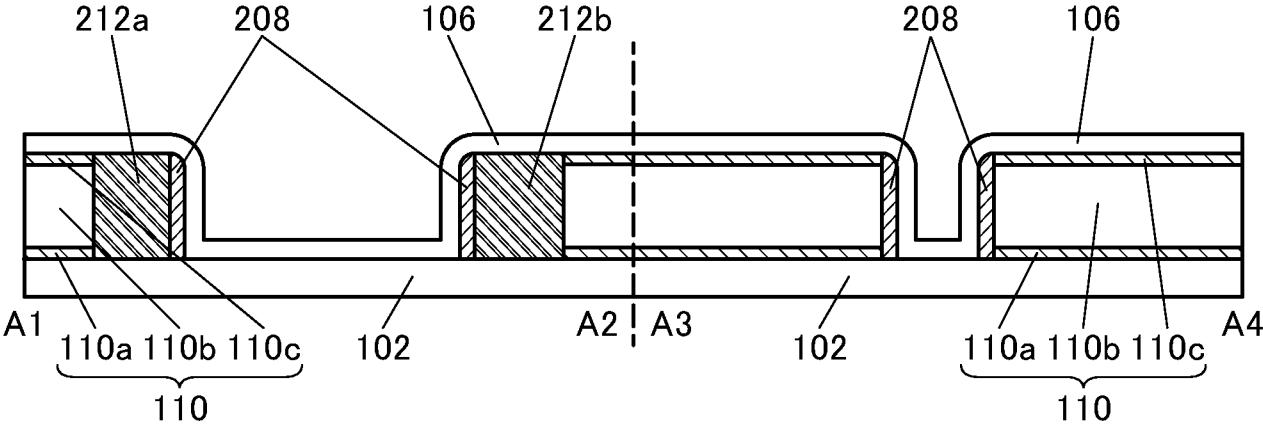
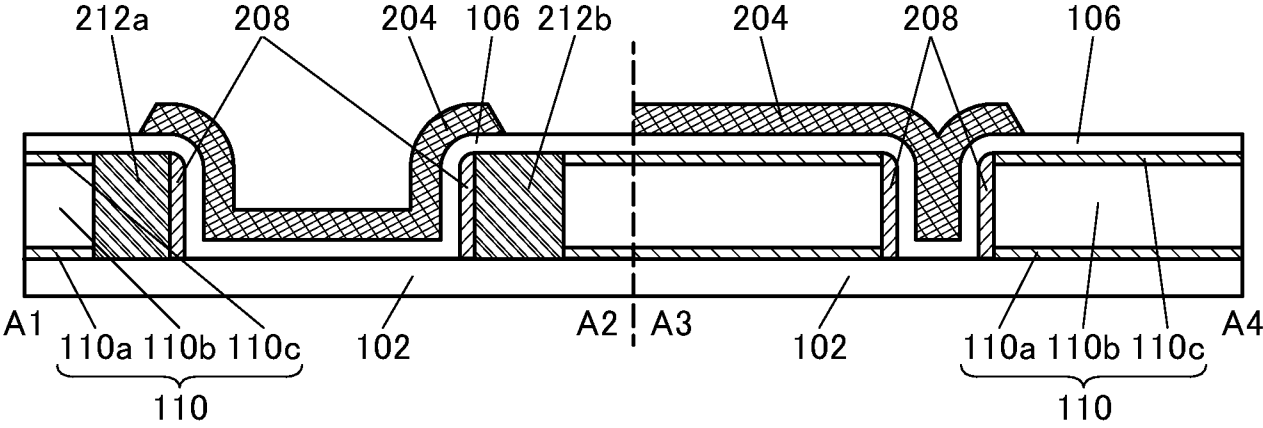


図20B



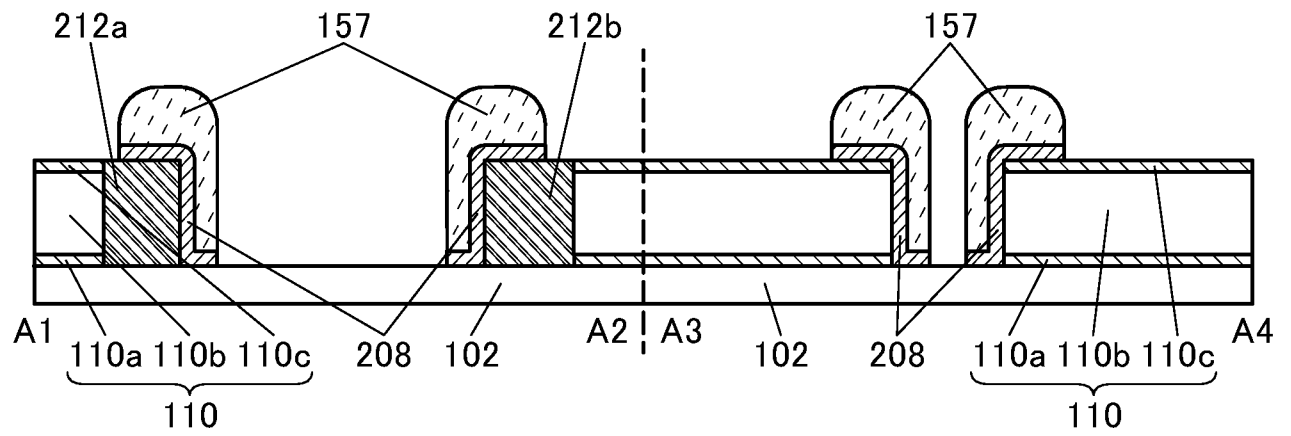


図22A

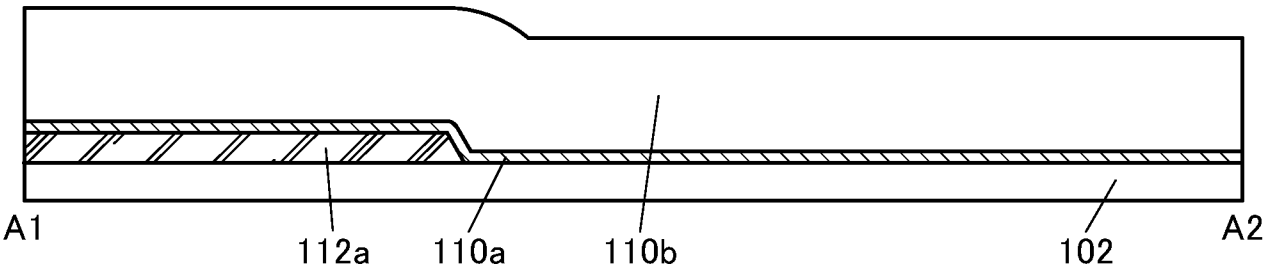


図22B

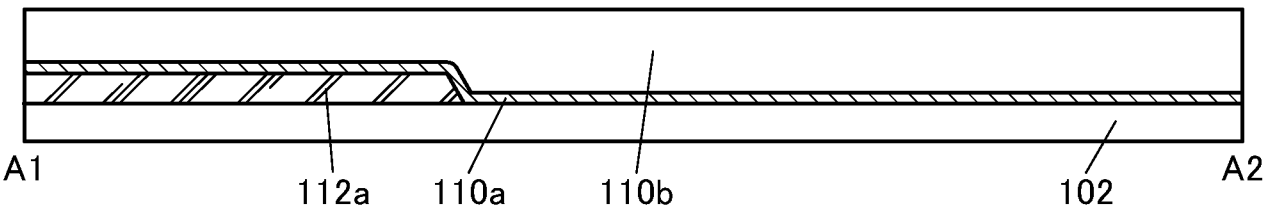


図22C

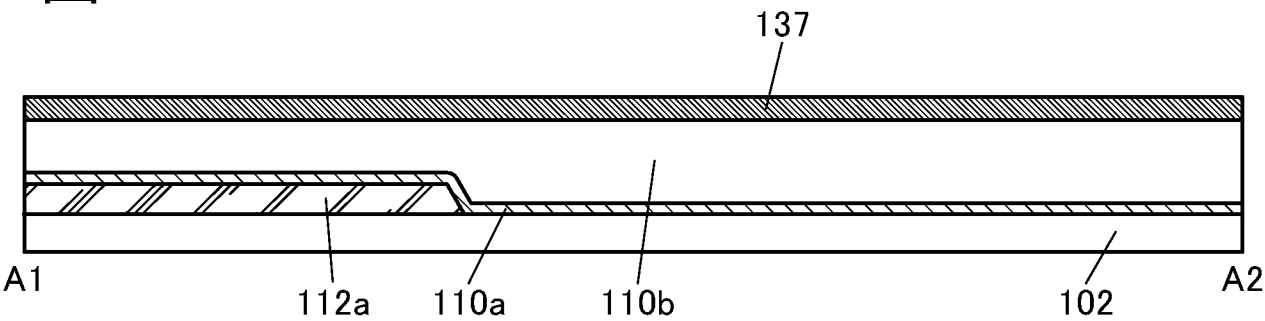


図22D

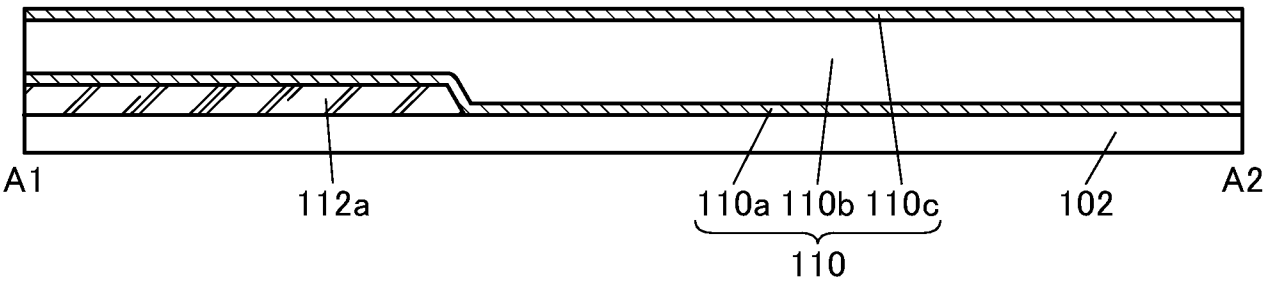


図23A

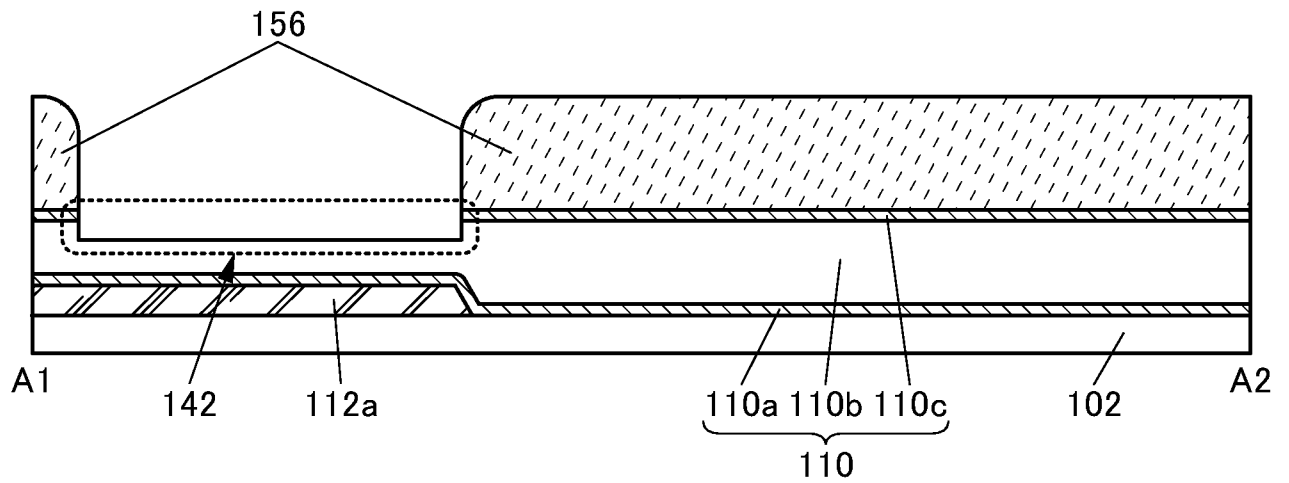


図23B

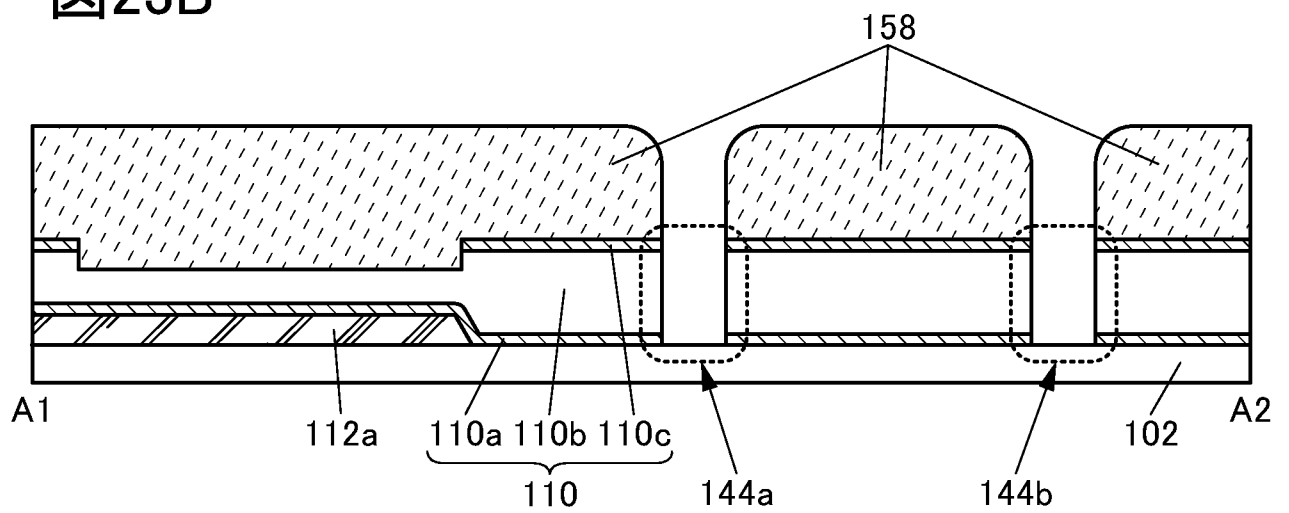


図23C

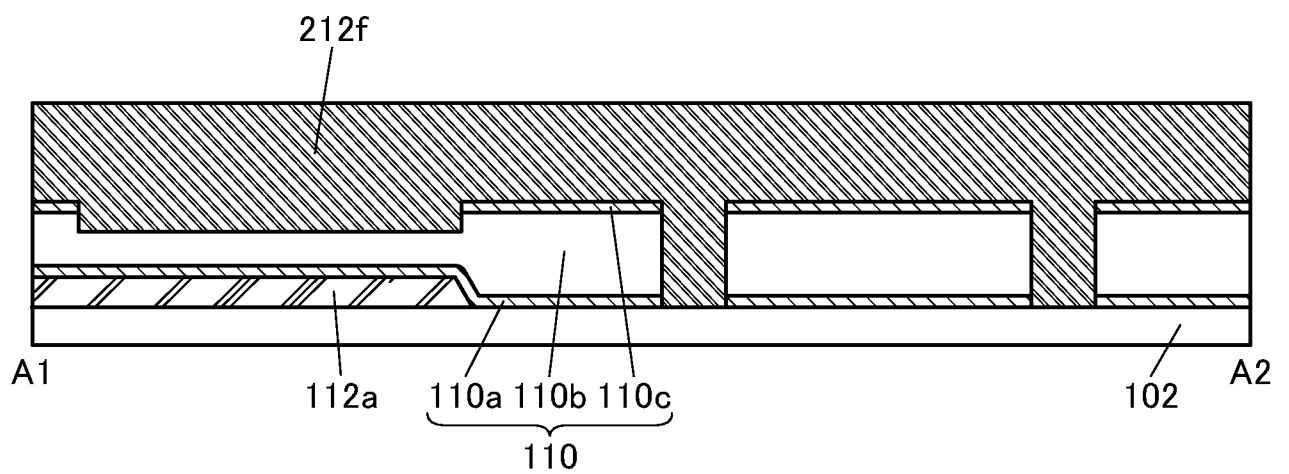


図24A

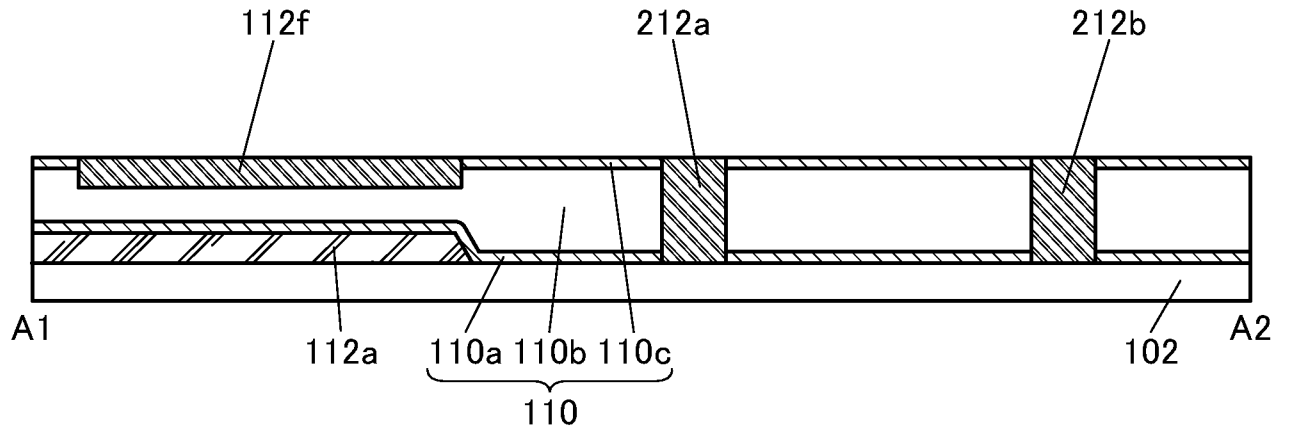


図24B

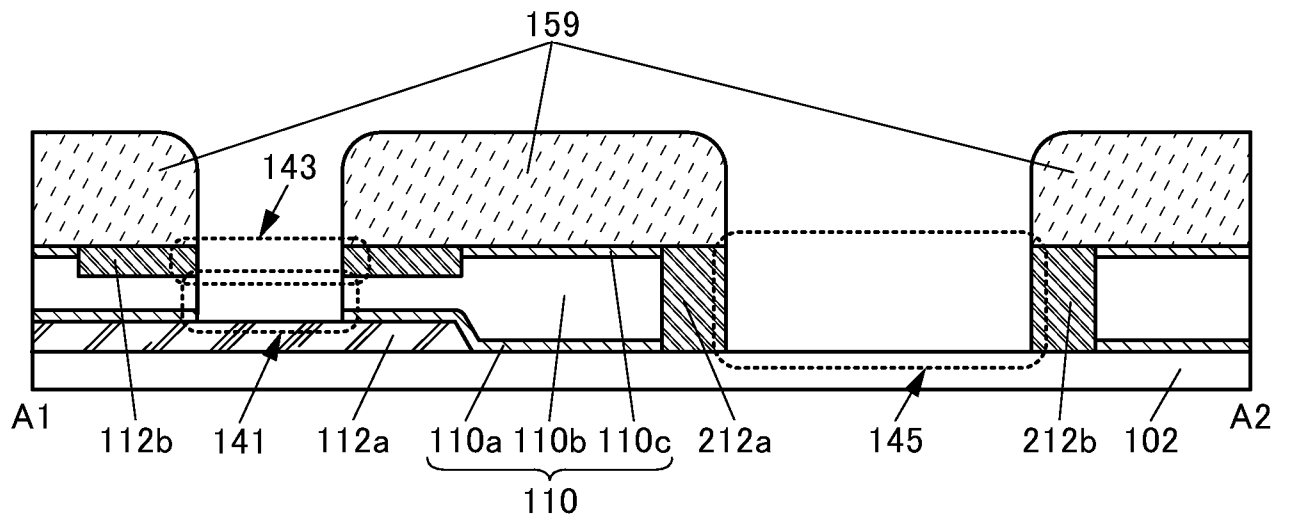


図24C

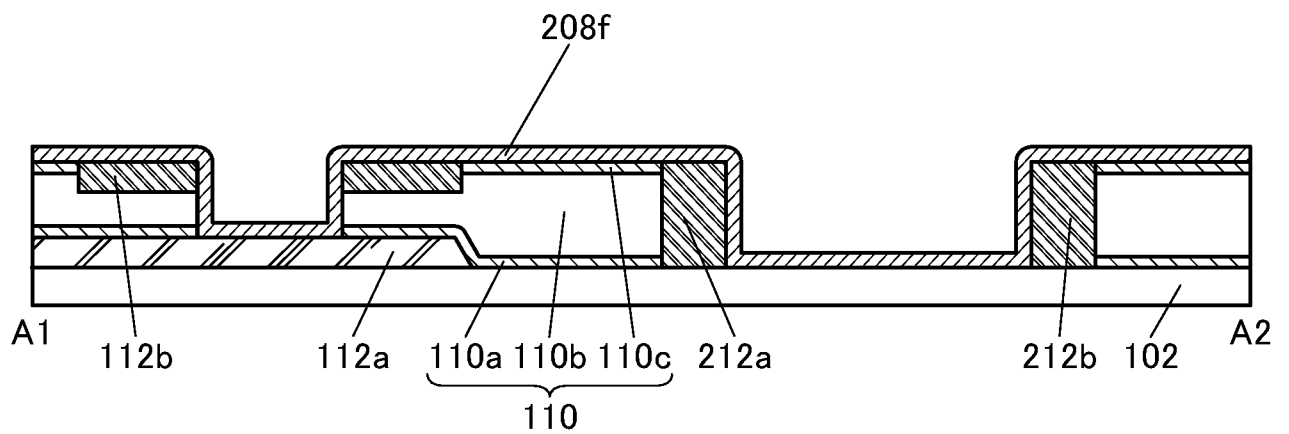


図25A

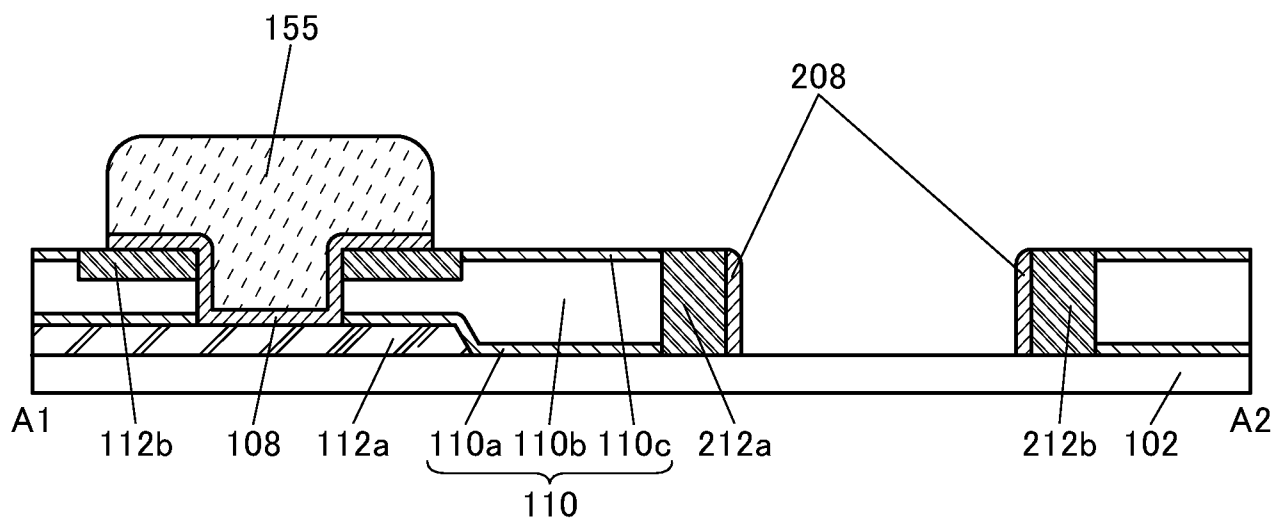


図25B

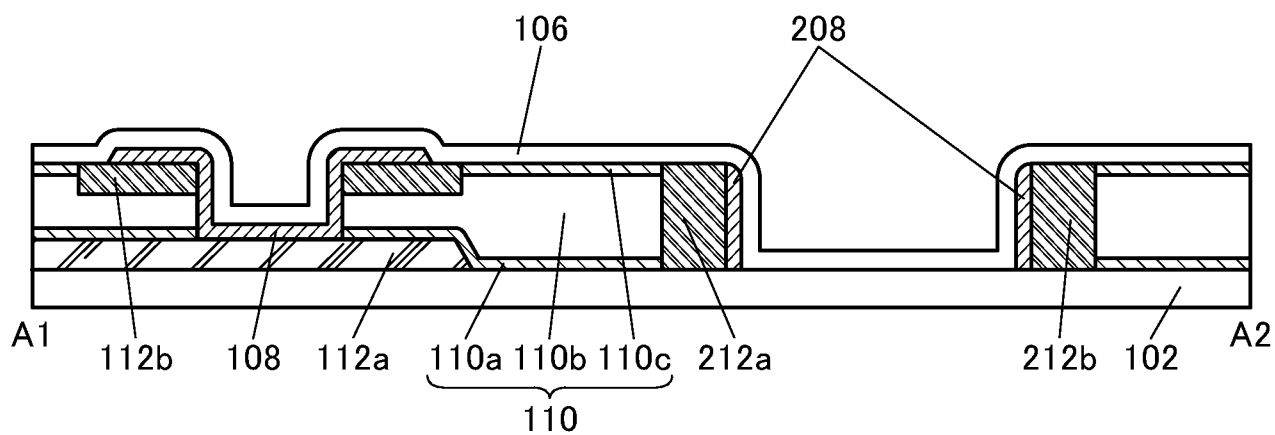
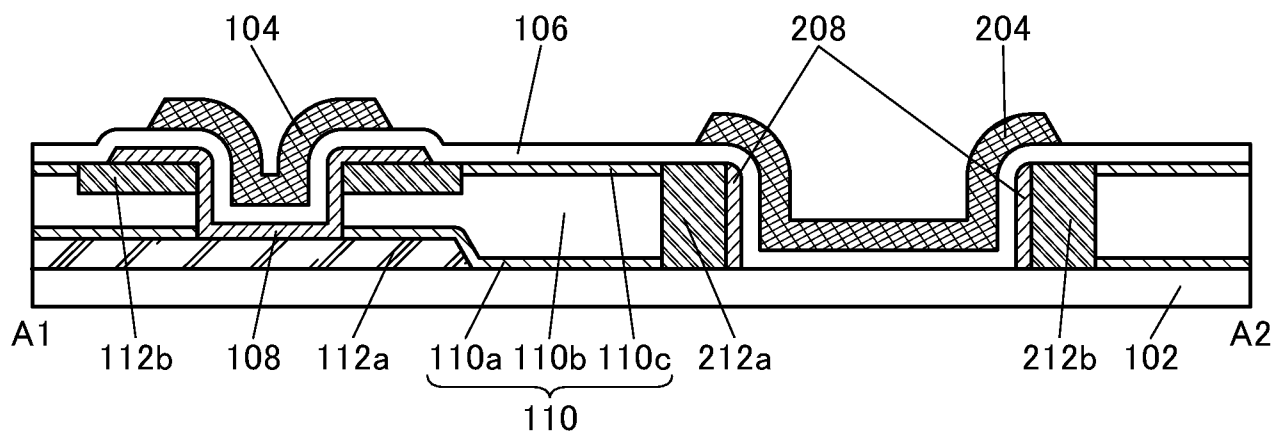


図25C



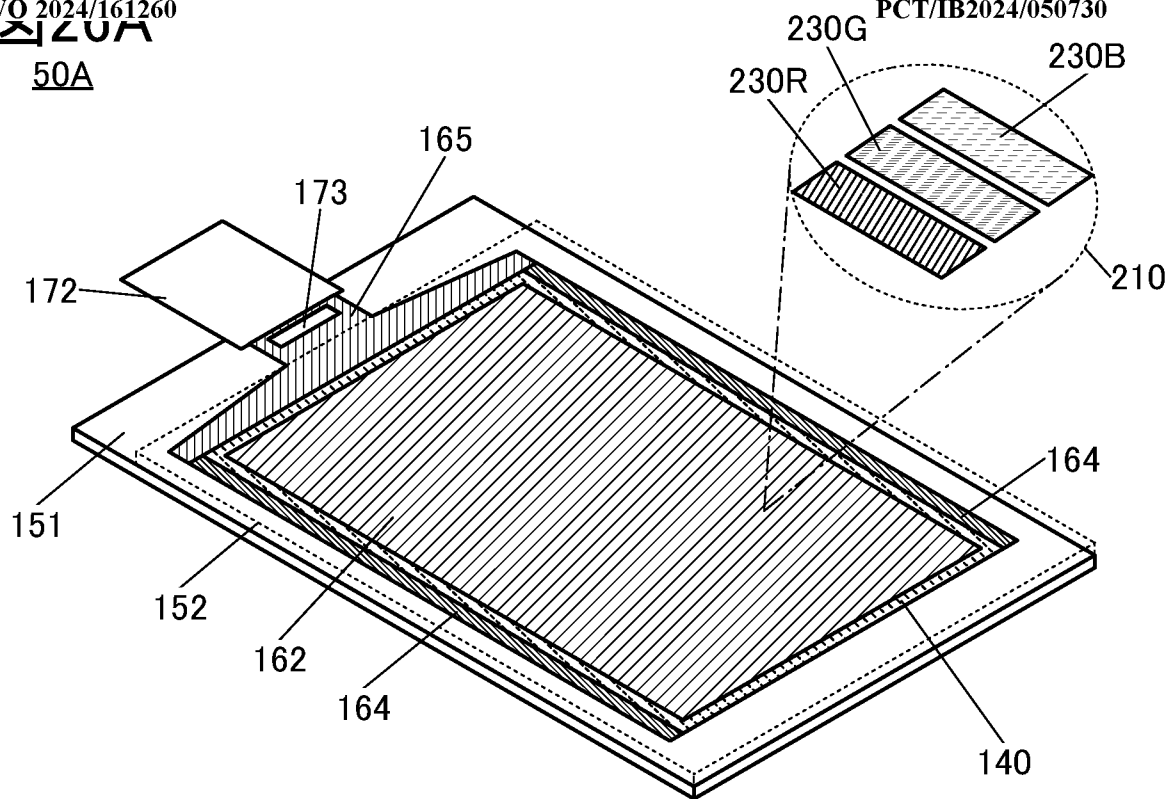
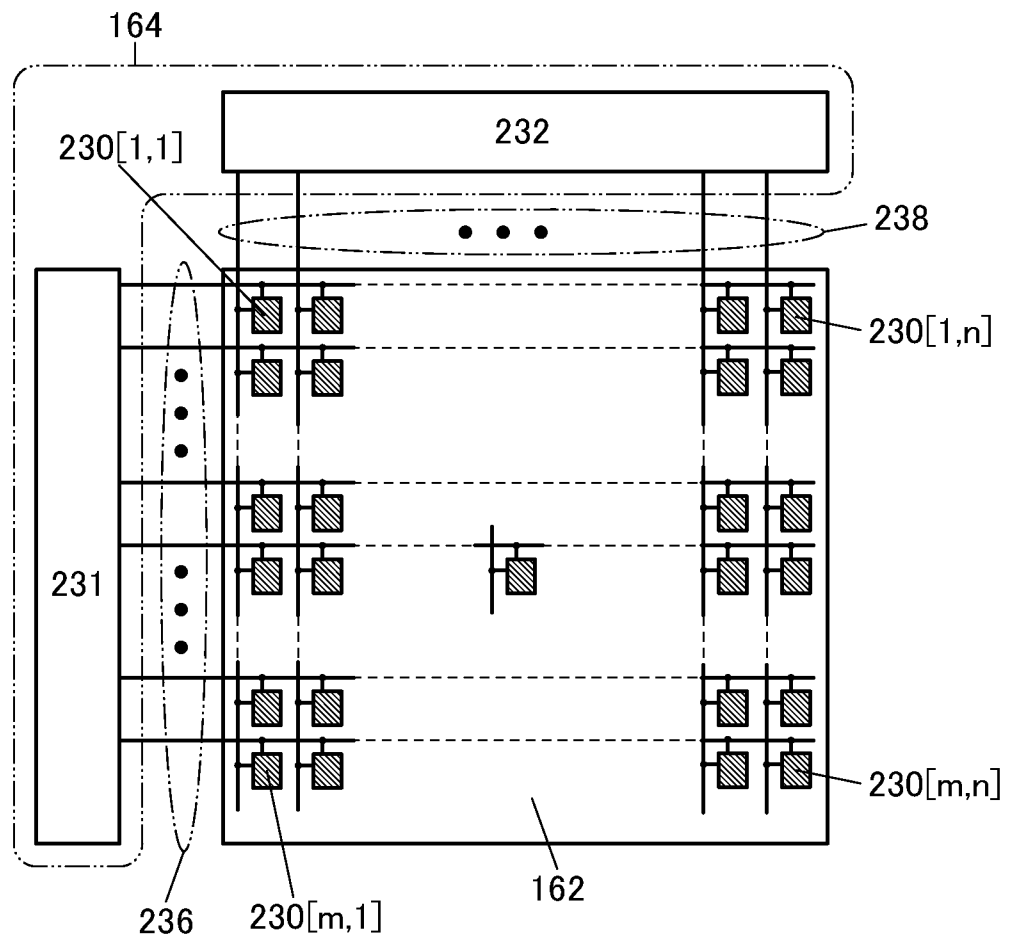
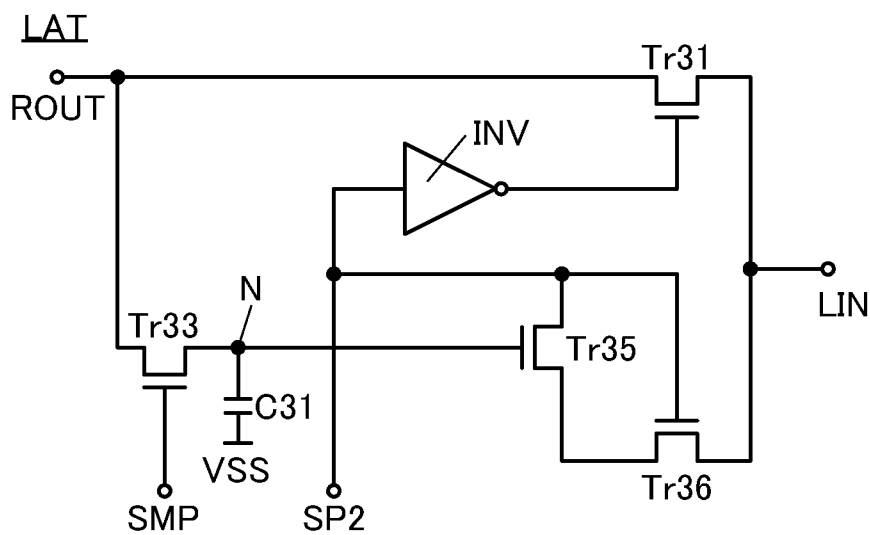


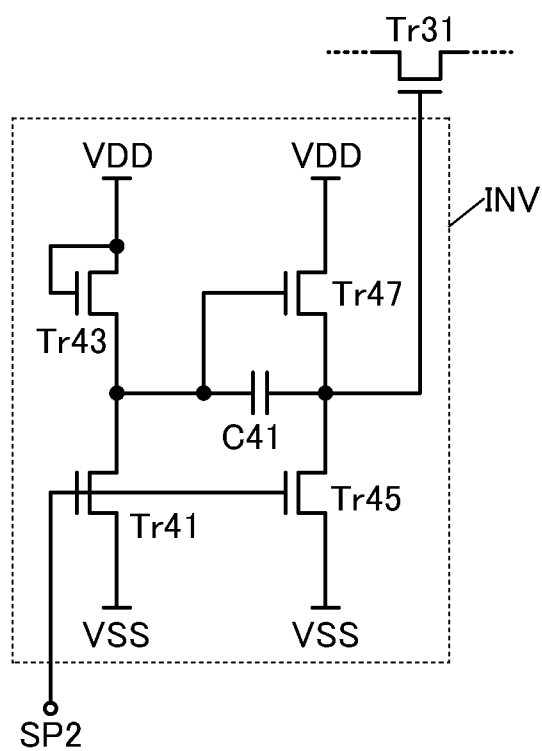
図 26B

50A

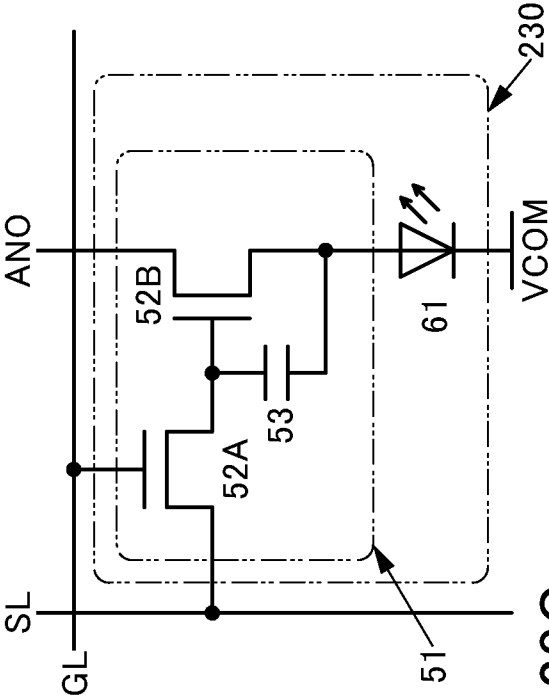




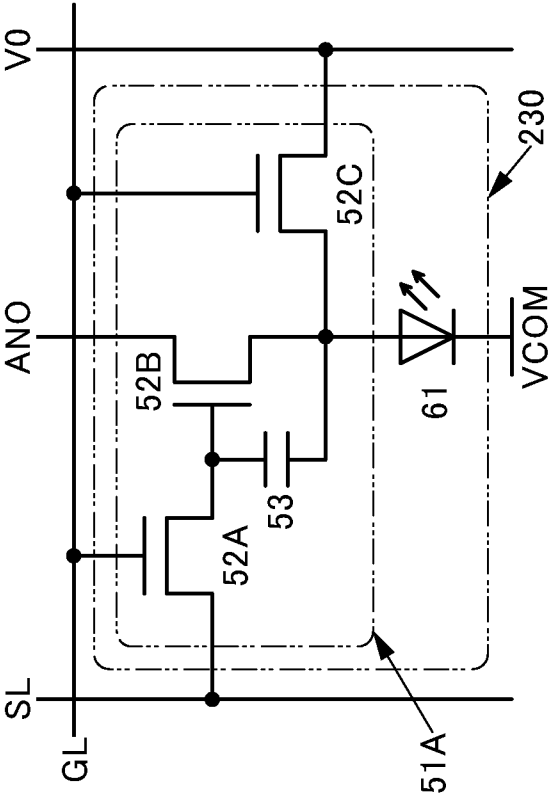
27B



28A



28B



28C

51

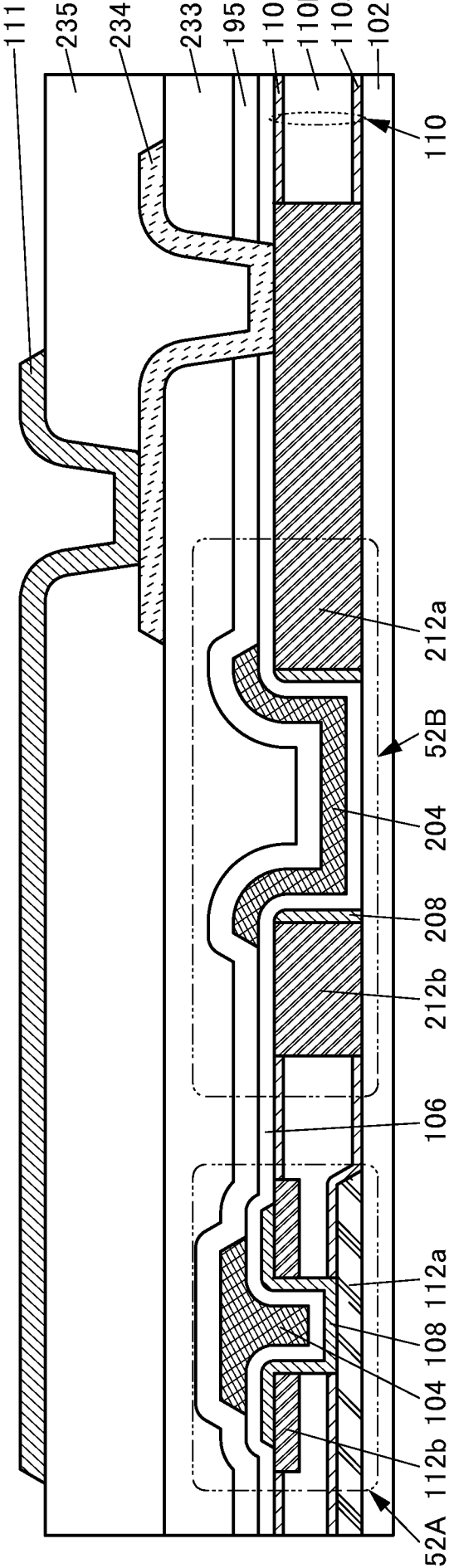


図 29

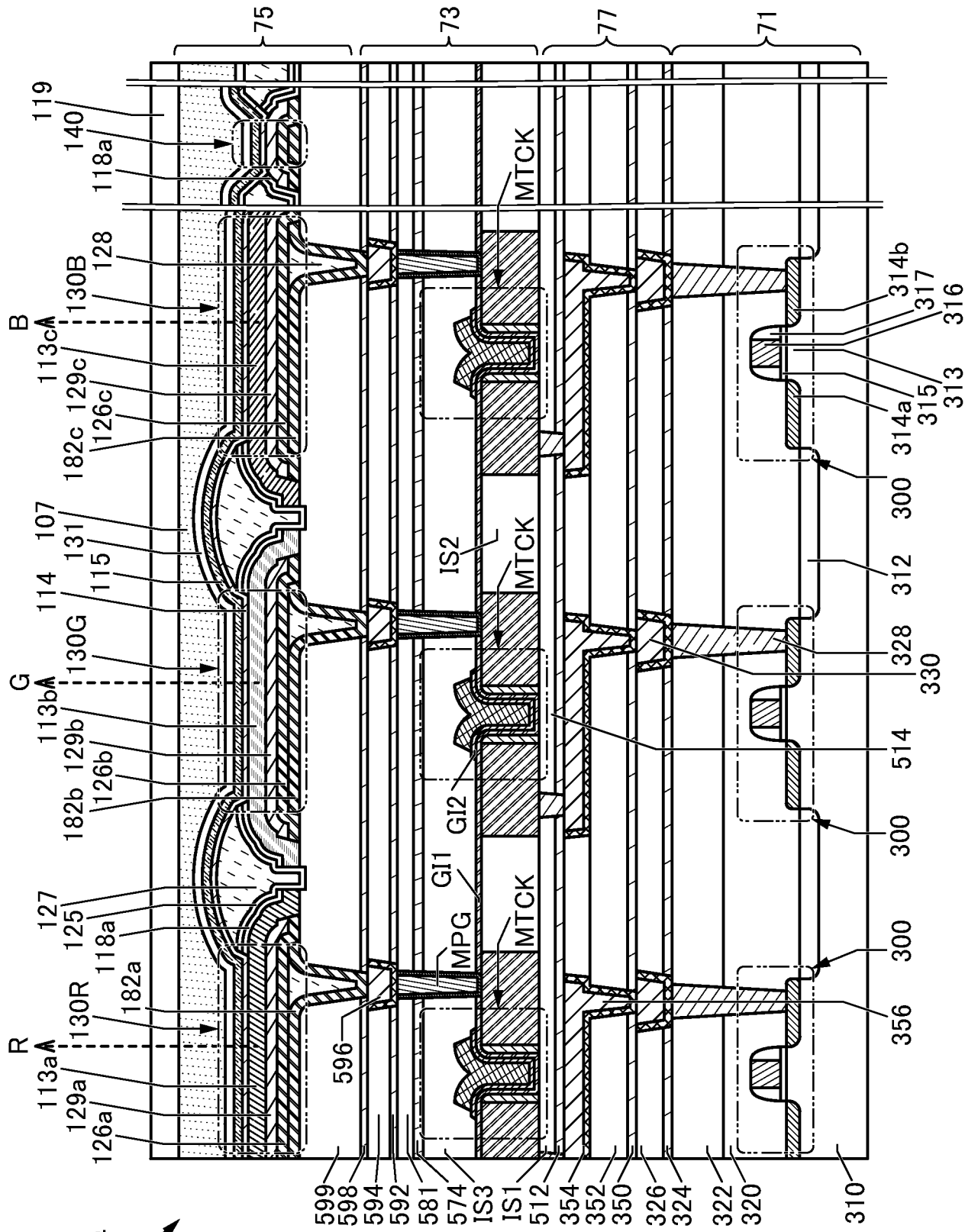


図30A

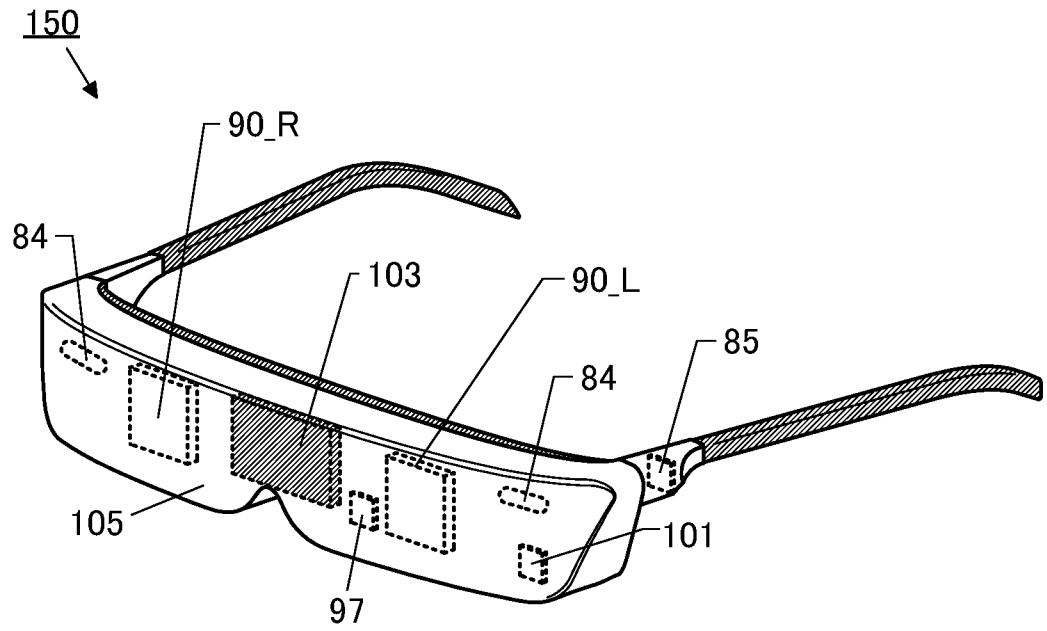


図30B

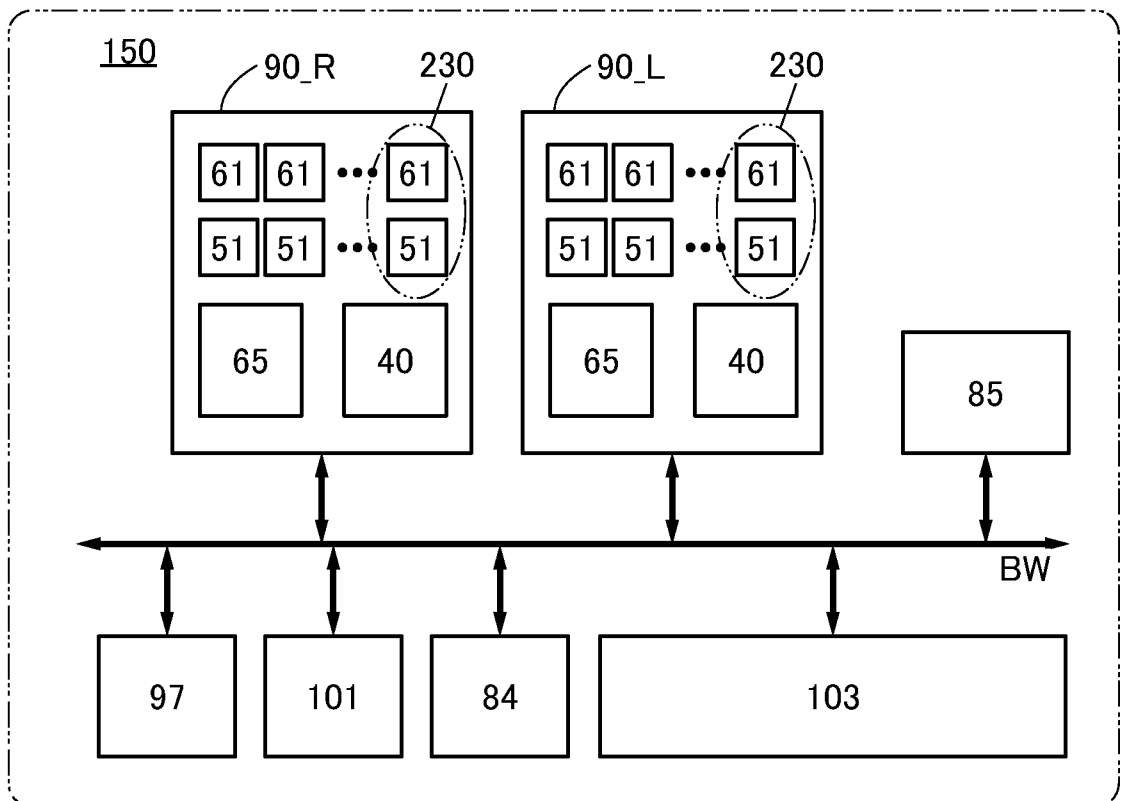


図31A

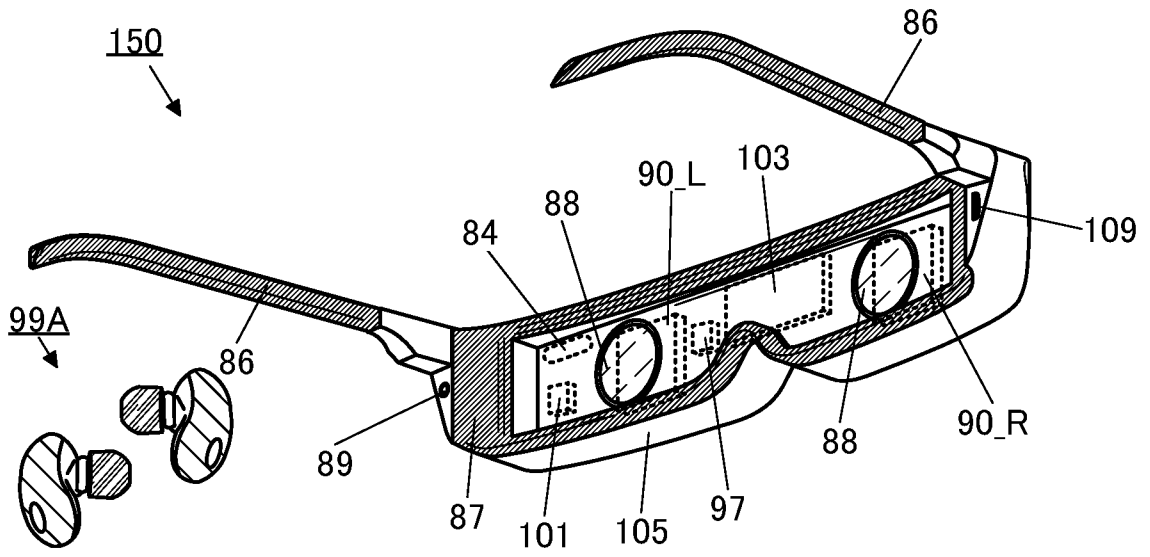


図31B

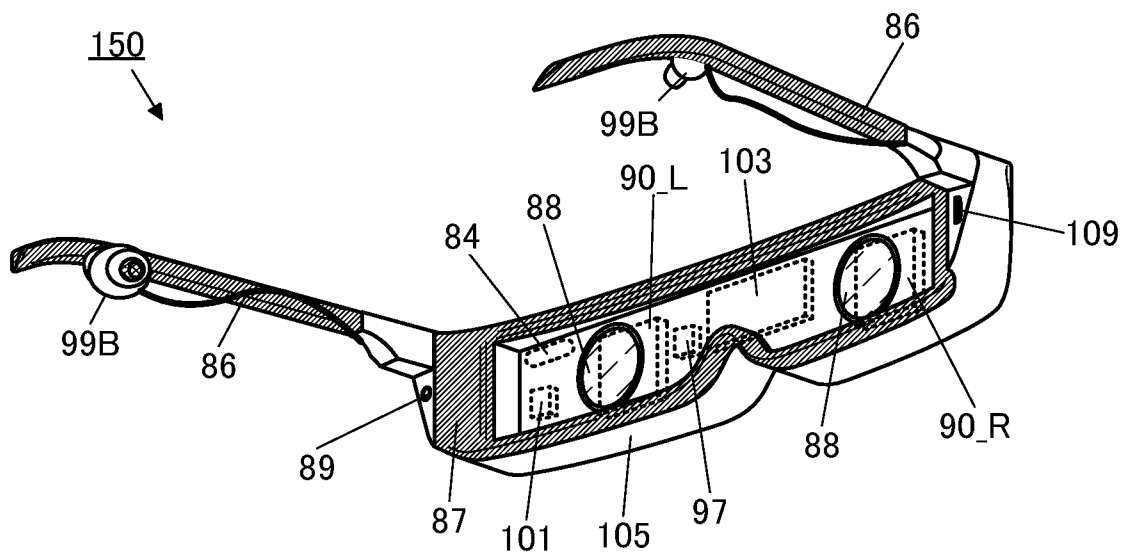


図 32A

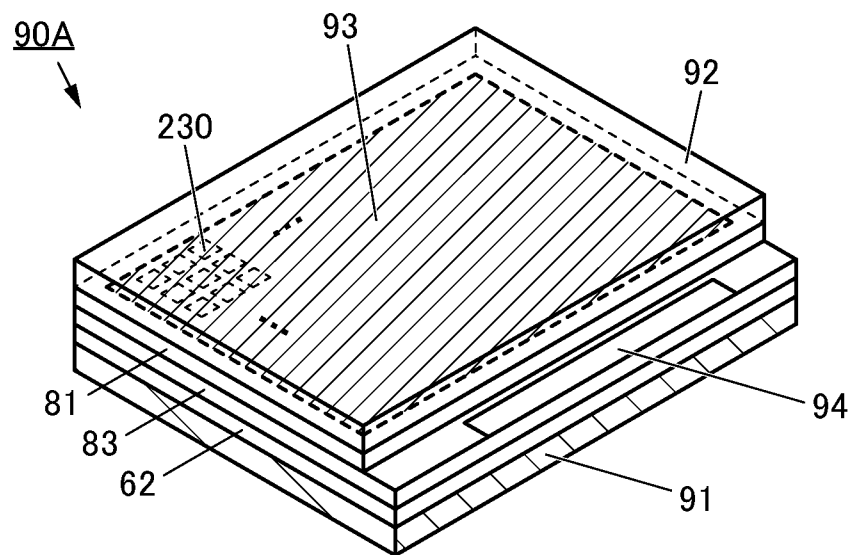
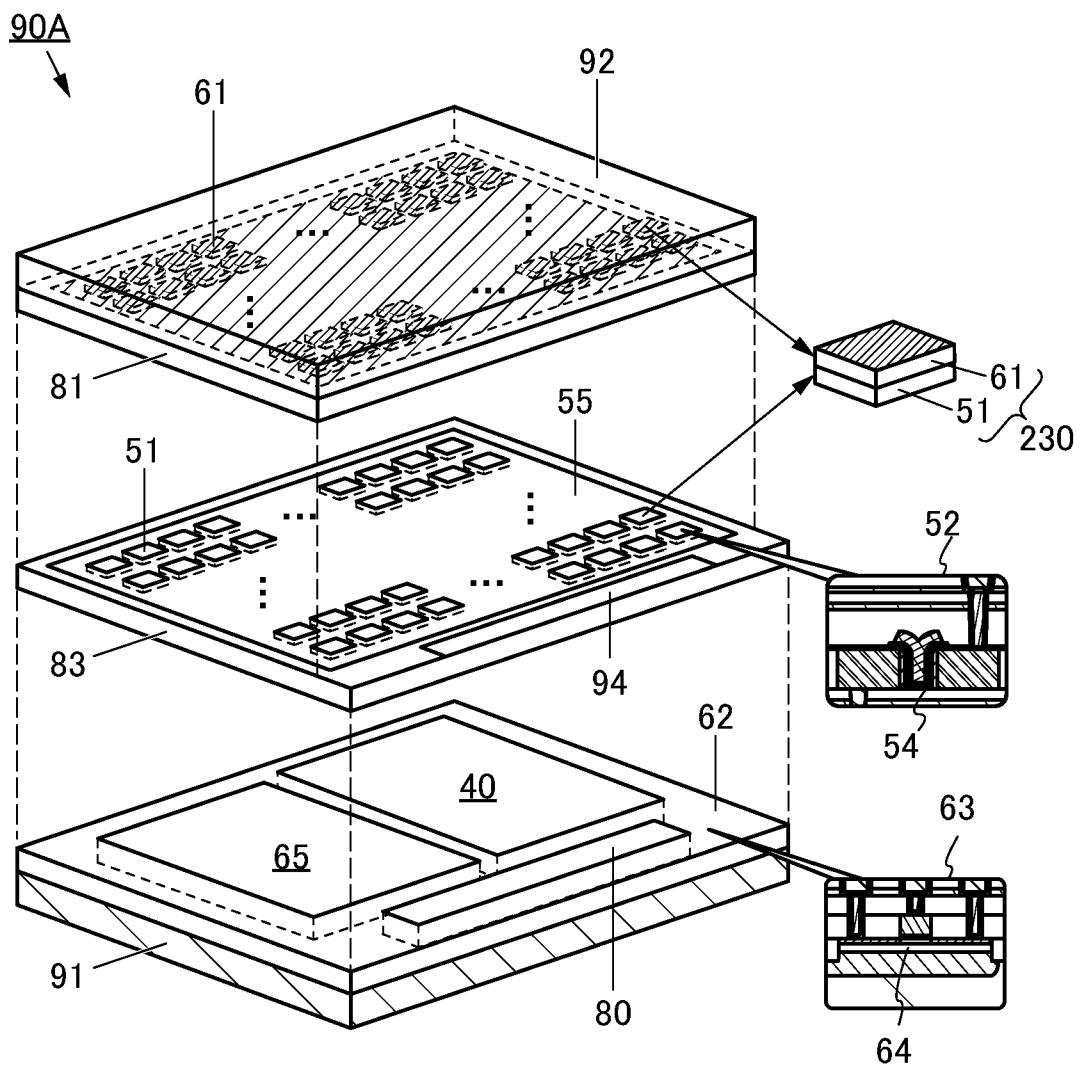


図 32B



90A

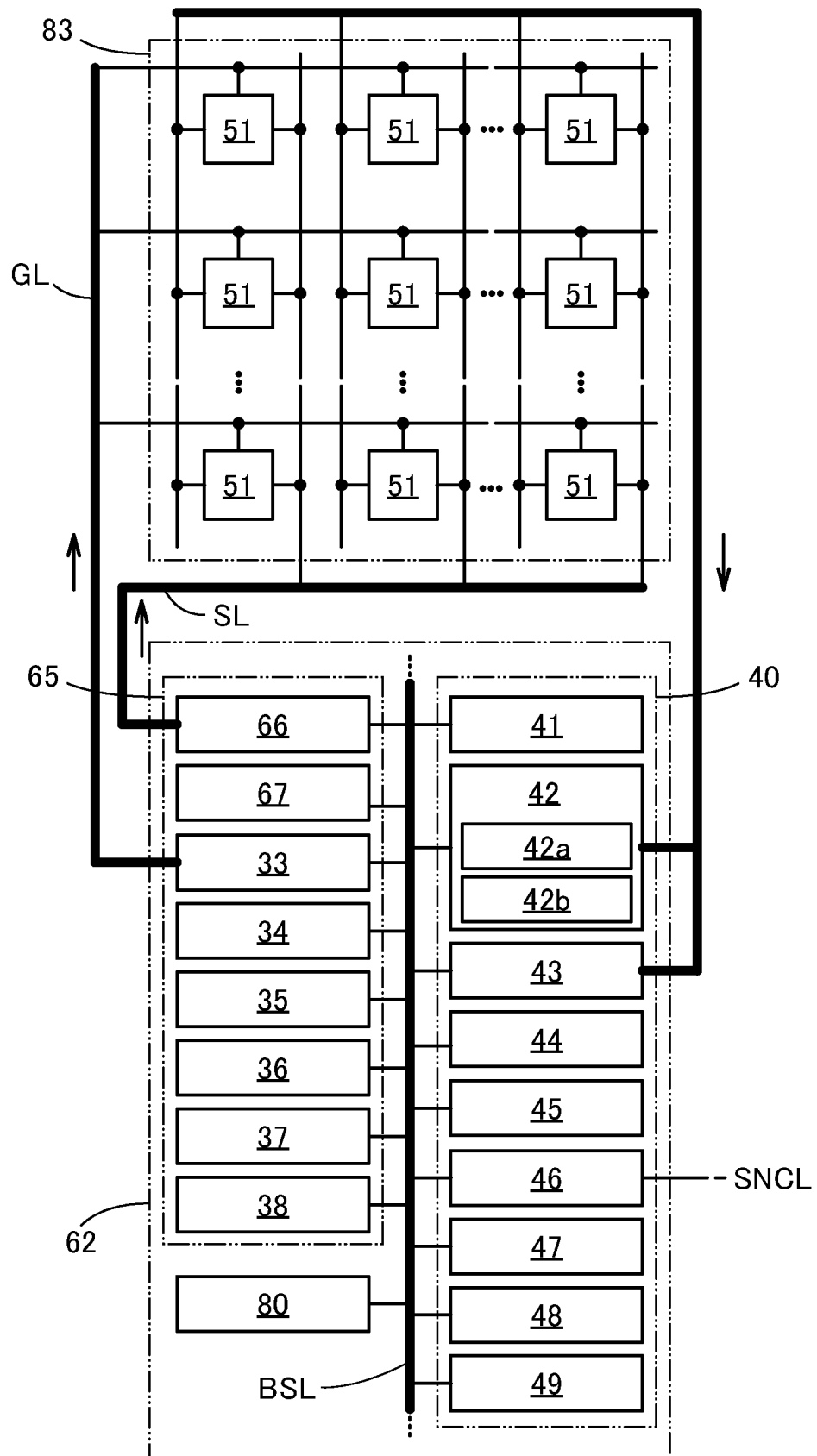


図34A

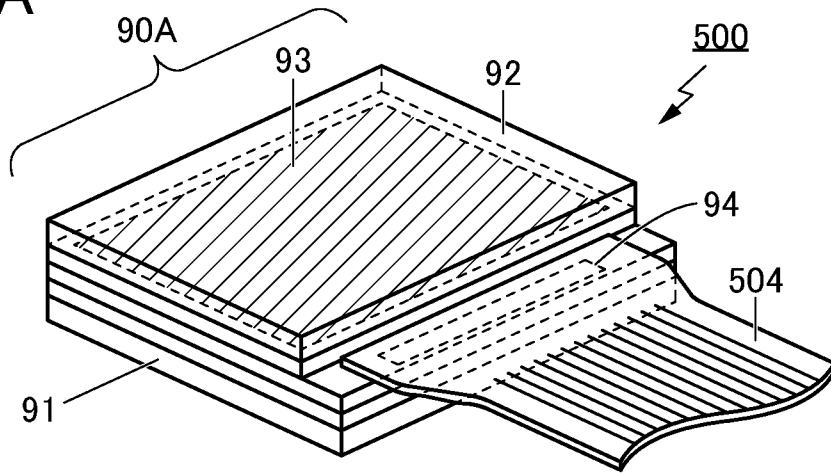


図34B

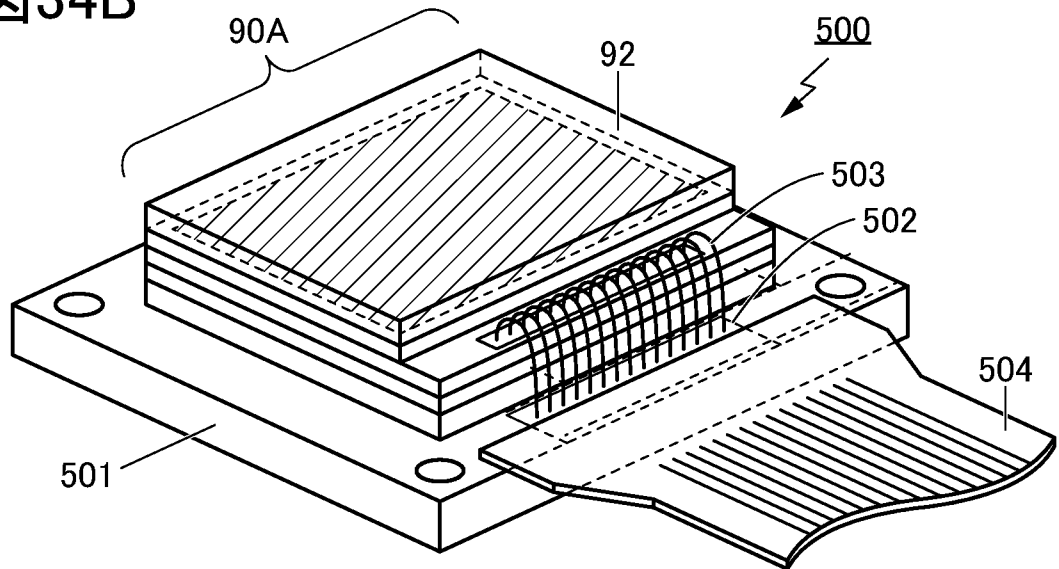


図34C

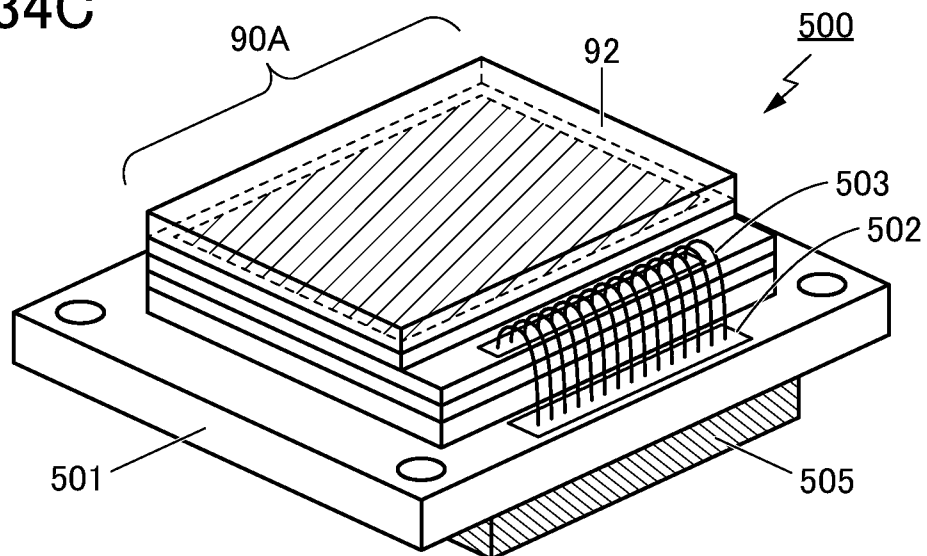


図35A

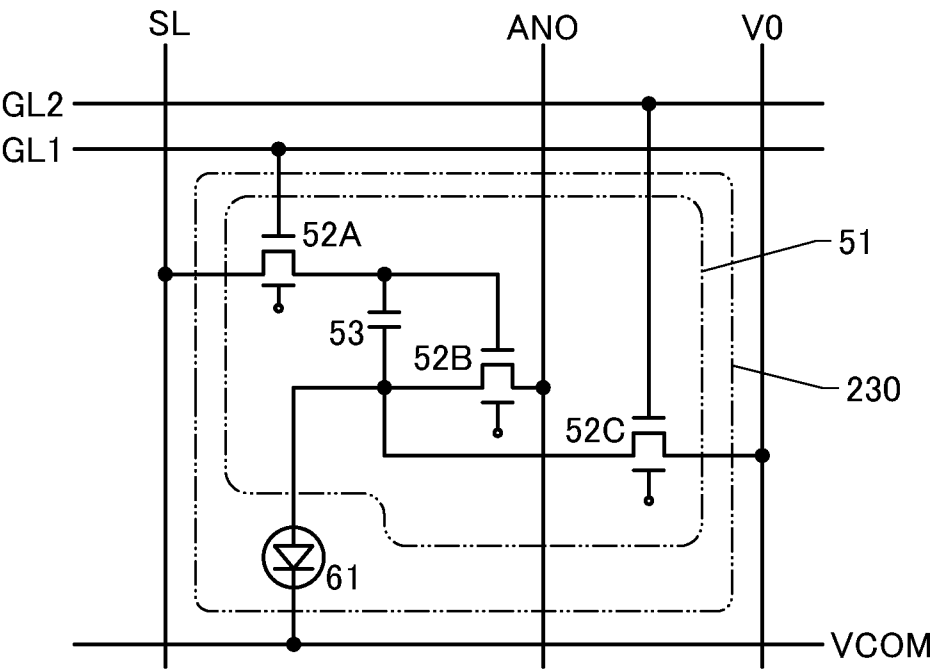


図35B

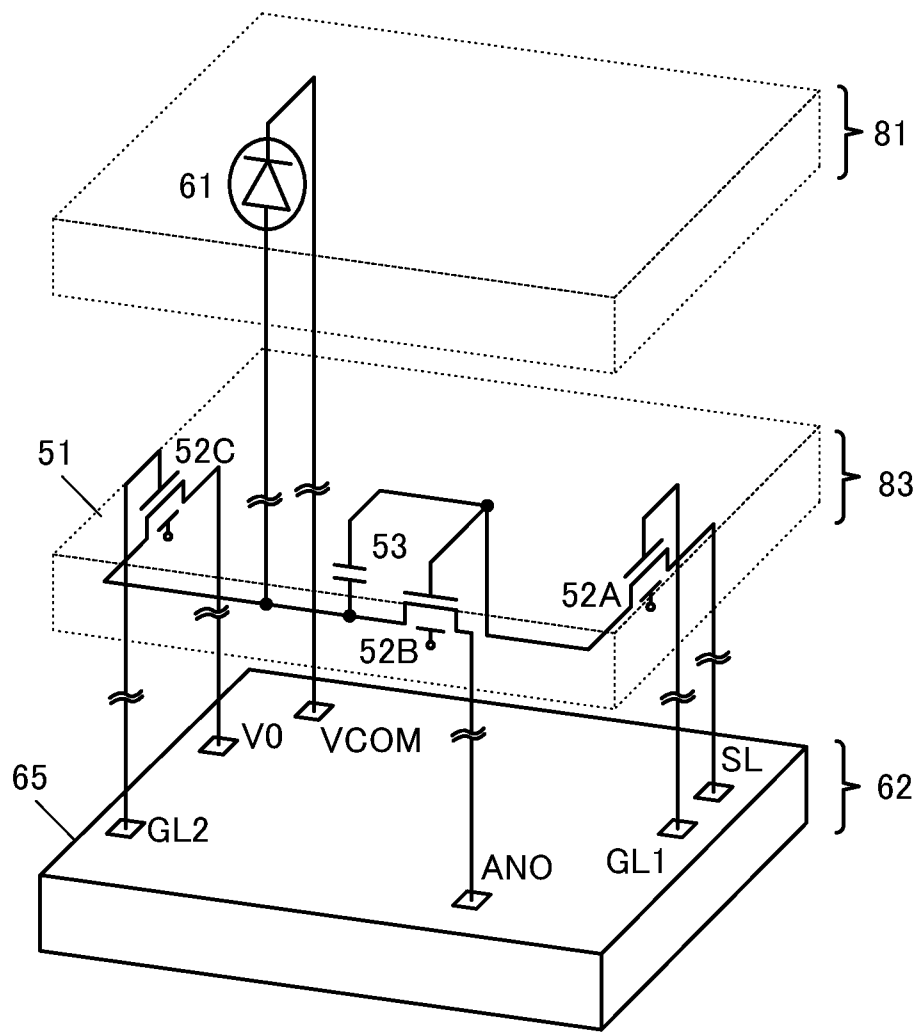


図36A

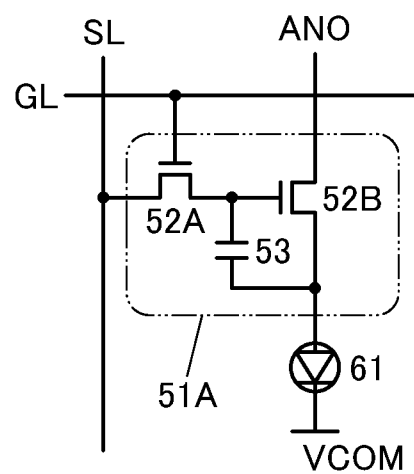


図36B

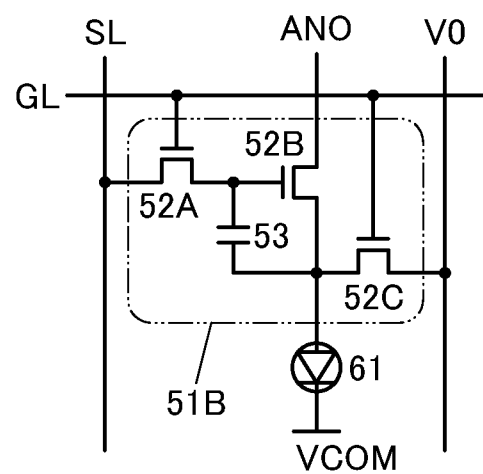


図36C

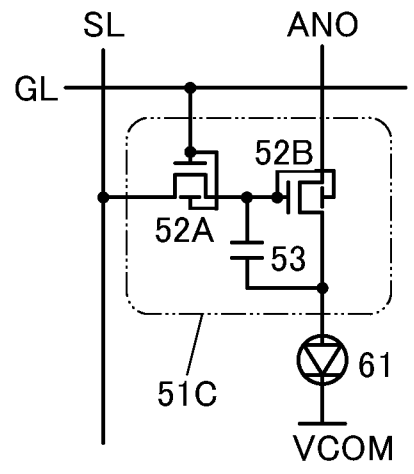


図36D

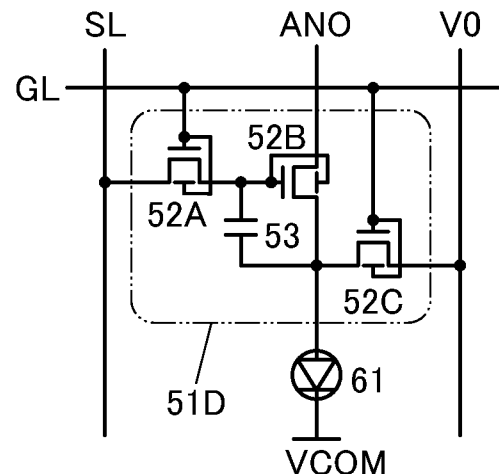


図37A

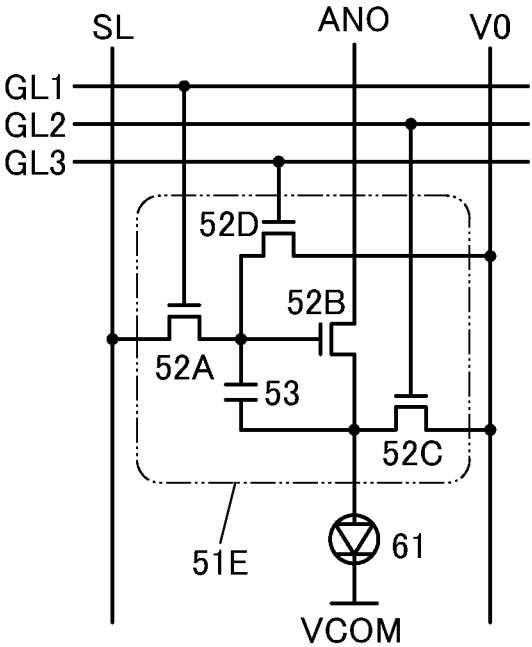


図37B

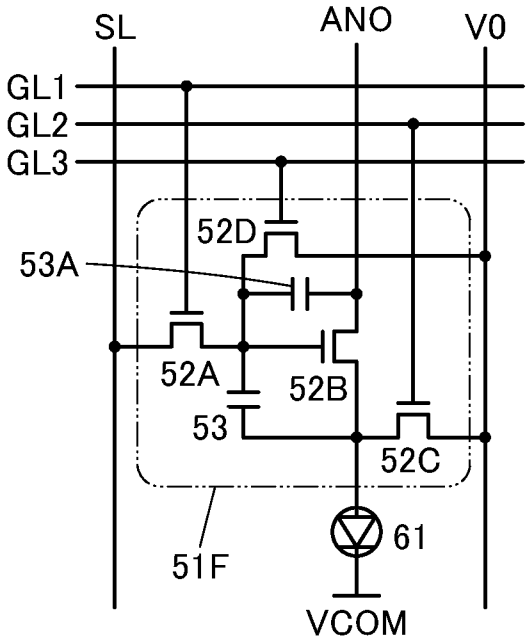


図37C

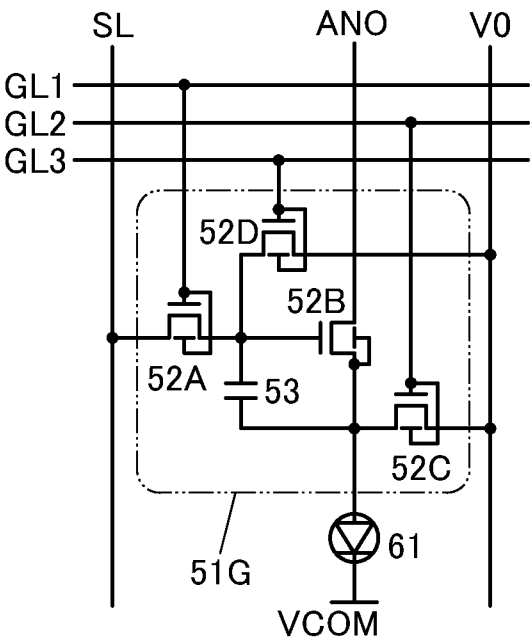


図37D

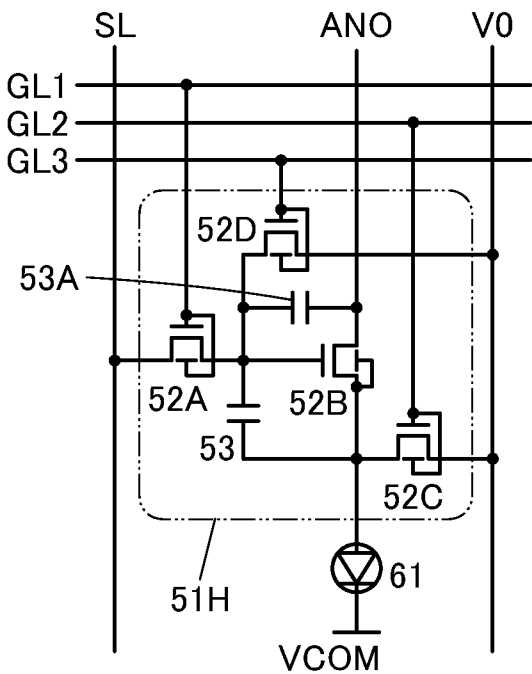


図38A

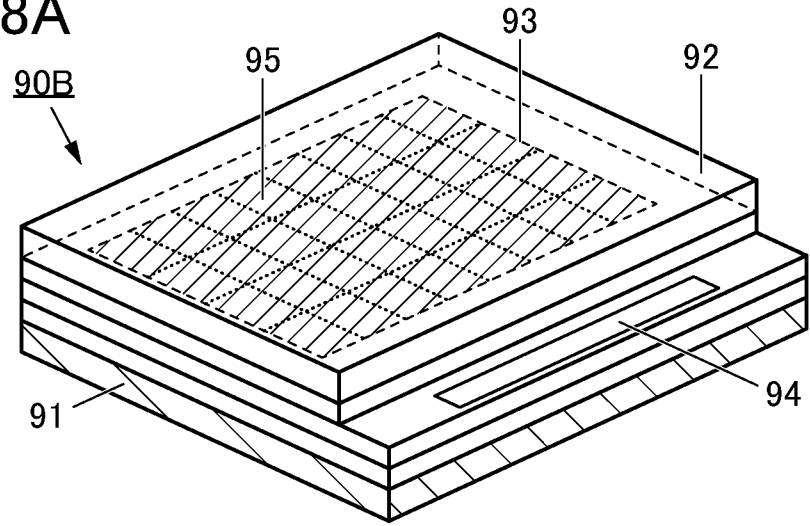


図38B

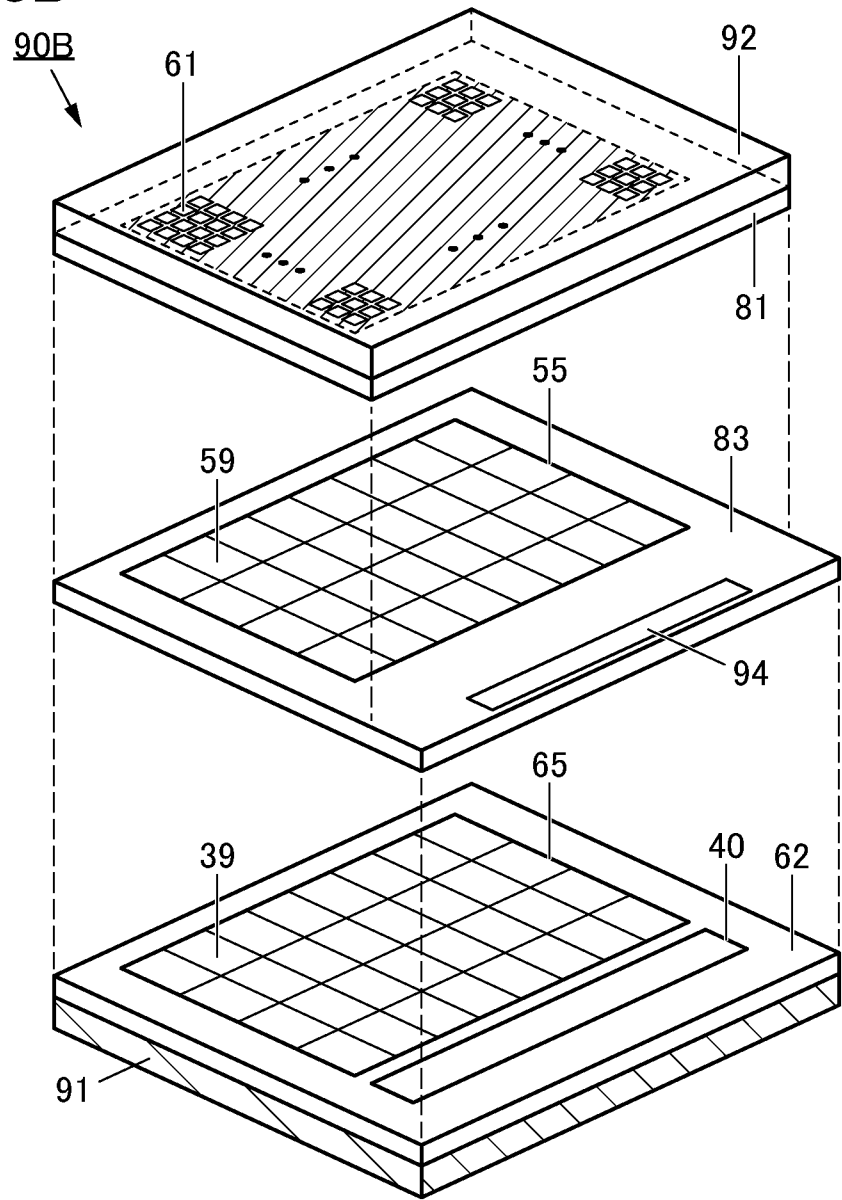


図39A

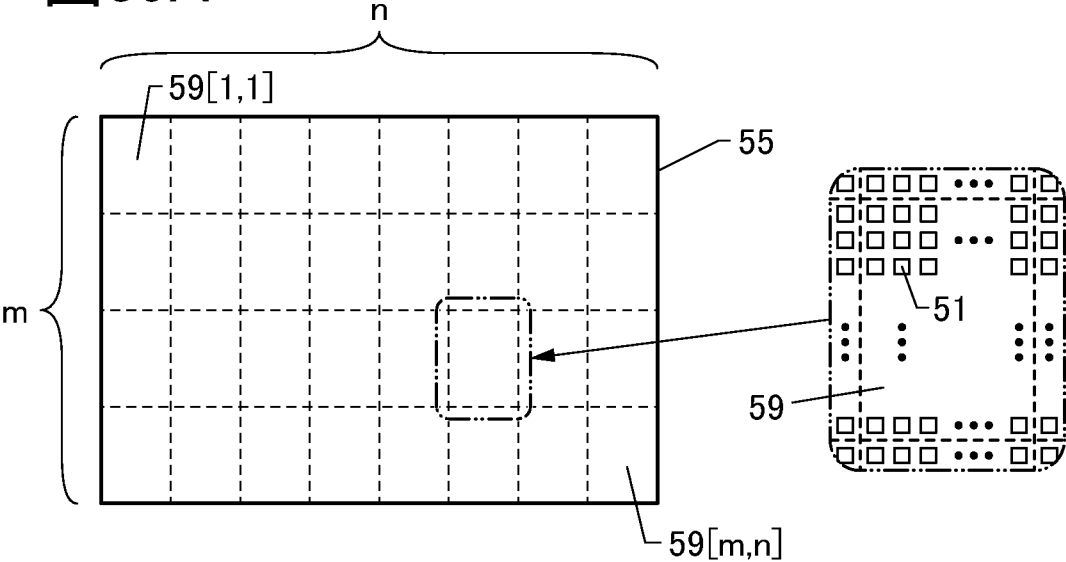


図39B

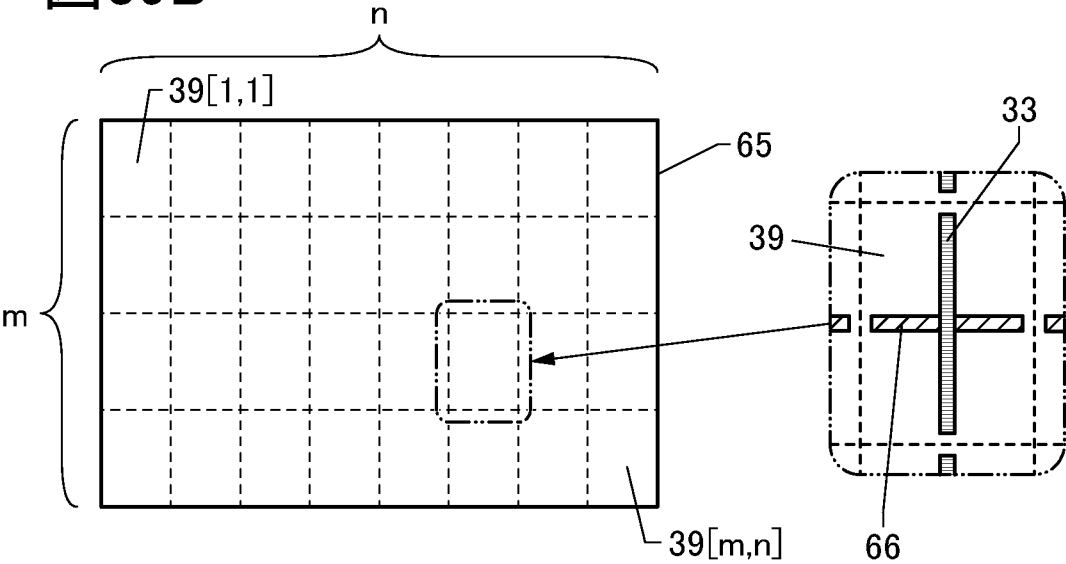


図39C

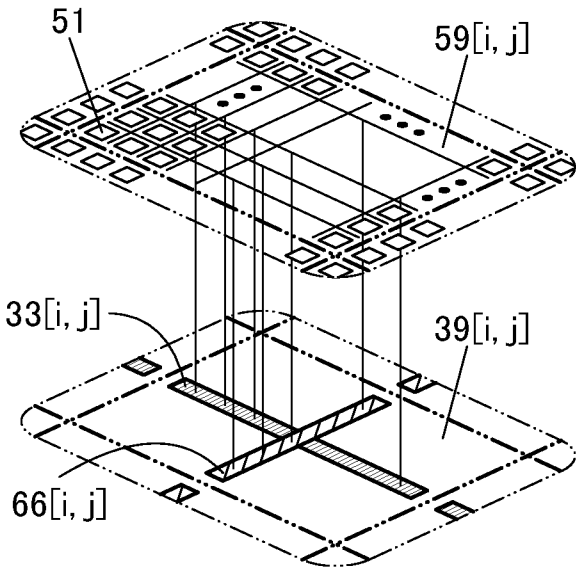


図39D

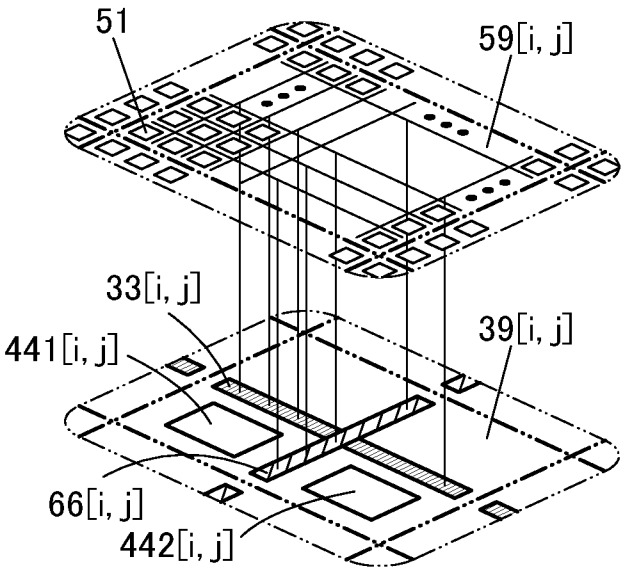


図40A

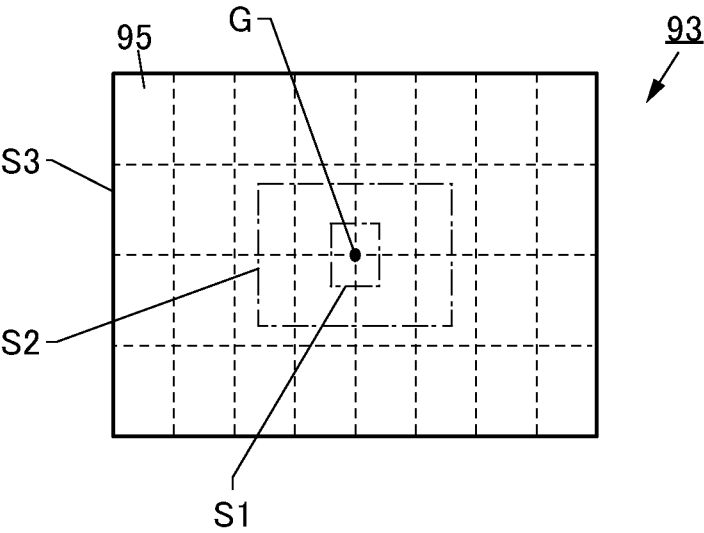


図40B

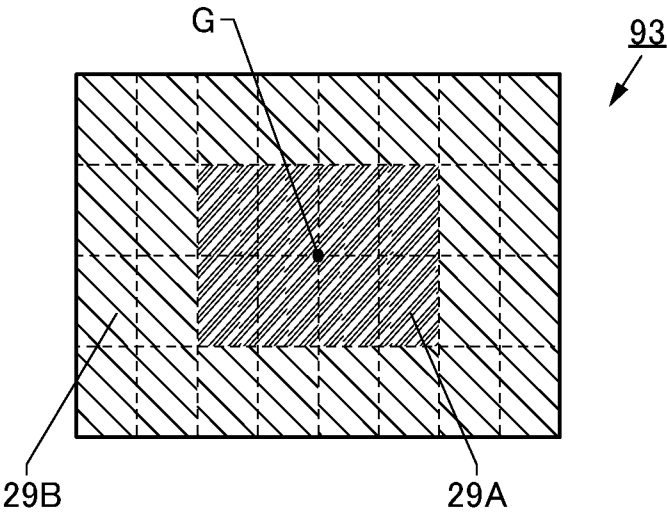


図40C

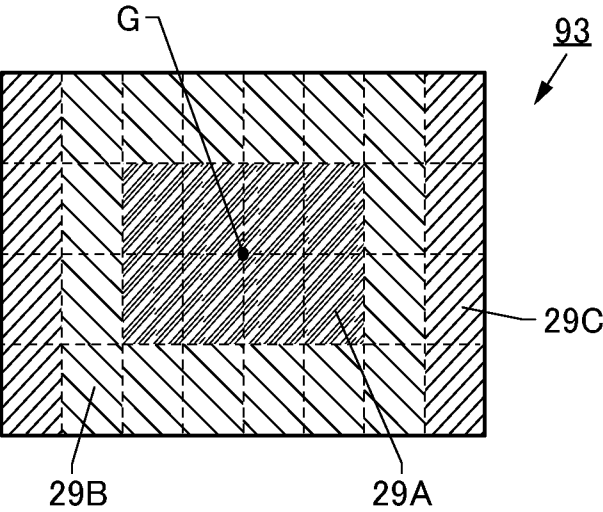


图41A

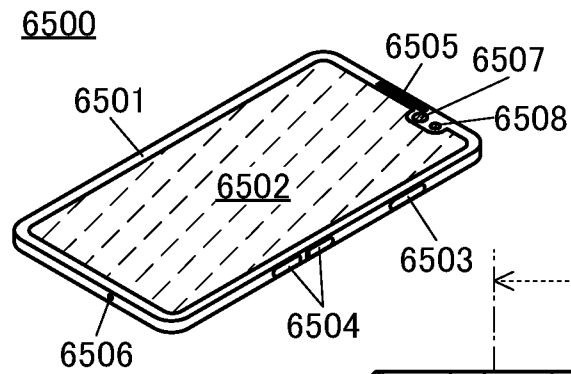


图41B

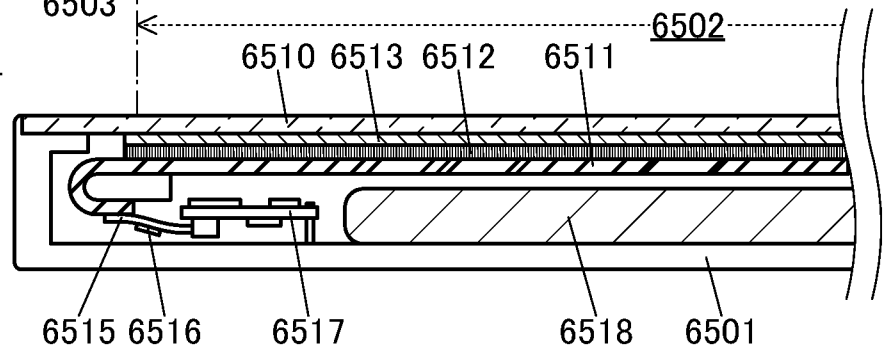


图41C

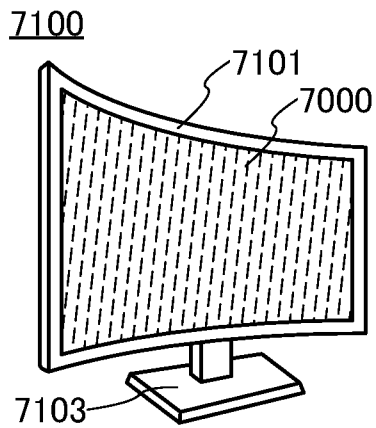


图41D

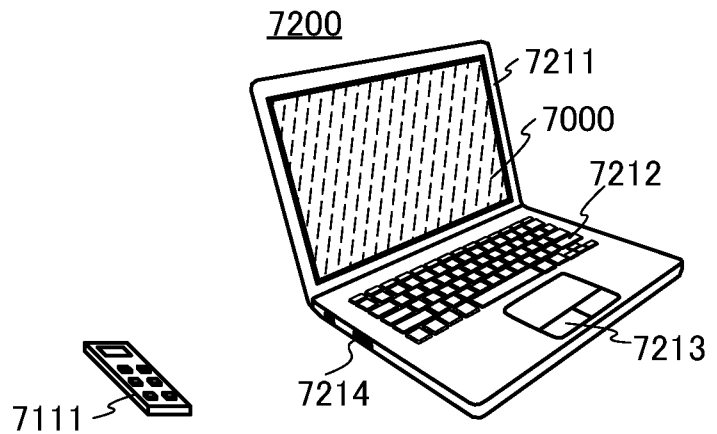


图41E

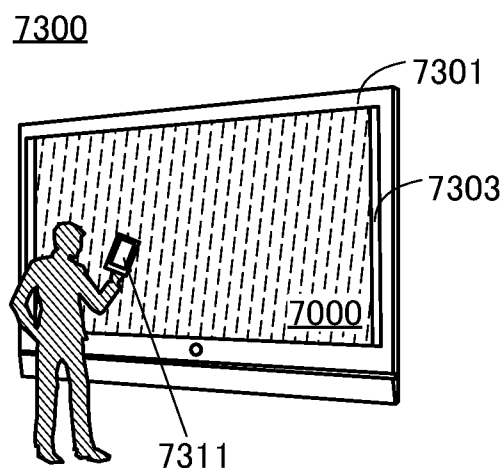


图41F

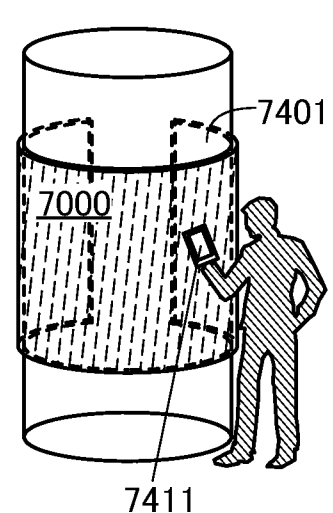


图42A

9101

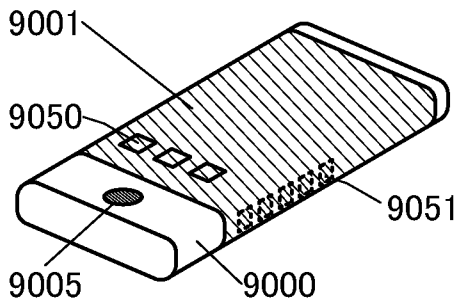


图42B

9102

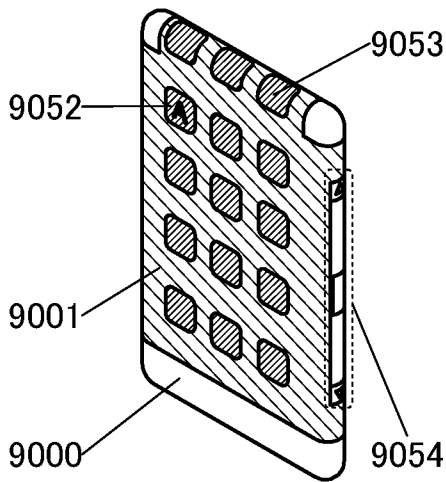


图42C

9103

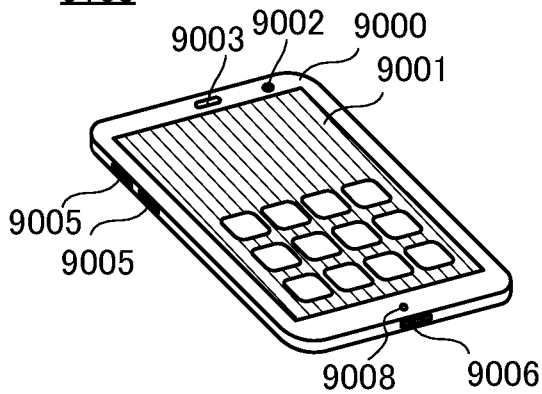


图42D

9200

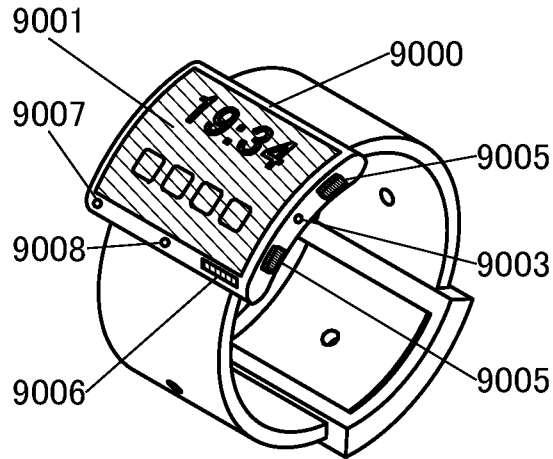


图42E

9201

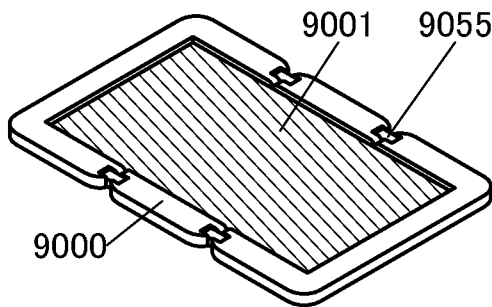


图42F

9201

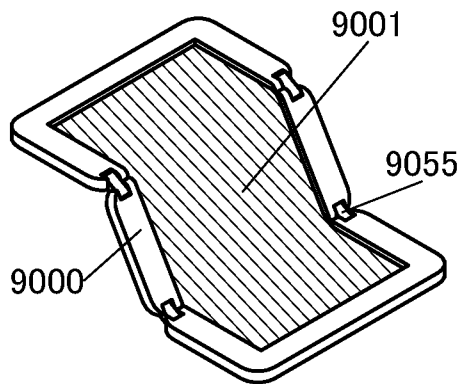


图42G

9201

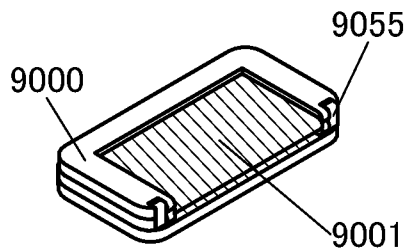


図43A

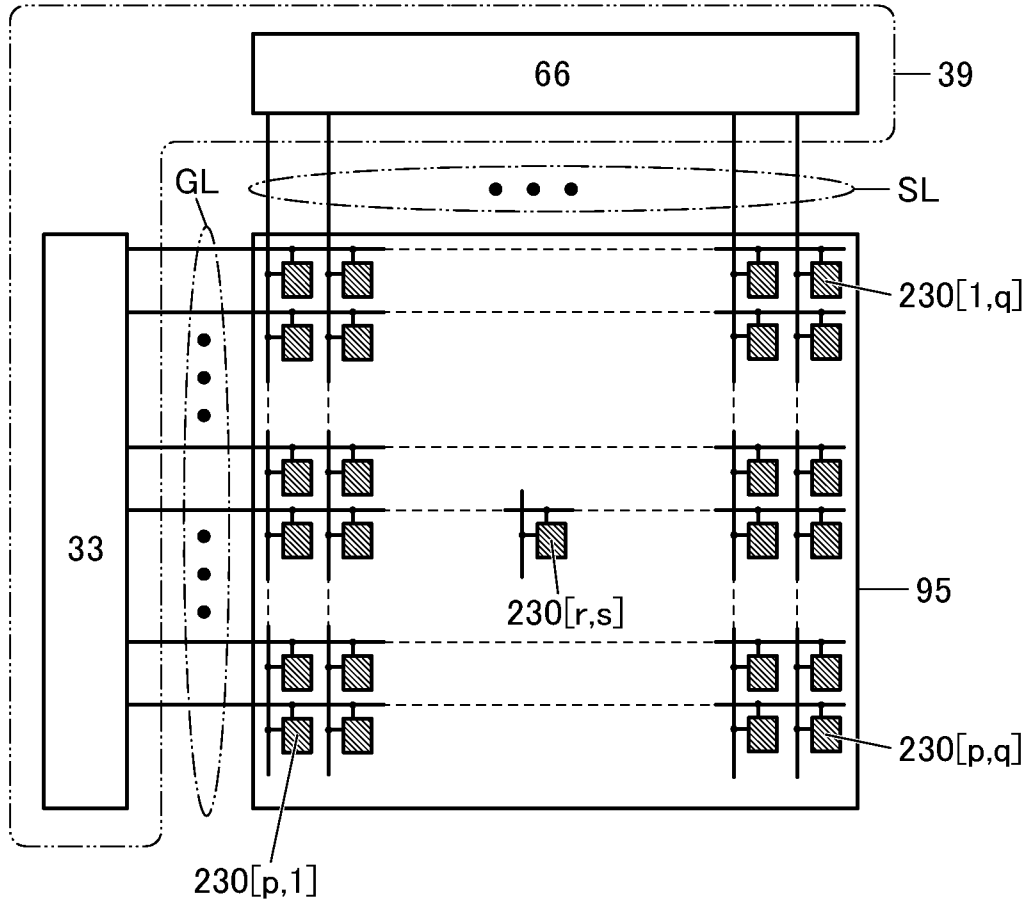


図43B1

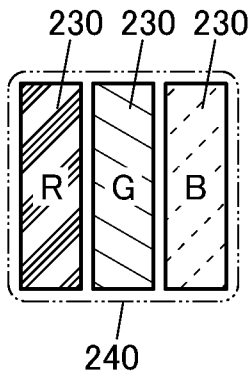


図43B2

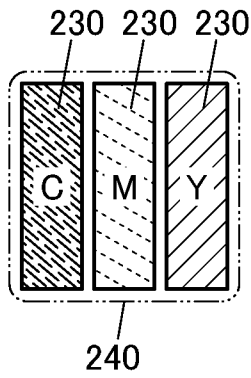


図43B3

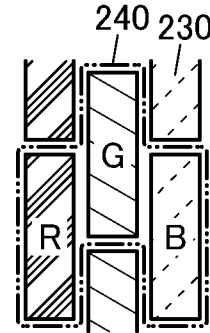


図43B4

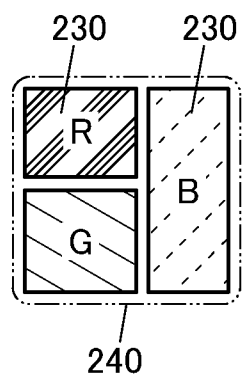


図43B5

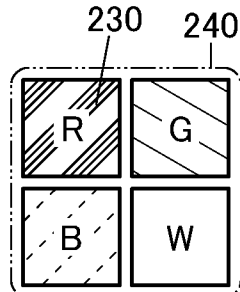


図43B6

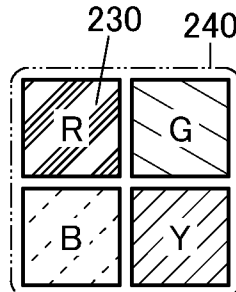


図43B7

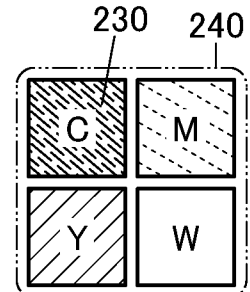


図44A

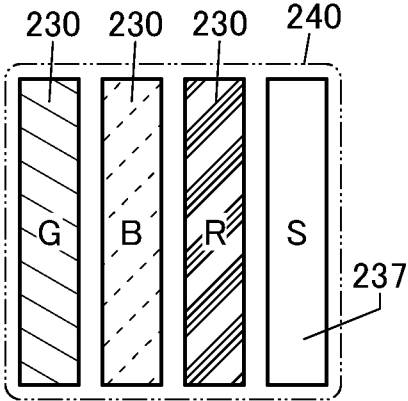


図44B

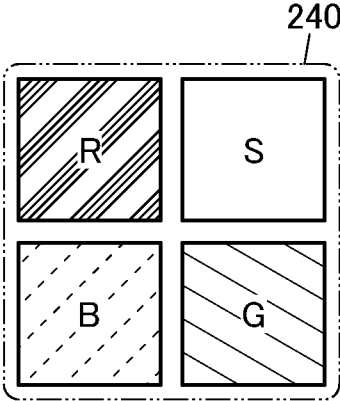


図44C

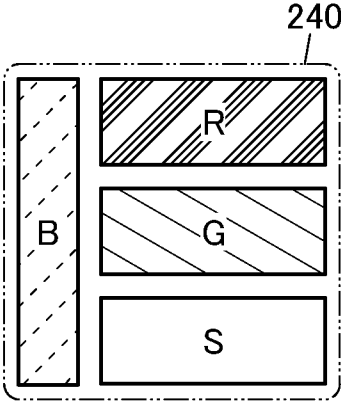


図44D

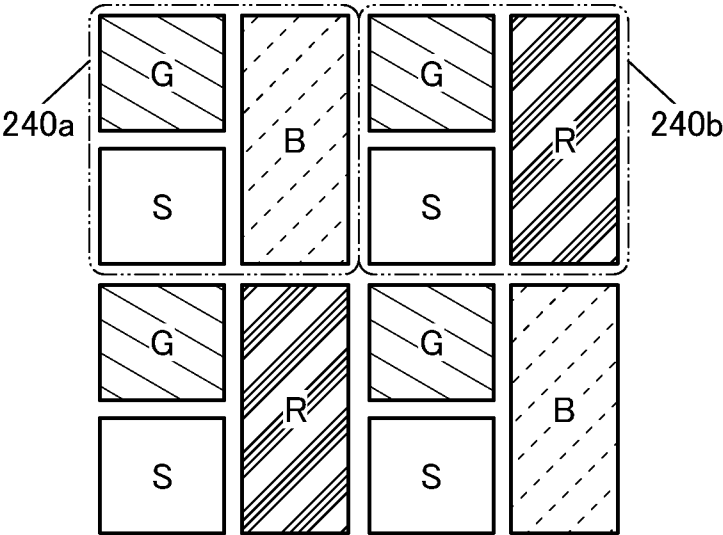


図44E

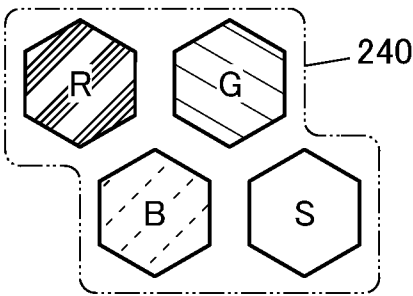


図44F

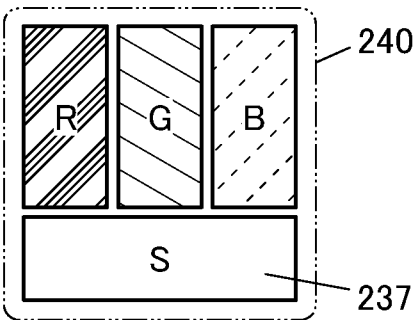


図44G

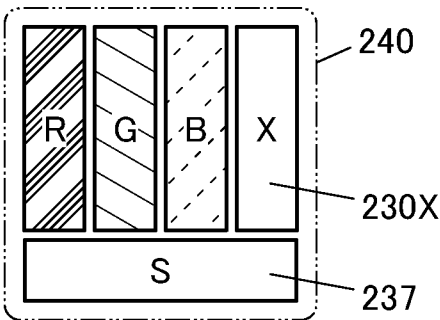


図45A

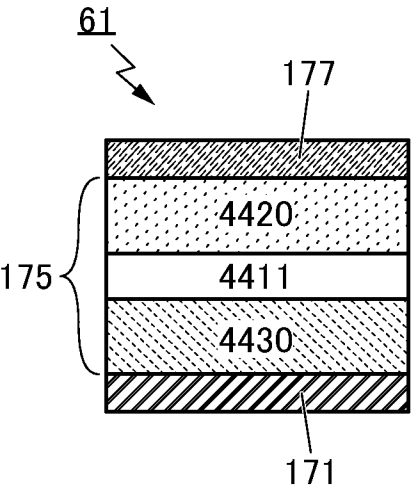


図45B

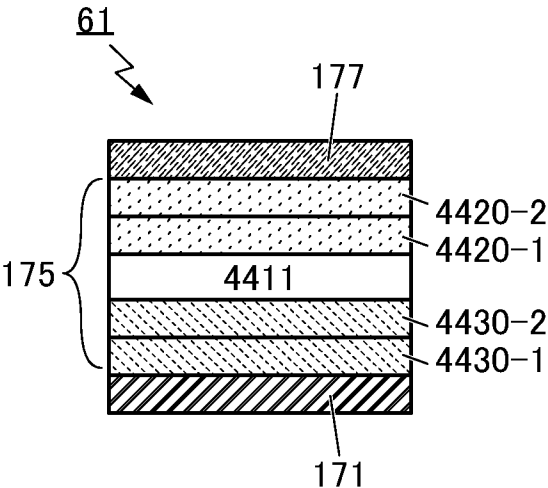


図45C

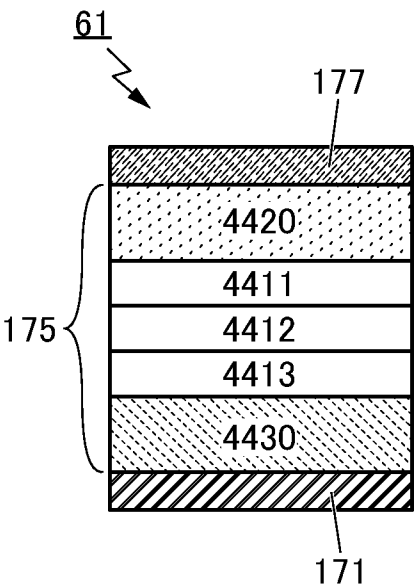
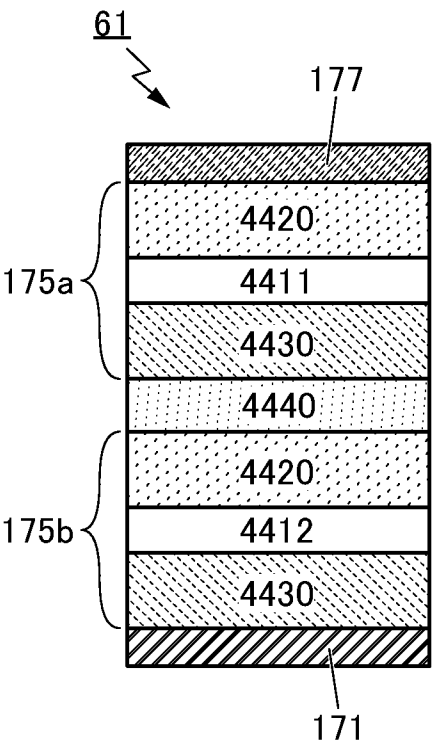


図45D



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/050730

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **H05B 33/02**(2006.01)i; **H05B 33/10**(2006.01)i; **H05B 33/14**(2006.01)i; **H10K 50/115**(2023.01)i; **H10K 50/84**(2023.01)i; **H10K 59/12**(2023.01)i; **H10K 71/00**(2023.01)i; **H10K 71/40**(2023.01)i

FI: H01L29/78 618C; H01L29/78 617K; H01L29/78 616T; H01L29/78 618B; H01L29/78 619A; H01L29/78 618A; H01L29/78 618Z; H01L29/78 627F; H01L27/088 E; H01L27/06 102A; H01L27/088 331E; H05B33/14 Z; H05B33/02; H10K50/115; H05B33/10; H10K71/00; H10K59/12; H10K50/84; H10K71/40

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H05B33/02; H05B33/10; H05B33/14; H10K50/115; H10K50/84; H10K59/12; H10K71/00; H10K71/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-139276 A (JAPAN DISPLAY INC.) 10 August 2017 (2017-08-10)	1-12
A	US 2021/0391430 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 16 December 2021 (2021-12-16)	1-12
A	JP 2015-222807 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 December 2015 (2015-12-10)	1-12
A	JP 2015-195380 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 November 2015 (2015-11-05)	1-12

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 March 2024

Date of mailing of the international search report

02 April 2024

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/050730

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2017-139276	A	10 August 2017	(Family: none)			
US	2021/0391430	A1	16 December 2021	CN	113394296	A	
				TW	202201784	A	
JP	2015-222807	A	10 December 2015	US	2015/0263007	A1	
				TW	201601150	A	
				KR	10-2016-0132873	A	
JP	2015-195380	A	05 November 2015	US	2015/0280013	A1	
				TW	201543689	A	
				CN	106165106	A	
				KR	10-2016-0138131	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i;
H01L 27/088(2006.01)i; H05B 33/02(2006.01)i; H05B 33/10(2006.01)i; H05B 33/14(2006.01)i;
H10K 50/115(2023.01)i; H10K 50/84(2023.01)i; H10K 59/12(2023.01)i; H10K 71/00(2023.01)i;
H10K 71/40(2023.01)i
FI: H01L29/78 618C; H01L29/78 617K; H01L29/78 616T; H01L29/78 618B; H01L29/78 619A; H01L29/78 618A;
H01L29/78 618Z; H01L29/78 627F; H01L27/088 E; H01L27/06 102A; H01L27/088 331E; H05B33/14 Z;
H05B33/02; H10K50/115; H05B33/10; H10K71/00; H10K59/12; H10K50/84; H10K71/40

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/786; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H05B33/02; H05B33/10; H05B33/14;
H10K50/115; H10K50/84; H10K59/12; H10K71/00; H10K71/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-139276 A（株式会社ジャパンディスプレイ）10.08.2017（2017-08-10）	1-12
A	US 2021/0391430 A1（TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.） 16.12.2021（2021-12-16）	1-12
A	JP 2015-222807 A（株式会社半導体エネルギー研究所）10.12.2015（2015-12-10）	1-12
A	JP 2015-195380 A（株式会社半導体エネルギー研究所）05.11.2015（2015-11-05）	1-12

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
22.03.2024

国際調査報告の発送日
02.04.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

石塚 健太郎 5F 4815

電話番号 03-3581-1101 内線 3516

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2024/050730

引用文献			公表日	パテントファミリー文献			公表日
JP	2017-139276	A	10.08.2017	(ファミリーなし)			
US	2021/0391430	A1	16.12.2021	CN	113394296	A	
				TW	202201784	A	
JP	2015-222807	A	10.12.2015	US	2015/0263007	A1	
				TW	201601150	A	
				KR	10-2016-0132873	A	
JP	2015-195380	A	05.11.2015	US	2015/0280013	A1	
				TW	201543689	A	
				CN	106165106	A	
				KR	10-2016-0138131	A	