



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA NUMERO	102000900866610
Data Deposito	31/07/2000
Data Pubblicazione	31/01/2002

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	06	F		

Titolo

INTERFACCIA DI TRASPORTO PER TRAME A DIVISIONE DI TEMPO.

Descrizione dell'invenzione industriale dal titolo:

- 131.129 -

"INTERFACCIA DI TRASPORTO PER TRAME A DIVISIONE DI TEMPO"

di ALCATEL, di nazionalità francese, con sede in 54 Rue La Boétie, 75008 Parigi, ed elettivamente domiciliata presso il Mandatario Ing. Giorgio Crovini, presso Metroconsult S.r.l, piazza Cavour 3, 10060 None (TO).

Inventori designati: Giuseppe BADALUCCO, Via A. da Giussano, 61

20035 Lissone (MI)

Gilberto LOPRIENO, Via Valvassori Peroni 83, 20133 MILANO

Depositata il

31 LUG. 2000 No.

TO 2000A 000760

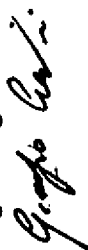
DESCRIZIONE

La presente invenzione si riferisce ad un interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH.

Nei moderni sistemi di comunicazione digitale i diversi flussi di informazione, o dati, che si propagano sulle reti di telecomunicazione vengono multiplati in trame secondo predeterminati protocolli di trasporto, quali ad esempio il protocollo di trasporto SDH (Synchronous Digital Hierarchy) per trame a divisione di tempo. Detto protocollo di trasporto è particolarmente adatto per convogliare e smistare i molteplici flussi di informazione fra i diversi nodi della rete di telecomunicazione.

All'interno dei nodi della rete di telecomunicazioni, ad esempio di una rete SDH, sono disposti perciò diversi circuiti logici, atti effettuare diversi tipi di elaborazione sulla trama a divisione di tempo ricevuta dal nodo. Dette operazioni riguardano essenzialmente il trattamento del sincronismo e l'estrazione dei diversi flussi di dati multiplati all'interno della trama a divisione di tempo, nonché il successivo processamento dei singoli flussi di informazione estratti da dette trame a divisione di tempo.

Ing. Giorgio CROVINI



Per processare la trama a divisione di tempo SDH viene perciò ad esempio sviluppato un circuito di tipo ASIC (Application Specific Integrated Circuit), cioè un circuito dedicato, che esegue le operazioni SDH sulla trama, estraendo e inserendo i flussi di informazione, detti anche tributari, dai cosiddetti Virtual Container all'interno dei quali sono multiplati. Detto circuito ASIC può essere seguito da circuiti FPGA (Field Programmable Gate Arrays), cioè circuiti adattabili secondo il loro utilizzo e esterni al circuito ASIC, che realizzano le elaborazioni sui tributari estratti dalla trama, ad esempio eseguono l'elaborazione dei flussi che impiegano il protocollo ATM (Asynchronous Transfer Mode) oppure il protocollo IP (Internet Protocol), precedentemente multiplati all'interno della trama SDH. I circuiti FPGA per la loro flessibilità vengono frequentemente impiegati per affiancare i circuiti dedicati.

Le comunicazioni fra i circuiti ASIC e i circuiti FPGA che li affiancano vengono usualmente definite comunicazioni 'intra-equipment' cioè intra-apparecchiatura, volendo cioè significare che avvengono all'interno del nodo della rete di telecomunicazioni, mentre le comunicazioni fra nodi vengono definiti comunicazioni di linea. Per dette comunicazioni intra-equipment di tributari vengono usati i medesimi protocolli di interfaccia che vengono impiegati per le interfacce dei ricevitori dei nodi, ad esempio le cosiddette Network Node Interfaces cioè interfacce del nodo di rete per le comunicazioni di linea verso altri nodi.

Ciò determina degli inconvenienti, in quanto i tributari vengono inviati verso i dispositivi FPGA sotto una struttura molto complessa definita dal protocollo SDH, sovrabbondante rispetto alle necessità e richiede l'adozione di interfacce complesse fra i dispositivi FPGA e il circuito ASIC.

Le interfacce risultanti di cui è equipaggiato il circuito ASIC, inoltre, non sono flessibili, dovendo operare ciascuno su un diverso protocollo, ATM piuttosto che IP,

Ing. Giorgio CROVINI



che non sono compatibili per struttura. Ad esempio, un circuito ASIC può comunicare con un certo numero di dispositivi FPGA che espletano certe funzioni di terminazione e operano ad esempio secondo il protocollo ATM, ma non può comunicare con dispositivi FPGA che usino il protocollo IP, a meno che non siano presenti ulteriori interfacce di trasporto espressamente previste per trattare il protocollo IP. Questo riduce la flessibilità del circuito ASIC.

La presente invenzione si propone di risolvere gli inconvenienti sopra citati e di indicare un interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH e/o un metodo di interfacciamento di trame a divisione di tempo, che siano di realizzazione migliorata, e più efficiente rispetto alle soluzioni note.

In tale ambito, scopo principale della presente invenzione è quello di indicare un interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH di minore complessità rispetto alle interfacce note.

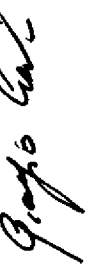
Un ulteriore scopo principale della presente invenzione è quello di indicare un interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH che sia flessibile e utilizzabile da circuiti che implementino diverse funzioni di terminazione.

Per raggiungere tali scopi, formano oggetto della presente invenzione un interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH e/o un metodo di interfacciamento di trame a divisione di tempo incorporanti le caratteristiche delle rivendicazioni allegate, che formano parte integrante della presente descrizione.

Ulteriori scopi, caratteristiche e vantaggi della presente invenzione risulteranno chiari dalla descrizione particolareggiata che segue e dai disegni annessi, forniti a puro titolo di esempio esplicativo e non limitativo, in cui:

- in figura 1 è riportato uno schema a blocchi illustrante uno schema di principio di

Ing. Giorgio CROVINI



un interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH secondo l'invenzione;

- in figura 2 è riportato uno schema a blocchi illustrante un dettaglio dell'interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH di figura 1;

In figura 1 è rappresentato uno schema di principio di un architettura di un nodo di una rete di telecomunicazioni in cui opera l'interfaccia di trasporto secondo l'invenzione.

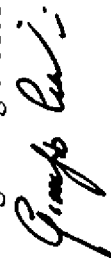
E' indicata un flusso di trame TRM a divisione di tempo, strutturate secondo il protocollo SDH, il quale flusso di trame TRM è ricevuto da una interfaccia di rete del nodo NTI, che trasmette alla scheda centrale di una matrice di connessione SM, inviando un flusso di trame adattato TRM2 per detta matrice di connessione SM. Detta matrice di connessione SM è realizzata attraverso un circuito di tipo ASIC, e provvede, ad esempio, a estrarre i tributari dal flusso di trame TRM e a elaborarne l'indirizzamento.

La matrice di connessione SM comunica poi con una pluralità di dispositivi di elaborazione dei tributari FP, esterni al circuito ASIC e realizzati tramite circuiti FPGA, che attendono all'elaborazione dei tributari che vengono estratti dalla matrice di connessione SM.

Nel caso in figura 1, in maniera esemplificativa, sono indicati due dispositivi di elaborazione dei tributari FPA, per l'elaborazione di tributari secondo il protocollo Asynchronous Transfer Mode, e un dispositivo di elaborazione dei tributari FPI secondo l'Internet Protocol.

La matrice di connessione SM è provvista di opportune interfacce di trasporto STI, secondo l'invenzione, che scambiano un flusso di dati speciale FDS con i dispositivi

Ing. Giorgio CROVINI



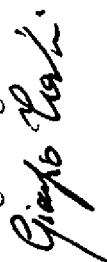
di elaborazione dei tributari FP. Detto flusso di dati speciale FDS, la cui struttura verrà meglio circostanziata con riferimento a figura 2, comprende comunque un flusso trasmesso TXD, ricevuto dal dispositivo FP, e un flusso ricevuto RXD, trasmesso dal dispositivo FP e richiesto dall'interfaccia di trasporto STI.

L'idea inventiva alla base dell'interfaccia di trasporto STI è che il flusso dati FDS contenga un bus dati BD, inviato in maniera codirezionale nelle due direzioni, nel quale è veicolato il contenuto informativo del tributario da elaborare, e un insieme minimo di segnali, cioè un segnale ausiliario EAR, accompagnanti il bus dati BD che comprendono un'informazione di abilitazione e un'informazione di identificazione del contenuto informativo o payload, cioè un indirizzo del tributario o della porta da cui è estratto.

In questo modo, il dispositivo di elaborazione dei tributari FP riceve unicamente i dati, un'informazione sulla validità di detti dati, tramite l'informazione di abilitazione, e un'informazione di indirizzo per allocare il tributario al suo interno. Viceversa, l'interfaccia di trasporto STI secondo l'invenzione riceve dal dispositivo di elaborazione dei tributari FP il bus dati BD, e lo riceve inviando il segnale ausiliario EAR in forma di richiesta, cioè l'informazione di indirizzo identifica il tributario richiesto dall'interfaccia di trasporto STI, mentre l'informazione di abilitazione agisce da richiesta di invio del contenuto informativo o payload.

In figura 2 possiamo infatti osservare l'interfaccia di trasporto STI della matrice di connessione SM, che si compone di un ricevitore RXTI e di un trasmettitore TXTI. Il trasmettitore TXTI riceve in ingresso una pluralità di Arbitrary Unit AU0, AU1, AU2, AU3, che sono stati estratti all'interno della matrice di connessione SM da una trama TRM, che contengono a loro volta dei tributari di tipo Tributary Unit, il cui contenuto informativo o 'payload' deve essere inviato nel flusso trasmesso TXD

Ing. Giorgio CROVINI



verso l'interfaccia di trasporto STI del dispositivo di elaborazione dei tributari FP.

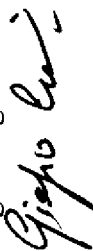
Come si può osservare in figura 2, le quattro Arbitrary Unit AU0, AU1, AU2, AU3 vengono private, secondo procedimenti di demappatura noti, dei puntatori relativi alle strutture AU e TU attraverso opportuni circuiti logici PI, detti Pointer Interpreter, e multiplate a una frequenza quadrupla in un bus dati T_BD da un apposito blocco moltiplicatore BM che genera anche un segnale ausiliario T_EAR.

In figura 2 è anche rappresentato un circuito di desincronizzazione DS, che, secondo tecniche note, pilota il blocco moltiplicatore BM per generare dei flussi plesiocroni, e non più sincroni come all'interno della matrice di connessione SM.

Il ricevitore RXTI, a sua volta, riceve i dati trasmessi in un bus dati R_BD, li demultipla a frequenza più bassa tramite un blocco demoltiplicatore DM verso un primo blocco di inserimento BI, comandato da una base tempi BT che controlla anche la generazione tramite un blocco moltiplicatore MX di un segnale ausiliario R_EAR, che richiede i dati da mappare nei Virtual Container delle trame TRM al dispositivo di elaborazione dei tributari FP. E' previsto anche qui un circuito di sincronizzazione SD, che, secondo le tecniche note di mappatura, controlla il passaggio dei flussi di dati dal mondo plesiocrono rappresentato dal bus dati R_BD al di fuori dell'interfaccia di trasporto STI verso il mondo sincrono nella matrice di connessione SM. Il circuito di sincronizzazione SD fornisce la temporizzazione a un multiplexer MX2, che riceve i flussi di dati demultiplati dal blocco di inserimento BI e li inserisce nelle Arbitrary Unit A0, A1, A2, A3, che verranno successivamente multiplate

Il segnale nel bus dati BD, ricevuto o trasmesso dall'interfaccia STI, è un segnale a 8 bit, che, se appartiene al flusso trasmesso TXD, cioè è il bus dati T_BD, contiene il payload del tributario estratto dal Virtual Container, o, se appartiene al flusso

Ing. Giorgio CROVINI



ricevuto RXD, cioè il bus dati R_BD, contiene il payload da inserire in un Virtual Container.

Come si è già spiegato, l'interfaccia STI invia il segnale ausiliario EAR, il quale corrisponde al summenzionato insieme di segnali minimo necessario per la gestione del bus dati BD da parte del dispositivo di elaborazione dei tributari FP.

Il segnale ausiliario T_EAR è infatti un segnale a 9 bit, i cui primi 6 bit contengono un'informazione sull'indirizzo dei tributari che vengono estratti, i bit 6 e 7 contengono un'informazione sull'Arbitrary Unit AU che viene estratto, mentre il bit 8 è un bit di abilitazione, cioè se vale uno logico il dato è valido per il ricevitore dell'interfaccia di trasporto STI. Il bus dati T_DB e il segnale ausiliario T_EAR compongono il flusso trasmesso TXD, che avviene appunto ricevuto dal dispositivo di elaborazione dei tributari FP.

Il flusso ricevuto RXD, che dal dispositivo di elaborazione FP va verso la matrice di connessione SM risponde sostanzialmente, come già accennato, a un segnale di richiesta dati, emesso dall'interfaccia di trasporto STI. In tal caso è il segnale ausiliario R_EAR, in cui egualmente i primi 6 bit contengono un'informazione sui tributari che vengono richiesti, i bit 6 e 7 contengono un'informazione sull'Arbitrary Unit AU che viene richiesto, mentre il bit 8 è un bit di abilitazione della richiesta.

Il dispositivo di elaborazione dei tributari trasmette sul bus dati R_BD il tributario richiesto attraverso il segnale ausiliario R_EAR, da mappare in un Virtual Container SDH ad opera della matrice di connessione SM che lo riceve.

Perciò se l'interfaccia di trasporto STI richiede ad esempio di inserire un payload, che le verrà trasmesso all'interno del bus dati R_BD, nel tributario 0, AU=0, il segnale ausiliario R_EAR avrà sostanzialmente il seguente contenuto binario:

R_EAR(8:0)="1"&"00"&"00000"

Ing. Giorgio CROVINI



Secondo una caratteristica dell'invenzione, il dispositivo di elaborazione dei tributari FP presenta i dati da inserire veicolati nel bus dati BD con un ritardo rispetto al segnale ausiliario EAR. Detto ritardo è impostabile a un numero prefissato di colpi di segnale d'orologio, riassettabili, secondo le esigenze del circuito FPGA. Nel caso di una frequenza di operazione di 77MHz, è di 7 colpi di segnale di orologio.

I segnali esemplificati qui sopra sono in configurazione minima e adatti a protocolli di tipo generico, per esempio al caso dell'Internet Protocol. Nel caso di scambio di tributari con il dispositivo di elaborazione dei tributari FPA che opera secondo il protocollo Asynchronous Transfer Mode è possibile inviare nel flusso trasmesso TXD, oltre al segnale ausiliario T_EAR, un segnale di sincronismo, di 1 bit, utilizzato dal dispositivo di elaborazione dei tributari FPA per segnare l'inizio delle celle ATM, nonché un bit di allarme TSF per il dispositivo di elaborazione dei tributari FPA. In questo caso è possibile prevedere dei pin aggiuntivi per detti segnali.

Detto segnale di sincronismo può essere alternativamente utilizzato per marcare un byte particolare del protocollo di trasporto o del payload stesso, per esempio nel caso di GbitEthernet.

In detto caso del protocollo ATM, il flusso ricevuto RXD egualmente conterrà in aggiunta un bit di sincronismo per la matrice di connessione SM, che segnala il bit corretto dell'inizio del payload, oppure un byte specifico per il corretto mapping nell'ASIC.

Dalla descrizione effettuata risultano pertanto chiare le caratteristiche della presente invenzione, così come chiari risultano i suoi vantaggi.

L'interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH secondo l'invenzione permette vantaggiosamente di semplificare le comunicazione

Ing. Giorgio CROVINI
Giorgio Crovini

intra-equipment fra la matrice di connessione o altri circuito di elaborazione delle trame a divisione di tempo centrale, e i dispositivi periferici di elaborazione della trama. Ciò a sua volta permette di semplificare la logica di controllo che è richiesta per elaborare in flussi di informazione, riducendo la complessità dell'interfaccia.

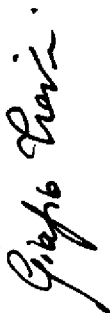
L'interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH secondo l'invenzione, inoltre, vantaggiosamente aumenta la flessibilità del circuito ASIC nell'utilizzo con circuiti FPGA, il quale può in ogni caso, anche qualora presenti interfacce dedicate a particolari protocolli, essere sempre provvisto con un'interfaccia di trasporto quale quella secondo l'invenzione, in modo da permettere di prelevare in ogni momento dei tributari secondo un protocollo semplice e adattabile, aumentandone la flessibilità.

E' chiaro che numerose varianti sono possibili per l'uomo del ramo all'interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH e/o un metodo di interfacciamento di trame a divisione di tempo descritto come esempio, senza per questo uscire dai principi di novità insiti nell'idea inventiva, così come è chiaro che nella sua pratica attuazione le forme dei dettagli illustrati potranno essere diverse, e gli stessi potranno essere sostituiti con degli elementi tecnicamente equivalenti.

In particolare diverse potranno essere le forme delle trame di dati a divisione di tempo sulle quali l'interfaccia secondo l'invenzione opera.

* * * * *

Ing. Giorgio CROVINI



RIVENDICAZIONI

1. Interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH che vengono trasmesse fra nodi di reti di telecomunicazioni secondo un determinato protocollo di trasporto, detti nodi comprendendo primi mezzi circuitali (SM) per elaborare dette trame a divisione di tempo (TRM, TRM2) secondo detto determinato protocollo di trasporto, e secondi mezzi circuitali (FP) atti a scambiare secondi flussi di informazione (FDS) con detti primi mezzi circuitali (SM) tramite detta interfaccia di trasporto (STI), caratterizzata dal fatto che detti secondi flussi di informazione (FDS), che l'interfaccia di trasporto (STI) scambia fra i primi mezzi circuitali (SM) e i secondi mezzi circuitali (FP), sono semplificati rispetto alle trame a divisione di tempo (TRM, TRM2) ricevute dal nodo, in particolare sono costituiti da un flusso dati (BD, T_BD, R_BD) inviato in maniera codirezionale e da un informazione di indirizzo (EAR, T_EAR, R_EAR) emessa dall'interfaccia di trasporto (STI) .
2. Interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH secondo la rivendicazione 1 caratterizzato dal fatto che l'informazione di indirizzo (EAR, T_EAR, R_EAR) comprende un informazione di abilitazione dello scambio dei secondi flussi di informazione (FDS).
3. Interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH secondo la rivendicazione 2 caratterizzato dal fatto che il flusso dati (BD, T_BD, R_BD) e l'informazione di indirizzo (EAR, T_EAR, R_EAR) sono inviati con un ritardo di tempo l'uno rispetto all'altro.
4. Interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH secondo la rivendicazione 3 caratterizzato dal fatto che l'interfaccia di trasporto (STI) comprende un trasmettitore (TXTI) atto a inviare un flusso dati

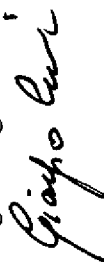
Ing. Giorgio CROVINI



(T_BD) estratto dalla trama a divisione di tempo (TRM2) e l'informazione di indirizzo (T_EAR).

5. Interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH secondo la rivendicazione 3, caratterizzato dal fatto che l'interfaccia di trasporto (STI) comprende un ricevitore (RXTI) atto a ricevere un flusso dati (R_BD) originato dai secondi mezzi circuitali (FP) e a inviare l'informazione di indirizzo (R_EAR) a detti secondi mezzi circuitali (FP).
6. Interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH secondo la rivendicazione 4, caratterizzato dal fatto che l'informazione di indirizzo (T_EAR) comprende un'informazione di abilitazione e una o più informazioni di indirizzo del flusso dati (T_BD) trasmesso.
7. Interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH secondo la rivendicazione 5, caratterizzato dal fatto che l'informazione di indirizzo (R_EAR) comprende un'informazione di abilitazione alla trasmissione per i secondi mezzi circuitali (FP) e una o più informazioni di indirizzo del flusso dati (R_BD) richiesto a detti secondi mezzi circuitali (FP).
8. Interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH secondo la rivendicazione 6 caratterizzato dal fatto che l'informazione di indirizzo (T_EAR) comprende, in particolare nel caso di flusso dati (T_BD) di tipo ATM, un segnale di sincronismo, di 1 bit, utilizzato detti secondi mezzi circuitali (FPA) per segnare l'inizio delle celle ATM e/o un bit di allarme TSF per i secondi mezzi circuitali (FP).
9. Interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH secondo la rivendicazione 7 caratterizzata dal fatto che l'informazione di indirizzo (R_EAR) comprende, in particolare nel caso di flusso dati (R_BD) di

Ing. Giorgio CROVINI



tipo ATM, un segnale di sincronismo per i primi mezzi circuitali (SM), che segnala il bit corretto dell'inizio del payload, al fine di una corretta gestione nei primi mezzi circuitali (SM) dell'informazione trasportata dal payload.

10. Interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH secondo una o più delle rivendicazioni precedenti, caratterizzato dal fatto che i primi mezzi circuitali (SM) sono realizzati attraverso un circuito dedicato ASIC, mentre i secondi mezzi circuitali (FP) sono realizzati attraverso circuiti FPGA.
11. Metodo di interfacciamento di trame a divisione di tempo, in particolare trame SDH, trasmesse in reti di telecomunicazioni, del tipo che prevede di estrarre e scambiare dei flussi di dati multiplati in dette trame a divisione di tempo (TRM, TRM2) fra un circuito di elaborazione di trame a divisione di tempo (SM) e dei dispositivi di elaborazione (FP) dei flussi di dati contenuti in dette trame a divisione di tempo (TRM, TRM2) caratterizzato dal fatto di allocare per lo scambio in maniera codirezionale fra il circuito di elaborazione di trame a divisione di tempo (SM) e i dispositivi di elaborazione (FP) un flusso dati (BD, T_BD, R_BD) e un'informazione di indirizzo (EAR, T_EAR, R_EAR).
12. Interfaccia di trasporto per trame a divisione di tempo, in particolare trame SDH e/o metodo di interfacciamento di trame a divisione di tempo, in particolare trame SDH, secondo gli insegnamenti della presente descrizione e dei disegni annessi.

* * * * *

ALCATEL

p.i. Ing. Giorgio Crovini
(No. Isot. Albo 857B)



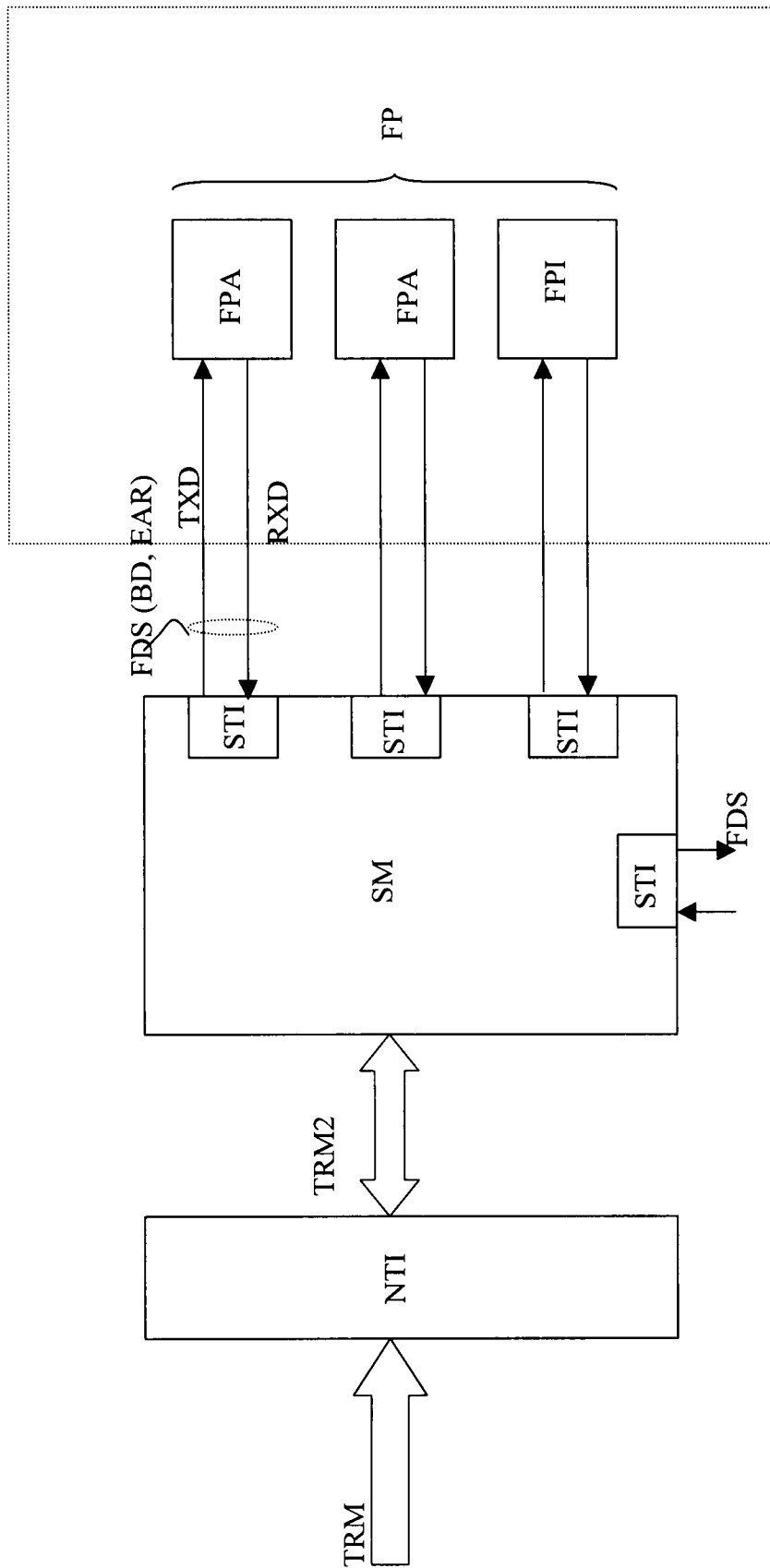


Fig. 1

Ing. Giorgio CROVINI
Giorgio Crovini



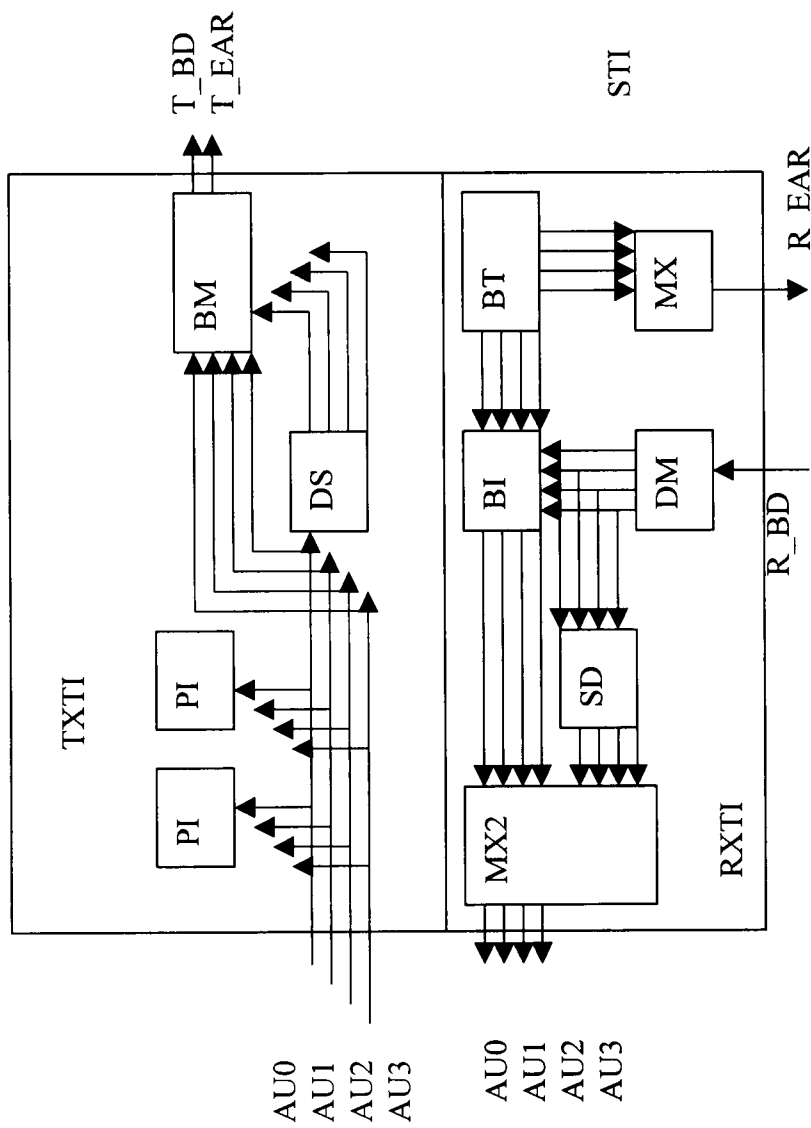


Fig. 2



Ing. Giorgio CROVINI

Giorgio Crovini