(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/04

(45) 공고일자 2001년04월16일
(11) 등록번호 10-0287468
(24) 등록일자 2001년01월29일

(21) 출원번호 10-1997-0061129
(22) 출원일자 1997년11월19일
(65) 공개번호 특1998-0086430
(43) 공개일자 1998년12월05일
(30) 우선권주장 142307 1997년05월30일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤 아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
(72) 발명자 사와무라 타까히로
일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1 후지쓰 가부시끼가이샤 내
우찌다 토시야
일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1 후지쓰 가부시끼가이샤 내
깐다 히로미
일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1 후지쓰 가부시끼가이샤 내
(74) 대리인 문기상, 조기호

심사관 : 정해곤

(54) 반도체 집적 회로

요약

본 발명은 반도체소자의 배접(backing wiring)을 할 경우에, 배선의 자유도를 손상하지 않도록 하는 배접의 방법을 제공하는 것을 목적으로 한다.

반도체 집적회로는 제1 방향으로 뻗는 게이트와, 게이트에 대응해서 형성된 확산층과, 제1 배선층 내에서 제1 방향과 거의 직교한 제2 방향으로 뻗는 확산층과 접속된 복수의 배접배선과, 복수의 배접배선을 서로 접속한 제2 배선층에 형성된 접속배선을 구비한 것을 특징으로 한다.

대표도

도1a

명세서

도면의 간단한 설명

제1a도 및 제1b도는 본 발명의 원리에 의한 반도체소자의 배접 레이아웃을 나타낸 도면.

제2도는 본 발명에 의한 배접 레이아웃으로 2 입력 NAND회로를 구성한 실시예를 나타낸 도면.

제3도는 제2도의 NAND회로와 등가인 회로를 나타낸 회로도.

제4도는 제2 실시예의 변형례를 나타낸 도면.

제5도는 제3 배선층을 형성한 경우의 각 층의 배선 레이아웃을 모식적으로 나타낸 도면.

제6a도 및 제6b도는 금속배선을 소스· 드레인영역에 배접하는 종래기술의 레이아웃을 나타낸 도면.

제7도는 종래기술의 배접 레이아웃을 사용하여 NAND회로를 실현한 경우의 레이아웃의 일례를 나타낸 도면.

제8도는 제7도의 NAND회로와 등가인 회로도.

제9도는 종래기술에 의한 배선층의 구성을 나타낸 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 일반적으로 반도체 집적회로에 관한 것이며, 보다 상세하게는 반도체 집적회로의 소자의 배선에 관한 것이다.

반도체 메모리 등의 반도체장치에서는 용량의 증대나 동작의 고속화를 도모하기 위해서 회로의 집적도를 크게 할 것이 요구된다. 회로 집적도를 증대시켜서 칩 크기를 축소한 경우에는 불필요한 공간이 생기지 않도록 개개의 집적회로를 효율적으로 배치하고, 회로간을 접속하는 배선을 여분의 저항이나 용량이 생기지 않도록 최소한의 길이로 결선할 필요가 있다.

예를 들어 반도체 메모리의 주변회로에서는 반도체장치상에 형성된 제1 배선층 내에서, 반도체소자의 소스· 드레인영역상에 저항이 적은 금속배선을 게이트에 평행한 방향으로 배치하고, 복수 개소에서 금속배선과 확산층간을 접촉시킨다. 이것은 배접이라 부르는 방법이며, 이 방법에 의해 확산층의 저항이 비교적 크더라도 충분히 넓은 원하는 게이트 폭을 실현할 수가 있다.

도 6a 및 도 6b는 금속배선을 소스· 드레인영역에 배접한 모양을 나타낸 도면이다. 도 6a 및 도 6b에서 폴리실리콘으로 된 게이트92010의 양측에 소스 및 드레인을 구성하는 확산층(202, 203)이 배치된다. N형의 확산층은 P형의 기판(210) 표면 가까이에 형성된다. 기판(210) 상방에 형성된 배선층 내에서, 확산층(202,203)상에 금속배선(204, 205)이 게이츠(201)에 평행하게 배선된다. 금속배선(204, 205)과 확산층(202, 203)은 복수의 접점(206, 207)을 통해서 접속된다.여기서 가령 접점(206, 207)이 도 6a의 가장 밑에 나타낸 1개씩 밖에 설치되어 있지 않으면, 이들 접점이 설치된 부근의 확산층영역 간에서는 전류가 흐르나, 도 6a의 상부에서는 전류가 흐르지 않는다. 이것은 확산층(202, 203)의 저항이 크기 때문이다.

도 6a 및 도 6b에 나타낸 바와 같이, 복수의 접점(206, 207)을 사용하여 확산층(202, 203)을 금속배선(204, 205)으로 배접하면, 도 6a에 나타낸 확산층(202, 203)의 전체에 걸쳐서 확산층(202,203) 사이에 전류가 흐르게 된다. 이와 같이해서 충분히 넓은 원하는 게이트 폭을 얻을 수가 있다.

도 7은 NAND회로를 반도체소자로 실현한 경우의 레이아웃의 일례를 나타낸다. 도 8은 도 7의 NAND회로와 등가인 회로도이다. 도 7 및 도8에서 등가인 요소는 동일한 번호롤 표시하였다.

도 8의 NAND회로는 PMOS 트랜지스터(221, 222)와 NMOS 트랜지스터(223, 224)를 구비하며, 입력(In1, In2)의 NAND 연산의 결과가 Out으로 출력된다.

도 7에서 P형 기판상에 N웰(231)을 만들고, P형 확산층(232)과 N형 확산층(233) 및 폴리실리콘 게이트(234 또는 241)에 의해 C-MOS 트랜지스터를 형성한다. 폴리시리콘 게이트(234 또는 241)가 트랜지스터(221 또는 224)의 어느 쪽에 대응하느냐는 도 8에 게이트(234 또는 241)를 나타낸 바에 따라 표시된다.

입력(In1)은 게이트(236, 237)와 게이트(239, 240)에 접속된다. 입력(In2)은 게이트(234, 235)와 게이트(238, 241)에 접속된다. 접지전압배선(252)은 NMOS 트랜지스터(224)의 소스에 대응한 배선(253)에 접속된다. 또 전원전압배선(250)은 PMOS 트랜지스터(221, 222)의 소스에 대응한 배선(251)에 접속된다. 출력 Out는 PMOS 트랜지스터(221, 222)의 드레인에 대응한 배선(254)과, NMOS 트랜지스터(223)의 드레인에 대응한 배선(255)에 접속된다.

도 7의 예에서 배접용의 배선(251, 253, 254, 255)은 P형 기판상의 제1 배선층에 형성된다. 또 입력배선(In2)과 통과배선(300)도 제1 배선층에 형성된다. 이에 대해 전원전압배선(2500, 접지전압배선(252), 입력배선(In1) 및 통과배선(40)은 제1 배선층 상부에 형성된 제2 배선층에 형성된다.

이와 같이 종래에 일반적으로 사용된 레이아웃에 있어서는, 기본적으로 제1 배선층에는 게이트에 평행한 방향으로 뻗는 배선을 배치하고, 제2 배선층에는 게이트에 수직한 방향으로 뻗는 배선을 형성한다. 이것은 서로 직교한 배선은 당연히 다른 배선층에 형성할 필요성이 있기 때문이다. 즉 배접용의 금속배선이 제1 배선층에서 게이트에 평행한 방향으로 뻗기 때문에, 원하는 레이아웃을 실현하기 위해서는 게이트에 수직한 방향으로 뻗는 배선은 배접용의 금속배선과는 다른 제2 배선층에 형성하게 된다.

이와 같이 종래에 일반적으로 사용된 배선층의 모양을 도 9에 나타낸다. 도 9에서 도 6b와 동일한 구성요소는 동일한 번호로 표시하고, 그 설명은 생략한다, 도 9에 나타낸 바와 같이, 배접용의 급속배선(204, 205)은 제1 배선층에서 지면과 직교한 방향, 즉 게이트(201)에 평행한 방향으로 뻗는다. 금속배선(205)에 접점(208)을 통해서 접속된 배선(209)은 제1 배선층의 상부에 형성된 제2 배선층 내에서 게이트(201)에 직교한 방향으로 뻗는다.

발명이 이루고자 하는 기술적 과제

도 7에 나타낸 바와 같은 종래의 레이아웃에서는, 입력배선(In2)이나 통과배선(300)은 회로소자상을 통과하여 배선을 할 수가 없다. 왜냐 하면 회로소자상에서는 배접된 금속배선(251, 253, 254 255)이 조밀하게 배선되어 있어서, 다른 배선을 통과시킬 공간이 없기 때문이다. 따라서 도7에 나타낸 바와 같이, 입력배선(In2)이나 통과배선(300)은 회로소자상을 우회하여 배선할 필요가 있어서, 배선의 자유도가 현저히 제약되기 때문이다. 또 이와 같이 우회시킨 경우에는, 배선저항 및 배선용량이 증대하여 신호전달 속도의 저하를 초래하므로 바람직하지 못하다.

따라서 본 발명의 목적은 반도채소자를 배접할 경우에, 배선의 자유도를 손상하지 않도록 하는 방법을 제공하는 데 있다.

발명의 구성 및 작용

청구항 1의 발명에서는 반도체 집적회로에 있어서, 트랜지스터의 게이트로서 제1 방향으로 뻗는 게이트와, 상기 트랜지스터의 소스 및 드레인 중의 하나를 획정하는 확산층과, 상기 확산층에 공통으로 접속되며 제1 배선층 내에서 그리고 상기 제1 방향과 거의 직교하는 제2 방향으로 뻗는 복수의 배접배선과, 상기 복수의 배접배선간을 서로 접속하며 제2 배선층에 형성되는 접속배선을 구비하는 것을 특징으로 한다.

상기 발명에서는 제2 배선층에 게이트에 평행한 방향으로 배선을 끌 경우에. 회로소자상을 통과하여 배선할 수가 있는 동시에, 제1 배선층에 게이트에 직교한 방향으로 배선을 끌 경우에도, 복수의 배접배선의 간격을 조정함으로써 회로소자상을 통과하여 배치할 수가 있다. 따라서 통과배선 등을 회로소자를 우회하여 배선 할 필요가 없어져서 자유롭게 배선을 끌 수가 있다.

청구항 2의 발명에서는 청구항 1 기재의 반도체 집적회로에 있어서, 상기 확산층은 소스에 대응하는 제1 확산층과 드레인에 대응하는 제2 확산층을 포함하고,상기 복수의 배접배선은 상기 제1 확산층에 접속되는 복수의 제1 배접배선과 상기 제2 확산층에 접속되는 복수의 제2 배접배선을 포함하며, 상기 접속배선은 상기 복수의 제1 배접배선을 서로 접속하는 제1 접속배선과 상기 복수 제2 배접배선을 서로 접속하는 제2 접속배선을 포함하는 것을 특징으로 한다.

상기 발명에서는 통과배선 등을 트랜지스터소자를 우회하여 배선할 필요가 없어져서, 자유롭게 배선을 끌 수가 있다.

청구항 3의 발명에서는 청구항 1 기재의 반도체 집적회로에 있어서, 상기 복수의 배접배선 각각은 상기 제1 방향을 따라 설치된 복수의 접점 중 대응하는 1개를 통해서 상기 확산층에 접속되는 것을 특징으로 한다.

상기 발명에서는 제1 방향을 따라 설치된 복수의 접점에 의해 배접함으로써, 충분히 폭이 넓은 원하는 게이트 폭을 실현할 수가 있다.

청구항 4의 발명에서는 청구항 1 기재의 반도체 집적회로에 있어서, 상기 제 1 배선층에 형성되는 상기 복수의 배접배선과는 다른 제1 배선과, 상기 제2 배선층에 형성되는 상기 접속배선과는 다른 제2 배선을 구비하며, 상기 제1 배선은 상기 제2 방향으로 뻗고 상기 제2 배선은 상기 제1 방향으로 뻗은 것을 특징으로 한다.

상기 발명에서는 제1 배선층 내의 배선과 제2 배선층 내의 배선을 서로 직교시킴으로써, 제1 배선층 및 제2 배선층을 사용하여 효율적인 레이아웃을 실현할 수가 있다.

청구항 5의 발명에서는 청구항 4 기재의 발명에 있어서, 상기 제2 배선 중 적어도 1개는 상기 확산층의 상부를 통과하도록 배치되어 있는 것을 특징으로 한다.

상기 발명에서는 제2 배선층에 게이트에 평행한 방향으로 배선을 끌 경우에, 회로소자를 우회하지 않고 회로소자상을 통과하여 배선하므로, 여분의 배선저항이나 배선용량을 초래하지 않고, 배선의 폭 만큼 필요한 배선의 점유면적을 작게 할수가 있다.

청구항 6의 발명에서는 청구항 4 기재의 반도체 집적회로에 있어서, 상기 제 1 배선 중 적어도 1개는 상기 복수의 배접배선간을 지나서 상기 확산층의 상부를 통과하도록 배치되는 것을 특징으로 한다.

상기 발명에서는 제1 배선층에 게이트에 직교한 방향으로 배선을 끌 경우에, 회로소자를 우회하지 않고, 회로소자상을 통과하여 배선하므로, 여분의 배선저항이나 배선용량을 초래하지 않고, 배선의 폭 만큼 필요한 배선의 점유면적을 작게 할 수가 있다.

청구항 7의 발명에서는 청구항 4 기재의 반도체 집적회로에 있어서, 상기 제 2 방향으로 뻗는 다른 게이트와, 상기 다른 게이트에 대응해서 형성되는 제2의 확산층과, 제1 배선층 내에서 상기 제2 방향으로 뻗어서 상기 제3 확산층과 복수 부위에서 접속되는 다른 배접배선을 더 구비하는 것을 특징으로 한다.

상기 발명에서는 제1 방향으로 게이트가 뻗는 회로소자에 부가해서, 동일한 기판상에서 제2 방향으로 게이트가 뻗는 트랜지스터 등의 회로소자를 형성할 경우에, 게이트에 평행해서 배접배선을 배치한다. 따라서 제2 방향의 배선은 제1 배선층에 형성하고 제1 방향의 배선은 제2 배선층에 형성하는 기본적인 레이아웃에 배치하지 않고, 배선이 가능하며, 이에 따라 배선 전체의 레이아웃을 효율적으로 할수가 있다.

청구항 8의 발명에서는 반도체 장치에 있어서, 트랜지스터의 게이트와, 상기 게이트의 연장선에 거의 직교하는 방향으로 뻗고, 상기 트랜지스터의 소스 및 드레인 중 하나의 단일 영역에 공통으로 접속되는 복수의 배접용 배선과, 상기 복수의 배접용 배선간을 서로 접속하는 접속배선을 구비하는 것을 특징으로 한다.

상기 발명에서는 게이트에 평행한 방향으로 배선을 끌 경우에, 배접용 배선상을 통과하여 배선할 수 있는 동시에, 게이트에 평행한 방향으로 배선을 끌 경우에, 배접용 배선상을 통과하여 배선할 수 있는 동시에 게이트에 직교한 방향으로 배선을 끌 경우에도, 복수의 배접용 배선의 간격을 조정함으로써 배접용 배선간을 통해서 배선할 수가 있다. 따라서 통과배선 등을 회로소자를 우회하여 배선할 필요가 없어져서, 자유롭게 배선을 끌 수가 있다.

청구항 9의 발명에서는 청구항 8 기재의 반도체 장치에 있어서, 상기 ㅂ고수의 배접용 배선을 제 1 배선층에 형성되고, 상기 접속배선은 제 2 배선층에 형성되는 것을 특징으로 한다.

상기 발명에서는 2개의 배선층을 사용함으로써, 통과배선 등을 회로소자를 우회하여 배선할 필요가 없어져서, 자유롭게 배선을 끌 수가 있다.

청구항 10의 발명에서는 청구항 9 기재의 반도체 장치에 있어서, 상기 게이트에 거의 직교하는 방향으로 뻗는 배선은 상기 제 1 배선층에 배치하고, 상기 게이트에 거의 평행한 방향으로 뻗는 상기 제 2 배선층에 배치하는 것을 특징으로 한다.

상기 발명에서는 제 1 배선층 내의 배선과 제 2 배선층 내의 배선을 서로 직교시킴으로써, 제 1 배선층 및 제 2 배선층을 사용해서 효율적인 레이아웃을 실현할 수가 있다.

청구항 11의 발명에서는 확산층에 배접을 행하는 방법에 있어서, 게이트에 거의 직교하는 방향으로 복수의 금속배선을 배치하는 단계와, 상기 복수의 금속배선 각각을 상기 확산층에 접속하는 단계와, 상기 복수의 금속배선 끼리를 접속하는 배선을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 발명에서는 서로 접속된 복수의 금속배선을 배접함으로써, 충분히 폭이 넓은 원하는 게이트 폭을 실현할 수 있는 동시에 게이트에 평행한 방향으로 배선을 끌 경우에는 복수의 금속배선상을 통과하여 배선할 수가 있고, 게이트에 직교한 방향으로 배선을 끌 경우에는 복수의 금속배선의 간격을 조정함으로써, 금속배선간을 통해서 배선할 수가 있다. 따라서 통과배선 등을 회로소자를 우회하여 배선할 필요가 없어져서, 자유롭게 배선을 끌 수가 있다.

[실시예]

이하, 본 발명의 실시예를 별첨의 도면을 이용해서 설명한다.

도 1a 및 1b는 본 발명의 원리에 의한 반도체 소자의 배접 레이아웃을 나타낸 도면이다.

도 1a에 나타낸 바와 같이 폴리실리콘으로 된 게이트(11)의 양측에 소스 및 드레인을 구성하는 확산층(12, 13)이 배치된다. 도 1b에 나타낸 바와 같이, 예를 들어 N형의 확산층(12 ,13)은 P형의 기판(10)의 표면 가까이에 형성된다.

도 1a 및 도 1b에 나타낸 바와 같이, 기판(10) 상방에 형성된 제 1 배선층 내에서 배접용의 복수의 금속배선(14, 15)이 게이트(11)에 직교한 방향으로 배선된다. 복수의 금속배선(14, 15)의 일단은 접점(16, 17)을 통해서 확산층(12, 13)에 접속된다. 금속배선(14, 15)의 타단에는 접점 (20, 21)이 설치된다. 금속배선(14, 15)과 직교하여, 즉 게이트(11)와 평행하게 금속배선(18, 19)이 제 2 배선층에 형성된다. 이 제 2 배선층을 제 1 배선층의 상방에 형성된다. 제 2 배선층의 금속배선(18, 19)은 각각 접점(20, 21)을 통해서 배접용의 금속배선(14, 15)에 접속된다. 그리고 여기서 접점이라 함은 접점구멍 또는 접점층을 통해서 다른 배선층간을 접속하는 접속부재를 의미한다.

상술한 바와 같이 서로 직교한 배선은 당연히 다른 배선층에 형성할 필요가 있다. 따라서 본 발명에서는 기본적으로 게이트(11)에 직교한 방향으로 뻗는 모든 배선은 제 1배선층에 형성하고, 게이트(11)에 평행한 방향으로 뻗는 모든 배선은 제 2 배선층에 형성하게 된다.

도 1a 및 도 1b에 나타낸 바와 같이 구성하면, 종래와 마찬가지로 저항이 비교적 낮은 금속배선에 의해 저항이 비교적 높은 확산층에 배접함으로써, 충분히 폭이 넓은 원하는 게이트 폭을 실현할 수가 있다. 또한 본 발명에서는 확산층(12, 13)에 접속된 배접용 금속배선(14 ,15)은 제 1 배선층 내에서 게이트(11)에 평행한 방향으로 형성된다. 그 때문에 도 1a에 나타낸 레이아웃에서는 게이트(11)에 직교한 방향으로 뻗는 통과배선(도시하지 않음) 등을 회로소자상을 통과하여 제 2배선층에 배선할 수가 있다. 따라서 통과배선 등을 회로소자를 우회하여 배선할 필요가 없어져서, 자유롭게 배선을 끌 수가 있다.

도 6a에 나타낸 바와 같은 종래의 구성에서는, 게이트(201)에 평행한 방향의 제 1 배선층의 배선을, 회로소자상을 통과시켜 배치하는 것을 불가능하였다. 그러나 종래의 구성에서는, 게이트(201)에 직교한 방향으로 뻗는 제 2 배선층이 배선은 회로소자상을 통과시킬 수가 있다. 이에 대해 도 1a 및 도 1b에 나타낸 본 발명의 구성에서는 게이트(11)에 평행한 제 2 배선층의 배선은 회로소자상을 통과시킬 수는 있으나. 게이트에 직교한 제 1 배선층의 배선은 배접용 금속배선(14, 15)이 존재하기 때문에, 회로소자상을 통과하여 배치하는 것이 불가능하게 보인다.

그러나 확산층(12, 13)에 배접하기 위한 접점(16, 17)의 간격은 확산층(12, 13)의 저항의 영향을 그다지 고려할 필요가 없으며, 어느 정도 넓은 간격으로 형성할 수가 있다. 예를 들어 도 1a의 예에서 접점(16, 17)을 1개 건너 설치하고, 점접(16, 17)과 금속배선(14, 15)의 간격을 2배로 할 수도 있다. 이와 같이 접점(16, 17)의 간격을 넓히면, 게이트(11)에 직교한 제 1 배선층의 배선도 회로소자상을 통과시켜 배치할 수가 있다.

이에 대해 도 1a에 나타낸 바와 같은 종래의 구성에서는, 게이트(201)에 평행한 방향의 제 1 배선층의 배선을 회로소자상에 통과시키고자 하면, 배접용 금속배선의 간격을 넓혀서 공간을 만들 필요가 있으므로 게이트 길이가 증대하게 된다. 따라서 종래의 구성에서는 회로소자의 특성이 원하는 특성으로부터 어긋난 결과가 되므로, 제 1 배선층이 배선을 회로소자상에 통과시키는 것은 현실적으로 불가능하다.

이과 같이 본 발명에 의한 배접 레이아웃에 따르면, 게이트(11)에 평행한 방향으로 뻗는 제 2 배선층의 배선을 회로소자상을 통과하여 배치할 수 있음과 동시에, 게이트(11)에 직교한 방향으로 뻗는 제 1 배선층의 배선도 접점의 간격을 조정함으로써 호로소자상을 통과하여 배치할 수가 있다. 따라서 통과배선 등을 회로소자를 우회하여 배선할 필요가 없어져서, 자유롭게 배선을 끌 수가 있다.

이하, 본 발명의 실시예를 별첨의 도면을 이용하여 설명한다.

도 2는 도 7과 마찬가지의 지 입력 NAND회로를 본 발명에 의한 배접 레이아웃으로 구성한 실시예를 나타낸다. 도 3은 도 2의 NAND회로와 등가인 회로도이다. 도 2 및 도 3에서 등가인 요소는 동일한 번호를 붙였다.

도 2에서 P형 기판상에 N웰(131)을 만들고, P형 확산층(132)과 N형 확산층(133) 및 폴리실리콘 게이트(134 또는 141)에 의해서 C-MOS 트랜지스터를 형성한다. 폴리실리콘 게이트(134 또는 141)가 트랜지스터(121 또는 124)의 어느 것에 대응하느냐는 도 3에 게이트(134 또는 141)를 나타낸 바에 따라 표시된다.

입력배선(In2)은 게이트(134, 137) 및 게이트(139,140)에 접속된다. 접진전압배선(152)은 NMOS 트랜지스터(124)의 소스에 대응하는 배선(152)에 접속된다. 또 전원 전압배선(150)은 PMOS 트랜지스터(121, 122)의 소스에 대응하는 배선(151)에 접속된다. 출력 Out는 PMOS 트랜지스터(121, 122)의 드레인에 대응하는 배선(154)과, NMOS 트랜지스터(123)에 대응하는 배선(155)에 접속된다.

도 2의 실시예에서 배접용 배선(151, 153, 154, 155)은 P형 기판상의 제 1 배선층에 형성된다. 또 입력배선(In1)과 통과배선(170)도 제 1 배선층에 형성된다. 이에 대해 전원전압배선(150), 접지전압배선(152), 입력배선(In2) 및 통과배선(160)은 제 1 배선층의 상부에 형성된 제 2 배선층에 형성된다.

도 2의 레이아웃에서는, 입력배선(In2)과 통과배선(160)은 확산영역(132)에 설치된 PMOS 트랜지스터(121,

122)(도 3)의 회로소자상을 통과하도록 배치할 수가 있다. 따라서 도 7의 종래의 레이아웃과 비교해서 게이트에 평행한 방향의 배선의 자유도가 크다. 즉 도 2의 본 발명의 레이아웃에서는, 배선저항이나 배선용량이 최소한이 되도록 배선할 수가 있다. 또 도 2의 본 발명의 레이아웃에서는, 게이트에 평행한 배선(In2) 및 통과배선(160)을 회로소자의 회측으로 우회시키지 않고 끌 수가 있으므로, 도 7의 종래의 레이아웃과 비교해서 입력배선(In2) 및 통과배선(160)의 배선 폭 만큼 작은 면적으로 전체를 레이아웃할 수가 있다.

상술한 바와 같이 본 발명에 의한 배접 레이아웃에서는, 게이트에 평행한 배선뿐 아니라 게이트에 직교한 배선까지도 필요하다면 회로소자상을 통과하여 배치할 수가 있다. 그러나 도 2에 나타낸 바와 같은 C-MOS 트랜지스터의 경우에는, PMOS 트랜지스터를 작성하는 N웰영역(131)과, NMOS 트랜지스터를 작성하는 영역과는 어느정도 분리할 필요가 있으므로, PMOS 트랜지스터와 NMOS 트랜지스터 사이에 어느정도의 공간이 존재한다. 따라서 도 2에 나타낸 바와 같은 C-MOS 트랜지스터 구성의 경우에는, 게이트에 직교한 방향(도면의 가로방향)으로 뻗는 배선을 끄는 공간이 충분하여, 예를 들면 통과배선(170)을 회로소자상을 통과시킬 필요가 없다.

도 4는 도 2의 실시예의 변형례를 나타낸다. 도 4에서 도 2와 동일한 요소는 동일한 번호를 붙이고, 그 설명은 생략된다.

도 4는 본 발명에 의한 배접의 레이아웃과 종래의 배접의 레이아웃을 동일한 기판상에서 혼재하여 사용할 수 있는 것을 나타낸 도면이다. 예를 들어 도 2의 레이아웃에서, 통과배선(170)의 우측 연장선상에 도면 좌우방향으로 뻗는 게이트를 갖는 트랜지스터를 배치할 필요가 있다고 한다. 이 때 도 4에 나타낸 바와 같이, 종래의 레이아웃에 따라 폴리실리콘으로 구성된 게이트(171)와, 배접용 금속배선(172)을 N형 확산층(173)상에 형성하면, 통과배선(170)에 NMOS 트랜지스터를 접속할 수가 있다. 또한 도 4에서 게이트(171)에는 어떠한 배선도 접속되어 있지 않지만, 도 4는 본 발명에 의한 배접의 레이아웃과 종래의 배접의 레이아웃을 동일 기판상에 혼재하여 사용할 수 있다는 것을 개념적으로 나타내기 위한 것이며, 상세한 배선 등을 생략하고 있다.

도 4에 나타낸 바와 같이 본 발명의 레이아웃에 따르면, 예를 들어 통과배선(170) 등의 도면 좌우방향의 배선은 제 1 배선층에 형성되고, 통과배선(160) 등의 도면 상하방향의 배선은 제 2 배선층에 형성된다. 따라서 통과배선(170) 등의 도면 좌우방향의 배선에 좌우방향으로 게이트가 뻗는 트랜지스터 등의 회로소자를 접속할 경우에는, 본 발명의 배접 레이웃을 사용하기보다는 종래기술의 배접 레이아웃을 사용하는 편이 바람직하다. 이것은 종래기술의 배접 레이아웃 편이 좌우방향의 배선은 제 1 배선층에 형성하고 상하방향으 배선은 제 2 배선층에 형성한다는 기본적인 원리에 위배되지 않으면서 배선이 가능해지기 때문이며, 이에 따라 다른 배선을 고려할 경우의 전체의 레이아웃을 효율적으로 할 수가 있다.

상기와 같은 사항은 제 2 배선층의 상부에 다시 제 3 배선층을 형성한 경우를 생각하면 명백해진다.

도 5는 제 3 배선층을 형성한 경우의 배선 레이아웃을 모식적으로 나타낸 도면이다.

게이트(183)에 대한 본 발명의 레이아웃에서는, 좌우방향의 배선(182)이 제 1 배선층에, 상하방향의 배선(181)이 제 2 배선층에 형성된다. 따라서 제 3 배선층의 배선(180)이 좌우방향으로 뻗어 있을 경우에는 본 발명의 레이아웃과 제 3 배선층은 비교적 용이하게 접속할 수가 있다. 그러나 게이트(186)가 좌우방향으로 뻗는 회로소자를 형성할 필요가 있을 경우에는, 제 2 배선층의 배선(184)을 통해서 제 3 배선층의 배선(180)과 접속하는 것을 생각하면, 제 1 배선층이 배선(185)은 좌우방향으로 배선되는 것이 바람직하다. 따라서 제 1 배선층에 형성된 배접용 금속배선(185)은 게이트(186)에 평행한 방향으로 끄는 것이 바람직하게 된다. 즉 본 발명의 레이아웃과 종래기술의 레이아웃을 적당히 조합시킴으로써 효율적인 배선의 레이아웃이 가능해진다.

이상과 같은 본 발명의 설명은 실시예에 의거해서 하였으나, 본 발명은 상기 실시예의 한정되는 것은 아니고, 특허청구의 범위의 기재의 범위내에서 변혀, 변경이 가능하다.

발명의 효과

청구항 1의 발명에서는, 제 2 배선층에 게이트에 평행한 방향으로 배선을 끌 경우에는 회로소자상을 통과하여 배선할 수 있는 동시에, 제 1 배선층에 게에트에 직교한 방향으로 배선을 끌 경우에도, 복수의 배접 배선의 간격을 조정함으로써 회로소자상을 통과하여 배치할 수가 있다. 따라서 통과배선 등을 회로소자를 우회하여 배선할 필요가 없어져서, 자유롭게 배선을 끌수가 있다.

청구항 2의 발명에서는, 통과배선 등을 트랜지스터 소자를 우회하여 배선할 필요가 없어져서, 자유롭게 배선을 끌 수가 있다.

청구항 3의 발명에서는, 제 1 방향을 따라 설치된 복수의 접점에 의해 배접함으로써, 충분히 폭이 넓은 원하는 게이트 폭을 실현할 수가 있다.

청구항 4의 발명에서는, 제 1 배선층 내의 배선과 제 2 배선층 내의 배선을 서로 직교시킴으로써, 제 1 배선층 및 제 2 배선층을 사용하여 효율적인 레이아웃을 실현할 수가 있다.

청구항 5의 발명에서는, 제 2 배선층에 게이트에 평행한 방향으로 배선을 끌 경우에 회로소자를 우회하지 않고, 회로소자상을 통과하여 배선하므로, 여분의 배선저항이나 배선용량을 초래하지 않고, 배선의 폭 만큼 필요한 배선의 점유면적을 작게 할 수가 있다.

청구항 6의 발명에서는 제 1 배선층에 게이트에 직교한 방향으로 배선을 끌 경우에, 회로소자를 우회하지 않고, 회로소자상을 통과하여 배선하므로, 여분의 배선저항이나 배선용량을 초래하지 않고, 배선의 폭만큼 필요한 배선의 점유면적을 작게할 수가 있다.

청구항 7의 발명에서는, 제 1 방향으로 게이트가 뻗는 회로소자에 부가해서, 동일한 기판상에서 제 2방향으로 뻗는 트랜지스터 등의 회로소자를 형성할 경우에, 게이트에 평행하게 배접배선을 배치한다. 따라서

제 2 방향의 배선은 제 1 배선층에 형성하고 제 1 방향의 배선은 제 2 배선층에 형성하는 기본적인 레이아웃에 배치하지 않게 배선이 가능하며, 이에 따라 배선 전체의 레이아웃을 효율적으로 할 수가 있다.

청구항 8의 발명에서는 게이트에 평행한 방향으로 배선을 끌 경우에, 배접용 배선상을 통과하여 배선할 수 있는 동시에 게이트에 직교한 방향으로 배선을 끄는 경우에도, 복수의 배접용 배선의 간격을 조정함으로써 배접용 배선간을 통해서 배선할 수가 있다. 따라서 통과배선 등을 회로소자를 우회하여 배선할 필요가 어져서, 자유롭게 배선을 끌 수가 있다.

청구항 9의 발명에서는, 2개의 배선층을 사용함으로써, 통가배선 등을 회로소자를 우회하여 배선할 필요가 없어져서, 자유롭게 배선을 끌 수가 있다.

청구항 10의 발명에서는, 제 1 배선층 내의 배선과 제 2 배선층 내의 배선을 서로 직교시킴으로써 제 1 배선층 및 제 2 배선층을 사용해서 효율적인 레이아웃을 실현할 수가 있다.

청구항 11의 발명에서는, 서로 접속된 복수의 금속배선을 배접함으로써, 충분히 폭이 넓은 원하는 게이트 폭을 실현할 수 있는 동시에, 게이트에 평행한 방향으로 배선을 끌 경우에는 복수의 금속배선상을 통과하여 배선할 수가 있다, 게이트에 직교한 방향으로 배선을 끌 경우에는 복수의 금속배선을 간격을 조정함으로써, 금속배선간을 통해서 배선할 수가 있다. 따라서 통과배선 등을 회로소자를 우회하여 배선할 필요가 없어져서, 자유롭게 배선을 끌 수가 있다.

(57) 청구의 범위

청구항 1

트랜지스터의 게이트로서, 제1 방향으로 뻗는 게이트와,

상기 트랜지스터의 소스 및 드레인 중의 하나를 획정하는 확산층과,

상기 확산층에 공통으로 접속되며, 제1 배선층 내에서 그리고 상기 제 1 방향과 거의 직교하는 제2 방향으로 뻗는 복수의 배접배선과,

상기 복수의 배접배선간을 서로 접속하며, 제2 배선층에 형성되는 접속배선을 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 2

제1항에 있어서,

상기 확산층을 소스에 대응하는 제1 확산층과 드레인에 대응하는 제2 확산층을 포함하고,

상기 복수의 배접배선은 상기 제1 확산층에 접속되는 복수의 제1 배접배선과 상기 제2 확산층에 접속되는 복수의 제2 배접배선을 포함하며,

상기 접속배선은 상기 복수의 제1 배접배선을 서로 접속하는 제1 접속배선과 상기 복수 제2 배접배선을 서로 접속하는 제2 접속배선을 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 3

제1항에 있어서,

상기 복수의 배접배선 각각은 상기 제1 방향을 따라 설치된 복수의 접점 중 대응하는 적어도 1개를 통해서 상기 확산층에 접속되는 것을 특징으로 하는 반도체 집적회로.

청구항 4

제1항에 있어서,

상기 제1 배선층에 형성되는 상기 복수의 배접배선과는 다른 제1 배선과,

상기 제2 배선층에 형성되는 상기 접속배선과는 다른 제2 배선을 구비하며,

상기 제1 배선은 상기 제2 방향으로 뻗고, 상기 제2 배선은 상기 제1 방향으로 뻗는 것을 특징으로 하는 반도체 집적회로.

청구항 5

제4항에 있어서,

상기 제2 배선 중 적어도 1개는 상기 확산층의 상부를 통과하도록 배치되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 6

제4항에 있어서,

상기 제1 배선 중 적어도 1개는 상기 복수의 배접배선간을 지나서 상기 확산층의 상부를 통과하도록 배치되는 것을 특징으로 하는 반도체 집적회로.

청구항 7

제4항에 있어서,

상기 제2 방향으로 뻗는 다른 게이트와,

상기 다른 게이트에 대응해서 형성되는 제3 의 확산층과,

제1 배선층 내에서 상기 제2 방향으로 뻗어서 상기 제3 확산층과 복수 부위에서 접속되는 다른 배접배선을 더 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 8

트랜지스터의 게이트와,

상기 게이트의 연장선에 거의 직교하는 방향으로 뻗고, 상기 트랜지스터의 소스 및 드레인 중 하나의 단일 영역에 공통으로 접속되는 복수의 배접용 배선과,

상기 복수의 배접용 배선간을 서로 접속하는 접속배선을 구배하는 것을 특징으로 하는 반도체 장치.

청구항 9

제8항에 있어서,

상기 복수의 배접용 배선은 제1 배선층에 형성되고, 상기 접속배선은 제2 배선층에 형성되는 것을 특징으로 하는 반도체 장치.

청구항 10

제9항에 있어서,

상기 게이트에 거의 직교하는 방향으로 뻗는 배선은 상기 제1 배선층에 배치하고, 상기 게이트에 거의 평행한 방향으로 뻗는 배선은 상기 제2 배선층에 배치하는 것을 특징으로 하는 반도체 장치.

청구항 11

확산층에 배접을 행하는 방법에 있어서,

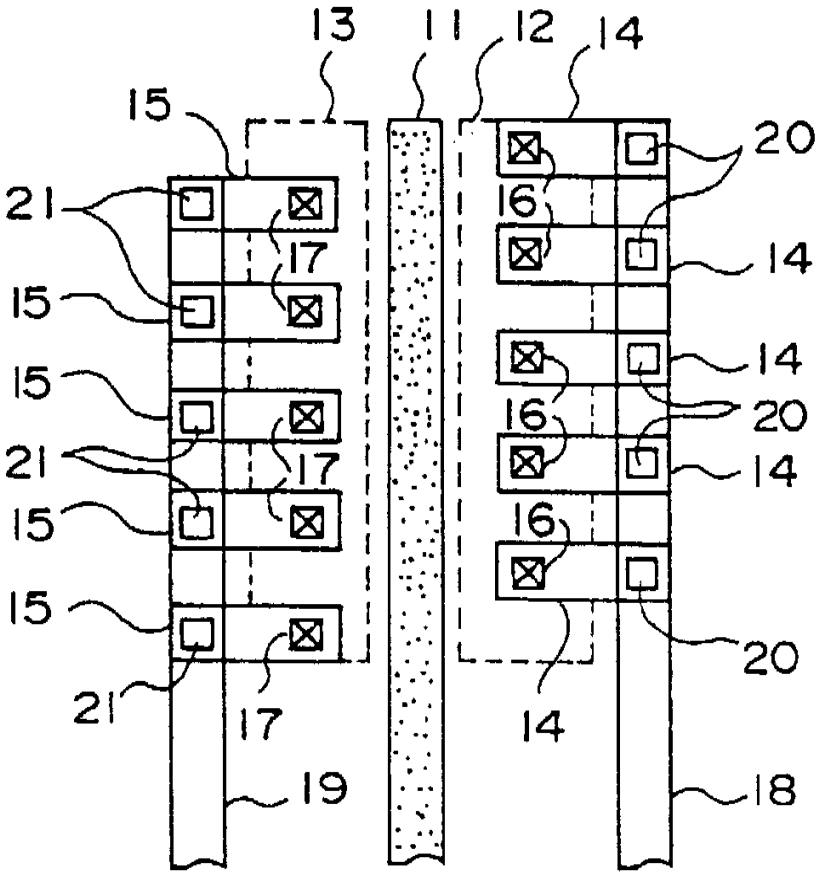
게이트에 거의 직교하는 방향으로 복수의 금속배선을 배치하는 단계와,

상기 복수의 금속배선 각각을 상기 확산층에 접속하는 단계와,

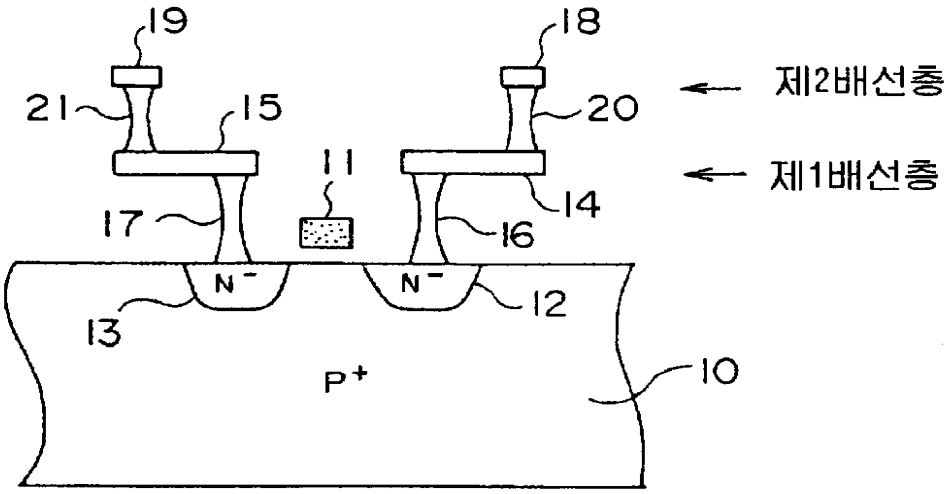
상기 복수의 금속배선 끼리를 접속하는 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 확산층의 배접방법.

도면

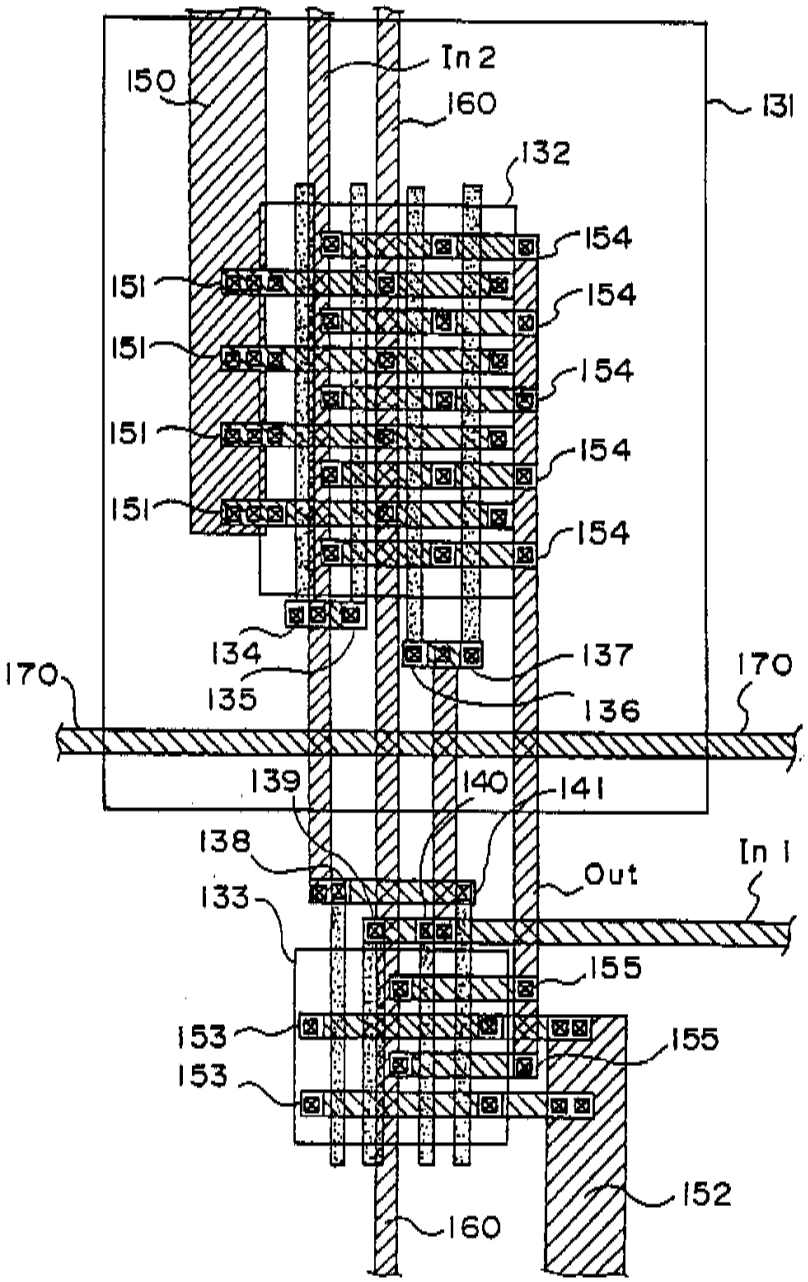
도면1a


13
11
12
14
15
20
21
16
17
14
15
14
15
16
20
21
17
14
15
16
15
20
21
17
14
19
18

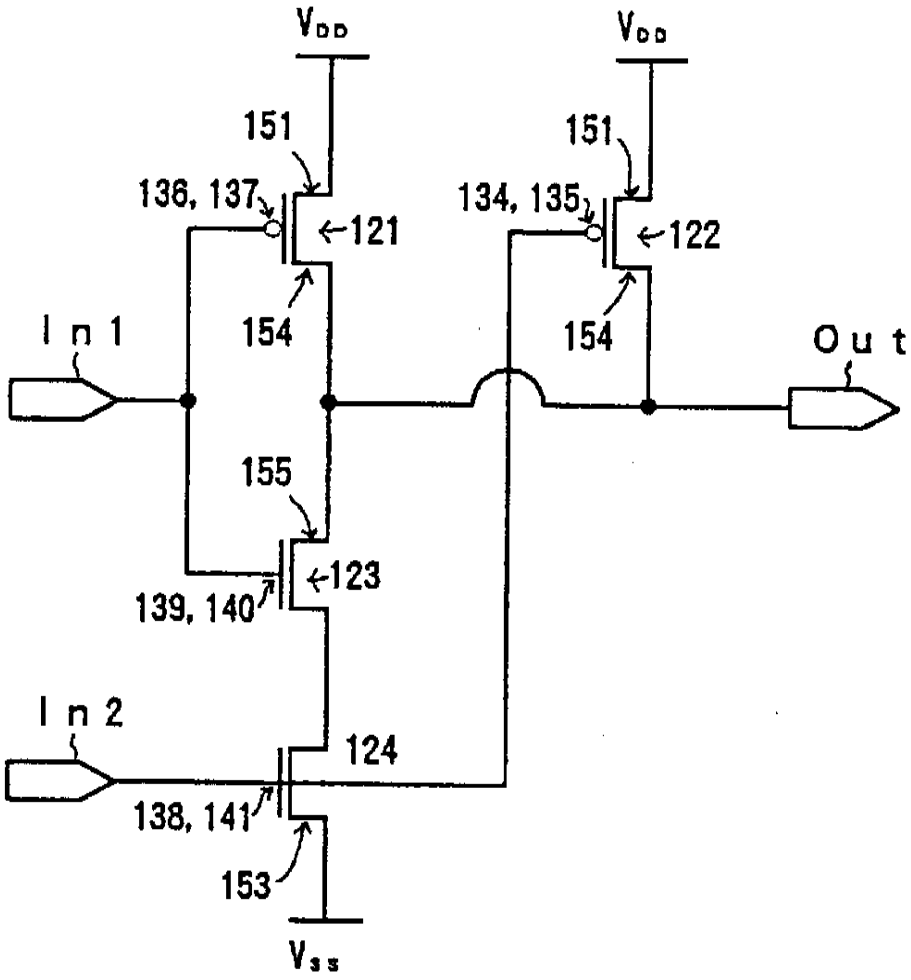
도면1b


19
18
21
15
20
제2배선층
11
제1배선층
17
14
16
N⁻
N⁻
13
12
P+
10

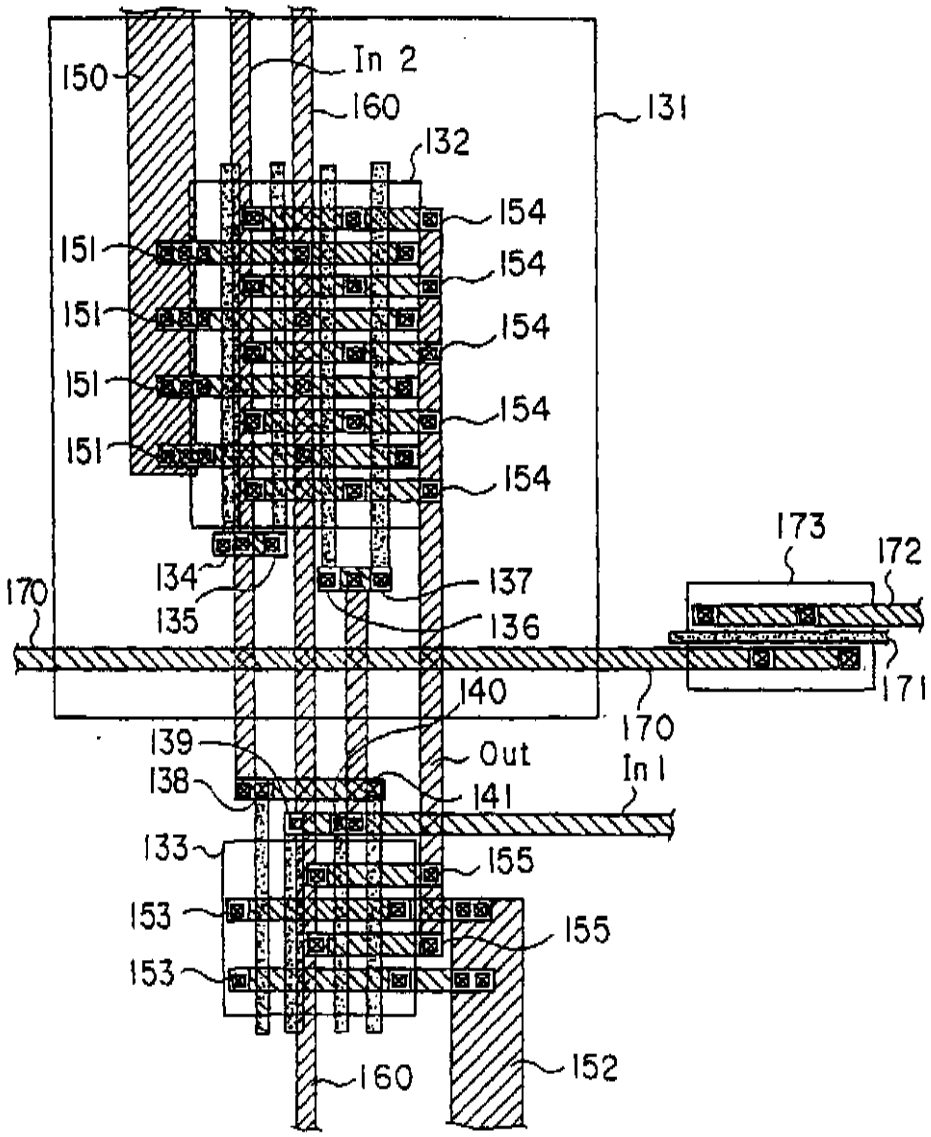
도면2


In 2
150
160
131
132
154
151
154
151
154
151
154
151
154
134
137
170
135
136
170
139
140
141
138
In 1
Out
133
155
153
155
153
152
160

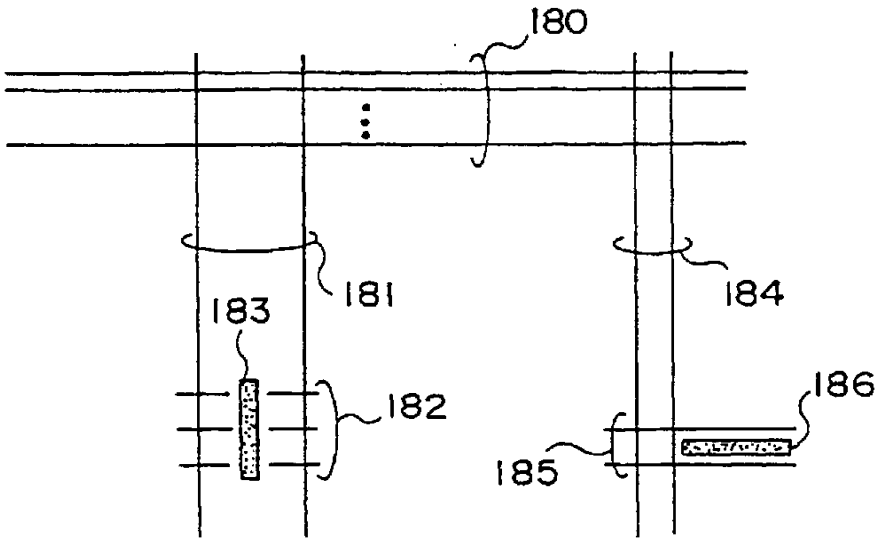
도면3


VDD
VDD
151
151
136, 137
134, 135
121
122
In 1
154
154
Out
155
123
139, 140
In 2
124
138, 141
153
Vss

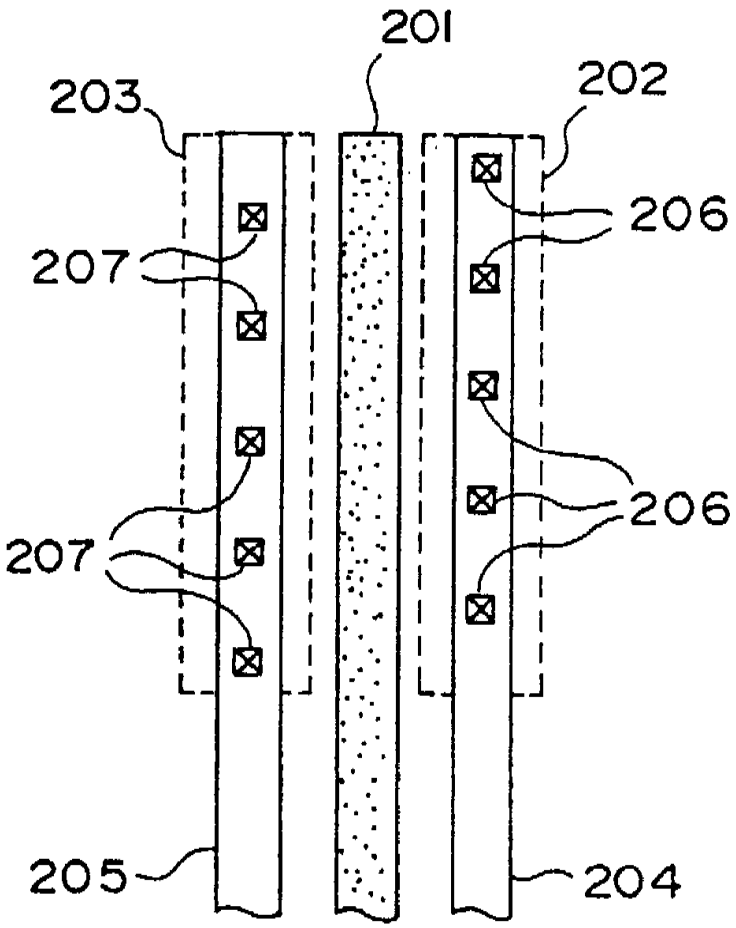
도면4


150
In 2
160
131
132
154
151
154
151
154
151
154
151
154
173
172
134
137
170
135
136
171
140
170
139
Out
In 1
138
141
133
155
153
155
153
152
160

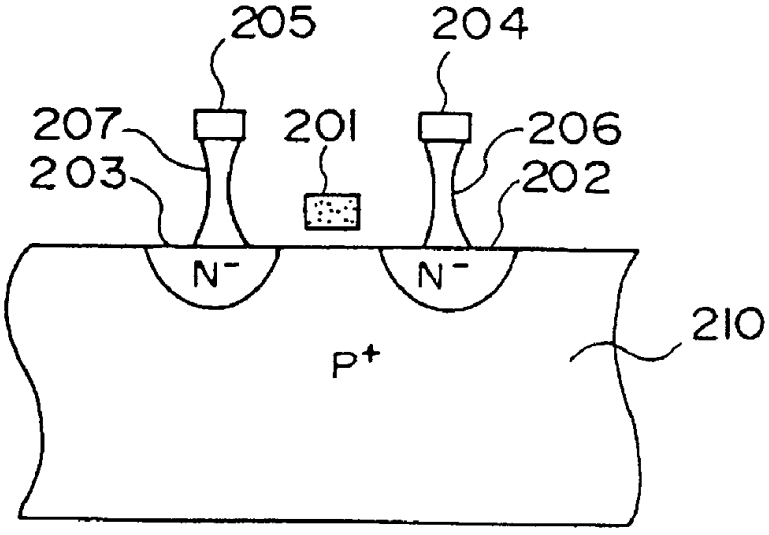
도면5


180
181
184
183
182
186
185

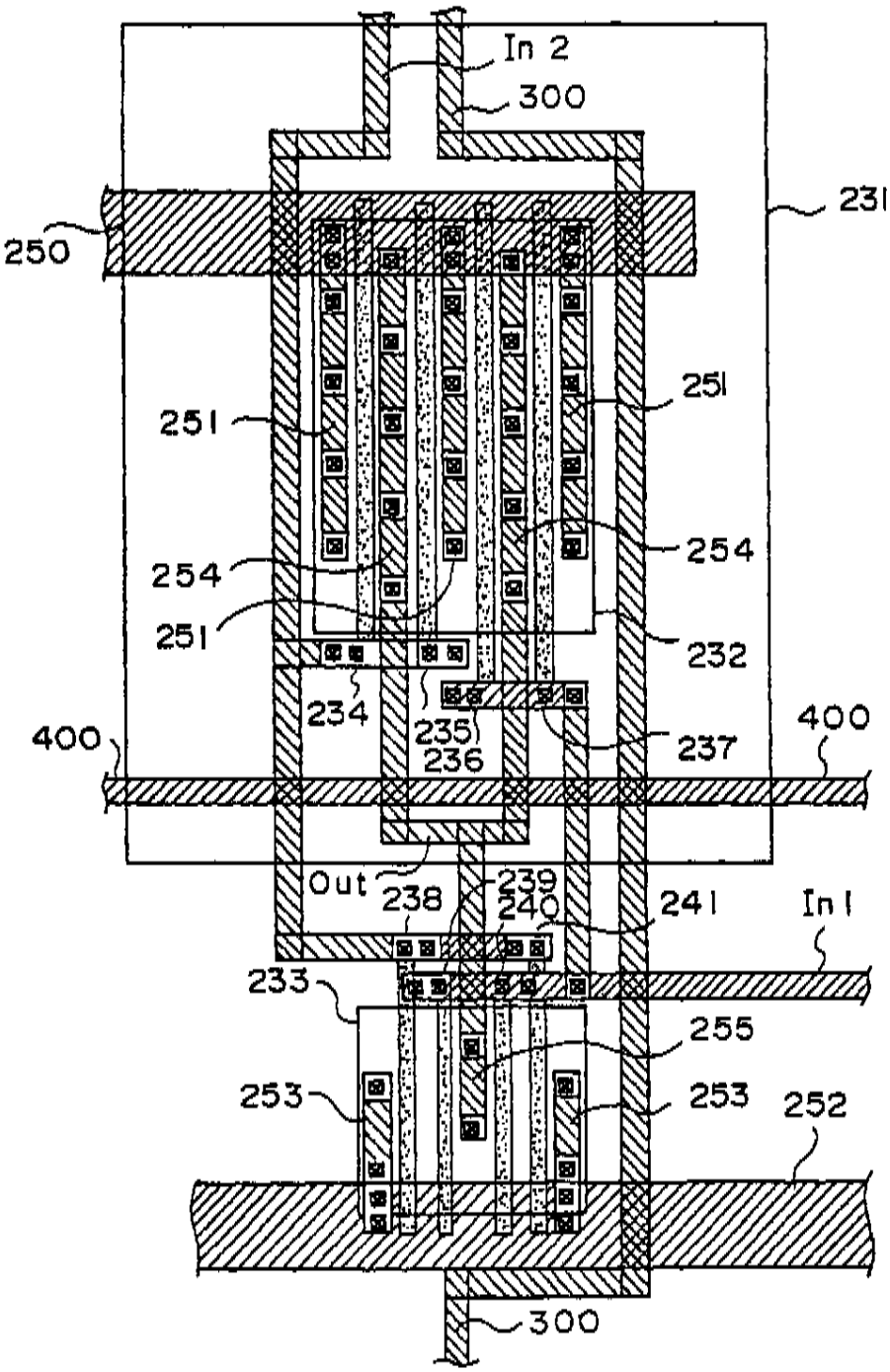
도면6a


201
203
202
206
207
206
207
205
204

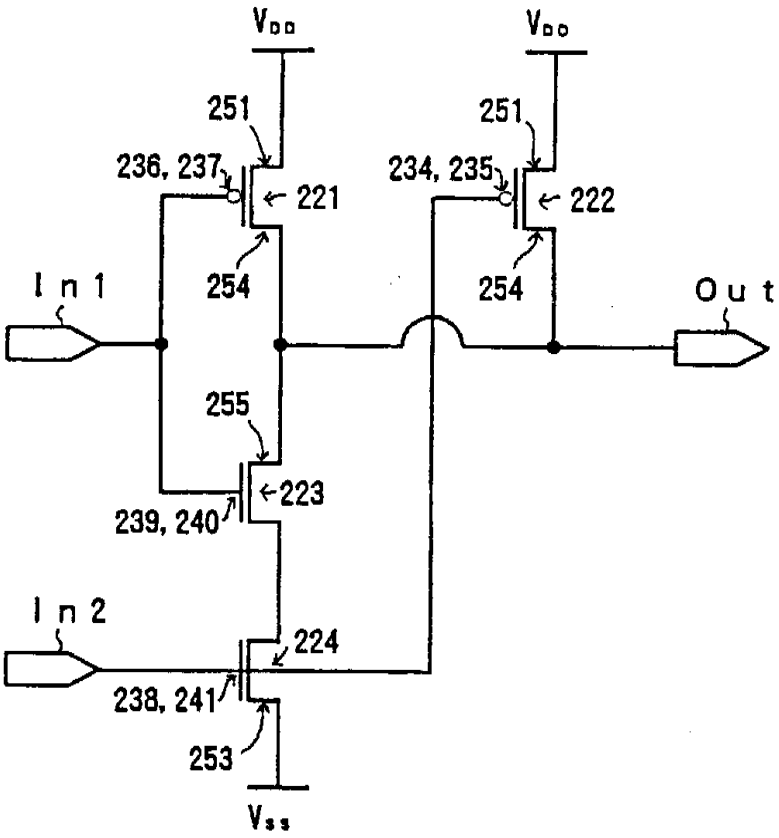
도면6b


205
204
207
201
206
203
202
N⁻
N⁻
210
P⁺

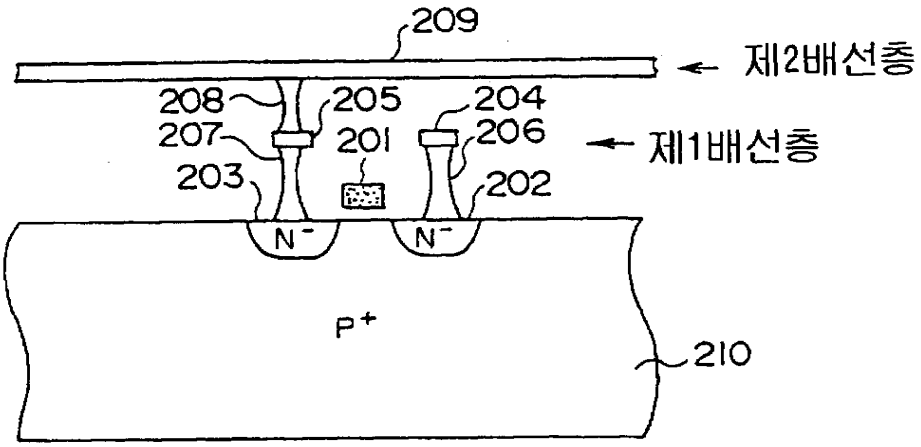
도면7


In 2
300
231
250
251
251
254
254
251
232
234
235
236
237
400
400
Out
238
239
240
241
In 1
233
255
253
253
252
300

도면8


Vdd
Vdd
251
251
236, 237
234, 235
221
222
In 1
254
254
Out
255
223
239, 240
In 2
224
238, 241
253
Vss

도면9


209
제2배선층
208
205
204
207
201
206
제1배선층
203
202
N⁻
N⁻
P⁺
210