I577033

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I577033 B**

(45)公告日： 中華民國 106 (2017) 年 04 月 01 日

(21)申請案號：100109905 (22)申請日： 中華民國 100 (2011) 年 03 月 23 日

(51)Int. Cl.： ***H01L31/0236(2006.01)*** ***H01L31/101 (2006.01)***

(30)優先權：2010/03/24 美國 61/317,147

(71)申請人：矽安尼克斯有限責任公司 (美國) SIONYX, LLC. (US)
美國

(72)發明人：艾里 蘇珊 ALIE, SUSAN (US)；帕瑞里 馬丁 PRALLE, MARTIN U. (US)；帕蘇爾 秦塔馬尼 PALSULE, CHINTAMANI (US)；麥奇 傑弗瑞 MCKEE, JEFFREY (US)；李夏 LI, XIA (CN)

(74)代理人：林志剛

(56)參考文獻：

US 2008/0179762A1

審查人員：林信宏

申請專利範圍項數：25 項 圖式數：14 共 52 頁

(54)名稱

具有加強電磁輻射偵測之裝置與相關方法

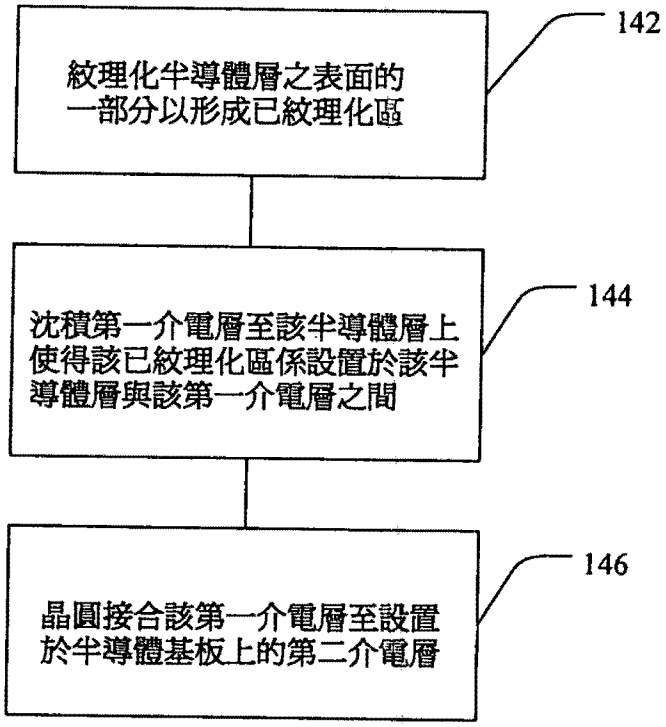
DEVICES HAVING ENHANCED ELECTROMAGNETIC RADIATION DETECTION AND ASSOCIATED METHODS

(57)摘要

提供光敏感半導體裝置及相關方法。在一個態樣中，半導體裝置可包括半導體基板及耦接至該半導體基板的半導體層，其中該半導體層具有與該半導體基板相對的裝置表面。該裝置也包括耦接於該半導體基板與該半導體層之間的至少一個已紋理化區。在另一態樣中，該裝置進一步包括耦接於該半導體基板與該半導體層之間的至少一個介電層。

Photosensitive semiconductor devices and associated methods are provided. In one aspect, a semiconductor device can include a semiconductor substrate and a semiconductor layer coupled to the semiconductor substrate, where the semiconductor layer has a device surface opposite the semiconductor substrate. The device also includes at least one textured region coupled between the semiconductor substrate and the semiconductor layer. In another aspect, the device further includes at least one dielectric layer coupled between the semiconductor substrate and the semiconductor layer.

指定代表圖：


紋理化半導體層之表面的一部分以形成已紋理化區
142
沈積第一介電層至該半導體層上使得該已紋理化區係設置於該半導體層與該第一介電層之間
144
晶圓接合該第一介電層至設置於半導體基板上的第二介電層
146

第14圖

公告本

863616

發明專利說明書

（本申請書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：100109905

※申請日：100 年 03 月 23 日　　**※IPC 分類：** H01L 31/0236 (2006.01)
H01L 31/101 (2006.01)

一、發明名稱：（中文／英文）

具有加強電磁輻射偵測之裝置與相關方法

Devices having enhanced electromagnetic radiation detection and associated methods

二、中文發明摘要：

提供光敏感半導體裝置及相關方法。在一個態樣中，半導體裝置可包括半導體基板及耦接至該半導體基板的半導體層，其中該半導體層具有與該半導體基板相對的裝置表面。該裝置也包括耦接於該半導體基板與該半導體層之間的至少一個已紋理化區。在另一態樣中，該裝置進一步包括耦接於該半導體基板與該半導體層之間的至少一個介電層。

三、英文發明摘要：

Photosensitive semiconductor devices and associated methods are provided. In one aspect, a semiconductor device can include a semiconductor substrate and a semiconductor layer coupled to the semiconductor substrate, where the semiconductor layer has a device surface opposite the semiconductor substrate. The device also includes at least one textured region coupled between the semiconductor substrate and the semiconductor layer. In another aspect, the device further includes at least one dielectric layer coupled between the semiconductor substrate and the semiconductor layer.

四、指定代表圖：

（一）本案指定代表圖為：第（14）圖。

（二）本代表圖之元件符號簡單說明：無

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

此申請案主張2010年3月24日申請之美國臨時專利申請序號第61/317,147號的權益，其以引用方式併入本文中。

【發明所屬之技術領域】

本發明關於光敏感半導體裝置及相關方法。

【先前技術】

絕緣層上半導體(semiconductor on insulator, SOI)晶圓技術爲微機電系統(MEMS)技術的產物。SOI晶圓爲一種堆疊的晶圓基板，其中將裝置晶圓(典型爲矽)接合至被接合至支撐晶圓(另外稱爲處理晶圓)的介電層。製造SOI晶圓之典型的程序流程可爲下列：將二個晶圓拋光且以氧化物或其他介電材料加以塗佈。該等晶圓以已拋光側面對面的方式加以安裝且在高溫及高壓下加以接合。接著將二個晶圓的一者藉由使用機械研磨及化學機械拋光來研磨至特定厚度。以此方式，可能產生與下層基板電隔離的半導體晶圓。

【發明內容】

本揭示提供可展現各種增強特性(諸如，例如增強的光偵測特性)的半導體結構及裝置。在一個態樣中，提供一種半導體裝置。此種裝置可包括半導體基板及耦接至該

半導體基板的半導體層，其中該半導體層具有與該半導體基板相對的裝置表面。該裝置也包括耦接於該半導體基板與該半導體層之間的至少一個已紋理化區。在另一態樣中，該裝置進一步包括耦接於該半導體基板與該半導體層之間的至少一個介電層。在一個態樣中，該半導體層爲磊晶生長的半導體層。在另一態樣中，該半導體層爲矽層。在另外的態樣中，將次要半導體層設置於該已紋理化區與該半導體層之間。

考量到針對依據本揭示態樣之該等層的各種位置配置，且將任何此種配置視爲在目前的範圍內。在一個特定態樣中，例如該介電層係耦接於該半導體基板與該已紋理化區之間，且該已紋理化區係設置於該介電層與該半導體層之間。在一個特定態樣中，將反射區設置於該半導體基板與該已紋理化區之間。在另一態樣中，該已紋理化區係直接耦接至該半導體層。在又一態樣中，將次要半導體層設置於該已紋理化層與該半導體層之間。在另外的特定態樣中，將至少一個空腔區設置於該已紋理化區與該半導體層之間。作爲位置配置的另一態樣，將該已紋理化區設置於該半導體基板與該介電層之間，且將該介電層設置於該已紋理化區與該半導體層之間。

在本揭示的一個態樣中，將多晶矽層直接耦接至該介電層。在另一態樣中，該多晶矽層係設置於多個介電層之間。在一些態樣中，該多晶矽層可爲已摻雜。

在本揭示的一個態樣中，將至少一個光二極體光學主

動區設置於該裝置表面上。在另一態樣中，該光二極體光學主動區包含已摻雜區。在又一態樣中，該裝置形成至少一個光偵測器。在另外的態樣中，該至少一個光偵測器爲以陣列配置的複數個光偵測器。在另外的態樣中，該已紋理化區係以空間上對應於該陣列的光偵測器之不連續圖案來加以配置。在另一態樣中，該裝置包括在至少該半導體層中的複數個隔離特徵以隔離該陣列的光偵測器中的各個光偵測器，其中該等隔離特徵以電氣、光學、或電氣與光學兩者的方式隔離各個光偵測器。在又一態樣中，該裝置包括與該至少一個光偵測器關聯的至少一個光學透鏡。在另外的態樣中，該裝置包括與該至少一個光偵測器關聯的至少一個色彩濾光器。

在本揭示的一個態樣中，該已紋理化區以摻雜劑加以摻雜以形成背表面電場。在另一態樣中，該背表面電場已經以諸如而不限於下列的技術加以摻雜：雷射摻雜、離子植入、擴散摻雜、原位摻雜、及相似者、包括彼等之組合。在又一態樣中，該已紋理化區具有比該半導體層更高的摻雜劑濃度。在另外的態樣中，該摻雜劑具有與該半導體層相同的極性。此種摻雜劑的非限制性實例可包括：硼、鋁、鎵、砷、銻、磷、及相似者、包括彼等之組合。額外地，在其他態樣中，背表面電場可藉由摻雜該已紋理化區外側的半導體層來加以產生。在一個態樣中，例如該半導體層以摻雜劑加以摻雜以形成背表面電場，其中該背表面電場與該已紋理化區相異。

本揭示額外地提供製造半導體裝置的方法。在一個態樣中，一個此種方法包括紋理化半導體層之表面的至少一部分以形成已紋理化區、沈積第一介電層至該半導體層上使得該已紋理化區係設置於該半導體層與該第一介電層之間、及晶圓接合該第一介電層至設置於半導體基板上的第二介電層。在一個態樣中，該半導體層爲磊晶生長的半導體層。在另一態樣中，紋理化半導體層之表面的至少一部分以形成已紋理化區進一步包括形成該磊晶生長的半導體層於生長基板上、及紋理化該磊晶生長的半導體層之表面的至少一部分以形成已紋理化區。在又一態樣中，該方法包括移除該生長基板以暴露該磊晶生長的半導體層。在替代的態樣中，該方法可包括形成磊晶生長的半導體層於與該已紋理化區相對側之該半導體層上。

在另一態樣中，晶圓接合包括沈積多晶矽層於該第一介電層上及接著接合該多晶矽層於該第一介電層與該第二介電層之間。在又一態樣中，該多晶矽層的至少一部分可爲已摻雜。也考量到的是，目前的範圍可包括設置於該半導體基板與半導體層之間的多個介電及/或半導體材料層。

在另外的態樣中，紋理化該半導體層之表面的至少一部分以形成已紋理化區進一步包括形成開口於該半導體基板、該第二介電層、及該第一介電層中以暴露該半導體層的一部分、及紋理化該半導體層之已暴露部分的至少一部分以形成該已紋理化區。

在另一態樣中，本揭示提供一種保護已紋理化區免受半導體裝置製造期間的污染之方法。此種方法包括紋理化半導體層之表面的至少一部分以形成已紋理化區、沈積第一介電層至該半導體層上使得該已紋理化區係設置於該半導體層與該第一介電層之間、及晶圓接合該第一介電層至設置於半導體基板上的第二介電層，其中該已紋理化區係由該半導體層及該半導體基板加以保護而免受進一步製造程序期間的污染。

【實施方式】

在本文中描述本揭示之前，將理解的是，此揭示不限於本文中所揭示的特定結構、程序步驟、或材料，但延伸至其等效物，如將由熟悉相關技藝之人士所辨識。也將理解的是，將本文中所採用的術語用於僅僅描述特定實施例之目的且非意圖爲限制性。

定義

下列術語將依據以下所陳述的定義來加以使用。

應注意到的是，如此說明書及所附申請專利範圍中所使用，單數形式「一」及「該」包括複數對象，除非上下文明確另有所指。因此，例如對「摻雜劑」的引用包括一或更多此種摻雜劑且對「該層」的引用包括對一或更多此種層的引用。

如本文中所使用，可將術語「無序表面」及「已紋理

化表面」交換使用，且意指一種具有奈米至微米大小表面變化之拓樸的表面。儘管任何紋理化技術被視爲在目前的範圍內，在一個態樣中該紋理化由雷射脈衝的照射所形成。此外，雖然已紋理化表面的特性可取決於材料及所採用的技術而爲可變的，在一個態樣中此種表面可爲數百奈米厚且由奈米微晶(例如從約 10 至約 50 奈米)、奈米孔、及相似者所構成。在另一態樣中，此種表面可包括微米大小的結構(例如約 2 μm 至約 60 μm)。在又一態樣中，該表面可包括從約 5 nm 至約 500 μm 的奈米大小及/或微米大小結構。

如本文中所使用，可將術語「表面改質」及「紋理化」交換使用，且意指藉由使用紋理化技術改變半導體材料的表面。在一個特定態樣中，表面改質可包括主要使用雷射輻射或雷射輻射結合摻雜劑的程序，藉此該雷射輻射促進該摻雜劑併入至半導體材料的表面中。因此，在一個態樣中表面改質包括摻雜該材料。

如本文中所使用，術語「通量」意指來自通過單位面積之單一個雷射輻射的脈衝之能量的量。換句話說，可將「通量」描述爲一個雷射脈衝的能量密度。

如本文中所使用，術語「目標區」意指意圖藉由使用雷射輻射加以摻雜或表面改質之半導體材料的區域。半導體材料的目標區可隨著表面改質程序進行而變化。例如，在第一目標區被摻雜或表面改質以後，第二目標區可在相同半導體材料上加以選定。

如本文中所使用，術語「吸收率」意指由材料或裝置所吸收之入射電磁輻射的分率。

如本文中所使用，術語「實質」意指動作、特徵、特性、狀態、結構、項目、或結果之完全或接近完全的幅度或程度。例如，被「實質」封閉的物件將意指該物件被完全封閉或者接近完全封閉。從絕對完全性偏離的確實可容許程度可能在一些情況中取決於特定情境。然而，一般而言完全性的接近度將具有如同絕對及總體完全性所獲得的相同整體結果。當使用於否定意涵以意指動作、特徵、特性、狀態、結構、項目、或結果之完全或接近完全缺乏時，可相等地應用「實質」的使用。例如，「實質沒有」顆粒的組成將完全缺乏顆粒、或者如此接近完全缺乏顆粒使得效應將如同完全缺乏顆粒一樣。換句話說，「實質沒有」成分或元素的組成可能仍然實際上含有此種項目，只要沒有該項目的可衡量效應。

如本文中所使用，將術語「約」用來提供彈性至數值範圍端點，其提供了給定值可能「略高於」或「略低於」該端點。

如本文中所使用，爲了方便可將複數個項目、結構元件、組成元素、及/或材料呈現於共同的列表中。然而，應將這些列表詮釋爲彷彿該列表的各構成被個別地識別爲分開且唯一的構成。因此，此列表的個別構成不應僅僅根據其呈現於共同群組而沒有相反指示就被詮釋爲相同列表的任何其他構成之實際等效物。

濃度、量、及其他數值資料可在本文中以範圍格式來加以表示或呈現。將理解的是，使用此種範圍格式僅爲了方便及簡潔，且因此應被彈性地解釋爲不只包括被明確敘述作爲範圍限制的數值，也包括該範圍內所包含之所有個別數值或子範圍，如同將各數值及子範圍明確敘述。作爲例示，應將「約 1 至約 5」的數值範圍解釋爲不只包括明確敘述之約 1 至約 5 的值，也包括在所示範圍內的個別值及子範圍。因此，含括於此數值範圍者爲個別值(諸如 2、3、及 4)以及子範圍(諸如從 1 至 3、從 2 至 4、及從 3 至 5 等等，以及個別的 1、2、3、4、及 5)。

此相同原理應用至敘述僅一個數值作爲最小值或最大值的範圍。此外，應該應用此種解釋，無論被描述的範圍或特性之幅度。

揭示

本揭示提供可展現各種增強特性(諸如，例如增強的光偵測特性)的各種半導體裝置及相關方法。額外地，本揭示提供一種整合方法，其用於製造及應用將導致影像感測器及光偵測器之增強的已紋理化半導體材料。特定類型的半導體紋理化可增強半導體材料的光譜頻寬、吸收率、及量子效率。性能也可經由各種架構配置來加以增強。此種配置也可顯著改善特定裝置架構與傳統程序流程(諸如，例如傳統 CMOS 程序流程)的流程整合。

具有已紋理化區位於例如光偵測器之背表面的裝置設

計提供了顯著的性能益處。已紋理化區可具有表面特徵，該等表面特徵導致短波長(例如在光譜的藍綠色部份)的光載體之較高再結合，因爲這些波長非常淺地穿透至該裝置的偵測體積中。藉由使已紋理化區實體地位於該裝置的背表面上，設置原始表面(pristine surface)而用於收集頂表面(即光入射表面)上的短波長，且穿透深入或通過該半導體材料的偵測區之較長波長由與該光入射表面相對的已紋理化區或者藉助與該光入射表面相對的已紋理化區來加以收集。應注意到的是，除了背側照明以外，也可考量到前側照明架構在目前的範圍內。此外，增強的性能及容易製造也可藉由使已紋理化區位於半導體堆疊或晶圓內來達成。在一些態樣中，可在沈積可能受到紋理化程序負面影響的結構或電路之前的製造程序中使已紋理化層先位於半導體堆疊內。額外地，可將此種半導體堆疊送至外側製造程序以供進一步製造而不暴露有關被嵌入於該等半導體層之間的已紋理化區或任何該已紋理化區與該等半導體層之間的相互作用之技術細節。

在一個態樣中，如第 1 圖中所示，設置半導體裝置 10。儘管各種半導體功能被考量到，在一個態樣中該半導體裝置可展現增強的電磁輻射偵測。此種裝置可包括半導體基板 12 及耦接至該半導體基板的半導體層 14。該半導體層具有與該半導體基板相對的裝置表面 15。該裝置也包括位於或耦接於該半導體基板與該半導體層之間的至少一個已紋理化區 16。因此，將該已紋理化區封閉於該半導體

基板與該半導體層之間。該半導體裝置的隨後處理(諸如，例如形成結構於該裝置表面上)不會影響這個被埋沒的已紋理化區。在一個態樣中，可將已紋理化區形成於該半導體基板上。在另一態樣中，可將已紋理化區形成於該半導體層上。額外地，針對第 1 圖及隨後的圖，該已紋理化區可爲如所示的單一個已紋理化區，或該已紋理化區可爲多個分離的已紋理化區。並且，該已紋理化區可覆蓋如所示的僅僅該半導體基板與該半導體層之間的表面積之一部分，或該已紋理化區可覆蓋彼等之間的整個表面。

在另一態樣中，如第 2A 圖中所示，設置半導體裝置 20A。此種裝置可包括半導體基板 22 及耦接至該半導體基板的半導體層 24。該裝置也包括位於或耦接於該半導體基板與該半導體層之間的至少一個已紋理化區 26、及耦接於該半導體基板與該半導體層之間的至少一個介電層 28。儘管針對該介電層考量到各種效用，在一個態樣中可將此種層用來晶圓接合該半導體層至該半導體基板。在一個態樣中，可將該介電層形成於該半導體基板上。在另一態樣中，可將該介電層形成於該已紋理化區上。並且，在一些態樣中可將該已紋理化區形成於該介電層上。額外地，在一個態樣中該半導體層可爲磊晶生長的半導體層。因此在一些態樣中，可將該已紋理化區形成於該磊晶生長的半導體層上。

應注意到的是，針對所有態樣，目前的範圍也可包括設置於該半導體基板與該半導體層之間的多個介電層及/

或多個半導體材料層。額外地，該半導體層本身可爲多個半導體層且該半導體基板可包括多個層。也應注意到的是，該半導體基板意指用於半導體的基板，且可包含半導體材料及/或非半導體材料。

第 2B 圖顯示了具有位於該已紋理化層與該半導體層之間的次要半導體層 27 之半導體裝置 20B。將半導體層 24 形成於該次要半導體層上。在一個態樣中該半導體層爲磊晶生長的半導體層。因此在一些態樣中，可將該已紋理化區形成於該次要半導體層上或於介電層 28 上。應注意到的是，從第 2A 圖已經重複使用之第 2B 至 D 圖中的所有元件符號意指相同或類似的材料及/或結構，無論是否提供進一步的描述。

第 2C 圖顯示其中介電層 28 被耦接於該半導體層與該已紋理化區之間的半導體裝置 20C。在此情況中，可將該介電層形成於半導體層 24、已紋理化區 28 上、或於該半導體層及該已紋理化區兩者上。在一個態樣中，可將該已紋理化區形成於半導體基板 22 上。在另一態樣中，可將該已紋理化區形成於該介電層上。

額外地，在一些態樣中，如第 2D 圖中針對半導體裝置 20D 所示，該介電層可爲複數個介電層 28。在晶圓接合的情況中，例如可將第一介電層與該已紋理化層關聯，且可將第二介電層與該半導體基板關聯。藉助或沒有藉助另外的壓力、溫度、或電漿表面活化將該第一介電層及該第二介電層一起加熱及加壓，以造成該等介電層互相接合

，因此形成單一個晶圓接合的結構。然而應注意到的是，晶圓接合可用沒有一或更多個介電層的方式加以達成，且因此目前的範圍也應包括缺乏此種介電材料的晶圓接合。額外地，在一些態樣中，可使該已紋理化區位於複數個介電層(未顯示)之間。

各種半導體材料被考量而與依據本揭示之態樣的裝置及方法一起使用。可將此種材料用來作爲半導體層及/或半導體基板，以及用於次要半導體層及磊晶生長的半導體層。此種半導體材料的非限制性實例可包括第IV族材料、由來自第II及VI族的材料所組成之化合物及合金、由來自第III及V族的材料所組成之合金、及彼等之組合。較具體而言，範例性的第IV族材料可包括矽、碳(例如鑽石)、鍺、及彼等之組合。第IV族材料的各種範例性組合可包括碳化矽(SiC)及鍺化矽(SiGe)。在一個態樣中，半導體材料可爲矽或包括矽。範例性矽材料可包括非晶矽(a-Si)、微晶矽、多晶矽(multicrystalline silicon)、及單晶矽，以及其他結晶類型。在另一態樣中，半導體材料可包括下列之至少一者：矽、碳、鍺、氮化鋁、氮化鎵、砷化銦鎵、砷化鋁鎵、及彼等之組合。

第II至VI族材料的範例性組合可包括硒化鎘(CdSe)、硫化鎘(CdS)、碲化鎘(CdTe)、氧化鋅(ZnO)、硒化鋅(ZnSe)、硫化鋅(ZnS)、碲化鋅(ZnTe)、碲化鎘鋅(CdZnTe，CZT)、碲化汞鎘(HgCdTe)、碲化汞鋅(HgZnTe)、硒化汞鋅(HgZnSe)、及彼等之組合。

第III至V族材料的範例性組合可包括銻化鋁(AlSb)、砷化鋁(AlAs)、氮化鋁(AlN)、磷化鋁(AlP)、氮化硼(BN)、磷化硼(BP)、砷化硼(BAs)、銻化鎵(GaSb)、砷化鎵(GaAs)、氮化鎵(GaN)、磷化鎵(GaP)、銻化銦(InSb)、砷化銦(InAs)、氮化銦(InN)、磷化銦(InP)、砷化鋁鎵(AlGaAs，$Al_xGa_{1-x}As$)、砷化銦鎵(InGaAs，$In_xGa_{1-x}As$)、磷化銦鎵(InGaP)、砷化鋁銦(AlInAs)、銻化鋁銦(AlInSb)、砷化鎵氮化物(GaAsN)、砷化鎵磷化物(GaAsP)、氮化鋁鎵(AlGaN)、磷化鋁鎵(AlGaP)、氮化銦鎵(InGaN)、砷化銦銻化物(InAsSb)、銻化銦鎵(InGaSb)、磷化鋁鎵銦(AlGaInP)、砷化鋁鎵磷化物(AlGaAsP)、砷化銦鎵磷化物(InGaAsP)、砷化鋁銦磷化物(AlInAsP)、砷化鋁鎵氮化物(AlGaAsN)、砷化銦鎵氮化物(InGaAsN)、砷化銦鋁氮化物(InAlAsN)、砷化鎵銻化氮化物(GaAsSbN)、氮化鎵銦砷化銻化物(GaInNAsSb)、砷化鎵銦銻化磷化物(GaInAsSbP)、及彼等之組合。

半導體材料可爲容許半導體裝置的想要特性與功能之任何厚度，且因此可將任何此種厚度的半導體材料視爲在目前的範圍內。已紋理化區可增加裝置的效率，使得在一些態樣中半導體材料可以比先前可能者更薄。減少厚度會降低用來作出此種裝置之半導體材料的量。在一個態樣中，例如半導體材料(諸如半導體層)具有約 500 nm 至約 50 μm 的厚度。在另一態樣中，半導體材料具有小於或等於約 500 μm 的厚度。在又一實施例中，半導體材料具有約

1 μm 至約 10 μm 的厚度。在另外的態樣中，半導體材料可具有約 5 μm 至約 750 μm 的厚度。在另外的實施例中，半導體材料可具有約 5 μm 至約 100 μm 的厚度。

額外地，考量到半導體材料的各種配置，且將可被併入半導體裝置中的任何此種材料配置視爲在目前的範圍內。在一個態樣中，例如半導體材料可包括單晶材料。在另一態樣中，半導體材料可包括多晶材料。在又一態樣中，半導體材料可包括微晶材料。也考量到的是，半導體材料可包括非晶材料。

如已經加以描述，半導體基板可爲能夠在製造及/或使用期間支撐半導體層及相關組件的任何大小、形狀、及材料。半導體基板可從各種材料構成，包括以上所描述的半導體材料、以及非半導體材料。此種材料的非限制性實例可包括金屬、聚合金屬、陶瓷、玻璃、及相似者。在一些態樣中，半導體基板及半導體層具有相同或實質相同的熱膨脹特性。

此外，依據本揭示之態樣的半導體材料可包含多個層。在一些態樣中，層可在多數的載體極性中變化(即施體或受體雜質)。施體或受體雜質典型藉由經生長程序、沈積程序、磊晶程序、植入程序、雷射程序(lasing process)或熟習本技藝人士已知的其他程序引入至該裝置中的摻雜劑/雜質類型來加以決定。在一些態樣中，此種半導體材料可包括 n 型層、本質(i 型)層、及 p 型層，因此形成了產生接面及/或空乏區的 p-i-n 半導體材料堆疊。依據本揭

示也考量到欠缺 i 型層的半導體材料。在其他態樣中，半導體材料可包括多個接面。額外地，在一些態樣中，可使用 n(--)、n(-)、n(+)、n(++)、p(--)、p(-)、p(+)、或 p(++)型半導體層的變型。負號及正號爲摻雜該半導體材料之相對量值的指示。

如已經加以描述，將已紋理化區以各種架構配置方式埋沒於半導體基板與半導體層之間。已紋理化區可爲各種厚度，取決於材料的想要用途。在一個態樣中，例如已紋理化區具有約 500 nm 至約 100 μm 的厚度。在另一態樣中，已紋理化區具有約 500 nm 至約 15 μm 的厚度。在又一態樣中，已紋理化區具有約 500 nm 至約 2 μm 的厚度。在另外的態樣中，已紋理化區具有約 500 nm 至約 1 μm 的厚度。在另一態樣中，已紋理化區具有約 200 nm 至約 2 μm 的厚度。

已紋理化區可作用以擴散電磁輻射、以重新定向電磁輻射、及/或吸收電磁輻射，因此增加該裝置的量子效率。已紋理化區可包括用以進一步增加該裝置之有效吸收長度的表面特徵。表面特徵的形狀及配置之非限制性實施包括圓錐、柱、角錐、微透鏡、量子點、倒轉特徵、光柵、突出、球狀結構、及相似者、包括彼等之組合。額外地，表面特徵可爲微米大小、奈米大小、或彼等之組合。例如，圓錐、角錐、突出、及相似者可具有在此範圍內的平均高度。在一個態樣中，平均高度將爲從該特徵的基底至該特徵的遠端。在另一態樣中，平均高度將爲從其上產生該

特徵的表面平面至該特徵的遠端。在一個特定實施例中，特徵(例如圓錐)可具有約 50 nm 至約 2 μm 的高度。作爲另一實例，量子點、微透鏡、及相似者可具有在該微米大小及/或奈米大小範圍內的平均直徑。

除了表面特徵以外或代替表面特徵，已紋理化區可包括已紋理化層。在一個態樣中，例如該已紋理化區可包括實質共形的已紋理化層。此種已紋理化層可具有約 1 nm 至約 20 μm 的平均厚度。在已紋理化區包括表面特徵的這些態樣中，該共形的已紋理化層可具有相對於被沈積於表面特徵上的位置而變化之厚度。在例如圓錐的情況中，該共形的已紋理化層可朝向角錐的頂端變得較薄。此種共形的層可包括各種材料，包括而不限於 SiO_2、Si_3N_4、非晶矽、多晶矽、金屬或多金屬、及相似者、包括彼等之組合。該共形的已紋理化層也可爲一或更多層的相同或不同材料，且可在產生表面特徵的期間或在分離程序中加以形成。

依據本揭示之態樣的已紋理化區可容許光敏感裝置經歷該裝置內的入射電磁輻射之多次通過，尤其在較長波長(例如紅外線)。此種內部反射增加有效吸收長度而大於半導體層的厚度。此吸收長度的增加會增加該裝置的量子效率，導致信雜比改善。

用來製作已紋理化區的材料可取決於裝置的設計與想要特性而變化。因此，將任何可被使用於建構已紋理化區的材料視爲在目前的範圍內。在一個態樣中，例如已紋理

化區可爲特定材料的已紋理部分，諸如半導體層或半導體基板的一部分。如果已紋理層與半導體層關聯，例如面對半導體基板的表面可在附接程序(諸如晶圓接合)以前加以紋理化。在另一態樣中，已紋理化區可從被沈積至半導體層或半導體基板上的材料所形成，或已紋理化區本身可被沈積。此種材料可包括半導體材料、介電材料、或相似者、包括彼等之組合。在一個特定實例中，已沈積材料可包括矽材料。在另一特定實例中，已沈積材料可爲多晶矽。在又一態樣中，已沈積材料可爲介電材料。

紋理化程序可紋理化待處理的整個基板或僅該基板的一部分。在一個態樣中，例如，諸如半導體層的基板可在整個表面之上藉由適當技術加以紋理化及圖案化以形成已紋理化區。在另一態樣中，諸如半導體層的基板可跨越僅僅表面的一部分藉由使用選擇性蝕刻技術(諸如遮罩、光微影、及蝕刻)或雷射程序來加以紋理化及圖案化，以界定特定結構或圖案。

除了表面特徵以外，已紋理化區可具有被設計成聚焦或者引導電磁輻射的表面形態。例如，在一個態樣中已紋理化區具有可操作以引導電磁輻射至半導體層中的表面形態。各種表面形態的非限制性實例包括傾斜、角錐形、倒角錐形、球形、方形、矩形、拋物線形、非對稱形、對稱形、及相似者、包括彼等之組合。

已紋理化區(包括表面特徵以及表面形態)可藉由各種技術所形成，包括電漿蝕刻、反應性離子蝕刻、多孔矽蝕

刻、雷射作用(lasing)、化學蝕刻(例如非等向性蝕刻、等向性蝕刻)、奈米壓印、材料沈積、選擇性磊晶生長、及相似者。

產生已紋理化區的一個有效方法是經由雷射處理。此種雷射處理容許基板的分離目標區域被紋理化，以及整個表面。考量到雷射處理以形成已紋理化區的各種技術，且應將能夠形成此種區的任何技術視爲在目前的範圍內。雷射處理除了其他事以外可容許增強的吸收特性及因而增加的電磁輻射聚焦及偵測。

在一個態樣中，例如待紋理化之基板的目標區可用雷射輻射加以照射以形成已紋理化區。此種處理的實例已經在美國專利 7,057,256、7,354,792 及 7,442,629 中進一步詳細描述，它們整體以引用方式併入本文中。簡要地，基板材料的表面以雷射輻射加以照射以形成已紋理化或表面改質的區。此種雷射處理可在具有或沒有摻雜劑材料的情況下發生。在其中摻雜劑被使用的那些態樣中，雷射可通過摻雜劑載體且至基板表面上。以此方式，將來自摻雜劑載體的摻雜劑引入至基板材料的目標區中。此種被併入基板材料中的區可依據本揭示的態樣而具有各種益處。例如，已紋理化區典型具有增加表面積且增加輻射吸收之機率的已紋理化表面。在一個態樣中，此種已紋理化區爲包括微米大小及/或奈米大小表面特徵的實質已紋理化表面，該等微米大小及/或奈米大小表面特徵藉由雷射紋理化所產生。在另一態樣中，照射基板材料的表面包括使雷射輻

射暴露於摻雜劑，使得輻射將該摻雜劑併入該基板中。各種摻雜劑材料在本技藝中已知，且較詳細討論於本文中。

因此在目標區的基板表面因此在化學上及/或在結構上藉由雷射處理加以改變，其可能在一些態樣中導致形成表面特徵(顯現爲該表面上的結構或已圖案化區域)、以及(如果摻雜劑被使用時)將此種摻雜劑併入基板材料中。在一些態樣中，該等特徵或結構可能在大小上爲大約 50 nm 至 20 μm 且協助電磁輻射的吸收。換句話說，已紋理化表面可增加入射輻射被吸收的機率。

用來將材料表面改質的雷射輻射類型可取決於該材料及想要的改質而變化。可將本技藝中已知的任何雷射輻射與本揭示的裝置及方法一起使用。然而有數個雷射特性可影響表面改質程序及/或生成的產物，包括但不限於雷射輻射的波長、脈衝寬度、脈衝通量、脈衝頻率、極化、相對於半導體材料的雷射傳播方向等等。在一個態樣中，可將雷射配置成提供材料的脈動式雷射作用(pulsatile lasing)。短脈衝雷射爲一個能夠產生飛秒、微微秒、及/或奈秒脈衝期間的雷射。雷射脈衝可具有範圍在約 10 nm 至約 8 μm 的中央波長，且較具體而言約 200 nm 至約 1200 nm。雷射輻射的脈衝寬度可在約幾十飛秒至約幾百奈秒的範圍中。在一個態樣中，雷射脈衝寬度可在約 50 飛秒至約 50 微微秒的範圍中。在另一態樣中，雷射脈衝寬度可在約 50 微微秒至約 100 奈秒的範圍中。在另一態樣中，雷射脈衝寬度在約 50 至 500 飛秒的範圍中。

照射目標區的雷射脈衝之數量可在約 1 至約 2000 的範圍中。在一個態樣中，照射目標區的雷射脈衝之數量可在約 2 至約 1000 的範圍中。進一步而言，可將脈衝的重複率或頻率選定在約 10 Hz 至約 10 μHz 的範圍中、或在約 1 kHz 至約 1 MHz 的範圍中、或在約 10 Hz 至約 1 kHz 的範圍中。此外，各雷射脈衝的通量可在約 1 kJ/m^2 至約 20 kJ/m^2 的範圍中、或在約 3 kJ/m^2 至約 8 kJ/m^2 的範圍中。

針對形成已摻雜區於半導體層中以及針對摻雜已紋理化區兩者考量到各種摻雜劑材料，且可被用於此種用以將材料改質之程序中的任何摻雜劑被視爲在目前的範圍內。應注意到的是，所使用的特定摻雜劑可取決於被摻雜的材料以及生成材料的想要用途而變化。

摻雜劑可爲電荷給予或者電荷接受摻雜劑種類。較具體而言，電子給予或電洞給予種類可造成一區在極性上相較於它位於其上的基板變得較正或負。在一個實施例中，例如已摻雜區可爲 p 摻雜。在另一態樣中已摻雜區可爲 n 摻雜。

在一個態樣中，摻雜劑材料的非限制性實例可包括 S、F、B、P、N、As、Se、Te、Ge、Ar、Ga、In、Sb、及彼等之組合。應注意到的是，摻雜劑材料的範圍應該不只包括該等摻雜劑材料本身，也包括呈現傳遞此種摻雜劑之形式(即摻雜劑載體)的材料。例如，S 摻雜劑材料不只包括 S，也包括能夠被用來將 S 摻雜至目標區中的任何材料

，諸如例如 H_2S、SF_6、SO_2、及相似者、包括彼等之組合。在一個特定態樣中，摻雜劑可爲 S。硫可呈現約 5×10^{14} 至約 3×10^{20} ions/cm^2 的離子劑量位準。含氟化合物的非限制性實例可包括 ClF_3、PF_5、F_2SF_6、BF_3、GeF_4、WF_6、SiF_4、HF、CF_4、CHF_3、CH_2F_2、CH_3F、C_2F_6、C_2HF_5、C_3F_8、C_4F_8、NF_3、及相似者、包括彼等之組合。含硼化合物的非限制性實例可包括 $B(CH_3)_3$、BF_3、BCl_3、BN、$C_2B_{10}H_{12}$、硼矽(borosilica)、B_2H_6、及相似者、包括彼等之組合。含磷化合物的非限制性實例可包括 PF_5、PH_3、$POCl_3$、P_2O_5、及相似者、包括彼等之組合。含氯化合物的非限制性實例可包括 Cl_2、SiH_2Cl_2、HCl、$SiCl_4$、及相似者、包括彼等之組合。摻雜劑也可包括含砷化合物，諸如 AsH_3 及相似者，以及含銻化合物。額外地，摻雜劑材料可包括跨越摻雜劑群組的混合或組合，即與含氯化合物混合的含硫化合物。在一個態樣中，摻雜劑材料可具有大於空氣的密度。在一個特定態樣中，摻雜劑材料可包括 Se、H_2S、SF_6、或彼等之混合。在又一特定態樣中，摻雜劑可爲 SF_6 且可具有約 5.0×10^{-8} mol/cm^3 至約 5.0×10^{-4} mol/cm^3 的預定濃度範圍。作爲一個非限制性實例，SF_6 氣體爲一種經由雷射程序將硫併入基板中而沒有對材料之顯著不利影響的良好載體。額外地，注意到的是，摻雜劑也可爲 n 型或 p 型摻雜劑材料溶解於溶液(諸如水、酒精、或酸性或鹼性溶液)中的液體溶液。摻雜劑也可爲隨著粉末或隨著乾燥懸浮物被施加至晶圓上的固體材料。

在一個態樣中，已紋理化區可用摻雜劑加以摻雜以形成背表面電場(EBSF)。EBSF 阻礙少數載體的移動而不到達已紋理化區，因此保持此種載體遠離接近介面之潛在的再結合位置。類似地，暗電流產生也可能藉由能帶結構最適化將介面產生狀態固定在某些帶能量狀態來降到最小，使得該暗載體產生機制被抑制。能帶結構最適化可藉由使用各種方法來加以達成。應注意到的是，可使用任何形成了接近已紋理化區或在已紋理化區內之電場的方法。此種方法的非限制性實例可包括偏移費米能階、彎曲該少數載體帶、插入具有不同能隙的材料、及相似者、包括彼等之組合。

在一個態樣中，例如能帶結構最適化可藉由修改介面摻雜濃度來加以實現。例如，針對 p 型雷射已紋理化區，可使用與該雷射改質介面部份重疊的較重度 p 摻雜層。傳導帶因此在到達較 p 摻雜層(且因此該雷射改質介面)時彎曲朝向較高能量方向。一個特定態樣爲在 p-epi 基板中的與雷射改質介面層部份重疊之重度摻雜 p++層，其中該 p++層及該改質介面層位在磊晶裝置層的底部與載體晶圓的頂部之間。

因此，在一個態樣中，EBSF 已經以諸如而不限於下列的技術加以摻雜：雷射摻雜、離子植入、擴散摻雜、原位摻雜、及相似者、包括彼等之組合。在另一態樣中，已紋理化區或 EBSF 具有比半導體層更高的摻雜劑濃度。在又一態樣中，該摻雜劑具有與該半導體層相同的極性。考

量到用於產生 EBSF 的各種摻雜劑。非限制性實例包括硼、銦、鎵、砷、銻、磷、及相似者、包括彼等之組合。也應注意到的是，可將 EBSF 產生於半導體層、介電層、或半導體基板中。在一個態樣中，例如半導體層或半導體基板以摻雜劑加以摻雜以形成背表面電場，其中該 EBSF 與該已紋理化區相異。

在另一態樣中，能帶結構最適化可藉由形成沿著已改質半導體介面的異質接面來加以實現。例如，可將一層非晶矽沈積於已紋理化區介面上，因此形成了彎曲少數載體帶朝向想要能量方向的異質接面。

介電層可從各種材料所製成，且此種材料可取決於裝置設計及想要的特性而變化。此種層的一個用途包含耦接半導體層至半導體基板。在一些情況中，可將晶圓接合用來作爲耦接技術。介電層可因此促進這些材料附接在一起，如已經加以描述。可在接合以前將介電層與半導體層、半導體基板、或該半導體層及該半導體基板兩者關聯。在具有與兩種材料關聯的介電層之那些態樣中，可將該等介電層直接接合在一起，或在一些情況中以中介的已紋理化區來接合在一起。額外地，在一些態樣中可將已紋理化區形成於一或更多個介電層上。在一些態樣中，可將介電層接合至半導體材料，諸如，例如多晶矽。在其他態樣中，可將該半導體層及該半導體基板接合在一起而沒有中介的介電層。

介電層材料的非限制性實例可包括氧化物、氮化物、

氧氮化物、極相似者、包括彼等之組合。在一個特定態樣中，介電層包括氧化物。在另一態樣中，介電層包括埋沒的氧化物。額外地，介電層可爲各種厚度。在一個態樣中，例如介電層具有約 100 nm 至約 4 微米的厚度。在另一態樣中，介電層具有約 500 nm 至約 2 微米的厚度。在又一態樣中，介電層具有約 500 nm 至約 1000 微米的厚度。

依據本揭示之態樣的裝置可額外地包括一或更多個反射區。在一個態樣中，如第 3 圖中所示，光敏感半導體裝置 30 可包括半導體基板 32 及耦接至該半導體基板的半導體層 34。該裝置也包括位於或耦接於該半導體基板與該半導體層之間的至少一個已紋理化區 36、以及耦接於該半導體基板與該半導體層之間的至少一個介電層 38。反射區 39 被耦接至該半導體基板，且被定位以與電磁輻射相互作用。該反射區與該已紋理化區可如所示由介電層分開，或該反射區可與該已紋理化區直接關聯而沒有中介的介電層。可將該反射區沈積於該半導體基板與次一個相鄰層之間的介面之上、或僅於該介面的一部分之上。在一些態樣中，可將該反射區沈積於相較於該已紋理化區之裝置的較大面積之上。可將該反射區定位以反射已經通過該已紋理化區的電磁輻射回去而通過該已紋理化區朝向該半導體層。換句話說，隨著電磁輻射通過該半導體層，未被吸收的部分接觸該已紋理化區。在接觸該已紋理化區的那個部分中，較小部分可能通過該已紋理化區以觸擊該反射區且被反

射回去而通過該已紋理化去朝向該半導體層。

可將各種反射材料使用於建構反射區，且將任何能夠併入光敏感裝置中的此種材料視爲在目前的範圍內。此種材料的非限制性實例包括布拉格反射器、金屬反射器、介電材料之上的金屬反射器、透明導電氧化物(諸如氧化鋅、氧化銦、或氧化錫)、及相似者、包括彼等之組合。金屬反射器材料的非限制性實例可包括銀、鋁、金、鉑、反射性金屬氮化物、反射性金屬氧化物、及相似者、包括彼等之組合。在一個態樣中，可將介電材料耦接至沿著面對已紋理化區之側邊的反射區。在一個特定態樣中，介電材料可包括氧化物層且反射區可包括金屬層。在氧化物上之金屬層的表面作爲用於來自背側之入射電磁輻射的鏡狀反射器。

額外地，粗糙化氧化物上之金屬的已紋理化表面可作爲用於入射電磁輻射的擴散性散射位置，且也作爲鏡狀反射器。其他態樣可使用多孔材料以供紋理化。可將例如多孔性多晶矽氧化或氧化物沈積，且可將諸如金屬反射器的反射區與其關聯以提供散射及反射表面。在另一態樣中，鋁可能受到陽極氧化以提供多孔氧化鋁(一種高介電常數絕緣體)。此絕緣體可用鋁或其他金屬加以塗佈以提供散射及反射表面。

在一個特定態樣中，反射區可包括透明導電氧化物、氧化物、及金屬層。透明氧化物可被紋理化且金屬反射器被沈積於其上。粗糙化透明導電氧化物上之該金屬的已紋

理化表面可作爲用於入射電磁輻射的擴散性散射位置。

在另一特定態樣中，可將布拉格反射器用來作爲反射區。布拉格反射器爲一種從交替材料(具有不同的折射率)的多個層所形成之結構、或藉由介電波導之一些特性(例如高度)的週期變化而導致該波導之有效折射率的週期變化之結構。各層邊界造成光波的部份反射。針對其波長接近該等層之光學厚度的四倍之光波，許多反射與破壞性干涉結合，且該等層作爲高品質反射器。因此從結構中的多個介面所反射及透射的光之同調疊加會干涉，以提供想要的反射性、透射性、及吸收性行爲。在一個態樣中，布拉格反射器層可爲二氧化矽及矽的交替層。因爲矽與二氧化矽之間的高折射率差異以及這些層的厚度，此結構可爲相當低的損耗，即使在大批矽明顯吸收的區中。額外地，因爲大的折射率差異，整個層組的光學厚度可以較薄，導致較寬頻帶的行爲以及較少的製造步驟。

額外的散射可藉由定位已紋理化前散射層於接收入射電磁輻射的裝置側上來加以提供。這些前散射層可爲而不限於不具有反射器的已紋理化氧化物或多晶矽。

在另一態樣中，如第 4 圖中所示，光敏感半導體裝置 40 也可包括設置於多個介電層 38 之間的多晶矽層 42。應注意到的是，已經從先前圖重複使用之第 4 圖中的所有元件符號表示相同或類似的材料及/或結構，無論是否提供進一步的描述。添加多晶矽層在一些情況中可提供各種製造上的改善。例如，已紋理化區的粗糙表面對於晶圓接合

可能具有挑戰性。藉由沈積薄的介電層接著是厚的多晶矽層，有可能產生可被拋光的表面。因此，可將多晶矽層平面化及拋光直到光滑，且可將生成的表面晶圓接合至在相對材料上的介電層(例如半導體基板，如果多晶矽被沈積於半導體層結構上)。也考量到的是，此種程序可用僅一個介電層或甚至沒有任何介電層存在的方式加以實施。在另一態樣中，多晶矽層可用摻雜劑加以摻雜。在又一態樣中，多晶矽層可爲單晶矽層。在一個特定態樣中，多晶矽層爲單晶矽層且半導體層爲已晶從背側加以蝕刻以形成已紋理化區的磊晶層。

在另一態樣中，如第 5 圖中所示，提供具有增強的光偵測性能之光二極體 50。光二極體包括形成於半導體層 34 上的接點 52 及光二極體接面 54。在另一態樣中，如第 6 圖中所示，提供具有改善的光偵測性能之 CMOS 影像感測器 60。CMOS 影像感測器包括形成於半導體層 34 上的光二極體接面 64 及電路 62。應注意到的是，已經從先前圖重複使用之第 5 及 6 圖中的所有元件符號表示相同或類似的材料及/或結構，無論是否提供進一步的描述。以此方式，可將已紋理化區 36 在流程的開始時(在較低成本及較低技術風險的方式)引入製造程序中。因爲已紋理化區在流程的早期階段被埋沒於半導體材料內，該已紋理化區可受到保護而免受裝置之進一步製造程序期間的污染。額外地，潛在專有的細節(諸如已紋理化區的特定架構)可受到保護而不會在製造的稍後階段被看見。此方法可進一步

包括移除半導體基板的步驟。理解到的是，一旦半導體裝置被形成，半導體基板在一些情況中可能不再是必需的。以此方式，可依特定應用的需要將半導體裝置安裝於各種基板上。

在一個態樣中，可使用隔離特徵以便互相隔離裝置的各種部分。例如，在一個態樣中半導體裝置可包括在至少半導體層中的複數個隔離特徵，彼等作用以互相隔離一陣列的光偵測器中的各個光偵測器。該等隔離特徵以電氣、光學、或電氣與光學兩者的方式隔離各個光偵測器。隔離特徵可因此藉由降低光偵測器之間的光學及電性串音來維持跨越陣列的一致性。第 7 圖顯示具有一陣列的光偵測器 72 之半導體裝置 70。應注意到的是，已經從先前圖重複使用之第 7 圖中的所有元件符號表示相同或類似的材料及/或結構，無論是否提供進一步的描述。光偵測器藉由複數個隔離特徵所分開，在此情況中延伸通過半導體層 34 及已紋理化區 36。在一個態樣中，隔離特徵延伸通過該半導體層但不通過該已紋理化區。在另一態樣中，隔離特徵延伸超過該已紋理化區且至該介電層中或甚至到該半導體基板中。在一些態樣中，諸如多晶矽層及反射區的其它結構可含有隔離特徵。因此，隔離特徵可爲深或淺，取決於裝置的想要配置。

隔離特徵可從各種材料所製成，包括而不限於介電材料、反射材料、導電材料、光擴散特徵、孔洞、及相似者、包括彼等之組合。可將用來充填隔離特徵蝕刻或孔洞的

導電材料鈍化以便維持電隔離。在其他態樣中，可使用導電材料作爲通孔。該隔離可在製造電路、偵測器裝置、或成像陣列以前在基板階層加以製造。在一個態樣中，孔洞可被產生且被留下作爲孔洞或者被此種材料充填以形成該等隔離特徵。例如，可將層表面以光微影方式圖案化且垂直地蝕刻至想要的深度(例如從半導體裝置的裝置表面至介電層)。接著可將介電材料共形地沈積於該蝕刻內的表面上直到被介電或其他材料充填。殘留於半導體層之裝置表面上的任何介電材料可藉由化學蝕刻及/或機械拋光加以移除。如已經加以描述，隔離特徵不需要完全平分半導體基板，但反而僅可隔離一部分；這已知爲淺溝槽隔離，相對於深溝槽隔離。

額外地，可將隔離特徵區配置成反射入射電磁輻射直到它被吸收，藉此增加裝置的有效吸收長度。在其他態樣中，隔離特徵的側邊可被摻雜。在一些態樣中，已摻雜隔離特徵可形成表面電場，類似於已經加以描述的背表面電場。該等隔離特徵可在接合半導體基板至半導體層以前或以後加以形成。此外，該等隔離特徵可從半導體層的任一側所形成或從半導體基板的任一側所形成，取決於該等特徵的深度及範圍。

在一些態樣中，已紋理化區可用不連續圖案加以配置。如第 8 圖中所示，例如半導體裝置 80 可具有不連續已紋理化區 82。應注意到的是，已經從先前圖重複使用之第 8 圖中的所有元件符號表示相同或類似的材料及/或結構，

無論是否提供進一步的描述。此種不連續圖案可對應於裝置中其他處的結構，諸如在裝置表面上之一陣列的光偵測器之空間圖案(未顯示)。

在其他態樣中，可將一或更多個空腔設置於半導體裝置中且與該或該等已紋理化區關聯。如第 9 圖中所示，例如半導體裝置 90 可包括與已紋理化區 36 關聯的空腔區 92。該空腔區可增強該已紋理化區的功能，且當光學耦接至反射區時可能尤其有效，無論該反射區在介電層 38 的近側或遠側上。第 10 圖顯示具有複數個空腔區 102 的半導體裝置 100，該等空腔區以不連續圖案加以配置而對應於已紋理化區 82 的不連續圖案。第 9 及 10 圖中所示的空腔區可在晶圓接合以前加以形成或接著晶圓接合而形成。如果空腔區接著晶圓接合而形成，可能需要蝕刻通過半導體基板 32，接著該蝕刻空腔可部份地加以充填。額外地，空腔區可在形成已紋理化區以前或以後加以形成。在其中空腔區在形成已紋理化區以後加以形成的那些態樣中，將中介的材料蝕刻直到到達該已紋理化區。在其中空腔區在形成已紋理化區以前加以形成的那些態樣中，可將蝕刻形成至半導體層 34 中且可將該已紋理化區經由該蝕刻空腔形成於其上。以此方式形成已紋理化區可以在晶圓接合以前或接著晶圓接合而藉由蝕刻通過半導體基板來加以達成。應注意到的是，已經從先前圖重複使用之第 9 及 10 圖中的所有元件符號表示相同或類似的材料及/或結構，無論是否提供進一步的描述。

本揭示額外提供各種方法。在一個態樣中，如第 14 圖中所示，例如一種製造半導體裝置的方法可包括紋理化半導體層之表面的至少一部分以形成已紋理化區 142、沈積第一介電層至該半導體層上使得該已紋理化區係設置於該半導體層與該第一介電層之間 144、及晶圓接合該第一介電層至設置於半導體基板上的第二介電層 146。在另一態樣中，該已紋理化區係由該半導體層及該半導體基板加以保護而免受進一步製造程序期間的污染。

在另一態樣中，一種製造半導體裝置的方法可包括雷射紋理化半導體層之表面的至少一部分以形成已紋理化區、沈積第一介電層至該半導體層上使得該已紋理化區係設置於該半導體層與該第一介電層之間、及晶圓接合該第一介電層至設置於半導體基板上的第二介電層。

在又一態樣中，一種製造半導體裝置的方法可包括濕蝕刻紋理化半導體層之表面的至少一部分以形成已紋理化區、沈積第一介電層至該半導體層上使得該已紋理化區係設置於該半導體層與該第一介電層之間、及晶圓接合該第一介電層至設置於半導體基板上的第二介電層。

在一個特定態樣中，第 11A 至 C 圖顯示一個製造半導體裝置的方法。如第 11A 圖所示，可將半導體材料 114 紋理化以產生已紋理化區 112，且可將介電層 115 沈積於該已紋理化區之上。在一個態樣中，該已紋理化區可藉由雷射處理該半導體材料所形成。在另一態樣中，該已紋理化區可藉由濕蝕刻該半導體材料所形成。該介電層接著以

諸如 CMP 處理的程序加以拋光直到光滑。可接著將生成的結構晶圓接合至半導體基板 116(如第 11B 圖中旋轉 180° 所示)，而該介電層的已拋光表面被接合至該半導體基板。可將該介電層直接接合至該半導體基板，或至形成於該半導體基板上的第二介電層(未顯示)。在晶圓接合以後，可將該半導體材料拋光至特定厚度。在另一態樣中，可將磊晶生長的半導體層 118 生長於該半導體材料的已拋光表面上以產生低缺陷裝置區，如第 11C 圖中所示。

在另一態樣中，第 12A 至 C 圖顯示了製造半導體裝置的另一方法。如第 12A 圖所示，可將半導體材料 124 紋理化以產生已紋理化區 122，且可將介電層 125 沈積於該已紋理化區之上。在一個態樣中，該半導體材料可爲磊晶生長的半導體材料。可接著將該介電層拋光且可將多晶矽層 126 沈積於其上，如第 12B 圖中所示。在替代態樣中，可將該多晶矽層直接形成於該已紋理化區上而沒有中介的介電層(未顯示)。可接著將該多晶矽層拋光且晶圓接合至半導體基板 128，如第 12C 圖中旋轉 180°所示。可將該多晶矽層直接接合至該半導體基板，或至形成於該半導體基板上的第二介電層 129。在晶圓接合以後，可將該半導體材料拋光至特定厚度。

在另一態樣中，第 13A 至 D 圖顯示了製造半導體裝置的另一方法。如第 13A 圖中所示，可將半導體層 134 磊晶生長於臨時半導體支撐 139 上。將該磊晶生長的半導體層紋理化以產生已紋理化區 132，且將介電層 135 沈積於

該已紋理化區之上，如第 13B 圖中所示。接著拋光後，將該介電層晶圓接合至半導體基板 136，如第 13C 圖中旋轉 180°所示。可將該介電層直接接合至該半導體基板，或至形成於該半導體基板上的第二介電層(未顯示)。該臨時半導體支撐可接著從該磊晶生長的半導體層加以移除。此可藉由任何已知程序來達成，諸如晶圓分割、CMP 處理等等。可將暴露的磊晶半導體層進一步拋光及薄化以產生想要的表面以供進一步裝置沈積。以此方式可將用來生長該磊晶層的半導體材料移除，留下具有較少結晶缺陷及錯位的較高品質表面。

當然，將理解的是，以上描述的配置僅爲本揭示之原理的例示應用。數種修改及替代配置可由熟習本技藝之人士來加以設計而不背離本揭示的精神與範圍，且所附申請專利範圍意圖涵蓋此種修改及配置。因此，儘管本揭示已經隨著特性及細節連同目前被認爲是該揭示最實用的實施例來加以描述於上，對那些熟習本技藝之人士而言顯而易見的是，可作出數種修改(包括但不限於大小、材料、形狀、形式、操作的功能及方式、組裝及用途的變化)而不背離本文中所陳述的原理及概念。

【圖式簡單說明】

爲了進一步理解本揭示的本質及優點，參照下列實施例的詳細說明以及連同隨附的圖式，其中：

第 1 圖爲依據本揭示之實施例的半導體結構之剖面圖

；

第 2A 圖爲依據本揭示之另一實施例的半導體結構之剖面圖；

第 2B 圖爲依據本揭示之另一實施例的半導體結構之剖面圖；

第 2C 圖爲依據本揭示之另一實施例的半導體結構之剖面圖；

第 2D 圖爲依據本揭示之另一實施例的半導體結構之剖面圖；

第 3 圖爲依據本揭示之另一實施例的半導體結構之剖面圖；

第 4 圖爲依據本揭示之另一實施例的半導體結構之剖面圖；

第 5 圖爲依據本揭示之另一實施例的半導體光二極體之剖面圖；

第 6 圖爲依據本揭示之另一實施例的半導體光偵測成像器之剖面圖；

第 7 圖爲依據本揭示之另一實施例的半導體結構之剖面圖；

第 8 圖爲依據本揭示之另一實施例的半導體結構之剖面圖；

第 9 圖爲依據本揭示之另一實施例的半導體結構之剖面圖；

第 10 圖爲依據本揭示之另一實施例的半導體結構之

剖面圖；

第 11A 圖爲半導體結構之剖面圖，顯示了製造依據本揭示之另一實施例的半導體裝置；

第 11B 圖爲半導體結構之剖面圖，顯示了製造依據本揭示之另一實施例的半導體裝置；

第 11C 圖爲半導體結構之剖面圖，顯示了製造依據本揭示之另一實施例的半導體裝置；

第 12A 圖爲半導體結構之剖面圖，顯示了製造依據本揭示之另一實施例的半導體裝置；

第 12B 圖爲半導體結構之剖面圖，顯示了製造依據本揭示之另一實施例的半導體裝置；

第 12C 圖爲半導體結構之剖面圖，顯示了製造依據本揭示之另一實施例的半導體裝置；

第 13A 圖爲半導體結構之剖面圖，顯示了製造依據本揭示之另一實施例的半導體裝置；

第 13B 圖爲半導體結構之剖面圖，顯示了製造依據本揭示之另一實施例的半導體裝置；

第 13C 圖爲半導體結構之剖面圖，顯示了製造依據本揭示之另一實施例的半導體裝置；

第 13D 圖爲半導體結構之剖面圖，顯示了製造依據本揭示之另一實施例的半導體裝置；

第 14 圖爲製造依據本揭示之又一實施例的半導體裝置之方法的圖。

【主要元件符號說明】

10、20A、20B、70、80、90、100：半導體裝置

12、22、32、116、128、136：半導體基板

14、24、34、134：半導體層

15：裝置表面

16、26、36、112、122、132：已紋理化區

27：次要半導體層

28、38、115、125、135：介電層

30、40：光敏感半導體裝置

39：反射區

42、126：多晶矽層

50：光二極體

52：接點

54、64：光二極體接面

60：CMOS影像感測器

62：電路

72：光偵測器

82：不連續已紋理化區

92、102：空腔區

114、124：半導體材料

118：磊晶生長的半導體層

129：第二介電層

139：臨時半導體支撐

第 100109905 號　　民國 105 年 5 月 23 日修正

七、申請專利範圍：

1.一種具有加強光偵測特性的半導體裝置，包含：

半導體基板；

具有光入射側與背側並被耦接至該半導體基板的半導體層，該半導體層具有包含至少一光敏感裝置的裝置表面；

耦接至該半導體層的至少一介電層；及

耦接於該半導體層與該半導體基板間的半導體材料的至少一電磁輻射擴散已紋理化區，該已紋理化區被配置成與入射於其上的電磁輻射相互作用，以將電磁輻射重新定向回到該半導體層。

2.如申請專利範圍第 1 項之裝置，其中該已紋理化區包含大小爲 50 奈米至 20 微米的特徵。

3.如申請專利範圍第 1 項之裝置，其中該已紋理化區包含高度爲 50 奈米至 2 微米的特徵。

4.如申請專利範圍第 1 項之裝置，其中該至少一介電層係設置於該半導體基板的整個表面上。

5.如申請專利範圍第 1 項之裝置，其中該裝置表面係在該半導體層的該光入射側上。

6.如申請專利範圍第 1 項之裝置，其中該裝置表面係在該半導體層的該背側上。

7.如申請專利範圍第 1 項之裝置，其中該半導體層包含矽。

8.如申請專利範圍第 1 項之裝置，進一步包含設置於

該已紋理化區與該半導體層之間的次要(secondary)半導體層。

9.如申請專利範圍第 1 項之裝置，其中該介電層係耦接於該半導體基板與該已紋理化區之間，且其中該已紋理化區係設置於該介電層與該半導體層之間。

10.如申請專利範圍第 9 項之裝置，進一步包含設置於該半導體基板與該已紋理化區之間的反射區。

11.如申請專利範圍第 9 項之裝置，其中該已紋理化區係直接耦接至該半導體層。

12.如申請專利範圍第 9 項之裝置，進一步包含設置於該已紋理化區與該半導體層之間的次要半導體層。

13.如申請專利範圍第 1 項之裝置，進一步包含直接耦接至該介電層的多晶矽層。

14.如申請專利範圍第 13 項之裝置，其中該多晶矽層係設置於多個介電層之間。

15.如申請專利範圍第 1 項之裝置，其中該已紋理化區係設置於該半導體基板與該介電層之間，且其中該介電層係設置於該已紋理化區與該半導體層之間。

16.如申請專利範圍第 1 項之裝置，其中該已紋理化區以摻雜劑加以摻雜以形成背表面電場。

17.如申請專利範圍第 16 項之裝置，其中該背表面電場已經以選自下列所組成之群組的技術加以摻雜：雷射摻雜、離子植入、擴散摻雜、原位摻雜、及彼等之組合。

18.如申請專利範圍第 16 項之裝置，其中該已紋理化

區具有比該半導體層更高的摻雜劑濃度。

19.如申請專利範圍第 16 項之裝置，其中該摻雜劑具有與該半導體層相同的極性。

20.如申請專利範圍第 1 項之裝置，其中該半導體層以摻雜劑加以摻雜以形成背表面電場，且其中該背表面電場與該已紋理化區相異。

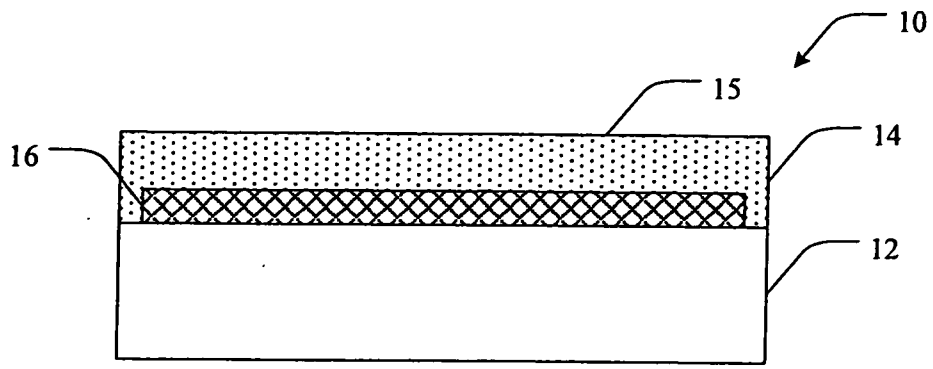
21.如申請專利範圍第 1 項之裝置，其中該裝置形成至少一光偵測器。

22.如申請專利範圍第 21 項之裝置，其中該至少一光偵測器爲以陣列配置的複數個光偵測器。

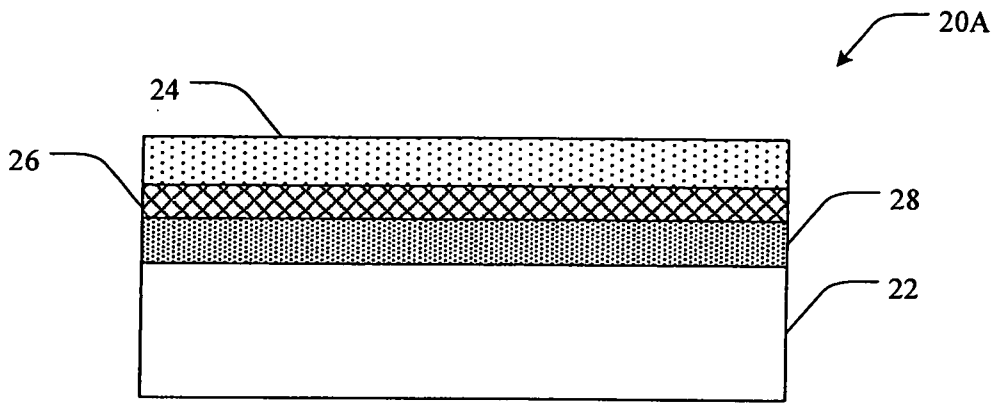
23.如申請專利範圍第 22 項之裝置，其中該已紋理化區係以空間上對應於該陣列的光偵測器之不連續圖案來加以配置。

24.如申請專利範圍第 22 項之裝置，進一步包含在至少該半導體層中的複數個隔離特徵以隔離該陣列的光偵測器中的各個光偵測器，其中該等隔離特徵以電氣、光學、或電氣與光學兩者的方式隔離各個光偵測器。

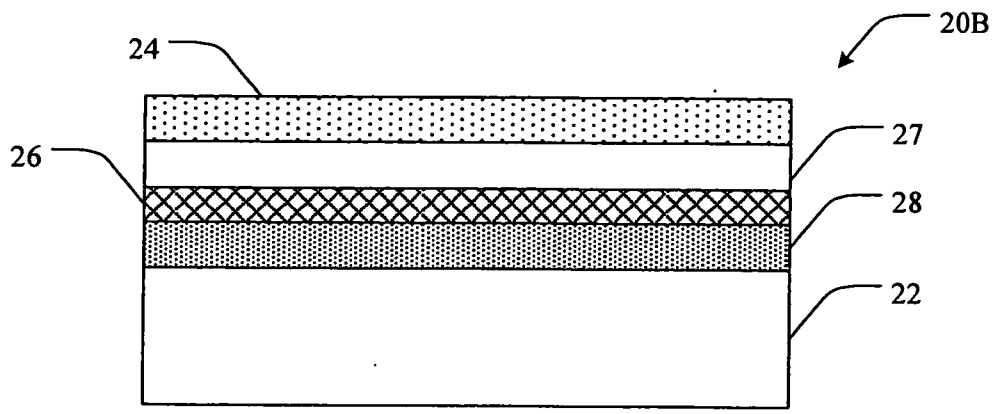
25.如申請專利範圍第 21 項之裝置，進一步包含與該至少一光偵測器關聯的至少一光學透鏡。



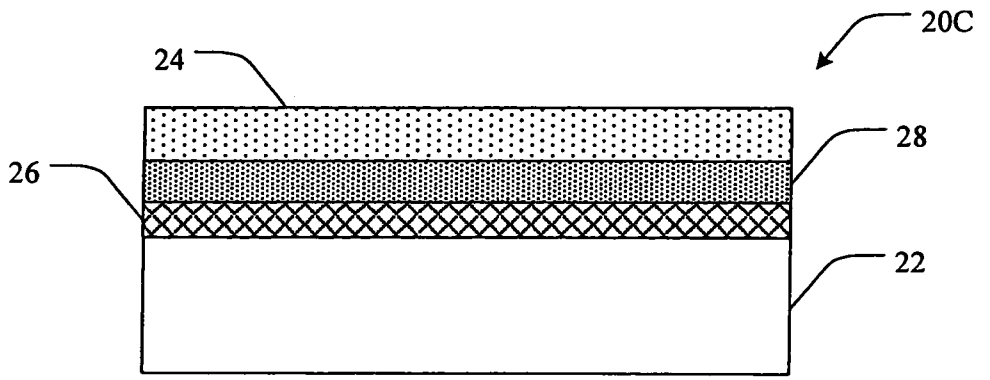
第1圖



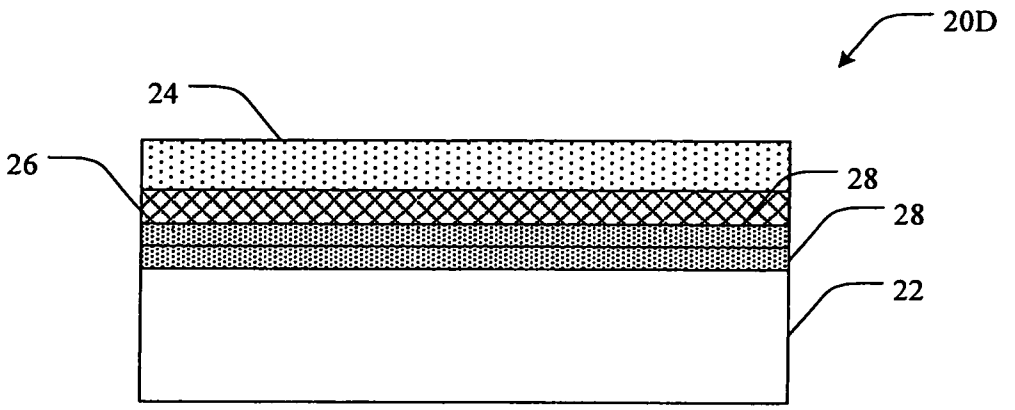
第2A圖



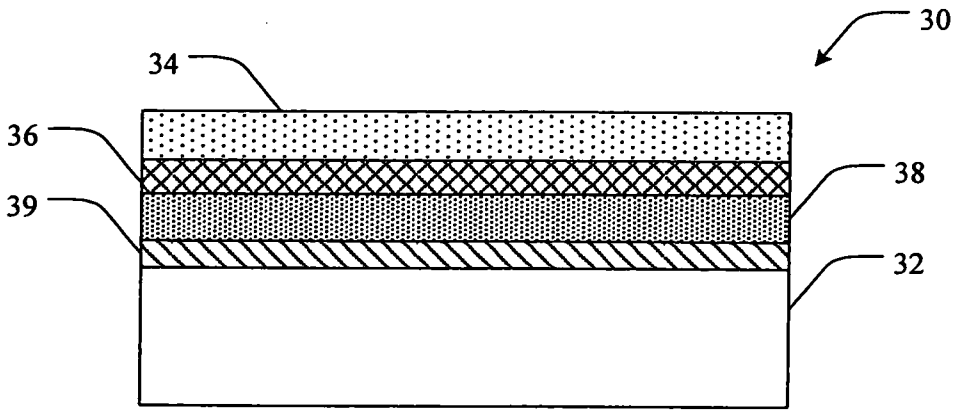
第2B圖



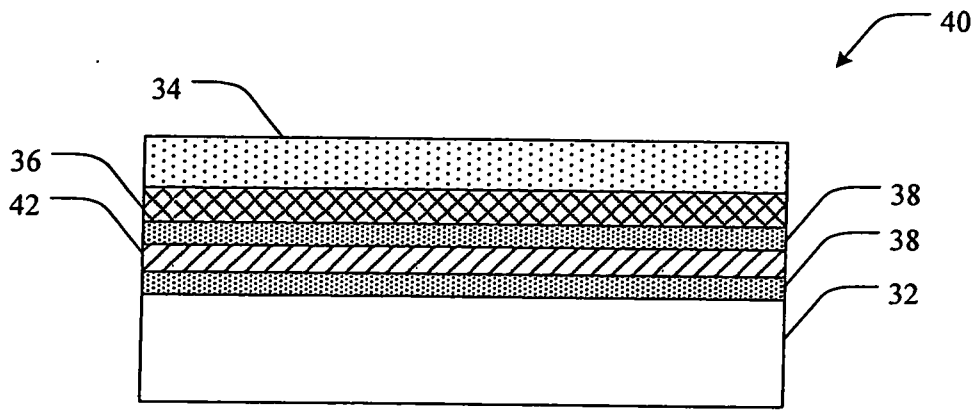
第2C圖



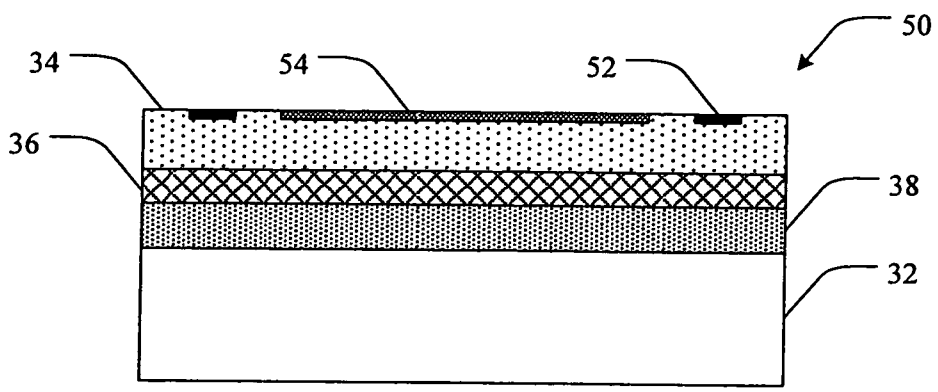
第2D圖



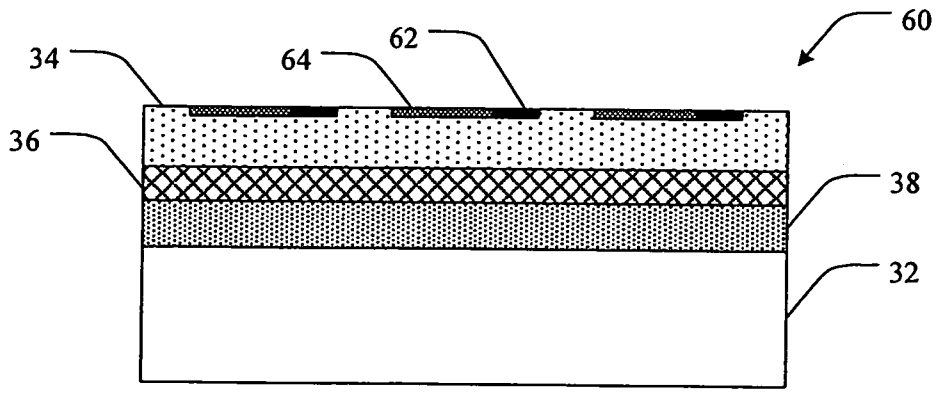
第3圖



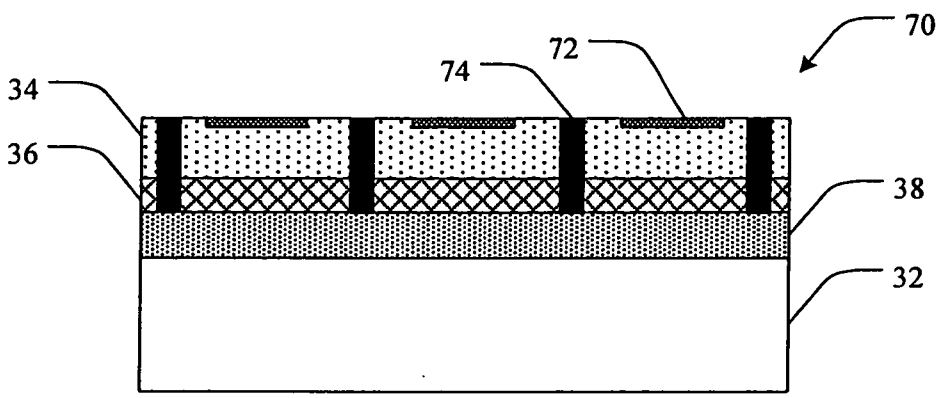
第4圖



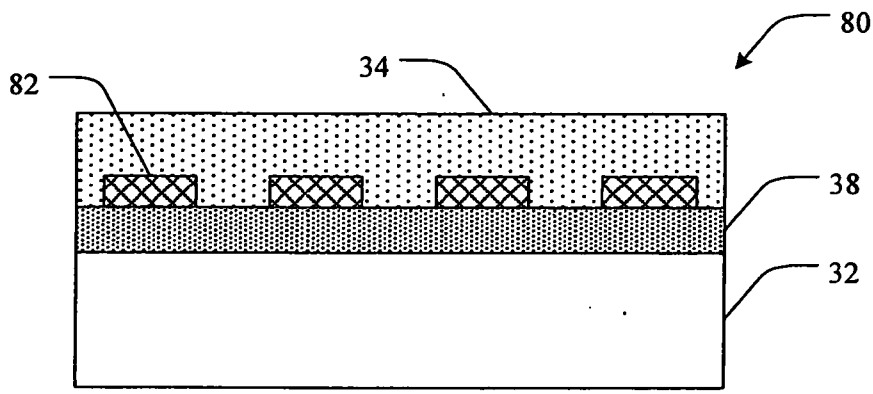
第5圖



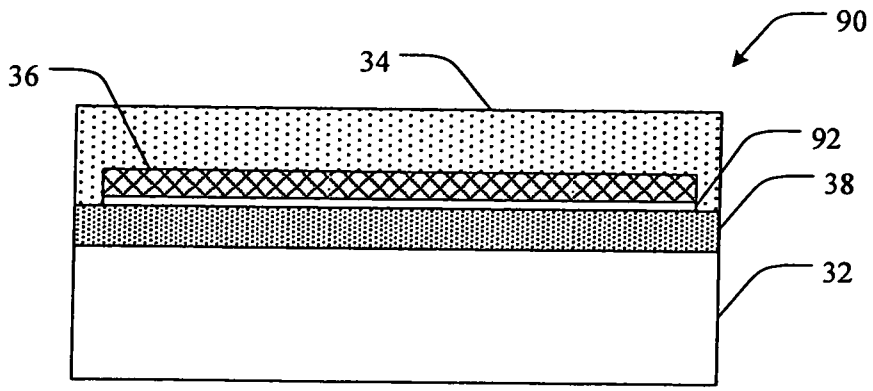
第6圖



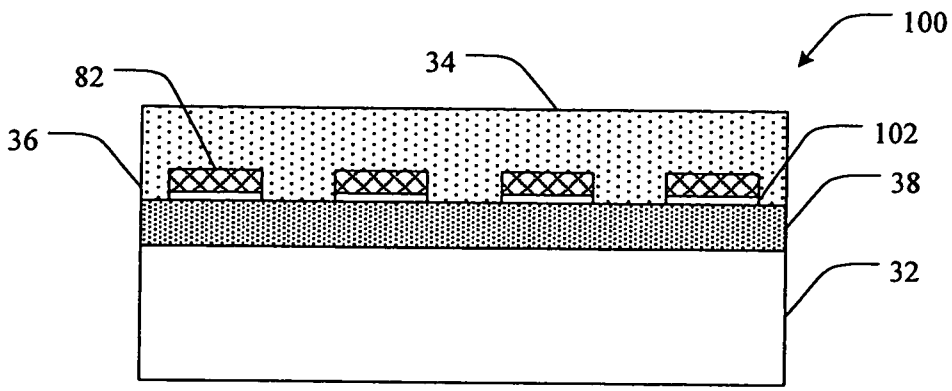
第7圖



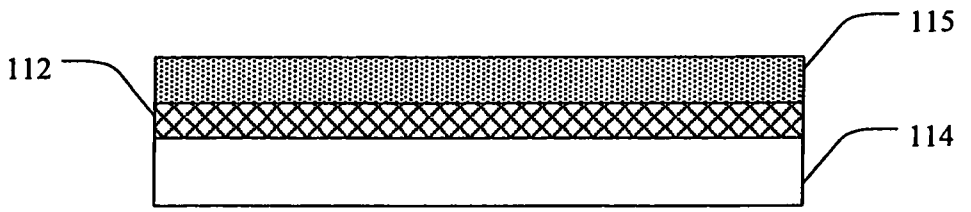
第8圖



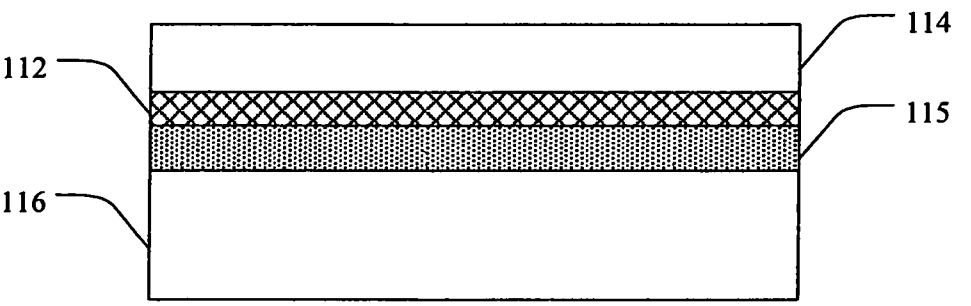
第9圖



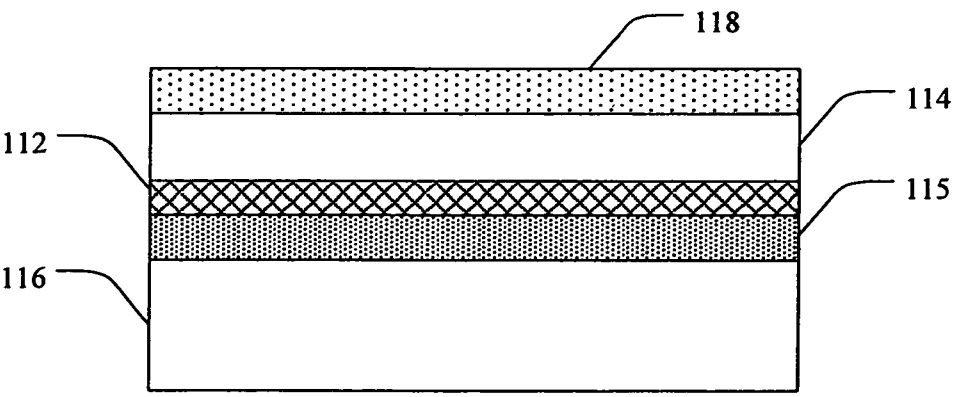
第10圖



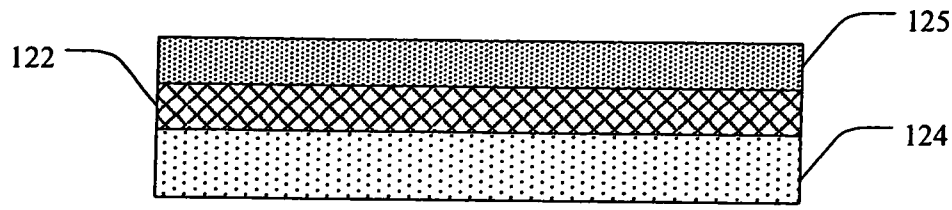
第11A圖



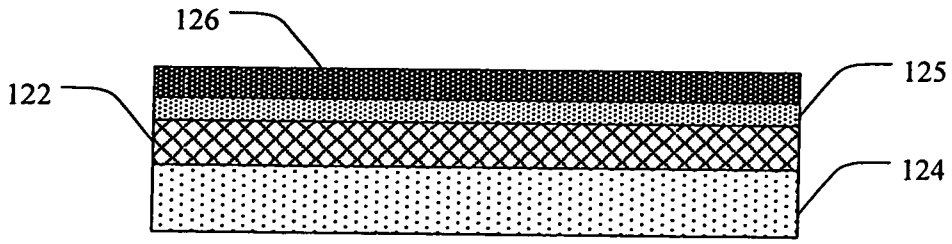
第11B圖



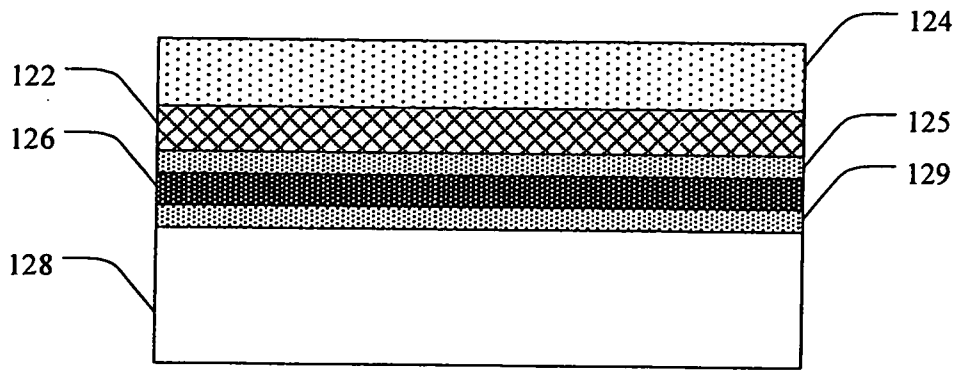
第11C圖



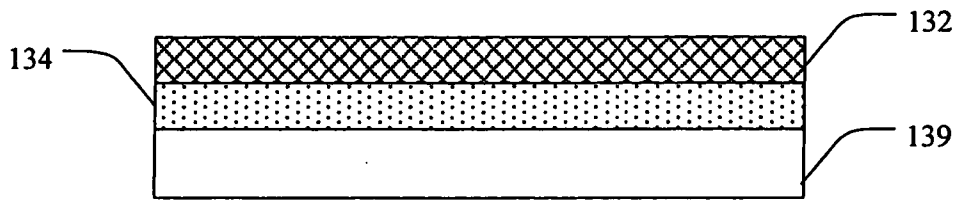
第12A圖



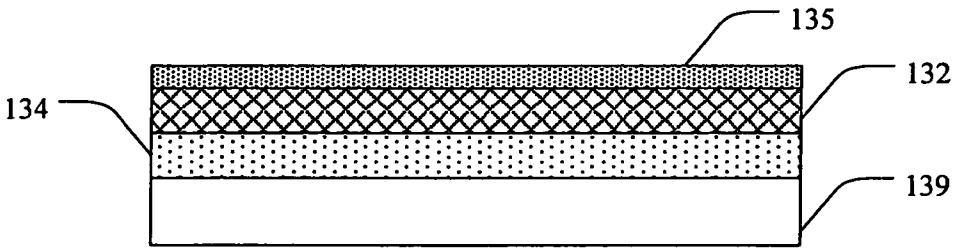
第12B圖



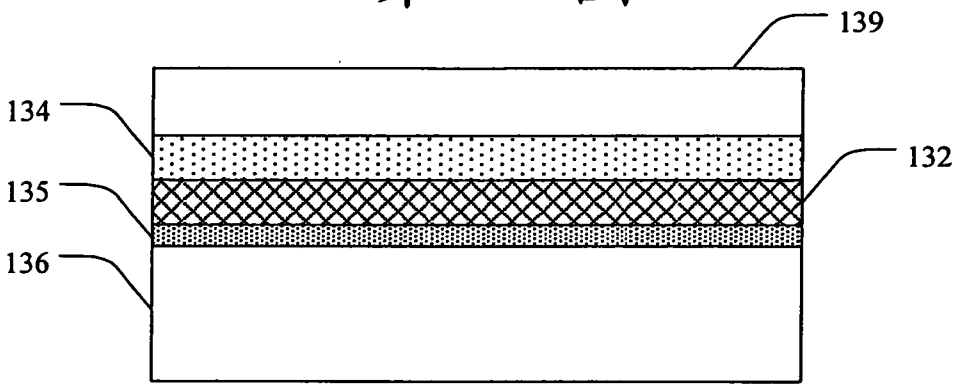
第12C圖



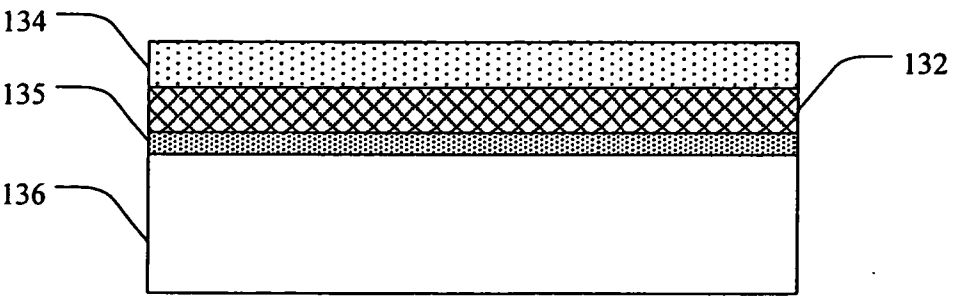
第13A圖



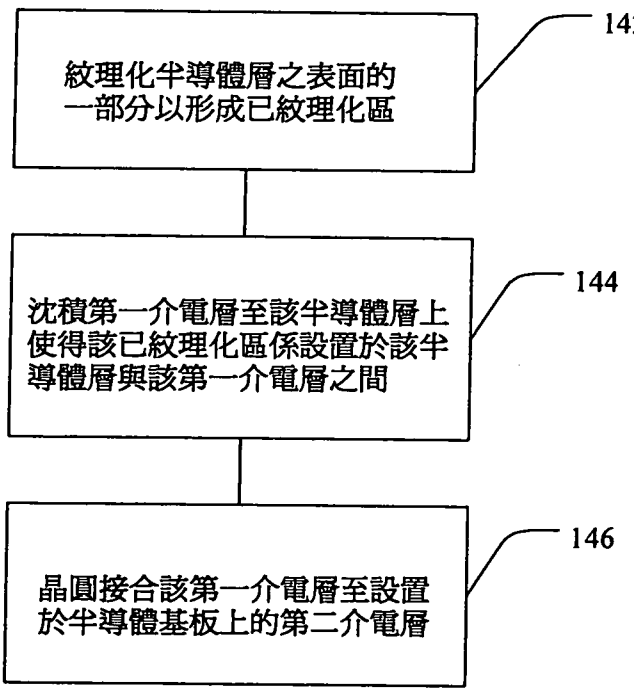
第13B圖



第13C圖



第13D圖


紋理化半導體層之表面的一部分以形成已紋理化區
142
沈積第一介電層至該半導體層上使得該已紋理化區係設置於該半導體層與該第一介電層之間
144
晶圓接合該第一介電層至設置於半導體基板上的第二介電層
146

第14圖