

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-145278
(P2004-145278A)

(43) 公開日 平成16年5月20日(2004.5.20)

(51) Int. Cl.⁷

G09G 3/20
G09G 3/30
H05B 33/14

F I

G09G 3/20 624B
G09G 3/20 611H
G09G 3/20 621J
G09G 3/20 641D
G09G 3/30 J

テーマコード(参考)

3K007
5C080

審査請求 有 請求項の数 23 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2003-207373 (P2003-207373)
(22) 出願日 平成15年8月12日(2003.8.12)
(31) 優先権主張番号 特願2002-255255 (P2002-255255)
(32) 優先日 平成14年8月30日(2002.8.30)
(33) 優先権主張国 日本国(JP)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100095728
弁理士 上柳 雅普
(74) 代理人 100107076
弁理士 藤綱 英吉
(74) 代理人 100107261
弁理士 須澤 修
(72) 発明者 宮澤 貴士
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00
5C080 AA06 BB05 DD05 DD23 DD28
EE29 FF11 GG02 HH09 JJ02
JJ03 JJ04 JJ06 KK04 KK07

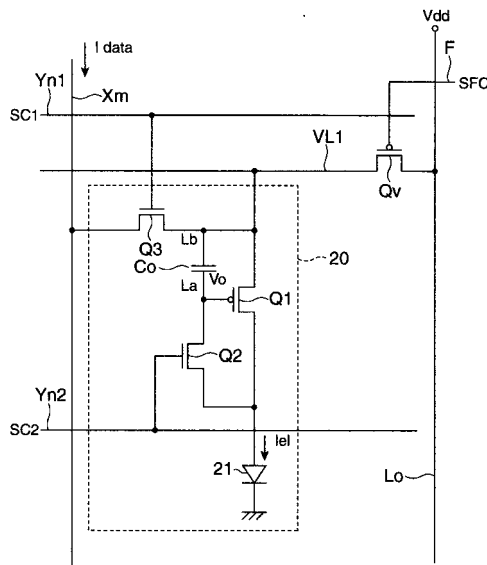
(54) 【発明の名称】 電子回路、電子回路の駆動方法、電気光学装置、電気光学装置の駆動方法及び電子機器

(57) 【要約】

【課題】 使用するトランジスタの数を削減することで歩留まりや開口率を向上させることができる電子回路、電子回路の駆動方法、電気光学装置、電気光学装置の駆動方法及び電子機器を提供する。

【解決手段】 駆動トランジスタQ1、トランジスタQ2、スイッチングトランジスタQ3及び保持用キャパシタC_oで画素回路20を構成した。そして、駆動トランジスタQ1を駆動させるための駆動電圧V_{dd}を供給する第1の電源線VL1と、アクティブマトリクス部12の右端側に設けられた画素回路20の列方向に沿って延設された電圧供給線Loとの間に駆動電圧供給用トランジスタQ_vを接続した。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数の単位回路を含む電子回路であって、

第 1 の電源線を含み、

前記複数の単位回路の各々は、電子素子に直列に接続されるとともに前記第 1 の電源線に接続された第 1 のトランジスタと、

前記第 1 のトランジスタのドレインと前記第 1 のトランジスタのゲートとの導通を制御する第 2 のトランジスタと、

前記第 1 のトランジスタの導通状態を設定するためのデータ電流を出力する電流源と前記第 1 のトランジスタとの導通を制御する第 3 のトランジスタと、を備え、

10

前記第 3 のトランジスタがオン状態にある期間のうち少なくとも 1 部の期間において、前記第 1 の電源線は駆動電圧から電氣的に切断され、

前記第 3 のトランジスタがオフ状態にある期間のうち少なくとも 1 部の期間において、前記第 1 の電源線と前記電子素子との間に、前記第 1 のトランジスタに前記データ電流により設定された前記第 1 のトランジスタの導通状態に応じた電流が流れることを特徴とする電子回路。

【請求項 2】

複数の単位回路を含む電子回路であって、

第 1 の電源線と、

前記第 1 の電源線の電位を制御する制御回路と、を含み、

20

前記複数の単位回路の各々は、電子素子に直列に接続されるとともに前記第 1 の電源線に接続された第 1 のトランジスタと、

前記第 1 のトランジスタのドレインと前記第 1 のトランジスタとのゲートとの導通を制御する第 2 のトランジスタと、

前記第 1 のトランジスタの導通状態を設定するためのデータ電流を出力する電流源と前記第 1 のトランジスタとの導通を制御する第 3 のトランジスタと、を備え、

前記第 3 のトランジスタがオフ状態にある期間のうち少なくとも 1 部の期間において、前記第 1 の電源線と前記電子素子との間に、前記第 1 のトランジスタに前記データ電流により設定された前記第 1 のトランジスタの導通状態に応じた電流が流れることを特徴とする電子回路。

30

【請求項 3】

複数の単位回路を含む電子回路であって、

前記複数の単位回路の各々は、

第 1 の端子と第 2 の端子と第 1 の制御用端子とを有する第 1 のトランジスタと、

第 3 の端子と第 4 の端子とを有し、前記第 1 の制御用端子に前記第 3 の端子が接続され、

前記 2 の端子と前記第 3 の端子との電氣的接続を制御する第 2 のトランジスタと、

第 5 の端子と第 6 の端子とを有し、前記第 1 の端子に前記第 5 の端子が接続された第 3 のトランジスタと、を含み、

前記第 1 の端子は前記複数の単位回路の他の単位回路の前記第 1 の端子と共に第 1 の電源線に接続され、

40

前記第 1 の電源線の電位を複数の電位に設定する、あるいは、前記第 1 の電源線への駆動電圧の供給及び遮断を制御する制御回路を備えていることを特徴とする電子回路。

【請求項 4】

複数の単位回路を含む電子回路であって、

前記複数の単位回路の各々は、

第 1 の端子と第 2 の端子と第 1 の制御用端子とを有する第 1 のトランジスタと、

第 3 の端子と第 4 の端子とを有し、前記第 1 の制御用端子に前記第 3 の端子が接続され、

前記 2 の端子と前記第 3 の端子との電氣的接続を制御する第 2 のトランジスタと、

第 5 の端子と第 6 の端子とを有し、前記第 1 の端子に前記第 5 の端子が接続された第 3 のトランジスタと、

50

第 7 の端子と第 8 の端子とを有し、前記第 7 の端子が前記第 1 の制御用端子及び前記第 3 の端子に接続された容量素子と、を含み、
前記第 1 の端子は前記複数の単位回路の他の単位回路の前記第 1 の端子と共に第 1 の電源線に接続され、
前記第 1 の電源線の電位を複数の電位に設定する、あるいは、前記第 1 の電源線への駆動電圧の供給及び遮断を制御する制御回路を備えていることを特徴とする電子回路。

【請求項 5】

複数の単位回路を含む電子回路であって、
前記複数の単位回路の各々は、
第 1 の端子と第 2 の端子と第 1 の制御用端子とを有する第 1 のトランジスタと、
第 3 の端子と第 4 の端子とを有し、前記第 1 の制御用端子に前記第 3 の端子が接続され、
前記 2 の端子と前記第 3 の端子との電氣的接続を制御する第 2 のトランジスタと、
第 5 の端子と第 6 の端子とを有し、前記第 1 の端子に前記第 5 の端子が接続された第 3 のトランジスタと、
第 7 の端子と第 8 の端子とを有し、前記第 7 の端子が前記第 1 の制御用端子及び前記第 3 の端子に接続された容量素子と、を含み、
前記第 1 の端子は前記複数の単位回路の他の単位回路の前記第 1 の端子と共に第 1 の電源線に接続され、
前記第 8 の端子は前記複数の単位回路の他の単位回路の前記第 8 の端子と共に所定電位に保持された第 2 の電源線に接続され、
前記第 1 の電源線の電位を複数の電位に設定する、あるいは、前記第 1 の電源線への駆動電圧の供給及び遮断を制御する制御回路を備えていることを特徴とする電子回路。

10

20

【請求項 6】

請求項 1 乃至 5 のいずれかに記載の電子回路において、
前記単位回路の各々に含まれるトランジスタは、前記第 1 のトランジスタ、前記第 2 のトランジスタ及び前記第 3 のトランジスタのみであることを特徴とする電子回路。

【請求項 7】

請求項 3 乃至 6 のいずれか 1 つに記載の電子回路において、
前記第 2 の端子には電子素子が接続されていることを特徴とする電子回路。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 つに記載の電子回路において、
前記電子素子が電流駆動素子であることを特徴とする電子回路。

30

【請求項 9】

請求項 2 乃至 5 のいずれか 1 つに記載の電子回路において、前記制御回路は第 9 の端子と第 10 の端子とを備えた第 4 のトランジスタであり、
前記第 9 の端子は前記駆動電圧に接続され、前記第 10 の端子は前記第 1 の電源線に接続されていることを特徴とする電子回路。

【請求項 10】

複数の単位回路を含む電子回路の駆動方法であって、
前記電子回路は、
第 1 の電源線を含み、
前記複数の単位回路の各々は、電子素子に直列に接続されるとともに前記第 1 の電源線に接続された第 1 のトランジスタと、
前記第 1 のトランジスタのドレインと前記第 1 のトランジスタとのゲートとの導通を制御する第 2 のトランジスタと、
前記第 1 のトランジスタの導通状態を設定するためのデータ電流を出力する電流源と前記第 1 のトランジスタとの導通を制御する第 3 のトランジスタと、を備え、
前記第 3 のトランジスタをオン状態として前記データ電流を前記第 1 のトランジスタに供給し、前記第 1 のトランジスタの導通状態を設定する第 1 のステップと、
前記第 3 のトランジスタをオフ状態とし、前記第 1 の電源線と前記電子素子との間に前記

40

50

第 1 のトランジスタの前記導通状態に応じた電流を流す第 2 のステップと、を含み、
前記第 1 のステップの前記データ電流を前記第 1 のトランジスタに供給する期間の少なく
とも 1 部の期間において、前記第 1 の電源線を駆動電圧から電氣的に切り離し、
前記第 2 のステップを行っている期間の少なくとも 1 部の期間において、前記第 1 のトラ
ンジスタの前記ドレイン及びソースのいずれか一方に前記第 1 の電源線を介して前記駆動
電圧を印加すること、
を特徴とする電子回路の駆動方法。

【請求項 1 1】

第 1 の端子と第 2 の端子と第 1 の制御用端子とを有する第 1 のトランジスタと、
第 3 の端子と第 4 の端子とを有し、前記第 1 の制御用端子に前記第 3 の端子が接続され、 10
前記第 2 の端子に前記第 4 の端子が接続された第 2 のトランジスタと、
第 5 の端子と第 6 の端子とを有し、前記第 1 の端子に前記第 5 の端子が接続された第 3 の
トランジスタと、
第 7 の端子及び第 8 の端子を有し、前記第 7 の端子が前記第 1 の制御用端子及び前記第 3
の端子に接続された容量素子と、を含む単位回路を複数備え、
前記第 1 の端子は前記複数の単位回路のうちの一連の単位回路の前記第 1 の端子と共に第
1 の電源線に接続されている電子回路の駆動方法であって、
前記第 1 の電源線を駆動電圧から電氣的に切り離すことにより、前記一連の単位回路の前
記第 1 の端子を前記駆動電圧から電氣的に切り離し、かつ、前記一連の単位回路の前記第 20
3 のトランジスタをオン状態とすることにより、前記第 1 のトランジスタを経由して流れ
る電流の電流レベルに応じた電荷量を前記容量素子に保持し、前記電荷量に応じた電圧を
前記第 1 の制御用端子に印加して、前記第 1 の端子と前記第 2 の端子との間の導通状態を
設定するステップと、
前記第 3 のトランジスタをオフ状態にするとともに、前記一連の単位回路の前記第 1 の端
子を前記駆動電圧に電氣的に接続にするステップと、
を含むことを特徴とする電子回路の駆動方法。

【請求項 1 2】

第 1 の端子と第 2 の端子と第 1 の制御用端子とを有する第 1 のトランジスタと、
第 3 の端子と第 4 の端子とを有し、前記第 1 の制御用端子に前記第 3 の端子が接続され、 30
前記第 2 の端子に前記第 4 の端子が接続された第 2 のトランジスタと、
第 5 の端子と第 6 の端子とを有し、前記第 1 の端子に前記第 5 の端子が接続された第 3 の
トランジスタと、
第 7 の端子及び第 8 の端子を有し、前記第 7 の端子が前記第 1 の制御用端子及び前記第 3
の端子に接続された容量素子と、を含む単位回路を複数備え、
前記第 1 の端子は前記複数の単位回路のうちの一連の単位回路の前記第 1 の端子と共に第
1 の電源線に接続されるとともに、
前記第 8 の端子は前記複数の単位回路のうちの一連の単位回路の前記第 8 の端子と共に第
2 の電源線に接続されている電子回路の駆動方法であって、
前記第 1 の電源線を駆動電圧から電氣的に切り離すことにより、前記一連の単位回路の前
記第 1 の端子を前記駆動電圧から電氣的に切り離し、かつ、前記一連の単位回路の前記第 40
3 のトランジスタがオン状態とすることにより、前記第 1 のトランジスタを経由して流れ
る電流の電流レベルに応じた電荷量を前記容量素子に保持し、前記電荷量に応じた電圧を
前記第 1 の制御用端子に印加して、前記第 1 の端子と前記第 2 の端子との間の導通状態を
設定するステップと、
前記第 3 のトランジスタをオフ状態にするとともに、前記一連の単位回路の前記第 1 の端
子を前記駆動電圧に電氣的に接続するステップと
を含むことを特徴とする電子回路の駆動方法。

【請求項 1 3】

複数の走査線と、
複数のデータ線と、

複数の第 1 の電源線と、
 複数の単位回路と、を含み、
 前記複数の単位回路の各々は、
 電気光学素子に直列に接続されるとともに前記第 1 の電源線のうち対応する第 1 の電源線に
 接続された第 1 のトランジスタと、
 前記第 1 のトランジスタの前記ドレインと前記第 1 のトランジスタとのゲートとの導通を
 制御する第 2 のトランジスタと、
 前記第 1 のトランジスタと前記複数のデータ線のうち対応するデータ線との導通を制御し
 、前記複数の走査線のうち対応する走査線を介して供給される走査信号により制御される
 第 3 のトランジスタと、を備え、
 前記第 3 のトランジスタがオン状態にある期間のうち少なくとも 1 部の期間において、
 前記対応する第 1 の電源線は駆動電圧から電氣的に切り離されるとともに、前記対応する
 データ線から供給されるデータ電流が前記第 1 のトランジスタに流れることにより前記第
 1 のトランジスタの導通状態が設定され、
 前記第 3 のトランジスタがオフ状態にある期間のうち少なくとも 1 部の期間において、
 前記第 1 のトランジスタの前記ドレイン及びソースのうちいずれか一方に前記駆動電圧が
 印加され、前記対応する第 1 の電源線と前記電気光学素子との間に、前記データ電流によ
 り設定された前記第 1 のトランジスタの前記導通状態に応じた電流が流れること、
 を特徴とする電気光学装置。

10

【請求項 14】

複数の走査線と、複数のデータ線と、複数の単位回路と、を備えた電気光学装置であって
 、
 前記複数の単位回路の各々は、
 第 1 の端子と第 2 の端子と第 1 の制御用端子とを有する第 1 のトランジスタと、
 第 3 の端子と第 4 の端子と第 2 の制御用端子とを有し、前記第 1 の制御用端子に前記第 3
 の端子が接続された第 2 のトランジスタと、
 第 5 の端子と第 6 の端子と第 3 の制御用端子とを有し、前記第 5 の端子が前記第 1 の端子
 に接続され、前記第 6 の端子が前記複数のデータ線のうちの一つのデータ線に接続され、
 前記第 3 の制御用端子が複数の走査線のうちの一つの走査線に接続された第 3 のトランジ
 スタと、
 第 7 の端子と第 8 の端子とを有し、前記第 7 の端子が前記第 1 の制御用端子及び前記第 3
 の端子に接続された容量素子と、
 前記第 2 の端子に接続された電気光学素子と、を含み、
 前記第 1 の端子は前記複数の単位回路の他の単位回路の前記第 1 の端子と共に第 1 の電源
 線に接続され、
 前記第 1 の電源線の電位を複数の電位に設定する、あるいは、前記電源線への駆動電圧の
 供給及び遮断を制御する制御回路を備えていることを特徴とする電気光学装置。

20

30

【請求項 15】

複数の走査線と、複数のデータ線と、複数の単位回路と、を備えた電気光学装置であって
 、
 前記複数の単位回路の各々は、
 第 1 の端子と第 2 の端子と第 1 の制御用端子とを有する第 1 のトランジスタと、
 第 3 の端子と第 4 の端子と第 2 の制御用端子とを有し、前記第 1 の制御用端子に前記第 3
 の端子が接続され、前記第 2 の端子と前記第 4 の端子との電氣的接続を制御する第 2 のト
 ランジスタと、
 第 5 の端子と第 6 の端子と第 3 の制御用端子とを有し、前記第 1 の端子に前記第 5 の端子
 が接続され、前記第 6 の端子が前記複数のデータ線のうちの一つのデータ線に接続され、
 前記第 3 の制御用端子が複数の走査線のうちの一つの走査線に接続された第 3 のトランジ
 スタと、
 第 7 の端子と第 8 の端子とを有し、前記第 7 の端子が前記第 1 の制御用端子及び前記第 3

40

50

の端子に接続された容量素子と、を含み、

前記第 1 の端子は前記複数の単位回路の他の単位回路の前記第 1 の端子と共に第 1 の電源線に接続され、

前記第 8 の端子は前記複数の単位回路の他の単位回路の前記第 8 の端子と共に所定電位に保持された第 2 の電源線に接続され、

前記第 1 の電源線の電位を複数の電位に設定する、あるいは、前記第 1 の電源線への駆動電圧の供給及び遮断を制御する制御回路を備えていることを特徴とする電気光学装置。

【請求項 16】

請求項 13 乃至 15 のいずれかに記載の電気光学装置において、

前記単位回路の各々に含まれるトランジスタは、前記第 1 のトランジスタ、前記第 2 のトランジスタ及び前記第 3 のトランジスタのみであることを特徴とする電気光学装置。 10

【請求項 17】

請求項 14 または 15 に記載の電気光学装置において、

前記制御回路は第 9 の端子と第 10 の端子とを備えた第 4 のトランジスタであり、

前記第 9 の端子は前記駆動電圧に接続され、前記第 10 の端子は前記第 1 の電源線に接続されていることを特徴とする電気光学装置。

【請求項 18】

請求項 13 乃至 17 のいずれか 1 つに記載の電気光学装置において、

前記電気光学素子は EL 素子であることを特徴とする電気光学装置。

【請求項 19】

電気光学装置の駆動方法であって、

前記電気光学装置は、

複数の走査線と、

複数のデータ線と、

複数の第 1 の電源線と、

複数の単位回路と、を含み、

前記複数の単位回路の各々は、

電気光学素子に直列に接続されるとともに前記第 1 の電源線のうち対応する第 1 の電源線に接続された第 1 のトランジスタと、

前記第 1 のトランジスタの前記ドレインと前記第 1 のトランジスタとのゲートとの導通を制御する第 2 のトランジスタと、 30

前記第 1 のトランジスタと前記複数のデータ線のうち対応するデータ線との導通を制御し、前記複数の走査線のうち対応する走査線を介して供給される走査信号により制御される第 3 のトランジスタと、を備え、

前記第 3 のトランジスタがオン状態及び前記対応する第 1 の電源線が駆動電圧から電氣的に切り離された状態で、前記対応するデータ線から供給されるデータ電流を前記第 1 のトランジスタに流すことにより、前記第 1 のトランジスタの導通状態を設定する第 1 のステップと、

前記第 3 のトランジスタがオフ状態及び前記第 1 のトランジスタの前記ドレイン及びソースのうちいずれか一方に前記対応する第 1 の電源線を介して前記駆動電圧が印加された状態で、前記対応する第 1 の電源線と前記電気光学素子との間に、前記データ電流により設定された前記第 1 のトランジスタの前記導通状態に応じた電流を流す第 2 のステップを含むこと、 40

を特徴とする電気光学装置の駆動方法。

【請求項 20】

第 1 の端子と第 2 の端子と第 1 の制御用端子とを有する第 1 のトランジスタと、

第 3 の端子と第 4 の端子と第 2 の制御用端子とを有し、前記第 1 の制御用端子に前記第 3 の端子が接続され、前記第 2 の端子に前記第 4 の端子が接続された第 2 のトランジスタと、

第 5 の端子と第 6 の端子と第 3 の制御用端子とを有し、前記第 1 の端子に前記第 5 の端子 50

が接続された第 3 のトランジスタと、
 第 7 の端子と第 8 の端子を有し、前記第 7 の端子が前記第 1 の制御用端子及び前記第 3 の端子に接続された容量素子と、
 前記第 2 の端子に接続された電気光学素子と、
 を含む単位回路を複数備え、
 前記第 6 の端子が複数のデータ線のうち 1 つのデータ線と接続され、
 前記第 3 の制御用端子が複数の走査線のうち 1 つの走査線と接続され、
 前記第 1 の端子は前記複数の単位回路の他の単位回路の前記第 1 の端子と共に第 1 の電源線に接続されている電気光学装置の駆動方法であって、
 前記第 1 の電源線を駆動電圧から電氣的に切り離すことにより、前記一連の単位回路の前記第 1 の端子を、前記駆動電圧から電氣的に切り離し、かつ、前記一連の単位回路の前記第 3 のトランジスタがオン状態とすることにより、前記第 1 のトランジスタを經由して流れる電流の電流レベルに応じた電荷量を前記容量素子に保持し、前記電荷量に応じた電圧を前記第 1 の制御用端子に印加して、前記第 1 の端子と前記第 2 の端子との間の導通状態を設定するステップと、
 前記第 3 のトランジスタをオフ状態にするとともに、前記一連の単位回路の前記第 1 の端子を前記第 1 の電源線を介して前記駆動電圧に電氣的に接続するステップと
 を含むことを特徴とする電気光学装置の駆動方法。

10

【請求項 2 1】

第 1 の端子と第 2 の端子と第 1 の制御用端子とを有する第 1 のトランジスタと、
 第 3 の端子と第 4 の端子と第 2 の制御用端子とを有し、前記第 1 の制御用端子に前記第 3 の端子が接続され、前記第 2 の端子に前記第 4 の端子が接続された第 2 のトランジスタと、
 第 5 の端子と第 6 の端子と第 3 の制御用端子とを有し、前記第 1 の端子に前記第 5 の端子が接続された第 3 のトランジスタと、
 第 7 の端子と第 8 の端子を有し、前記第 7 の端子が前記第 1 の制御用端子及び前記第 3 の端子に接続された容量素子と、
 前記第 2 の端子に接続された電気光学素子と、
 を含む単位回路を複数備え、
 前記第 6 の端子が複数のデータ線のうち 1 つのデータ線と接続され、
 前記第 3 の制御用端子が複数の走査線のうち 1 つの走査線と接続され、
 前記第 1 の端子は前記複数の単位回路の他の単位回路の前記第 1 の端子と共に第 1 の電源線に接続されるとともに、
 前記第 8 の端子は前記複数の単位回路の他の単位回路の前記第 8 の端子と共に第 2 の電源線に接続されている電気光学装置の駆動方法であって、
 前記第 1 の電源線を駆動電圧から電氣的に切り離すことにより、前記一連の単位回路の前記第 1 の端子を前記駆動電圧から電氣的に切り離し、かつ、前記一連の単位回路の前記第 3 のトランジスタがオン状態とすることにより、前記第 1 のトランジスタを經由して流れる電流の電流レベルに応じた電荷量を前記容量素子に保持し、前記電荷量に応じた電圧を前記第 1 の制御用端子に印加して、前記第 1 の端子と前記第 2 の端子との間の導通状態を設定するステップと、
 前記第 3 のトランジスタをオフ状態にするとともに、前記一連の単位回路の前記第 1 の端子を前記第 1 の電源線を介して前記駆動電圧に電氣的に接続するステップと
 を含むことを特徴とする電気光学装置の駆動方法。

20

30

40

【請求項 2 2】

請求項 1 乃至 9 のいずれか 1 つに記載の電子回路を実装したことを特徴とする電子機器。

【請求項 2 3】

請求項 1 3 乃至 1 8 のいずれか 1 つに記載の電気光学装置を実装したことを特徴とする電子機器。

【発明の詳細な説明】

50

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明は、電子回路、電子回路の駆動方法、電気光学装置、電気光学装置の駆動方法及び電子機器に関するものである。

【 0 0 0 2 】

【 従来技術 】

近年、広く表示装置として用いられる複数の電気光学素子を備えた電気光学装置は、高精彩化あるいは大画面化が求められており、これに呼応して、複数の電気光学素子の各々を駆動するための画素回路を備えたアクティブマトリクス駆動型電気光学装置のパッシブ駆動型電気光学装置に対する比重はより高まっている。しかしながら、より一層の高精彩化あるいは大画面化を達成するためには、電気光学素子をそれぞれ精密に制御する必要がある。そのためには、画素回路を構成する能動素子の特性バラツキを補償しなければならない。

10

【 0 0 0 3 】

能動素子の特性バラツキの補償方法として、例えば、特性バラツキを補償するための、ダイオード接続したトランジスタを含む画素回路を備えた表示装置（例えば、特許文献1を参照）が提案されている。

【 0 0 0 4 】

【 特許文献1 】 特開平 1 1 - 2 7 2 2 3 3 号公報

【 0 0 0 5 】

20

【 発明が解決しようとする課題 】

ところで、能動素子の特性バラツキを補償する画素回路は、一般に4つ以上のトランジスタにより構成され、そのため、歩留まりや開口率の低下を招くこととなる。

【 0 0 0 6 】

本発明の一つの目的は、上記問題点を解消することであって、画素回路、あるいは単位回路を構成するトランジスタの個数を削減することができる電子回路、電子回路の駆動方法、電気光学装置、電気光学装置の駆動方法及び電子機器を提供することにある。

【 0 0 0 7 】

【 課題を解決するための手段 】

本発明の第1の電子回路は、複数の単位回路を含む電子回路であって、第1の電源線を含み、前記複数の単位回路の各々は、電子素子に直列に接続されるとともに前記第1の電源線に接続された第1のトランジスタと、前記第1のトランジスタのドレインと前記第1のトランジスタのゲートとの導通を制御する第2のトランジスタと、前記第1のトランジスタの導通状態を設定するためのデータ電流を出力する電流源と前記第1のトランジスタとの導通を制御する第3のトランジスタと、を備え、前記第3のトランジスタがオン状態にある期間のうち少なくとも1部の期間において、前記第1の電源線は駆動電圧から電氣的に切断され、前記第3のトランジスタがオフ状態にある期間のうち少なくとも1部の期間において、前記第1の電源線と前記電子素子との間に、前記第1のトランジスタに前記データ電流により設定された前記第1のトランジスタの導通状態に応じた電流が流れることを特徴とする。

30

40

上記の電子回路において、「前記第1のトランジスタのドレインと前記第1のトランジスタのゲートとの導通を制御する」とは、前記第1のトランジスタの前記ドレインと前記第1のトランジスタの前記ゲートとを直接電氣的に接続する場合ばかりではなく、前記第3のトランジスタなど、他のトランジスタなどの素子、あるいは配線を介して電氣的に接続する場合も含む。

【 0 0 0 8 】

本発明の第2の電子回路は、複数の単位回路を含む電子回路であって、第1の電源線と、前記第1の電源線の電位を複数の電位に設定する、あるいは、前記第1の電源線への駆動電圧の供給及び遮断を制御する制御回路と、を含み、前記複数の単位回路の各々は、電子素子と、前記電子素子に直列に接続されるとともに前記第1の電源線に接続された第1のト

50

ランジスタと、前記第1のトランジスタのドレインと前記第1のトランジスタとのゲートとの導通を制御する第2のトランジスタと、前記第1のトランジスタの導通状態を設定するためのデータ電流を出力する電流源と前記第1のトランジスタとの導通を制御する第3のトランジスタと、を備え、前記第3のトランジスタがオフ状態にある期間のうち少なくとも1部の期間において、前記第1の電源線と前記電子素子との間に、前記第1のトランジスタに前記データ電流により設定された前記第1のトランジスタの導通状態に応じた電流が流れることを特徴とする。

【0009】

上記の電子回路において、「ドレイン」はデータ電流が前記第1のトランジスタを流れる際の前記第1のトランジスタのチャンネルを挟む2つの端子の電位の相対的な関係と前記第1のトランジスタの導電型によって決定される。例えば、前記第1のトランジスタがp型である場合は、前記第1のトランジスタの前記2つの端子のうち電位が低い端子を「ドレイン」と言い、前記第1のトランジスタがn型である場合は、前記第1のトランジスタの前記2つの端子のうち電位が高い端子を「ドレイン」と言う。

10

上記の電子回路において、「電子素子」とは、例えば、電気光学素子、抵抗素子、ダイオード等である。

【0010】

本発明における第3の電子回路は、複数の単位回路を含む電子回路であって、前記複数の単位回路の各々は、第1の端子と第2の端子と第1の制御用端子とを有する第1のトランジスタと、第3の端子と第4の端子とを有し、前記第1の制御用端子に前記第3の端子が接続され、前記2の端子と前記第3の端子との電気的接続を制御する第2のトランジスタと、第5の端子と第6の端子とを有し、前記第1の端子に前記第5の端子が接続された第3のトランジスタと、第7の端子と第8の端子とを有し、前記第7の端子が前記第1の制御用端子及び前記第3の端子に接続された容量素子と、を含み、前記第1の端子は前記複数の単位回路の他の単位回路の前記第1の端子と共に第1の電源線に接続され、前記第1の電源線の電位を複数の電位に設定する、あるいは、前記第1の電源線への駆動電圧の供給及び遮断を制御する制御回路を備えている。

20

【0011】

上記の第1のトランジスタ、第1の端子、第2の端子及び第1の制御用端子は、例えば、後述する実施形態の図3の画素回路においては、駆動トランジスタQ1、駆動トランジスタQ1のソース、駆動トランジスタQ1のドレイン、駆動トランジスタQ1のゲートに対応している。

30

【0012】

また、第2のトランジスタ、第3の端子、第4の端子及び第2の制御用端子は、それぞれ、トランジスタQ2、トランジスタQ2のソース、トランジスタQ2のドレイン、トランジスタQ2のゲートに対応している。

さらに、第3のトランジスタ、第5の端子、第6の端子、第3の制御用端子は、それぞれ、スイッチングトランジスタQ3、スイッチングトランジスタQ3のソース、スイッチングトランジスタQ3のドレイン、スイッチングトランジスタQ3のゲートに対応している。

40

また、容量素子、第7の端子及び第8の端子は、それぞれ、保持用キャパシタC_o、保持用キャパシタC_oの第1の電極L_a及び保持用キャパシタC_oの第2の電極L_bに対応している。

これによれば、従来のもので比べて使用するトランジスタの数を削減された単位回路を構成することができる。

【0013】

本発明における第4の電子回路は、複数の単位回路を含む電子回路であって、前記複数の単位回路の各々は、第1の端子と第2の端子と第1の制御用端子とを有する第1のトランジスタと、第3の端子と第4の端子とを有し、前記第1の制御用端子に前記第3の端子が接続され、前記2の端子と前記第4の端子との電気的接続を制御する第2のトランジスタ

50

と、第5の端子と第6の端子とを有し、前記第1の端子に前記第5の端子が接続された第3のトランジスタと、第7の端子と第8の端子とを有し、前記第7の端子が前記第1の制御用端子及び前記第3の端子に接続された容量素子と、を含み、前記第1の端子は前記複数の単位回路の他の単位回路の前記第1の端子と共に第1の電源線に接続され、前記第8の端子は前記複数の単位回路の他の単位回路の前記第8の端子と共に所定電位に保持された第2の電源線に接続され、前記第1の電源線の電位を複数の電位に設定する、あるいは、前記第1の電源線への駆動電圧の供給及び遮断を制御する制御回路を備えている。これによれば、従来のもので使用するトランジスタの数を削減して単位回路を構成することができることに加えて、容量素子に電圧を安定して保持させることができる。

【0014】

10

上記の電子回路において、前記単位回路の各々に含まれるトランジスタは、前記第1のトランジスタ、前記第2のトランジスタ及び前記第3のトランジスタのみである。

これによれば、使用するトランジスタの数を従来のものに比べて1つ削減して単位回路を構成することができる。

上記の電子回路において、前記第2の端子には電子素子が接続されている。

これによれば、従来のもので使用するトランジスタが1つ少ない回路で電子素子を制御することができる。

上記の電子回路において、前記電子素子は電流駆動素子であってもよい。

これによれば、従来のもので使用するトランジスタが1つ少ない回路で電流駆動素子を制御することができる。

20

上記の電子回路において、前記制御回路は第9の端子と第10の端子とを備えた第4のトランジスタであり、前記第9の端子は前記駆動電圧に接続され、前記第10の端子は前記第1の電源線に接続されていてもよい。

これによれば、制御回路を容易に構成することができる。

【0015】

本発明の第1の電子回路の駆動方法は、複数の単位回路を含む電子回路の駆動方法であって、前記電子回路は、第1の電源線を含み、前記複数の単位回路の各々は、電子素子に直列に接続されるとともに前記第1の電源線に接続された第1のトランジスタと、前記第1のトランジスタのドレインと前記第1のトランジスタとのゲートとの導通を制御する第2のトランジスタと、前記第1のトランジスタの導通状態を設定するためのデータ電流を出力する電流源と前記第1のトランジスタとの導通を制御する第3のトランジスタと、を備え、前記第3のトランジスタをオン状態として前記データ電流を前記第1のトランジスタに供給し、前記第1のトランジスタの導通状態を設定する第1のステップと、前記第3のトランジスタをオフ状態とし、前記第1の電源線と前記電子素子との間に前記第1のトランジスタの前記導通状態に応じた電流を流す第2のステップと、を含み、前記第1のステップの前記データ電流を前記第1のトランジスタに供給する期間の少なくとも1部の期間において、前記第1の電源線を駆動電圧から電氣的に切り離し、前記第2のステップを行っている期間の少なくとも1部の期間において、前記第1のトランジスタの前記ドレイン及びソースのいずれか一方に前記第1の電源線を介して前記駆動電圧を印加すること、を特徴とする。

30

40

【0016】

本発明の第2の電子回路の駆動方法は、第1の端子と第2の端子と第1の制御用端子とを有する第1のトランジスタと、第3の端子と第4の端子とを有し、前記第1の制御用端子に前記第3の端子が接続され、前記第2の端子に前記第4の端子が接続された第2のトランジスタと、第5の端子と第6の端子とを有し、前記第1の端子に前記第5の端子が接続された第3のトランジスタと、第7の端子及び第8の端子を有し、前記第7の端子が前記第1の制御用端子及び前記第3の端子に接続された容量素子と、を含む単位回路を複数備え、前記第1の端子は前記複数の単位回路のうちの一連の単位回路の前記第1の端子と共に第1の電源線に接続されている電子回路の駆動方法であって、前記第1の電源線を駆動電圧から電氣的に切り離すことにより、前記一連の単位回路の前記第1の端子を前記駆動

50

電圧から電氣的に切り離し、かつ、前記一連の単位回路の前記第3のトランジスタをオン状態とすることにより、前記第1のトランジスタを經由して流れる電流の電流レベルに応じた電荷量を前記容量素子に保持し、前記電荷量に応じた電圧を前記第1の制御用端子に印加して、前記第1の端子と前記第2の端子との間の導通状態を設定するステップと、前記第3のトランジスタをオフ状態にするとともに、前記一連の単位回路の前記第1の端子を前記駆動電圧に電氣的に接続にするステップと、を含む。

【0017】

本発明の第3電子回路の駆動方法は、第1の端子と第2の端子と第1の制御用端子とを有する第1のトランジスタと、第3の端子と第4の端子とを有し、前記第1の制御用端子に前記第3の端子が接続され、前記第2の端子に前記第4の端子が接続された第2のトランジスタと、第5の端子と第6の端子とを有し、前記第1の端子に前記第5の端子が接続された第3のトランジスタと、第7の端子及び第8の端子を有し、前記第7の端子が前記第1の制御用端子及び前記第3の端子に接続された容量素子と、を含む単位回路を複数備え、前記第1の端子は前記複数の単位回路のうちの一連の単位回路の前記第1の端子と共に第1の電源線に接続されるとともに、前記第8の端子は前記複数の単位回路のうちの一連の単位回路の前記第8の端子と共に第2の電源線に接続されている電子回路の駆動方法であって、前記第1の電源線を駆動電圧から電氣的に切り離すことにより、前記一連の単位回路の前記第1の端子を前記駆動電圧から電氣的に切り離し、かつ、前記一連の単位回路の前記第3のトランジスタがオン状態とすることにより、前記第1のトランジスタを經由して流れる電流の電流レベルに応じた電荷量を前記容量素子に保持し、前記電荷量に応じた電圧を前記第1の制御用端子に印加して、前記第1の端子と前記第2の端子との間の導通状態を設定するステップと、前記第3のトランジスタをオフ状態にするとともに、前記一連の単位回路の前記第1の端子を前記駆動電圧に電氣的に接続するステップとを含む。上記の電子回路の駆動方法によれば、前記単位回路内のトランジスタ数を可能な限り少なくすることができる。

10

20

【0018】

本発明の第1の電気光学装置は、複数の走査線と、複数のデータ線と、複数の第1の電源線と、複数の単位回路と、を含み、前記複数の単位回路の各々は、電気光学素子に直列に接続されるとともに前記第1の電源線のうち対応する第1の電源線に接続された第1のトランジスタと、前記第1のトランジスタのドレインと前記第1のトランジスタとのゲートとの導通を制御する第2のトランジスタと、前記第1のトランジスタと前記複数のデータ線のうち対応するデータ線との導通を制御し、前記複数の走査線のうち対応する走査線を介して供給される走査信号により制御される第3のトランジスタと、を備え、前記第3のトランジスタがオン状態にある期間のうち少なくとも1部の期間において、前記対応する第1の電源線は駆動電圧から電氣的に切り離されるとともに、前記対応するデータ線から供給されるデータ電流が前記第1のトランジスタに流れることにより前記第1のトランジスタの導通状態が設定され、前記第3のトランジスタがオフ状態にある期間のうち少なくとも1部の期間において、前記第1のトランジスタの前記ドレイン及びソースのうちいずれか一方に前記駆動電圧が印加され、前記対応する第1の電源線と前記電気光学素子との間に、前記データ電流により設定された前記第1のトランジスタの前記導通状態に応じた電流が流れること、を特徴とする。

30

40

【0019】

上記の電気光学装置において、「前記第1のトランジスタのドレインと前記第1のトランジスタのゲートとの導通を制御する」とは、前記第1のトランジスタの前記ドレインと前記第1のトランジスタの前記ゲートとを直接電氣的に接続する場合ばかりではなく、前記第3のトランジスタなど、他のトランジスタなどの素子、あるいは前記対応するデータ線などの配線を介して電氣的に接続する場合も含む。

【0020】

本発明の第2の電気光学装置は、複数の走査線と、複数のデータ線と、複数の単位回路と、を備えた電気光学装置であって、前記複数の単位回路の各々は、第1の端子と第2の端

50

子と第 1 の制御用端子とを有する第 1 のトランジスタと、第 3 の端子と第 4 の端子と第 2 の制御用端子とを有し、前記第 1 の制御用端子に前記第 3 の端子が接続された第 2 のトランジスタと、第 5 の端子と第 6 の端子と第 3 の制御用端子とを有し、前記第 5 の端子が前記第 1 の端子に接続され、前記第 6 の端子が前記複数のデータ線のうちの一つのデータ線に接続され、前記第 3 の制御用端子が複数の走査線のうちの一つの走査線に接続された第 3 のトランジスタと、第 7 の端子と第 8 の端子とを有し、前記第 7 の端子が前記第 1 の制御用端子及び前記第 3 の端子に接続された容量素子と、を含み、前記第 1 の端子は前記複数の単位回路の他の単位回路の前記第 1 の端子と共に第 1 の電源線に接続され、前記第 1 の電源線の電位を複数の電位に設定する、あるいは、前記電源線への駆動電圧の供給及び遮断を制御する制御回路を備えている。

10

【0021】

本発明の第 3 の電気光学装置は、複数の走査線と、複数のデータ線と、複数の単位回路と、を備えた電気光学装置であって、前記複数の単位回路の各々は、第 1 の端子と第 2 の端子と第 1 の制御用端子とを有する第 1 のトランジスタと、第 3 の端子と第 4 の端子と第 2 の制御用端子とを有し、前記第 1 の制御用端子に前記第 3 の端子が接続され、前記 2 の端子と前記第 4 の端子との電氣的接続を制御する第 2 のトランジスタと、第 5 の端子と第 6 の端子と第 3 の制御用端子とを有し、前記第 1 の端子に前記第 5 の端子が接続され、前記第 6 の端子が前記複数のデータ線のうちの一つのデータ線に接続され、前記第 3 の制御用端子が複数の走査線のうちの一つの走査線に接続された第 3 のトランジスタと、第 7 の端子と第 8 の端子とを有し、前記第 7 の端子が前記第 1 の制御用端子及び前記第 3 の端子に

20

接続された容量素子と、を含み、前記第 1 の端子は前記複数の単位回路の他の単位回路の前記第 1 の端子と共に第 1 の電源線に接続され、前記第 8 の端子は前記複数の単位回路の他の単位回路の前記第 8 の端子と共に所定電位に保持された第 2 の電源線に接続され、前記第 1 の電源線の電位を複数の電位に設定する、あるいは、前記第 1 の電源線への駆動電圧の供給及び遮断を制御する制御回路を備えている。

【0022】

上記の電気光学装置において、前記単位回路の各々に含まれるトランジスタは、前記第 1 のトランジスタ、前記第 2 のトランジスタ及び前記第 3 のトランジスタのみであることが

30

【0023】

上記の電気光学装置において、前記制御回路は第 9 の端子と第 10 の端子とを備えた第 4 のトランジスタであり、前記第 9 の端子は前記駆動電圧に接続され、前記第 10 の端子は前記第 1 の電源線に接続されていることが好ましい。

【0024】

これによれば、制御回路を容易に構成することができる。

上記の電気光学装置において、前記電気光学素子は、例えば、EL素子であってもよい。中でも有機EL素子などの電流駆動素子が好適である。

【0025】

本発明の第 1 の電気光学装置の駆動方法は、電気光学装置の駆動方法であって、前記電気光学装置は、複数の走査線と、複数のデータ線と、複数の第 1 の電源線と、複数の単位回路と、を含み、前記複数の単位回路の各々は、電気光学素子に直列に接続されるとともに前記第 1 の電源線のうち対応する第 1 の電源線に接続された第 1 のトランジスタと、前記第 1 のトランジスタの前記ドレインと前記第 1 のトランジスタとのゲートとの導通を制御する第 2 のトランジスタと、前記第 1 のトランジスタと前記複数のデータ線のうち対応するデータ線との導通を制御し、前記複数の走査線のうち対応する走査線を介して供給される走査信号により制御される第 3 のトランジスタと、を備え、前記第 3 のトランジスタがオン状態及び前記対応する第 1 の電源線が駆動電圧から電氣的に切り離された状態で、前記対応するデータ線から供給されるデータ電流を前記第 1 のトランジスタに流すことにより

40

50

、前記第1のトランジスタの導通状態を設定する第1のステップと、前記第3のトランジスタがオフ状態及び前記第1のトランジスタの前記ドレイン及びソースのうちいずれか一方に前記対応する第1の電源線を介して前記駆動電圧が印加された状態で、前記対応する第1の電源線と前記電気光学素子との間に、前記データ電流により設定された前記第1のトランジスタの前記導通状態に応じた電流を流す第2のステップを含むこと、を特徴とする。

【0026】

本発明の第2の電気光学装置の駆動方法は、第1の端子と第2の端子と第1の制御用端子とを有する第1のトランジスタと、第3の端子と第4の端子と第2の制御用端子とを有し、前記第1の制御用端子に前記第3の端子が接続され、前記第2の端子に前記第4の端子が接続された第2のトランジスタと、第5の端子と第6の端子と第3の制御用端子とを有し、前記第1の端子に前記第5の端子が接続された第3のトランジスタと、第7の端子と第8の端子とを有し、前記第7の端子が前記第1の制御用端子及び前記第3の端子に接続された容量素子と、前記第2の端子に接続された電気光学素子と、含む単位回路を複数備え、前記第6の端子が複数のデータ線のうち1つのデータ線と接続され、前記第3の制御用端子が複数の走査線のうち1つの走査線と接続され、前記第1の端子は前記複数の単位回路の他の単位回路の前記第1の端子と共に第1の電源線に接続されている電気光学装置の駆動方法であって、前記第1の電源線を駆動電圧から電氣的に切り離すことにより、前記一連の単位回路の前記第1の端子を、前記駆動電圧から電氣的に切り離し、かつ、前記一連の単位回路の前記第3のトランジスタがオン状態とすることにより、前記第1のトランジスタを経由して流れる電流の電流レベルに応じた電荷量を前記容量素子に保持し、前記電荷量に応じた電圧を前記第1の制御用端子に印加して、前記第1の端子と前記第2の端子との間の導通状態を設定するステップと、前記第3のトランジスタをオフ状態にするとともに、前記一連の単位回路の前記第1の端子を前記第1の電源線を介して前記駆動電圧に電氣的に接続するステップとを含む。

【0027】

本発明の第3の電気光学装置の駆動方法は、第1の端子と第2の端子と第1の制御用端子とを有する第1のトランジスタと、第3の端子と第4の端子と第2の制御用端子とを有し、前記第1の制御用端子に前記第3の端子が接続され、前記第2の端子に前記第4の端子が接続された第2のトランジスタと、第5の端子と第6の端子と第3の制御用端子とを有し、前記第1の端子に前記第5の端子が接続された第3のトランジスタと、第7の端子と第8の端子とを有し、前記第7の端子が前記第1の制御用端子及び前記第3の端子に接続された容量素子と、前記第2の端子に接続された電気光学素子と、を含む単位回路を複数備え、前記第6の端子が複数のデータ線のうち1つのデータ線と接続され、前記第3の制御用端子が複数の走査線のうち1つの走査線と接続され、前記第1の端子は前記複数の単位回路の他の単位回路の前記第1の端子と共に第1の電源線に接続されるとともに、前記第8の端子は前記複数の単位回路の他の単位回路の前記第8の端子と共に第2の電源線に接続されている電気光学装置の駆動方法であって、前記第1の電源線を駆動電圧から電氣的に切り離すことにより、前記一連の単位回路の前記第1の端子を前記駆動電圧から電氣的に切り離し、かつ、前記一連の単位回路の前記第3のトランジスタがオン状態とすることにより、前記第1のトランジスタを経由して流れる電流の電流レベルに応じた電荷量を前記容量素子に保持し、前記電荷量に応じた電圧を前記第1の制御用端子に印加して、前記第1の端子と前記第2の端子との間の導通状態を設定するステップと、前記第3のトランジスタをオフ状態にするとともに、前記一連の単位回路の前記第1の端子を前記第1の電源線を介して前記駆動電圧に電氣的に接続するステップとを含む。

【0028】

上記の電気光学装置の駆動方法によれば、電気光学素子に供給する電流あるいは電圧を決定するトランジスタの特性バラツキを補償するとともに、画素回路を構成するトランジスタを可能な限り削減することができる。

【0029】

10

20

30

40

50

本発明における第1の電子機器は、上記の電子回路を実装したことを特徴とする。

上記の電子回路は、前記電子機器の表示ユニットやメモリ部等のアクティブな機能を有するアクティブ駆動部に用いることができる。

【0030】

本発明における第2の電子機器は、上記の電気光学装置を実装したことを特徴とする。

上記の電気光学装置は、高精度に電気光学素子の状態を制御できるとともに高開口率を有しているため、表示品質が優れた表示ユニットを有した電子機器を提供することができる。

又、上記の電気光学装置は、画素回路を構成するトランジスタの数を可能な限り少なくしているため、製造コストを抑制することができる。

10

【0031】

【発明の実施の形態】

(第1実施形態)

以下、本発明を具体化した第1実施形態を図1～4に従って説明する。図1は、電気光学装置としての有機ELディスプレイの回路構成を示すブロック回路図である。図2は、表示パネル部及びデータ線駆動回路の回路構成を示すブロック回路図である。図3は画素回路の回路図である。図4は、画素回路の駆動方法を説明するためのタイミングチャートである。

【0032】

有機ELディスプレイ10は、信号生成回路11、アクティブマトリクス部12、走査線駆動回路13、データ線駆動回路14及び電源線制御回路15を備えている。有機ELディスプレイ10の信号生成回路11、走査線駆動回路13、データ線駆動回路14及び電源線制御回路15は、それぞれが独立した電子部品によって構成されていてもよい。例えば、信号生成回路11、走査線駆動回路13、データ線駆動回路14及び電源線制御回路15が、各々1チップの半導体集積回路装置によって構成されていてもよい。又、信号生成回路11、走査線駆動回路13、データ線駆動回路14及び電源線制御回路15の全部若しくは一部がプログラマブルなICチップで構成され、その機能がICチップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

20

【0033】

信号生成回路11は、図示しない外部装置からの画像データに基づいてアクティブマトリクス部12に画像を表示させるための走査制御信号及びデータ制御信号を作成する。そして、信号生成回路11は、前記走査制御信号を走査線駆動回路13に出力するとともに、前記データ制御信号をデータ線駆動回路14に出力する。又、信号生成回路11は、電源線制御回路15に対してタイミング制御信号を出力する。

30

【0034】

アクティブマトリクス部12は、図2に示すように、列方向に沿って延設されたM本のデータ線 X_m ($m = 1 \sim M$; m は自然数)と、行方向に沿って延設されたN本の走査線 Y_n ($n = 1 \sim N$; n は自然数)との交差部に対応する位置に配置された複数の単位回路としての画素回路20を有している。そして、複数の画素回路20で1つの電子回路が形成されている。

40

【0035】

つまり、各画素回路20は、その列方向に沿って延設されたデータ線 X_m と、行方向に沿って延設された走査線 Y_n とにそれぞれ接続されることによりマトリクス状に配列されている。又、各画素回路20は、走査線 Y_n に平行して延設された第1の電源線 V_L1 に接続されている。各第1の電源線 V_L1 は、アクティブマトリクス部12の右端側に配設された画素回路20の列方向に沿って延設された駆動電圧としての駆動電圧 V_{dd} を供給する電圧供給線 L_0 に駆動電圧供給用トランジスタ Q_v を介して接続されている。

【0036】

画素回路20は、図2に示すように、発光層が有機材料で構成された電気光学素子又は電子素子として有機EL素子21を有する。そして、画素回路20は、駆動電圧供給用トラ

50

ンジスタ Q_v がオン状態になることで、第1の電源線 V_L1 を介して駆動電圧 V_{dd} が供給されるようになっている。尚、各画素回路20内に配置形成される後記するトランジスタは、TFT（薄膜トランジスタ）で構成されている。

【0037】

走査線駆動回路13は、信号生成回路11から出力される走査制御信号に基づいて、アクティブマトリクス部12に配設されたN本の走査線 Y_n のうち、1本の走査線を選択し、その選択された走査線に走査信号を出力する。

【0038】

データ線駆動回路14は、図2に示すように、複数の単一ラインドライバ23を備えている。各単一ラインドライバ23は、それぞれアクティブマトリクス部12に配設された対応するデータ線 X_m と接続されている。データ線駆動回路14は、信号生成回路11から出力された前記データ制御信号に基づいて、データ電流 I_{data1} 、 I_{data2} 、 \dots 、 I_{dataM} をそれぞれ生成する。そして、データ線駆動回路14は、その生成されたデータ電流 I_{data1} 、 I_{data2} 、 \dots 、 I_{dataM} をデータ線 X_m を介して各画素回路20に出力する。そして、画素回路20は、それぞれデータ電流 I_{data1} 、 I_{data2} 、 \dots 、 I_{dataM} に応じて同画素回路20の内部状態が設定されると、このデータ電流 I_{data1} 、 I_{data2} 、 \dots 、 I_{dataM} の電流レベルに応じて有機EL素子21に供給する駆動電流 I_{el} を制御するようになっている。

【0039】

電源線制御回路15は、駆動電圧供給用トランジスタ Q_v のゲートと電源線制御線Fを介して接続されている。電源線制御回路15は、信号生成回路11から出力されるタイミング制御信号に基づいて、駆動電圧供給用トランジスタ Q_v のオン・オフ状態を決定する電源線制御信号 S_{FC} を生成し、供給する。

そして、駆動電圧供給用トランジスタ Q_v がオン状態となることで、第1の電源線 V_L1 に駆動電圧 V_{dd} が供給され、該第1の電源線 V_L1 と接続された画素回路20に駆動電圧 V_{dd} が供給される。

【0040】

次に、有機ELディスプレイ10の画素回路20について以下に説明する。

図3に示すように、画素回路20は、駆動トランジスタ Q_1 、トランジスタ Q_2 、スイッチングトランジスタ Q_3 及び保持用キャパシタ C_o から構成されている。

【0041】

駆動トランジスタ Q_1 の導電型はp型（pチャンネル）である。又、トランジスタ Q_2 及びスイッチングトランジスタ Q_3 の導電型は、それぞれ、n型（nチャンネル）である。

【0042】

駆動トランジスタ Q_1 は、そのドレインが有機EL素子21の陽極と、トランジスタ Q_2 のドレインとに接続されている。有機EL素子21の陰極は接地されている。トランジスタ Q_2 は、そのソースが駆動トランジスタ Q_1 のゲートに接続されている。トランジスタ Q_2 のゲートはアクティブマトリクス部12の行方向に沿って配置された他の画素回路20のトランジスタ Q_2 のゲートとともに第2の副走査線 Y_{n2} に接続されている。

【0043】

駆動トランジスタ Q_1 のゲートには、保持用キャパシタ C_o の第1の電極Laが接続されるとともに、保持用キャパシタ C_o の第2の電極Lbが駆動トランジスタ Q_1 のソースに接続されている。

【0044】

駆動トランジスタ Q_1 のソースは、スイッチングトランジスタ Q_3 のソースに接続されている。スイッチングトランジスタ Q_3 のドレインはデータ線 X_m に接続されている。スイッチングトランジスタ Q_3 のゲートは第1の副走査線 Y_{n1} に接続されている。尚、第1の副走査線 Y_{n1} と第2の副走査線 Y_{n2} とで走査線 Y_n を構成している。

【0045】

また、駆動トランジスタ Q_1 のソースは、他の画素回路20の駆動トランジスタ Q_1 のソ

10

20

30

40

50

ースとともに第1の電源線VL1に接続されている。第1の電源線VL1は、駆動電圧供給用トランジスタQvの第10の端子としてのドレインに接続されている。駆動電圧供給用トランジスタQvの第9の端子としてのソースは電圧供給線Loに接続されている。

【0046】

駆動電圧供給用トランジスタQvの導電型はp型（pチャネル）である。駆動電圧供給用トランジスタQvは、電源線制御回路15から電源線制御線Fを介して供給される電源線制御信号SFCに応じて、電氣的切断の状態（オフ状態）及び電氣的接続の状態（オン状態）となる。駆動電圧供給用トランジスタQvがオン状態となると、駆動電圧供給用トランジスタQvが接続されている第1の電源線VL1に接続された各画素回路20の駆動トランジスタQ1に駆動電圧Vddが供給される。

10

【0047】

次に、上述のように構成された画素回路20の駆動方法について図4に従って説明する。図4において、駆動周期Tcは、有機EL素子21の輝度が1回ずつ更新される周期を意味しており、通常、フレーム周期に相当する。

【0048】

まず、図4に示すように、データ線駆動回路14からデータ電流Idataが供給される。この状態で、走査線駆動回路13から第1の副走査線Yn1を介してスイッチングトランジスタQ3のゲートにスイッチングトランジスタQ3をオン状態とする第1の走査信号SC1が供給される。又、このとき、走査線駆動回路13から第2の副走査線Yn2を介してトランジスタQ2のゲートにトランジスタQ2をオン状態にする第2の走査信号SC2が供給される。

20

【0049】

これにより、スイッチングトランジスタQ3及びトランジスタQ2がそれぞれオン状態になる。そして、データ電流Idataが駆動トランジスタQ1を経由して流れる。これによりデータ電流Idataに応じた電荷量が保持用キャパシタCoに保持され、当該電荷量に対応するゲート電圧Voに応じて駆動トランジスタQ1のソースとドレインとの間の導通状態が設定される。

【0050】

その後、走査線駆動回路13から第1の副走査線Yn1を介してスイッチングトランジスタQ3のゲートにスイッチングトランジスタQ3をオフ状態にする第1の走査信号SC1が供給される。又、このとき、走査線駆動回路13から第2の副走査線Yn2を介してトランジスタQ2のゲートにトランジスタQ2をオフ状態にする第2の走査信号SC2が供給される。

30

【0051】

これにより、スイッチングトランジスタQ3及びトランジスタQ2がそれぞれオフ状態となり、データ線Xmと駆動トランジスタQ1とは電氣的に切断される。尚、少なくともデータ電流Idataが駆動トランジスタQ1に供給されている期間は、駆動電圧供給用トランジスタQvは、電源線制御回路15から供給される駆動電圧供給用トランジスタQvをオフ状態にする電源線制御信号SFCが供給されることによって、オフ状態になっている。

40

【0052】

続いて、電源線制御回路15から駆動電圧供給用トランジスタQvをオン状態とする電源線制御信号Svが駆動電圧供給用トランジスタQvのゲートに電源線制御線Fを介して供給される。すると、駆動電圧供給用トランジスタQvがオン状態になり、駆動トランジスタQ1のソースに駆動電圧Vddが供給される。

【0053】

これにより、データ電流によって設定された導通状態に応じた駆動電流Ie1が有機EL素子21に供給され、有機EL素子21が発光する。このとき、駆動電流Ie1は、データ電流Idataとほぼ等しくするためには、駆動トランジスタQ1は飽和領域で駆動するように設定されていることが好ましい。

50

上述のようにデータ信号としてデータ電流 I_{data} を用いることにより、閾値電圧や利得係数など種々の駆動トランジスタ Q_1 の電気特性のパラメータのバラツキを駆動トランジスタ Q_1 毎に補償される。

駆動電圧供給用トランジスタ Q_v がオフ状態とされるまで、有機 EL 素子 21 はデータ電流 I_{data} に応じた輝度で発光し続ける。

上述のように、画素回路 20 は、4 個のトランジスタを必要とする従来の画素回路と比べて、使用するトランジスタの数を 1 つ少なくすることができる。従って、画素回路 20 のトランジスタの製造における歩留まりや開口率を向上させることができる。

【0054】

上述の実施形態の電子回路及び電気光学装置によれば、以下のような特徴を得ることができる。 10

【0055】

(1) 本実施形態では、駆動トランジスタ Q_1 、トランジスタ Q_2 、スイッチングトランジスタ Q_3 及び保持用キャパシタ C_o で画素回路 20 を構成した。そして、駆動トランジスタ Q_1 を駆動させるための駆動電圧 V_{dd} を供給する第 1 の電源線 V_{L1} と、アクティブマトリクス部 12 の右端側に設けられた画素回路 20 の列方向に沿って延設された電圧供給線 L_o との間に駆動電圧供給用トランジスタ Q_v を接続した。

【0056】

このように構成することによって、画素回路 20 は使用するトランジスタの個数を従来のものと比べて少なくすることができる。従って、トランジスタの製造における歩留まりや開口率が向上に適した画素回路を有する有機 EL ディスプレイ 10 を提供することができる。 20

【0057】

(第 2 実施形態)

次に、本発明を具体化した第 2 実施形態を図 5 に従って説明する。尚、本実施形態において、上述の第 1 実施形態と同じ構成部材については符号を等しくして、その詳細な説明を省略する。

【0058】

図 5 は、本実施形態における有機 EL ディスプレイ 10 のアクティブマトリクス部 12 a 及びデータ線駆動回路 14 の回路構成を示すブロック回路図である。図 6 は、アクティブマトリクス部 12 a に配設される画素回路 30 の回路図である。 30

【0059】

アクティブマトリクス部 12 は、第 1 の電源線 V_{L1} に平行して第 2 の電源線 V_{L2} が配設されている。複数の第 2 の電源線 V_{L2} の各々は、図 6 に示したように各画素回路 30 の保持用キャパシタ C_o と接続するとともに、電圧供給線 L_o に接続されている。

【0060】

画素回路 30 は、図 6 に示すように、駆動トランジスタ Q_1 、トランジスタ Q_2 、スイッチングトランジスタ Q_3 及び保持用キャパシタ C_o から構成されている。

【0061】

駆動トランジスタ Q_1 は、そのドレインが有機 EL 素子 21 の陽極とトランジスタ Q_2 のドレインとに接続されている。有機 EL 素子 21 の陰極は接地されている。トランジスタ Q_2 のソースは駆動トランジスタ Q_1 のゲートに接続されるとともに、保持用キャパシタ C_o の第 1 の電極に接続されている。トランジスタ Q_2 のゲートは、第 2 の副走査線 Y_n 2 に接続されている。 40

【0062】

保持用キャパシタ C_o の第 2 の電極 L_b は、第 2 の電源線 V_{L2} に接続されている。これによって、保持用キャパシタ C_o には定電圧である駆動電圧 V_{dd} が駆動電圧供給用トランジスタ Q_v のオン・オフ状態に関係なく独立して常時供給される。

このように保持用キャパシタ C_o の第 2 の電極 L_b を第 2 の電源線 V_{L2} に接続することによって、駆動トランジスタ Q_1 にデータ電流 I_{data} を供給するときと、駆動トラン 50

ジスタQ1のソースに駆動電圧を印加するときとで、保持用キャパシタC_oに生じる電圧の変動を抑制することができる。

その結果、画素回路30は上述の第1実施形態と同様の効果を得ることができることに加えて、上述の第1実施形態と比較して、より有機EL素子21の輝度階調を精度良く制御することができる。

【0063】

駆動トランジスタQ1のソースは、第1の電源線V_Lに接続されるとともに、スイッチングトランジスタQ3のソースに接続されている。スイッチングトランジスタQ3のドレインは、データ線X_mと接続されている。スイッチングトランジスタQ3のゲートは、第1の副走査線Y_{n1}に接続されている。

10

【0064】

次に、上述のように構成された画素回路30の駆動方法について説明する。

まず、データ線駆動回路14からデータ電流I_{data}が供給される。この状態で、走査線駆動回路13から第1の副走査線Y_{n1}を介してスイッチングトランジスタQ3のゲートにスイッチングトランジスタQ3をオン状態にする第1の走査信号S_{C1}が供給される。又、このとき、走査線駆動回路13から第2の副走査線Y_{n2}を介してトランジスタQ2のゲートにトランジスタQ2をオン状態にする第2の走査信号S_{C2}が供給される。

【0065】

すると、スイッチングトランジスタQ3及びトランジスタQ2がそれぞれオン状態になる。そして、データ電流I_{data}が駆動トランジスタQ1及びトランジスタQ2を經由して、データ電流I_{data}に相応した電荷量が保持用キャパシタC_oに保持される。

20

【0066】

これにより、駆動トランジスタQ1のソースとドレインとの間の導通状態が設定される。

【0067】

その後、走査線駆動回路13から第1の副走査線Y_{n1}を介してスイッチングトランジスタQ3のゲートにスイッチングトランジスタQ3をオフ状態にする第1の走査信号S_{C1}が供給される。又、このとき、走査線駆動回路13から第2の副走査線Y_{n2}を介してトランジスタQ2のゲートにトランジスタQ2をオフ状態にする第2の走査信号S_{C2}が供給される。その結果、スイッチングトランジスタQ3及びトランジスタQ2がそれぞれオフ状態になり、データ線X_mと駆動トランジスタQ1とは電氣的に切断される。

30

尚、少なくともデータ電流I_{data}が駆動トランジスタQ1に供給されている期間は、駆動電圧供給用トランジスタQ_vは、電源線制御回路15から供給される駆動電圧供給用トランジスタQ_vをオフ状態にする電源線制御信号S_{FC}が供給されることによって、オフ状態になっている。

【0068】

続いて、電源線制御回路15から駆動電圧供給用トランジスタQ_vをオン状態にする電源線制御信号S_vが駆動電圧供給用トランジスタQ_vのゲートに電源線制御線Fを介して供給される。すると、駆動電圧供給用トランジスタQ_vがオン状態になり、駆動トランジスタQ1のソースに駆動電圧V_{dd}が供給される。このとき、保持用キャパシタC_oの第2の電極L_bには、駆動電圧V_{dd}が駆動電圧供給用トランジスタQ_vのオン・オフ状態に関係なく独立して常時供給されているので、データ電流I_{data}に相対した電荷量を保持用キャパシタC_oに保持するときと、駆動電圧供給用トランジスタQ_vをオン状態にすることによって駆動トランジスタQ1から有機EL素子21に駆動電流I_{e1}を供給するときとで保持用キャパシタC_oに生じる電圧の変動を抑制することができる。従って、保持用キャパシタC_oに保持された電圧V_oに応じた駆動電流I_{e1}が有機EL素子に供給される。

40

【0069】

(第3実施形態)

次に、第1又は第2実施形態で説明した電気光学装置としての有機ELディスプレイ10の電子機器の適用について図7及び図8に従って説明する。有機ELディスプレイ10は

50

、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

【0070】

図7は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図7において、パーソナルコンピュータ70は、キーボード71を備えた本体部72と、有機ELディスプレイ10を用いた表示ユニット73とを備えている。

この場合においても、有機ELディスプレイ10を用いた表示ユニット73は実施形態と同様な効果を発揮する。この結果、有機EL素子21の輝度階調を精度良く制御することができるとともに歩留まりや開口率を向上させることができる有機ELディスプレイ10を備えたモバイル型パーソナルコンピュータ70を提供することができる。

10

【0071】

図8は、携帯電話の構成を示す斜視図を示す。図8において、携帯電話80は、複数の操作ボタン81、受話口82、送話口83、有機ELディスプレイ10を用いた表示ユニット84を備えている。この場合においても、有機ELディスプレイ10を用いた表示ユニット84は上述の実施形態と同様な効果を発揮する。この結果、有機EL素子21の輝度階調を精度良く制御することができるとともに歩留まりや開口率を向上させることができる有機ELディスプレイ10を備えた携帯電話80を提供することができる。

【0072】

尚、発明の実施形態は、上記実施形態に限定されるものではなく、以下のように実施してもよい。

20

上述の実施形態では、画素回路20、30の駆動トランジスタQ1の導電型をp型(pチャンネル)、トランジスタQ2及びスイッチングトランジスタQ3のそれぞれの導電型をn型(nチャンネル)になるように設定した。そして、駆動トランジスタQ1のドレインを有機EL素子21の陽極に接続した。又、有機EL素子21の陰極を接地した。

【0073】

これを、駆動トランジスタQ1の導電型をn型(nチャンネル)、スイッチングトランジスタQ3及びトランジスタQ2のそれぞれの導電型をp型(pチャンネル)になるように設定してもよい。

上述の実施形態では、陽極を画素電極、陰極を複数の画素電極に対して共通の共通電極としたが、陰極を画素電極、共通電極を陽極としてもよい。

30

【0074】

上述の第1実施形態及び第2実施形態では、画素回路に含まれるスイッチングトランジスタQ3のゲートを第1の副走査線Yn1に接続した。又、トランジスタQ2のゲートを第2の副走査線Yn2に接続した。そして、第1の副走査線Yn1と第2の副走査線Yn2とで走査線Ynを構成した。

これに対して、図9や図10に示すように、トランジスタQ2及びスイッチングトランジスタQ3を共通の走査信号SC1で制御することもできる。

これにより、一つの画素回路に対して設けられる走査線の数は1本となり、一つの画素回路当たりの配線数を減ずることができ、開口率を向上させることができる。

【0075】

40

上記の実施形態では、駆動電圧Vddの画素回路に対する供給を制御する制御回路として、駆動電圧供給用トランジスタQvを使用した。

これを、駆動電圧供給用トランジスタQvの変わりに低電位と高電位との間で切換え可能なスイッチを設けてもよい。又、前記制御回路として駆動能力を向上させるためにバッファ回路あるいはソースフォロワ回路を含むボルテージフォロワ回路を使用してもよい。このようにすることによって、画素回路に対して速やかに駆動電圧Vddを供給することができる。

【0076】

上記の実施形態では、電圧供給線Loをアクティブマトリクス部12の右端側に設けたが、これに限定されることはなく、例えば、アクティブマトリクス部12の左端側に設けて

50

もよい。

電圧供給線 L_o をアクティブマトリクス部 12 に対して走査線駆動回路 13 と同じ側に設けてもよい。

電源線制御回路 15 を、アクティブマトリクス部 12 に対して走査線駆動回路 13 と同じ側に設けることもできる。

【0077】

上記の実施形態では、本発明を有機 EL 素子に適用した例について述べたが、もちろん、有機 EL 素子以外の例えば LED、FED、液晶素子、無機 EL 素子、電気泳動素子、電子放出素子等の種々の電気光学素子を駆動する単位回路に具体化してもよい。RAM 等（特に MRAM）の記憶素子に具体化してもよい。

10

【図面の簡単な説明】

【図1】第1実施形態の有機 EL ディスプレイの回路構成を示すブロック回路図である。

【図2】第1実施形態の表示パネル部及びデータ線駆動回路の回路構成を示すブロック回路図である。

【図3】第1実施形態の画素回路の回路図である。

【図4】第1実施形態の画素回路の駆動方法を説明するためのタイミングチャートである。

【図5】第2実施形態の表示パネル部及びデータ線駆動回路の回路構成を示すブロック回路図である。

【図6】第2実施形態の画素回路の回路図である。

20

【図7】第3実施形態を説明するためのモバイル型パーソナルコンピュータの構成を示す斜視図である。

【図8】第3実施形態を説明するための携帯電話の構成を示す斜視図である。

【図9】別例の画素回路を説明するための回路図である。

【図10】別例の画素回路を説明するための回路図である。

【符号の説明】

C_o 容量素子としての保持用キャパシタ

Q₁ 第1のトランジスタとしての駆動トランジスタ

Q₂ 第2のトランジスタとしてのトランジスタ

Q₃ 第3のトランジスタとしてのスイッチングトランジスタ

30

Q_v 制御回路又は第4のトランジスタとしての駆動電圧供給用トランジスタ

V_dd 駆動電圧

V_L1 第1の電源線

V_L2 第2の電源線

X_m データ線

Y_n 走査線

10 電気光学装置としての有機 EL ディスプレイ

20, 30 単位回路としての画素回路

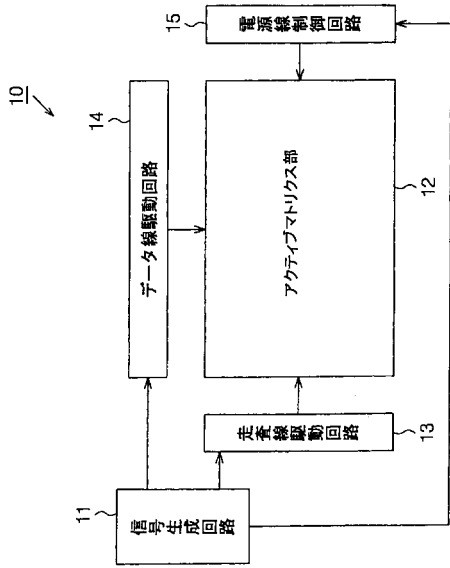
21 電子素子、電気光学素子又は電流駆動素子としての有機 EL 素子

70 電子機器としてのパーソナルコンピュータ

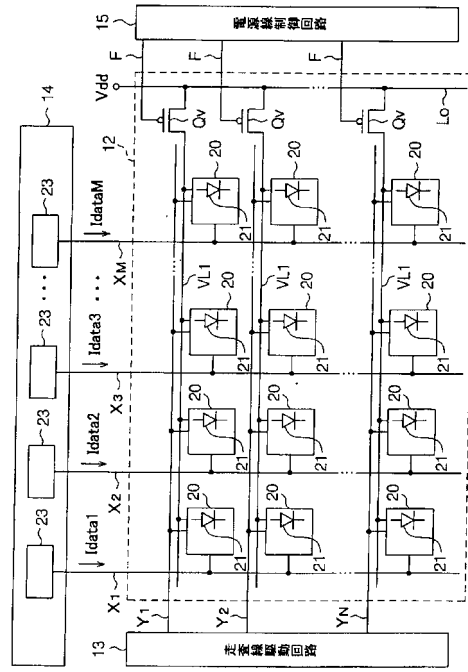
40

80 電子機器としての携帯電話

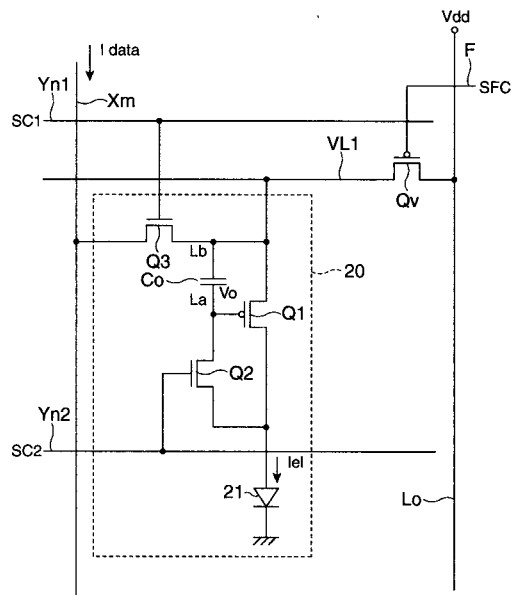
【 図 1 】



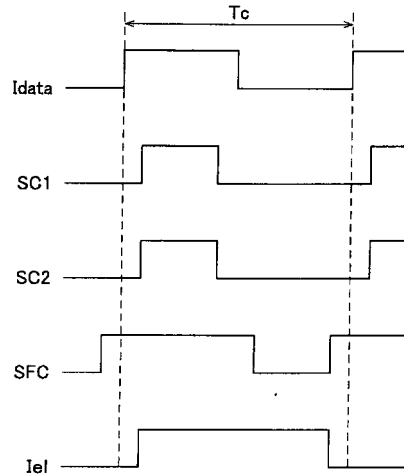
【 図 2 】



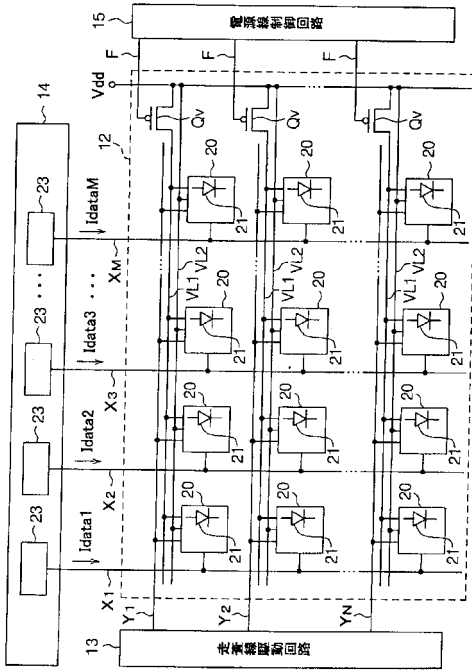
【 図 3 】



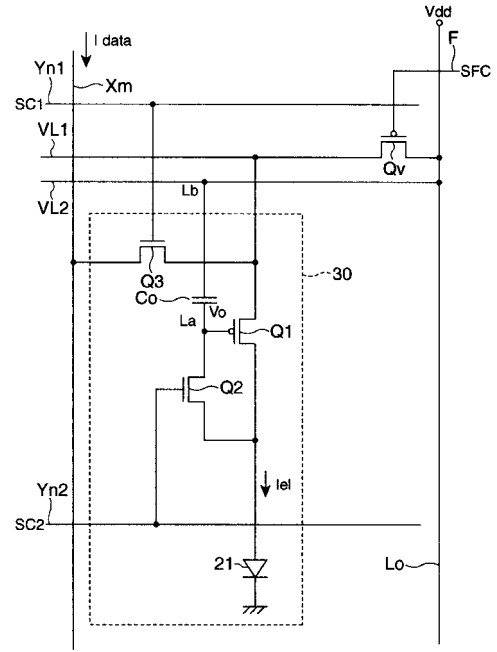
【 図 4 】



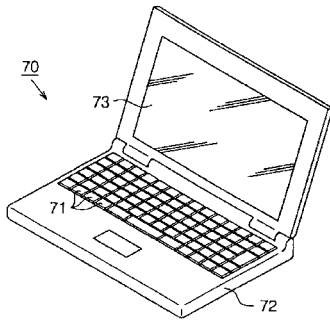
【 図 5 】



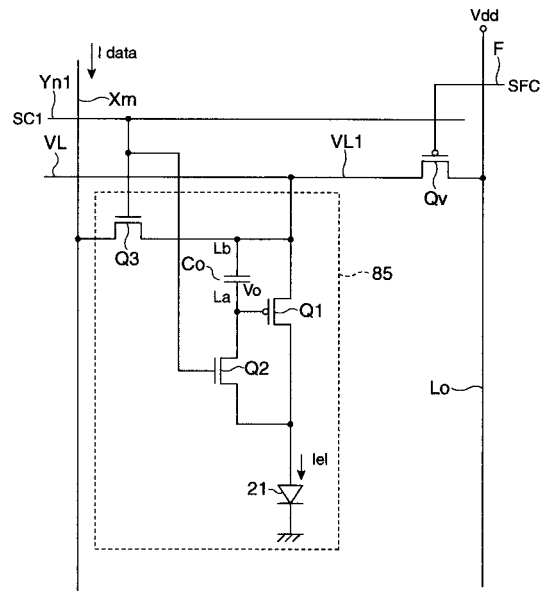
【 図 6 】



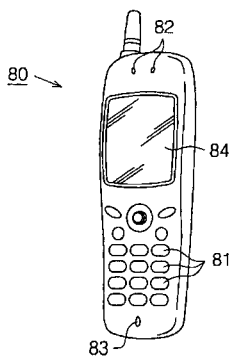
【 図 7 】



【 図 9 】



【 図 8 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

H 0 5 B 33/14

A