

公告

申請日期: 91. 3. 28

案號: 911 06 255

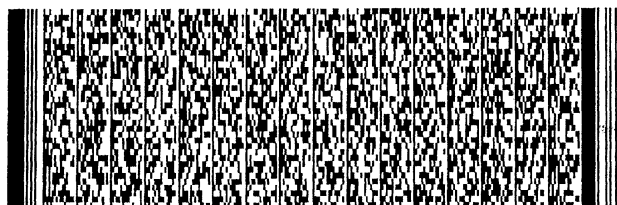
類別: H01L 23/528

(以上各欄由本局填註)

發明專利說明書

533574

一、發明名稱	中文	利用犧牲材料之半導體構造及其製造方法
	英文	SEMICONDUCTOR STRUCTURE IMPLEMENTING SACRIFICIAL MATERIAL AND METHODS FOR MAKING AND IMPLEMENTING THE SAME
二、發明人	姓名 (中文)	1. 葉海·高金斯 2. 大衛·魏
	姓名 (英文)	1. Gotkis, Yehiel 2. Wei, David
	國籍	1. 以色列 2. 中國
	住、居所	1. 美國加州94536佛雷蒙桃樹巷37789號(37789 Peachtree Court, Fremont, CA 94536, U. S. A.) 2. 美國加州94539佛雷蒙傑克遜巷1959號(1959 Jackson Court, Fremont, CA 94539, U. S. A.)
三、申請人	姓名 (名稱) (中文)	1. 蘭姆研究公司
	姓名 (名稱) (英文)	1. Lam Research Corporation
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州94538佛雷蒙可訊公園道4650號(4650 Cushing Parkway, Fremont, CA 94538, U. S. A.)
	代表人 姓名 (中文)	1. 傑弗瑞·J·布魯克斯
	代表人 姓名 (英文)	1. Jeffrey J. Brooks



申請日期：

案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、
發明名稱

中 文

英 文

二、
發明人姓 名
(中文)

3. 羅德尼·奇士特勒

姓 名
(英文)

3. Kistler, Rodney

國 籍

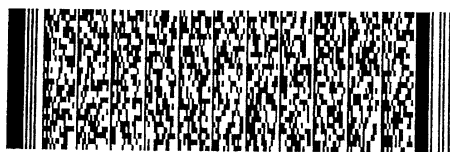
3. 美國

住、居所

3. 美國加州95032洛斯加特斯森林丘道149號(149 Forest Hill Drive, Los Gatos, CA 95032, U.S.A.)

三、
申請人姓 名
(名稱)
(中文)姓 名
(名稱)
(英文)

國 籍

住、居所
(事務所)代表人
姓 名
(中文)代表人
姓 名
(英文)

本案已向

國(地區)申請專利

美國 US

申請日期

2001/03/28 09/821,415

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

【發明背景】

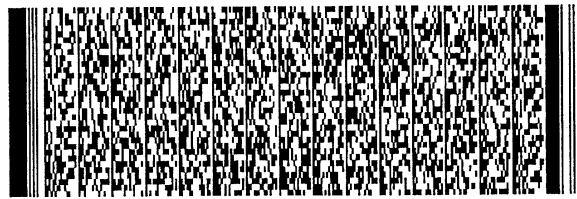
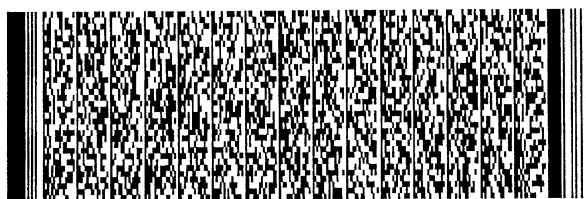
1. 發明領域

本發明一般係關於一種半導體裝置製造技術與用以改良半導體裝置性能之技巧。精確言之，本發明係關於利用犧牲材料以增強半導體裝置之性能。

2. 相關技藝之說明

眾所週知，半導體工業朝向利用具有更小特徵的裝置實現具有更高密度之更大基板。為達成此任務，數百萬電晶體經由交互連接金屬化線、絕緣介電層、以及導電通孔構造之多層而連接且製造於一晶圓基板上。起初，金屬化線與通孔主要由鋁所形成，因其相對便宜、容易蝕刻、且具有相對低阻值，同時絕緣體主要由二氧化矽所形成。然而，隨著晶片上系統(system-on-chip)的演進，由於裝置特徵、通孔與接觸孔、以及金屬化線間之距離之尺寸減少，更加需要經由改變半導體製造所用的材料改良半導體裝置之性能。到目前為止，此已經成為一個雙重任務。

首先，利用銅交互連接線、通孔、以及接觸孔，而非鋁。把鋁用銅來取代是有利的，因為後者比前者具有更低的阻值以及更好的導電性與電致遷移特性。然而，以銅替代鋁存有問題，因為其要求金屬交互連接形成中之基本改變。具體言之，雖然鋁交互連接係藉由蝕刻掉覆蓋於基板之表面上的薄鋁膜之未受保護部份而形成，但銅交互連接係經由沉積銅至蝕刻入介電層內的通孔與渠溝中而形成。

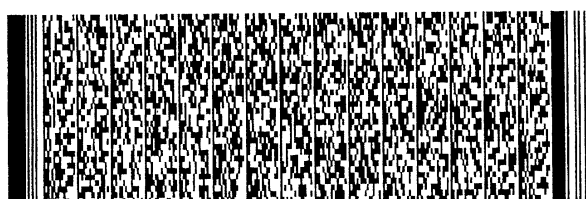


五、發明說明 (2)

結果，在具有銅交互連接的半導體裝置中，必須在基板表面上進行平坦化操作以從介電質之非渠溝、通孔、或接觸插塞面積移除過多的銅。

第二，使用具有低介電率的介電材料或者所謂的低K介電材料作為絕緣體，以替代二氧化矽。低K介電材料較好係因為第一，由於兩條相鄰的金屬化線間之耦合電容值直接正比於所用的絕緣介電材料之介電常數，故他們降低交互連接至交互連接電容值。第二，既然介電質之介電常數愈低，故交叉金屬化線信號干擾之可能性愈低，所以低K介電材料降低串音雜訊。舉例而言，雖然主要使用的介電質二氧化矽之介電常數約為4.0時，但空氣具有最低的介電常數1.0，且其他低K介電材料之範圍從大約1.5至大約3.5。因為已知空氣具有最低的介電常數，在半導體製造技術中存在有製造介電常數接近空氣的介電材料之趨勢。

到目前為止，此企圖以導致高度多孔性介電材料之製造。然而，此多孔性介電材料之低劣的機械強度以及半導體製造技術之目前狀態阻礙其運用於半導體製造製程中。尤其，低K介電材料之低劣的機械強度在進行於銅金屬化線上的化學機械平坦化(CMP)操作期間中會有問題。眾所周知，在CMP操作中，以力使基板表面施加於一移動的拋光墊上，因此從整個基板表面移除過多的金屬。然而，進行CMP操作於具有多孔性低K介電材料的半導體裝置上係複雜的，因為基板表面施加於拋光墊上可能造成半導體構造



五、發明說明 (3)

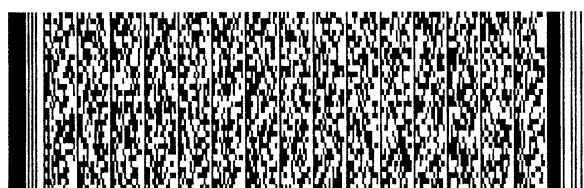
之區域坍塌或裂開，因此阻礙性能或需要拋棄所製造的半導體晶圓。可瞭解，當此等問題被引入半導體製造製程中時，除了晶圓投片率降低之外，良好晶片之產率會劇烈減少。

有鑒於前文所述，需要一種可使用習知的技術製造半導體構造，可在CMP操作中提供良好結構支持，同時仍製造出具有低電容性延遲的裝置，例如那些利用低K介電材料者。

【發明概述】

廣泛言之，本發明藉由使用可抵抗在化學機械平坦法中常見的機械應力與壓力之標準介電材料製造半導體構造而滿足此等需要。在一較佳實施例中，使用一犧牲材料製造半導體構造之銅交互連接中之每一層，隨後被蝕刻掉且由一具有低介電率(低K)的絕緣體所取代。在另一實施例中，複數個支持短截部形成於每一犧牲層內，因此當蝕刻掉犧牲材料時界定出連續支持柱。應瞭解本發明可以許多種方式實施，包括製程、設備、系統、裝置、或方法。下文將說明本發明之若干發明實施例。

在一實施例中，揭露一種半導體裝置。該半導體裝置包括一具有複數個電晶體裝置的基板以及複數條銅交互連接金屬化線與複數個導電通孔。該複數條銅交互連接金屬化線與該複數個導電通孔系界定於該半導體裝置之複數個交互連接階層中之每一階層中，使得該複數條銅交互連接



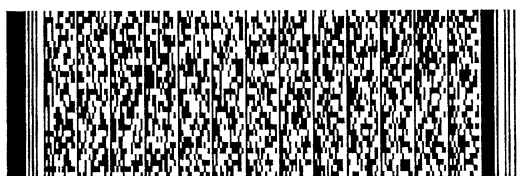
五、發明說明 (4)

金屬化線與該複數個導電通孔藉由一空氣介電質而相互隔絕。該半導體裝置更包括複數個支持短截部，其中每一個係建構為形成一延伸經過該半導體裝置之該複數個交互連接階層的支持柱。

在另一實施例中，揭露一種半導體裝置。該半導體裝置包括一具有複數個電晶體裝置的基板以及複數條銅交互連接金屬化線與複數個導電通孔。該複數條銅交互連接金屬化線與該複數個導電通孔系界定於該半導體裝置之複數個交互連接階層中之每一階層中，使得該複數條銅交互連接金屬化線與該複數個導電通孔藉由一多孔性介電材料而相互隔絕。該半導體裝置更包括複數個支持短截部，其中每一個係建構為形成一延伸經過該半導體裝置之該複數個交互連接階層的支持柱。

在又另一實施例中，揭露一種半導體裝置之製造方法。該方法開始於形成複數個電晶體結構於一基板上。隨後，經由沉積一犧牲層、進行一雙重鑲嵌製程以蝕刻複數個渠溝與複數個通孔、以及填滿且平坦化該複數個渠溝與該複數個通孔，使得複數個交互連接金屬化結構形成於複數個階層中。隨後，對於該複數個交互連接金屬化結構之該複數個階層從頭到尾蝕刻掉該犧牲層，因此留下一空隙的交互連接金屬化結構。然後藉著低K介電材料填滿該空隙的交互連接金屬化結構，因此界定一低K介電質交互連接金屬化結構。

在又另一實施例中，揭露一種半導體裝置之製造方



五、發明說明 (5)

法。該方法開始於形成複數個電晶體結構於一基板上，隨後形成複數個交互連接金屬化結構於複數個階層中。該複數個交互連接金屬化結構係經由沉積一犧牲層、進行一雙重鑲嵌製程以蝕刻複數個渠溝、複數個通孔、與複數個短截部、以及填滿且平坦化該複數個渠溝、該複數個通孔、與該複數個短截部而形成。繼而，對於該複數個交互連接金屬化結構之該複數個階層從頭到尾蝕刻掉該犧牲層，留下一空隙的交互連接金屬化結構與複數個支持短截部。

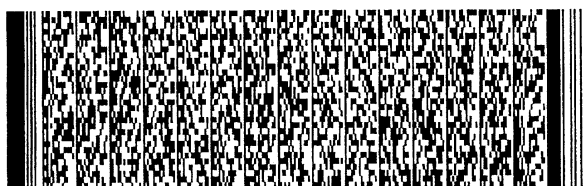
本發明之優點有許多。最顯著地莫過於：即使本發明之半導體構造最終利用空氣或低K介電材料作為介電質，但本發明之半導體構造禁得起在CMP與其他操作中所發生的結構應力與壓力。以此方式，雖然金屬間介電質電容值最小化且製造出更快的積體電路裝置，但在半導體製造製程中關聯於利用空氣或低K介電材料之缺點實質上皆被消除。

本發明之其他態樣與優點將因下文中參照圖示之詳細說明而更加明顯。

【較佳實施例之詳細說明】

藉由下文附有圖示之詳細說明將瞭解本發明，其中相似的參考編號指示著相似的構造元件。

茲將說明用以製造藉由使金屬間介電質電容值最小化使半導體性能最佳化的半導體構造之實施例。在一較佳實施例中，使用犧牲材料於每一層銅交互連接之製造中，然

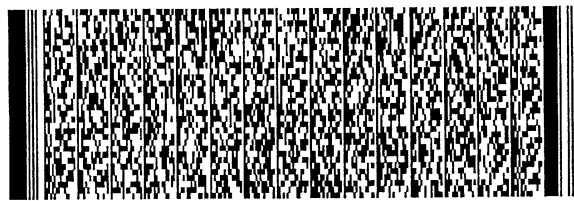
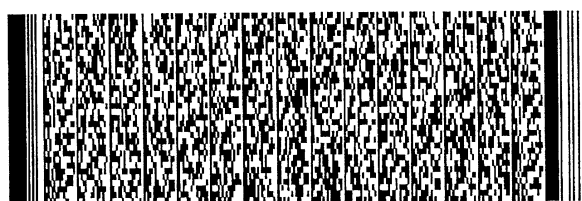


五、發明說明 (6)

後蝕刻掉且由具有低介電常數的絕緣體來取代。在另一實施例中，複數個短截部形成於犧牲層中，因此當蝕刻掉犧牲層時創造出幾乎連續支持柱。在較佳實施例中，短截部之實質上連續支持柱係建構成從鈍化層延伸至鈍化蓋覆層，因此形成具有降低的電容相關延遲之高結構整全性的半導體構造。在一較佳實施例中，複數個短截部係由銅所構成。在另一實施例中，犧牲層係介電質且低K介電材料係多孔性介電材料。

在下文說明中，提出許多具體細節以透徹瞭解本發明。然而，熟習此項技藝之人士瞭解本發明之實施得不須具備此等具體細節之部份或全部。換言之，為了不模糊本發明將不詳細說明眾所週知的製程操作。

圖1A係依據本發明一實施例之半導體構造100之剖面圖，具有形成於具有複數個電晶體的基板102上方之一層間介電質(ILD)。如圖所示，每一製成的電晶體包括形成於基板102內的複數個源極/汲極擴散區域103。每一電晶體更包括一導體多晶矽閘極120，藉由一介電閘極氧化物118而分離於基板102。在一實施例中，已知為P型或N型區域的源極/汲極區域103，得經由利用雜質例如硼或磷之摻雜製程而形成。如圖所示，源極/汲極區域103係由亦形成於基板102內的複數個淺渠溝隔絕區域104所分離。如所設計般，淺渠溝隔絕區域104係由非導電材料(例如二氧化矽、氮化矽等等)所形成。沿著閘極氧化物118與多晶矽閘極120之每一側壁形成複數個介電質間隙壁122。



五、發明說明 (7)

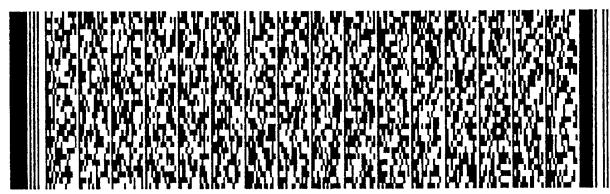
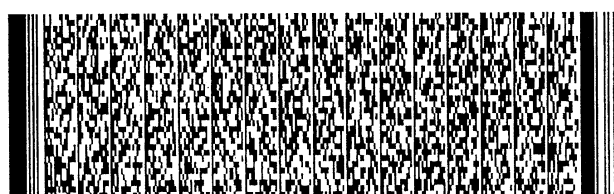
更顯示著層間介電質(ILD)106形成於基板102上。在較佳實施例中，ILD 106係由氧化矽所構成。然而，熟悉此項技藝之人士瞭解ILD 106得由任何其他合適的介電材料所構成，只要該材料實質上堅固耐用且提供充分的絕緣。層間介電層正常簡稱為ILD 1、ILD 2等等。用於第一裝置後介電層之金屬間介電質(IMD)或金屬前介電質(PMD)也時常用來說明積體電路建築架構。

複數個接觸孔108界定於ILD 106內，由一導電材料所填滿(亦即，形成一插塞)，因此允許金屬化線與電晶體(亦即，主動元件)間之實質上直接電性接取。在一實施例中，接觸插塞係藉由沉積一層鎢然後平坦化ILD 106之頂表面上過多的鎢而形成。

雖然在此實施例中接觸孔108填滿鎢，但熟悉此項技藝之人士應瞭解接觸孔108得填入任何導電材料，只要提供金屬交互連接與主動元件間之直接層至層電性接取之功能可以達成。此外，雖然在此例子中使用CMP操作移除過多的材料，熟悉此項技藝之人士瞭解得進行任何其他平坦化或材料移除操作。

跟隨著平坦化操作之後，一鈍化層116形成於ILD 106上方，以保護主動元件在後續製造操作中避免腐蝕與化學反應。在一例子中，鈍化層116係由氮化矽(SiN)所形成。

圖1B係描繪依據本發明之一實施例，圖1A之半導體構造100更包括具有複數條製成的金屬化線115、通孔112、以及短截孔124a之第一犧牲層110a。如圖所示，在一實施

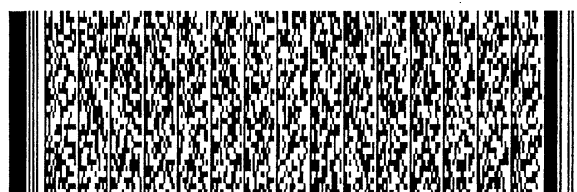


五、發明說明 (8)

例中，得經由化學蒸氣沉積(CVD)方法形成疊置於鈍化層116上方的第一犧牲層110a。第一犧牲層110a最好係使用任何適當的沉積製程所沉積的二氧化矽(SiO_2)。在一實施例中，二氧化矽得使用任何合適的沉積方法藉由分解 tetraethylorthosilicate "TEOS" $\text{Si}(\text{OC}_2\text{H}_5)_4$ 反應物所沉積。合適的沉積方法得包括化學蒸氣沉積(CVD)、低壓力化學蒸氣沉積(LPCVD)、大氣壓力化學蒸氣沉積(APCVD)、次大氣壓力化學蒸氣沉積(SACVD)、電漿增強化學蒸氣沉積(PECVD)等等。雖然在此實施例中犧牲層係由二氧化矽所形成，但在不同例子中，犧牲層110a得由任何對銅無活性且在製造製程中機械性堅固的材料所形成。

跟隨著第一犧牲層110a之形成後，進行銅雙重鑲嵌製程以形成層間金屬化線與導電通孔於第一犧牲層110a內。在一實施例中，首先，複數個通孔112形成。此任務得藉由重疊第一犧牲層110a與光阻罩，且隨後蝕刻並移除第一犧牲層110a中之未被保護的部分向下至鈍化層116之表面以及接觸孔108而達成。

在較佳實施例中，除了通孔112之外，進行幾乎相同於通孔112之製程而形成複數個短截孔124a於第一犧牲層110a內。亦即，複數個短截部狀圖案遮於第一犧牲層110a之表面上方，隨後被蝕刻且向下移除至鈍化層116之表面。接著，實行相同技巧，複數條渠溝114形成於第一犧牲層110a內，使得複數個渠溝114中之每一個實質上對準於一受遮通孔112。



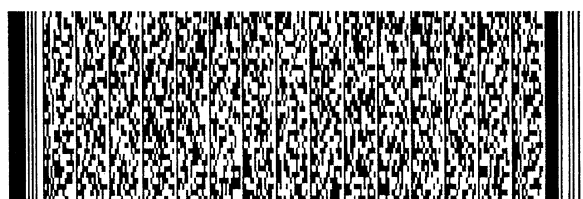
五、發明說明 (9)

此時，一層金屬沉積於第一犧牲層110a之表面上以及渠溝114、通孔112、與短截孔124a內。在一實施例中，渠溝114經由濺鍍與電鍍製程而填滿銅，因此界定複數條金屬化線115與導電通孔。在一實施例中，於金屬沉積之前，得沉積一阻障層(未圖示)於第一犧牲層110a之表面上方以及複數個通孔112與渠溝114內。舉例而言，得用以形成阻障層之金屬典型上包括鈹材料或氮化鈹材料，或兩者之組合。隨後，一銅種層(亦未圖示)得沉積於阻障層上以作為複數個通孔112與渠溝114內之內壁與表面之襯裏。種層之構成係用以在後續的銅電沉積製程中建立良好的電性接觸。

如所製造般，複數個短截部125a之每一個之功能係用以支持半導體構造100之多層結構。因此，相反於用以提供不同交互連接層間之電性連接的複數個導電通孔113，短截部125a之功能在於提供一種具有高結構整全性的半導體構造。據此，應瞭解半導體裝置得具有用以達成最佳結構支持排列之任何數目的短截部125分布。再者，雖然在此實施例中短截孔124a填入銅，但在不同例子中，短截孔124a得填入任何非犧牲材料或金屬，只要所用材料足夠堅固能支持後續形成的鈍化蓋覆層118。

隨著金屬化線115、導電通孔113、以及短截部125a形成之後，進行CMP操作於重疊在第一犧牲層110a之表面的銅層上，以從犧牲層110a之表面移除過多的銅。

茲參照圖1C，其描繪依據本發明之一實施例圖1B之半

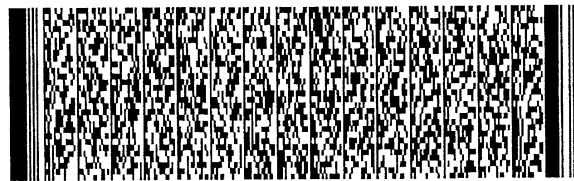
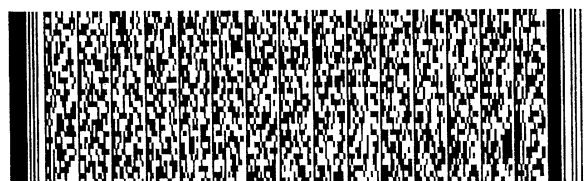


五、發明說明 (10)

導體構造100，具有複數個製成的犧牲層110b-110g，每一層包括複數個短截部125b-125g。在實施例中，第二、第三、第四、第五、第六、以及第七犧牲層110b-110g與其各自的渠溝114、金屬化線115、通孔112、導電通孔113、短截孔124b-124g、以及短截部125b-125g中之每一個皆以相同於第一犧牲層110a與其各自的渠溝114、金屬化線115、通孔112、導電通孔113、短截孔124a、以及短截部125a之方式和材料所形成。

如圖所示，複數個短截部125b-125g分別形成於第一至第七犧牲層110b-110g內，使得複數個短截部125b-125g中之每一個對準於複數個短截部125a中之每一個。亦即，複數個短截部125g中之每一個與其各自對準的短截部群一起形成於每一犧牲層110a-110f內，界定一實質上連續支持柱，每一個從鈍化層116之表面延伸至第七犧牲層110g之表面。以此方式，短截部125a-125g對一後續形成的鈍化蓋覆層118提供適當的支持。

圖1D係依據本發明之一實施例蝕刻後多層半導體構造100'之剖面圖，具有空氣作為介電材料。如圖所示，圖1C所描繪的半導體100之犧牲層110a-110g已被蝕刻。舉例而言，犧牲層110a-110g得經由濕蝕刻製程而移除，其中氫氟酸(HF)與去離子水之混合物(亦即，稀釋的HF(DHF))施加於犧牲層110a-110g，因此移除圍繞導電通孔113、金屬化線115、以及短截部125a-125g的犧牲材料。在一實施例中，犧牲材料之移除得藉由首先將半導體構造100浸入於

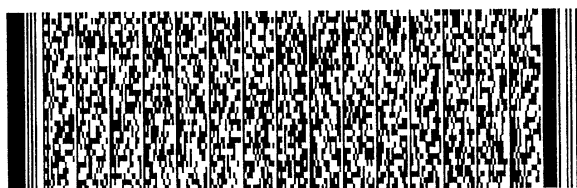
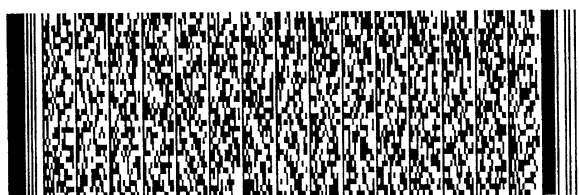


五、發明說明 (11)

含有氫氟酸與去離子水之混合物的槽中一特定時間。隨後，氫氟酸與去離子水之混合物藉由漂洗半導體構造100，接著進行自旋漂洗操作而移除。在另一實施例中，浸入蝕刻可能藉由利用加熱器與攪動裝置(例如，攪拌器、超音波等等)而增強。在另一實施例中，並非浸入半導體構造100，而是經由噴灑氫氟酸與去離子水之混合物至半導體構造100上進行蝕刻操作，因此創造出一空隙的交互連接金屬化結構。然而，在另一實施例中，得使用氧化物電漿蝕刻方法蝕刻掉犧牲材料。

在氫氟酸與去離子水之混合物中氫氟酸之濃度以介於大約0.1%至5.0%間較佳。然而，熟悉此項技藝之人士瞭解氫氟酸與去離子水之混合物中氫氟酸之濃度得為任何適當的濃度，只要混合物具有在不影響金屬化線下可移除犧牲層之能力。再者，雖然已使用氫氟酸與去離子水之混合物進行蝕刻操作，但必須瞭解仍得使用任何具有合適濃度之適當的蝕刻劑，只要蝕刻劑能移除犧牲材料。

必須注意短截部125a-125g、導電通孔113、以及金屬化線115不會被蝕刻操作所影響。亦即，短截部125a-125g、導電通孔113、以及金屬化線115係由實質上對於氫氟酸與去離子水之混合物無活性的材料所構成。再者，犧牲材料之移除不影響由鈍化層116所保護的主動元件之電性效能。此外，雖然在此實施例中已經使用空氣作為絕緣體，但在不同實施例中，得使用任何具有低K介電常數(例如氮氣等等)之氣體或任何惰性氣體(例如氖、氬



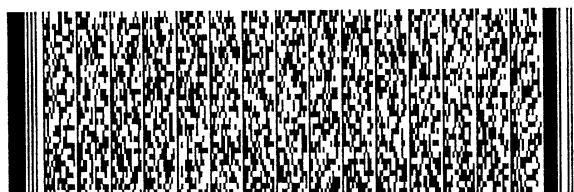
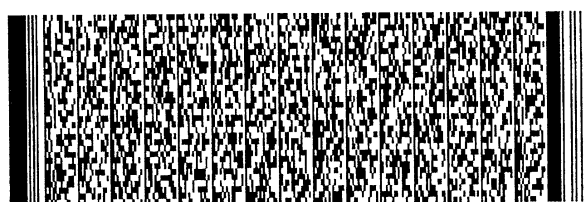
五、發明說明 (12)

等等)代替犧牲材料。

茲參照圖1E，顯示依據本發明之一實施例圖1D之蝕刻後空氣-介電質多層半導體構造100'，更包括鈍化蓋覆層118。如圖所示，在一例子中，鈍化蓋覆層118得包括複數個凹面116b₁與116b₂，實質上形成於由犧牲層110g之移除所創造出的空隙中。

如圖所示，鈍化蓋覆層118實質上歸結了半導體構造100'之製造且作為兩種目的之用。除了作用為密封鈍化層之外，因此防止半導體構造100'內之腐蝕與化學反應，鈍化蓋覆層118亦作用為半導體構造100'之蓋。如此，短截部125a-125g之複數個實質上連續柱對於鈍化蓋覆層118提供足夠的支持。以此方式，如所製成般，鈍化蓋覆層118、複數個短截部125a-125g、複數個金屬化線115、複數個導電通孔113、以及基板102創造出一具有高結構整全性與降低電容延遲的半導體構造。

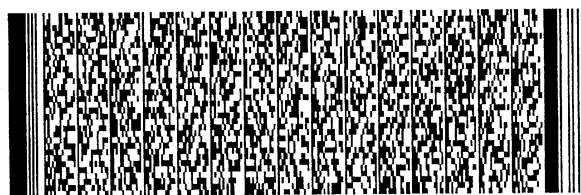
圖1F-1係依據本發明之一實施例圖1D之蝕刻後多層半導體構造100'之剖面圖，具有低K介電層。如圖所示，犧牲層110a-110g已經由低K介電材料111所形成的介電層110a'-110g'所替代。低K介電材料111係建構成一高度多孔性介電材料，以具有實質上接近空氣的介電常數較佳。如此，低K介電材料包括複數條空氣填滿的孔111'。在一實施例中，低K介電材料111得為從位於Los Gatos, California之Applied Signal Electronic Materials而來的Nanoglass™，其為具有直徑小至10毫微米的填滿空氣之



五、發明說明 (13)

孔的二氧化矽材料。在不同的實施例中，得利用任何多孔性低K介電材料(例如自旋聚合物、CVD沉積的有機矽酸玻璃(organosilicate glass, OSG)、自旋聚合物與CVD沉積的OSG一起、組合有氣相蒸發技巧的自旋聚合物、組合有超臨界乾燥技巧的自旋聚合物、多孔性矽土氣凝膠、Dow Corning hydrogen silsesquioxan型多孔性XLK介電質、氫/氧氣氣體環境中矽蒸發/氧化沉積等等)。至於多孔性材料，有效介電常數之範圍介於空氣之介電常數(亦即1)與緻密材料Dow Corning XLK之介電常數(亦即2.2)間。因此，在較佳實施例中，多孔性低K介電材料之介電常數之範圍從大約1至大約4。

在一實施例中，蝕刻後半導體構造100' 經由自旋製程或CVD製程而填滿低K介電材料111。最好藉著壓力將液體狀的低K介電材料111導引入蝕刻後半導體構造100'。以此方式，低K介電材料111穿過半導體構造100'之幾乎所有被蝕刻的區域，向下大約至第一介電層110a'。藉此，半導體構造100'之蝕刻後區域可填滿低K介電材料111，使得實質上所有存在的空隙由低K材料111所填滿。然而，熟悉此項技藝之人士瞭解依據所需要的半導體構造100''之機械強度與低K介電材料，低K介電材料111得導引入半導體構造100'中，使得在填充操作之後仍維持有若干空隙。舉例而言，在一態樣中，蝕刻後半導體構造100'之填充得使實質上位於上方的介電層由低K介電材料111所填滿同時下方的介電層維持幾乎空著。



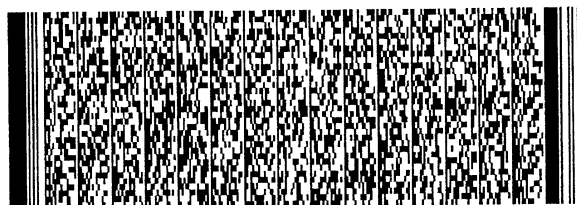
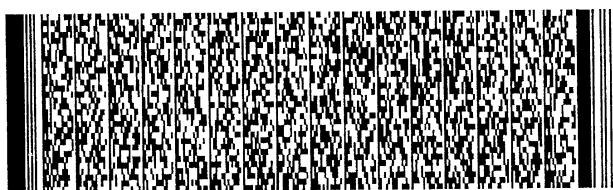
五、發明說明 (14)

隨著導引入低K介電材料111之後，如圖1F-2所示，依據本發明之一實施例，蝕刻後低K介電質半導體構造100''，由鈍化蓋覆層118'所覆蓋。如圖所示，鈍化蓋覆層118'之功用如同一密封鈍化層以及一蓋子。如圖所示，鈍化蓋覆層118'、第一至第七介電層110a'-110g'、以及基板102形成具有高結構整全性與低電容延遲之半導體構造100''。

雖然在此等實施例中犧牲層110a-110g已由二氧化矽所形成，但熟悉此項技藝之人士明白對於銅無活性且機械性堅固以致可在製造製程中實施的材料皆得用以形成犧牲層。應注意犧牲層之功用在於在多層交互連接結構之製造中提供良好的機械支持。此機械支持係必須的以使交互連接結構可抵抗在CMP與其他操作中發生的結構應力與壓力。

茲參照圖2，其描繪依據本發明之一實施例製程操作之流程圖200，用以製造具有複數條銅金屬化線與支持短截部之空氣介電質半導體構造。本方法開始於操作202，其中提供一具有主動區域的基板。接著，在操作204中，形成淺渠溝隔絕區域於基板中，隨後在操作206中，形成電晶體結構於主動區域中。

一旦界定出電晶體，本方法繼續至操作208，其中形成ILD於基板表面上方。隨後，在操作210中，用以提供金屬化線與電晶體間之直接接取的鎢接觸插塞經由ILD而形成。鎢接觸插塞之形成需要沉積鎢至ILD之表面上以及通孔內，以形成鎢插塞。據此，在後續的操作212中，重疊



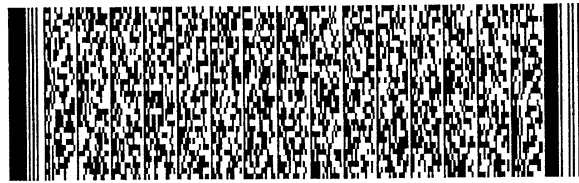
五、發明說明 (15)

於ILD表面的鎢被平坦化，因此移除過多的鎢。此操作之後跟隨著操作214，其中形成鈍化層於ILD上方以保護基板之主動成分免受污染。

此時，本方法繼續至操作216，其中形成犧牲層於先前所形成之層上方。隨後，在操作216中，形成通孔與渠溝於犧牲層中。最好經由通孔優先、渠溝優先或者掩埋通孔雙重鑲嵌製程所達成。隨著通孔與渠溝之形成後，在操作220中，經由犧牲層形成短截孔以支持多層半導體構造。以此方式，支持短截部形成於每一犧牲層中，因此對於後續形成的鈍化蓋覆層提供支持。在某些情形中，短截孔可於形成通孔之同時形成。

接續著通孔、渠溝、以及短截孔之形成，在操作222中，施加銅至犧牲層之表面上以及通孔、渠溝、與短截孔內，因此填滿渠溝、通孔、與短截孔。當銅沉積至通孔、渠溝、與短截孔內時，過多的銅存留於犧牲層之表面。據此，在操作224中，過多的銅被平坦化且清潔基板表面，因此移除存留於基板表面上的任何污染。過多的銅最好經由化學機械平坦法(CMP)操作而平坦化。重要的是注意既然犧牲材料仍存在，故交互連接結構在CMP操作中非常穩定。

隨後，本方法繼續至操作226，其中確定是否需要形成任何額外的金屬化線。倘若確定需要額外的金屬化線，本方法返回至操作216，其中犧牲層形成於先前所形成之層上方。相對地，倘若無須形成額外的金屬化線，本方法



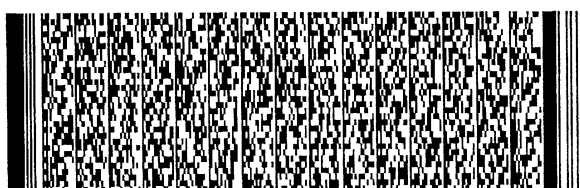
五、發明說明 (16)

繼續至操作228，其中蝕刻且移除未受鈍化層所保護的犧牲層。犧牲材料之移除係藉由施加HF與去離子水之混合物至多層半導體構造而達成。最後，本方法繼續至操作230，其中形成鈍化蓋覆層於最末的銅金屬化層上方且歸結本製造製程。

本發明之另一實施例可從圖3之流程圖300來瞭解，其描繪依據本發明之一實施例用以製造具有銅金屬化線的多孔性低K介電質半導體構造之製程操作之流程圖300。本方法開始於操作302，其中提供一具有主動區域的基板。接著，在操作304中，形成淺渠溝隔絕區域至基板中，隨後在操作306中，形成電晶體結構於主動區域中。在電晶體結構形成之後，於操作308中，形成ILD於基板表面上方，隨後於操作310中，經由ILD形成鎢接觸插塞。隨後，重疊於ILD之表面之過多的鎢被平坦化。接著於操作314中，形成鈍化層於ILD上方，以保護基板之主動元件。

在鈍化層形成之後，於操作316中，形成犧牲層於先前所形成之層上方，隨後在操作318中，經由犧牲層形成通孔與渠溝。隨後，在操作320中，施加銅至犧牲層之表面上，因此填滿渠溝與通孔。在操作322中，平坦化與清潔操作接續實施，以從基板表面上移除過多的銅與污染。

進行至操作324，確定是否需要形成任何額外的金屬化線。倘若確定需要額外的金屬化線，則本方法繼續至操作316。否則，本方法繼續至操作326，其中蝕刻且移除未受鈍化層保護的犧牲層。犧牲層之移除係藉由施加HF與去



五、發明說明 (17)

離子水之混合物或任何合適於溶解犧牲層的化學物質至多層半導體構造。隨後，在操作328中，由多孔性低K介電材料來替代犧牲層。最後，在操作330中，鈍化蓋覆層形成於最末的銅金屬化層上方，因此歸結本製造製程。

再次，應注意既然緻密的犧牲材料仍然存在，故在每一CMP操作中交互連接結構機械性皆穩定。一旦無須更多的CMP操作，則移除犧牲材料。一旦移除，則交互連接結構可由低K介電材料填滿或留下作為空氣介電質。低K介電質或空氣將因而提供更快的積體電路裝置。

雖然前述發明已因清楚瞭解之目的而詳細說明，但顯然得在申請專利範圍內實行特定的變換與修改。舉例而言，此處所述的實施例主要指向具有銅金屬化線的半導體構造之製造；然而，應瞭解本發明之製造製程相當合適於製造具有任何類型金屬化線的半導體構造（例如鋁、鎢、以及其他金屬或合金）。據此，本實施例為闡釋性而非限制性，且本發明不限於此處所給定的細節，而得在申請專利範圍之範圍與均等物內加以修改。



圖式簡單說明

圖1A係依據本發明之一實施例，具有形成於具有複數條主動裝置之基板上方之層間介電質(ILD)的半導體構造之簡化的、部份的、爆炸的剖面圖。

圖1B係依據本發明之另一實施例，圖1A之半導體構造更包括具有複數個製成的金屬化線、通孔、以及短截部之第一犧牲層之簡化的、部份的、爆炸的剖面圖。

圖1C係依據本發明之又另一實施例，圖1B之半導體構造具有複數個製成的犧牲層，其中每一層包括複數個短截部之簡化的、部份的、爆炸的剖面圖。

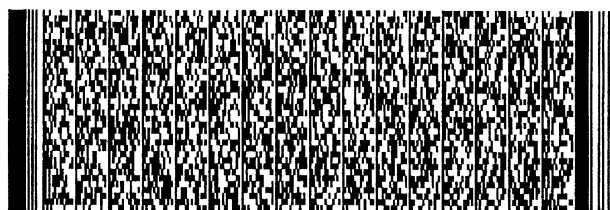
圖1D係依據本發明之再另一實施例，具有空氣作為介電材料的蝕刻後多層半導體構造之簡化的、部份的、爆炸的剖面圖。

圖1E係依據本發明之一態樣，圖1D之蝕刻後空氣介電質多層半導體構造更包括一鈍化蓋覆層之簡化的、部份的、爆炸的剖面圖。

圖1F-1係依據本發明之另一態樣，圖1D之蝕刻後多層半導體構造已被多孔性低K介電材料填滿之簡化的、部份的、爆炸的剖面圖。

圖1F-2係依據本發明之又另一實施例，圖1F之蝕刻後低K介電質填滿的半導體構造由一鈍化蓋覆層所覆蓋之簡化的、部份的、爆炸的剖面圖。

圖2係依據本發明之另一態樣，用以製造具有複數條銅金屬化線與支持短截部之空氣介電質半導體構造之製程操作之流程圖。

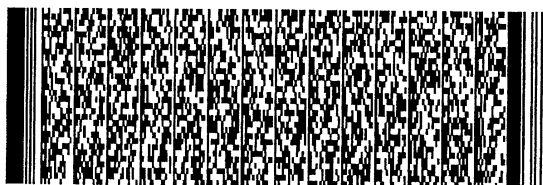


圖式簡單說明

圖3係依據本發明之又另一實施例，用以製造具有複數條銅金屬化線之多孔性低K介電質半導體構造之上位流程方法操作程序。

【符號說明】

- 100 半導體構造
- 102 基板
- 103 源極/汲極擴散區域
- 104 淺渠溝隔絕區域
- 106 層間介電質(ILD)
- 108 接觸孔
- 110a 第一犧牲層
- 110b 第二犧牲層
- 110c 第三犧牲層
- 110d 第四犧牲層
- 110e 第五犧牲層
- 110f 第六犧牲層
- 110g 第七犧牲層
- 111 低K介電材料
- 112 通孔
- 113 導電通孔
- 114 渠溝
- 115 金屬化線
- 116 鈍化層



圖式簡單說明

- 116b₁ 凹面
116b₂ 凹面
118 鈍化蓋覆層
120 多晶矽閘極
122 介電質間隙壁
124a 短截孔
124b 短截孔
124c 短截孔
124d 短截孔
124e 短截孔
124f 短截孔
124g 短截孔
125 短截部
125a 短截部
125b 短截部
125c 短截部
125d 短截部
125e 短截部
125f 短截部
125g 短截部

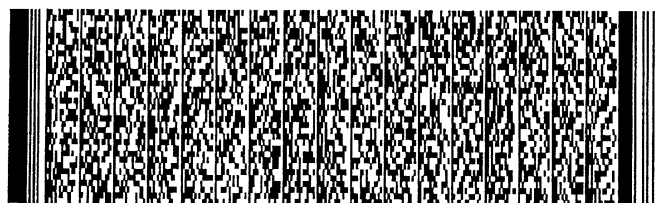


四、中文發明摘要 (發明之名稱：利用犧牲材料之半導體構造及其製造方法)

本發明提供一種半導體裝置。該半導體裝置包括一具有複數個電晶體裝置的基板以及複數條銅交互連接金屬化線與複數個導電通孔。該複數條銅交互連接金屬化線與該複數個導電通孔系界定於該半導體裝置之複數個交互連接階層中之每一階層中，使得該複數條銅交互連接金屬化線與該複數個導電通孔藉由一空氣介電質而相互隔絕。該半導體裝置更包括複數個支持短截部，其中每一個係建構為形成一延伸經過該半導體裝置之該複數個交互連接階層的支持柱。

英文發明摘要 (發明之名稱：SEMICONDUCTOR STRUCTURE IMPLEMENTING SACRIFICIAL MATERIAL AND METHODS FOR MAKING AND IMPLEMENTING THE SAME)

A semiconductor device is provided. The semiconductor device includes a substrate having transistor devices and a plurality of copper interconnect metallization lines and conductive vias. The plurality of copper interconnect metallization lines and conductive vias are defined in each of a plurality of interconnect levels of the semiconductor device such that the plurality of copper interconnect metallization lines and conductive vias are isolated from each



四、中文發明摘要 (發明之名稱：利用犧牲材料之半導體構造及其製造方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR STRUCTURE IMPLEMENTING SACRIFICIAL MATERIAL AND METHODS FOR MAKING AND IMPLEMENTING THE SAME)

other by an air dielectric. The semiconductor device further includes a plurality of supporting stubs each of which is configured to form a supporting column that extends through the plurality of interconnect levels of the semiconductor device.



六、申請專利範圍

1. 一種半導體裝置，包含：

一基板，具有複數個電晶體裝置；

複數條銅交互連接金屬化線與複數個導電通孔，界定於該半導體裝置之複數個交互連接階層中之每一階層中，該複數條銅交互連接金屬化線與該複數個導電通孔係藉由一空氣介電質而相互隔絕；以及

複數個支持短截部，該複數個支持短截部中之每一個係建構為形成一延伸經過該半導體裝置之該複數個交互連接階層的支持柱。

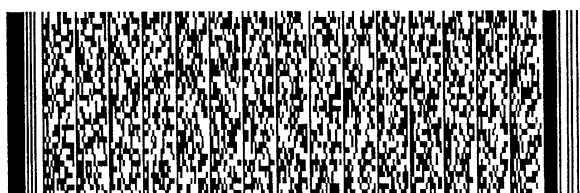
2. 如申請專利範圍第1項之半導體裝置，其中該複數條銅交互連接金屬化線與該複數個導電通孔界定複數個雙重鑲嵌構造。

3. 如申請專利範圍第1項之半導體裝置，其中該複數個支持短截部並未電性交互連接至該複數條銅交互連接金屬化線與該複數個導電通孔。

4. 如申請專利範圍第1項之半導體裝置，更包含：

一鈍化層，界定於該複數條銅交互連接金屬化線與該複數個導電通孔之最頂層上方。

5. 如申請專利範圍第4項之半導體裝置，其中該複數個支持短截部更支持該鈍化層。



六、申請專利範圍

6. 一種半導體裝置，包含：

一基板，具有複數個電晶體裝置；

複數條銅交互連接金屬化線與複數個導電通孔，界定於該半導體裝置之複數個交互連接階層中之每一階層中，該複數條銅交互連接金屬化線與該複數個導電通孔係藉由一多孔性介電材料而相互隔絕；以及

複數個支持短截部，該複數個支持短截部中之每一個係建構為形成一延伸經過該半導體裝置之該複數個交互連接階層的支持柱。

7. 如申請專利範圍第6項之半導體裝置，其中該複數個支持短截部並未電性交互連接至該複數條銅交互連接金屬化線與該複數個導電通孔。

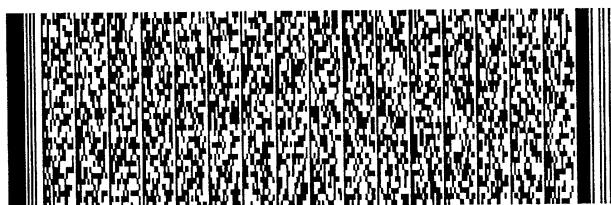
8. 如申請專利範圍第6項之半導體裝置，更包含：

一鈍化層，界定於該複數條銅交互連接金屬化線與該複數個導電通孔之最頂層上方。

9. 一種半導體裝置之製造方法，包含：

形成複數個電晶體結構於一基板上；

形成複數個交互連接金屬化結構於複數個階層中，該複數個交互連接金屬化結構之形成包括：沉積一犧牲層；進行一雙重鑲嵌製程以蝕刻複數個渠溝與複數個通孔，以



六、申請專利範圍

及填滿且平坦化該複數個渠溝與該複數個通孔，

對於該複數個交互連接金屬化結構之該複數個階層從頭到尾蝕刻掉該犧牲層，該蝕刻留下一空隙的交互連接金屬化結構；以及

藉著低K介電材料填滿該空隙的交互連接金屬化結構，該填滿用以界定一低K介電質交互連接金屬化結構。

10. 如申請專利範圍第9項之半導體裝置之製造方法，更包含：

形成一鈍化層於該被填滿之該空隙的交互連接金屬化結構上方。

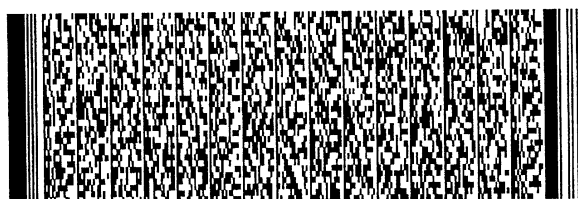
11. 如申請專利範圍第9項之半導體裝置之製造方法，其中該犧牲層係一介電質。

12. 如申請專利範圍第11項之半導體裝置之製造方法，其中該介電質係二氧化矽(SiO_2)。

13. 如申請專利範圍第9項之半導體裝置之製造方法，其中該蝕刻包括：

使該犧牲層遭受一濕蝕刻劑。

14. 如申請專利範圍第13項之半導體裝置之製造方法，其中該濕蝕刻劑係氫氟酸(HF)與去離子水(DI水)之一混合



六、申請專利範圍

物。

15. 一種半導體裝置之製造方法，包含：

形成複數個電晶體結構於一基板上；

形成複數個交互連接金屬化結構於複數個階層中，該複數個交互連接金屬化結構之形成包括：沉積一犧牲層；進行一雙重鑲嵌製程以蝕刻複數個渠溝、複數個通孔、與複數個短截部；及填滿且平坦化該複數個渠溝、該複數個通孔、與該複數個短截部；和

對於該複數個交互連接金屬化結構之該複數個階層從頭到尾蝕刻掉該犧牲層，該蝕刻留下一空隙的交互連接金屬化結構與複數個支持短截部。

16. 如申請專利範圍第15項之半導體裝置之製造方法，更包含：

形成一鈍化層於該空隙的交互連接金屬化結構與該複數個支持短截部上方。

17. 如申請專利範圍第16項之半導體裝置之製造方法，其中該空隙的交互連接金屬化結構具有空氣、氮氣、氟氣、以及氫氣中之一氣體作為一介電質。

18. 如申請專利範圍第15項之半導體裝置之製造方法，其中該蝕刻包括：



六、申請專利範圍

使該犧牲層遭受一濕蝕刻劑。

19. 如申請專利範圍第18項之半導體裝置之製造方法，其中該濕蝕刻劑係至少為氫氟酸(HF)與去離子水(DI水)之一混合物。

20. 如申請專利範圍第15項之半導體裝置之製造方法，其中該複數個支持短截部中之每一個係建構為形成一延伸經過該空隙的交互連接金屬化結構之該複數個階層的支持柱。



圖式

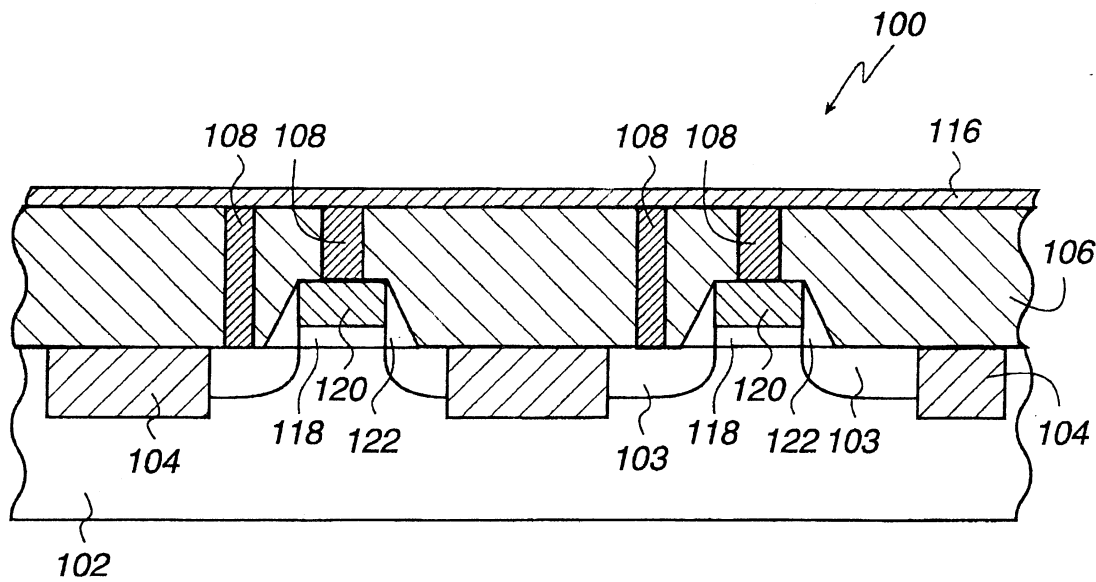


圖 1A

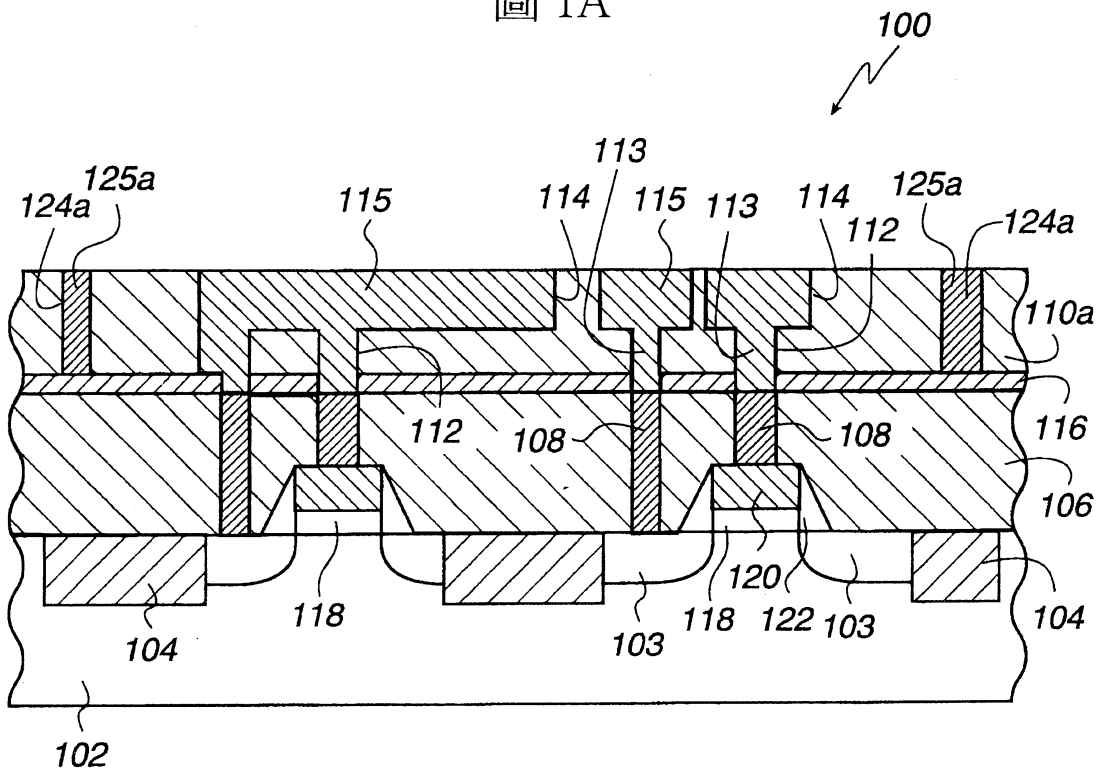


圖 1B

圖式

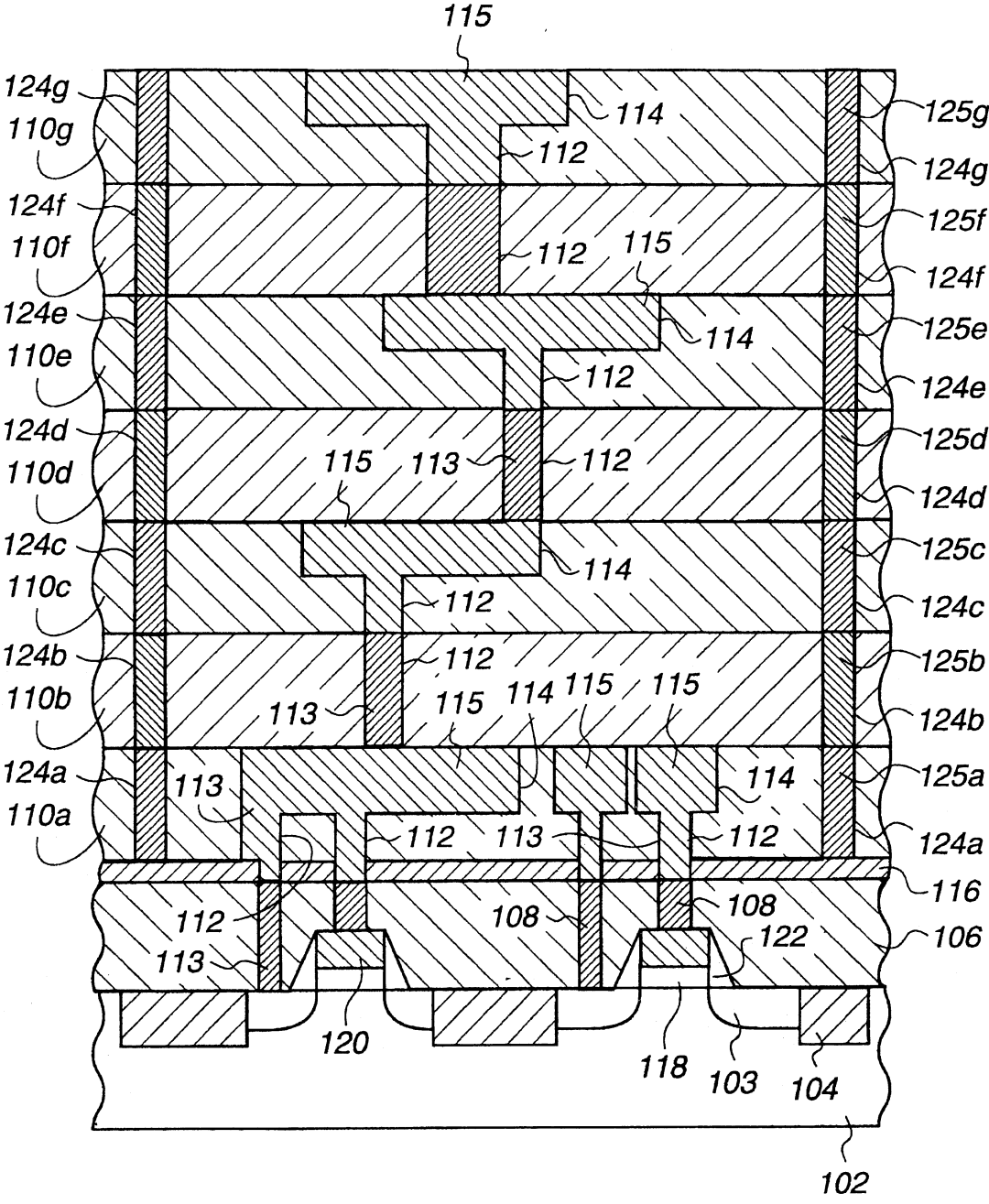


圖 1C

圖式

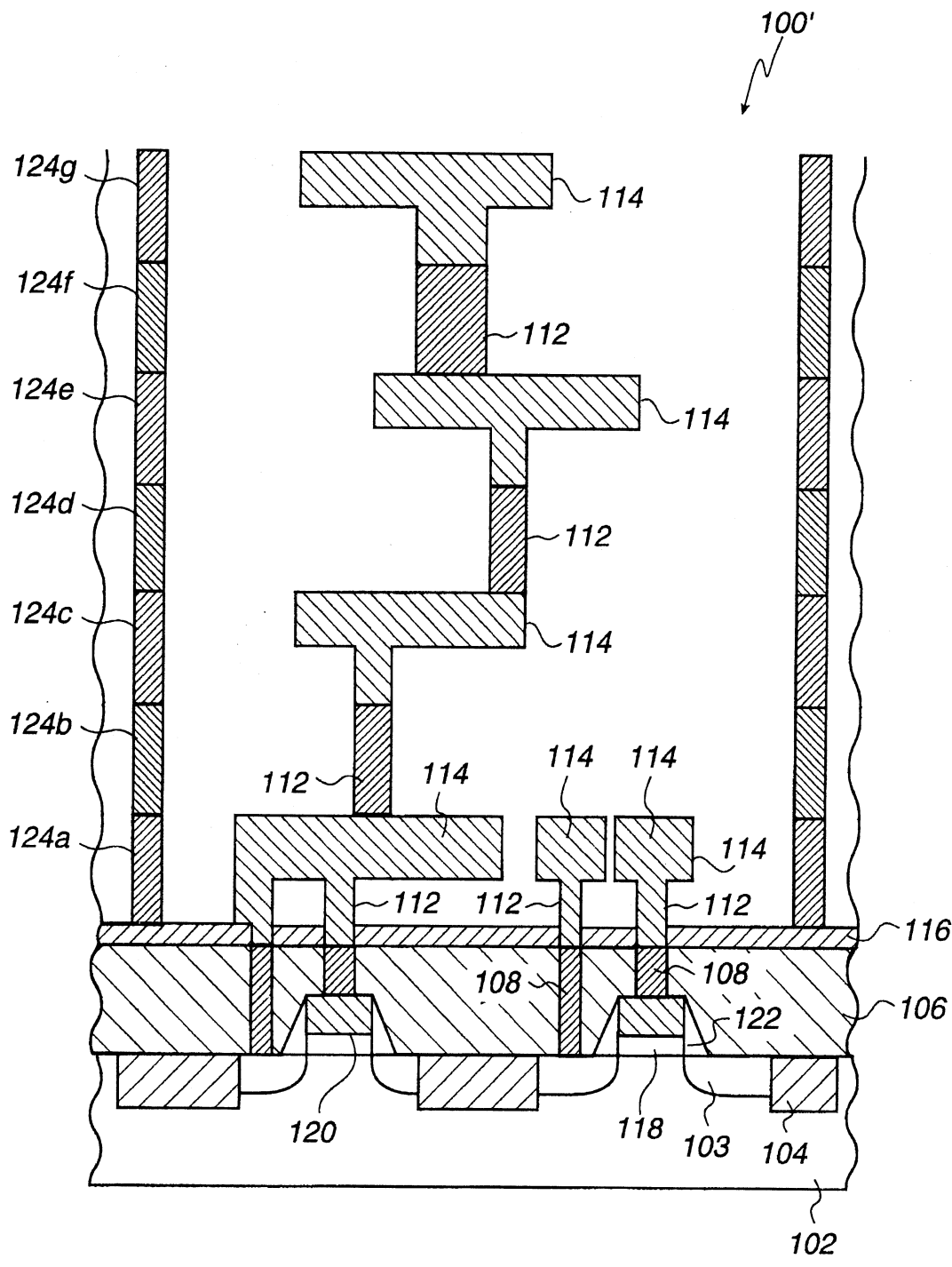


圖 1D

圖式

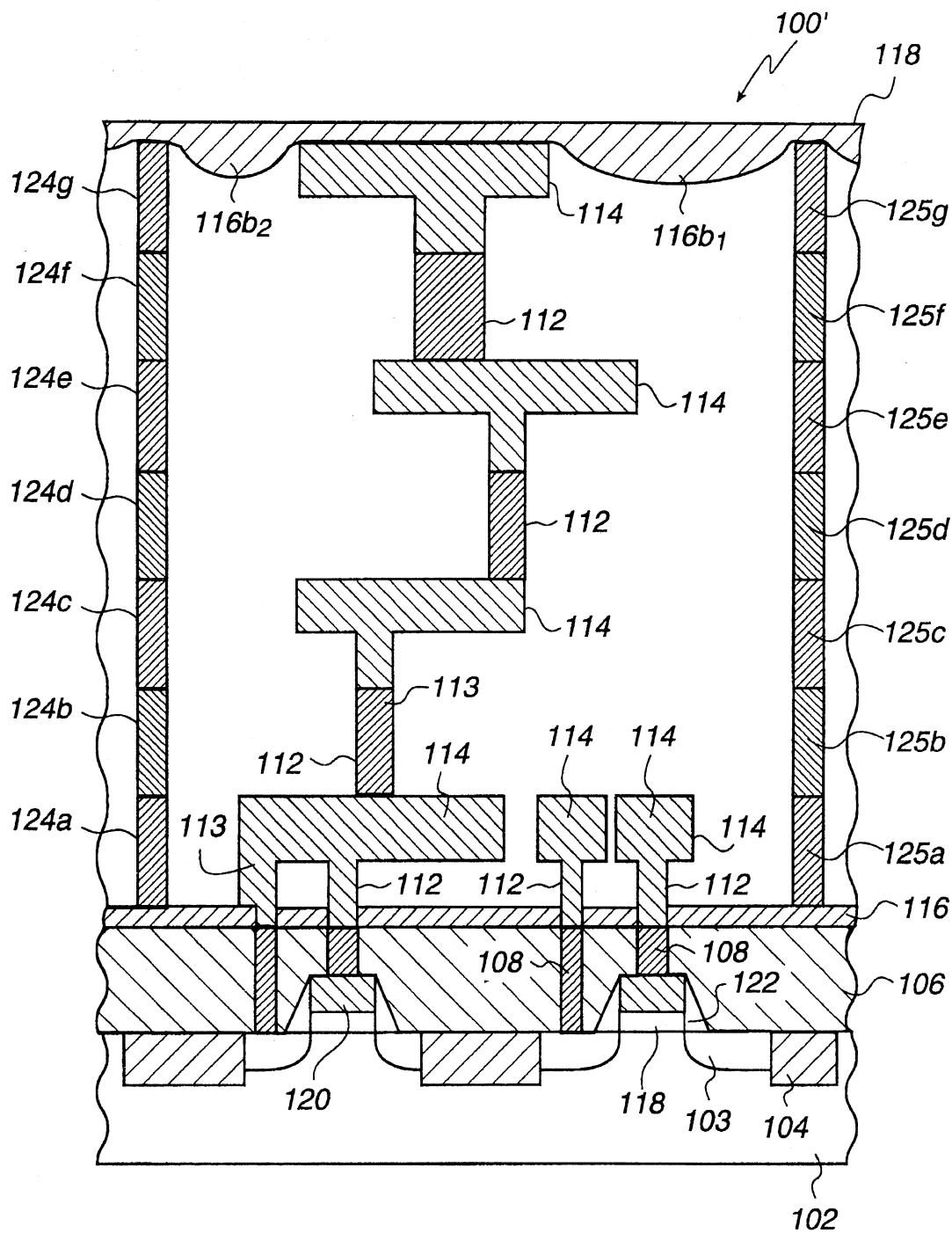


圖 1E

圖式

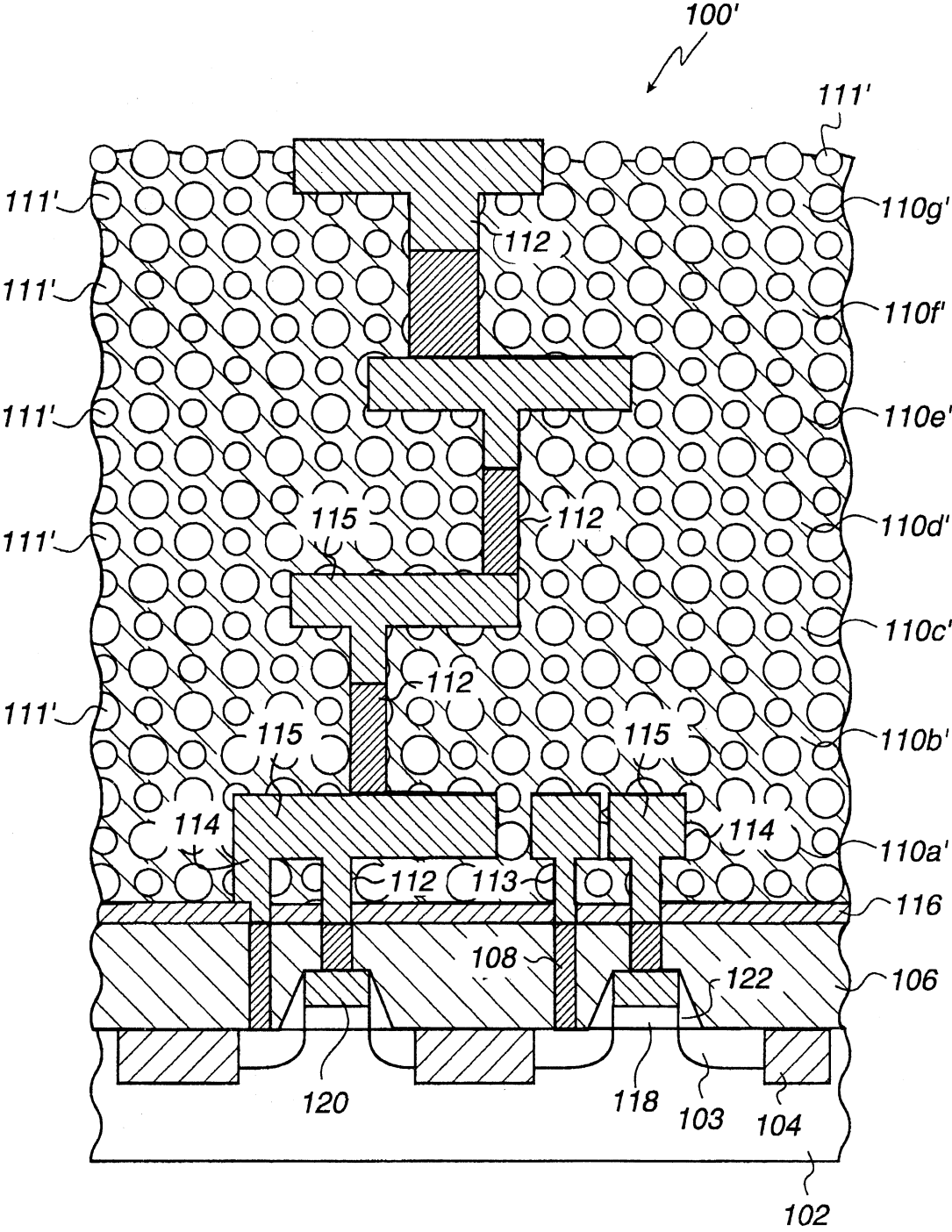


圖 1F-1

圖式

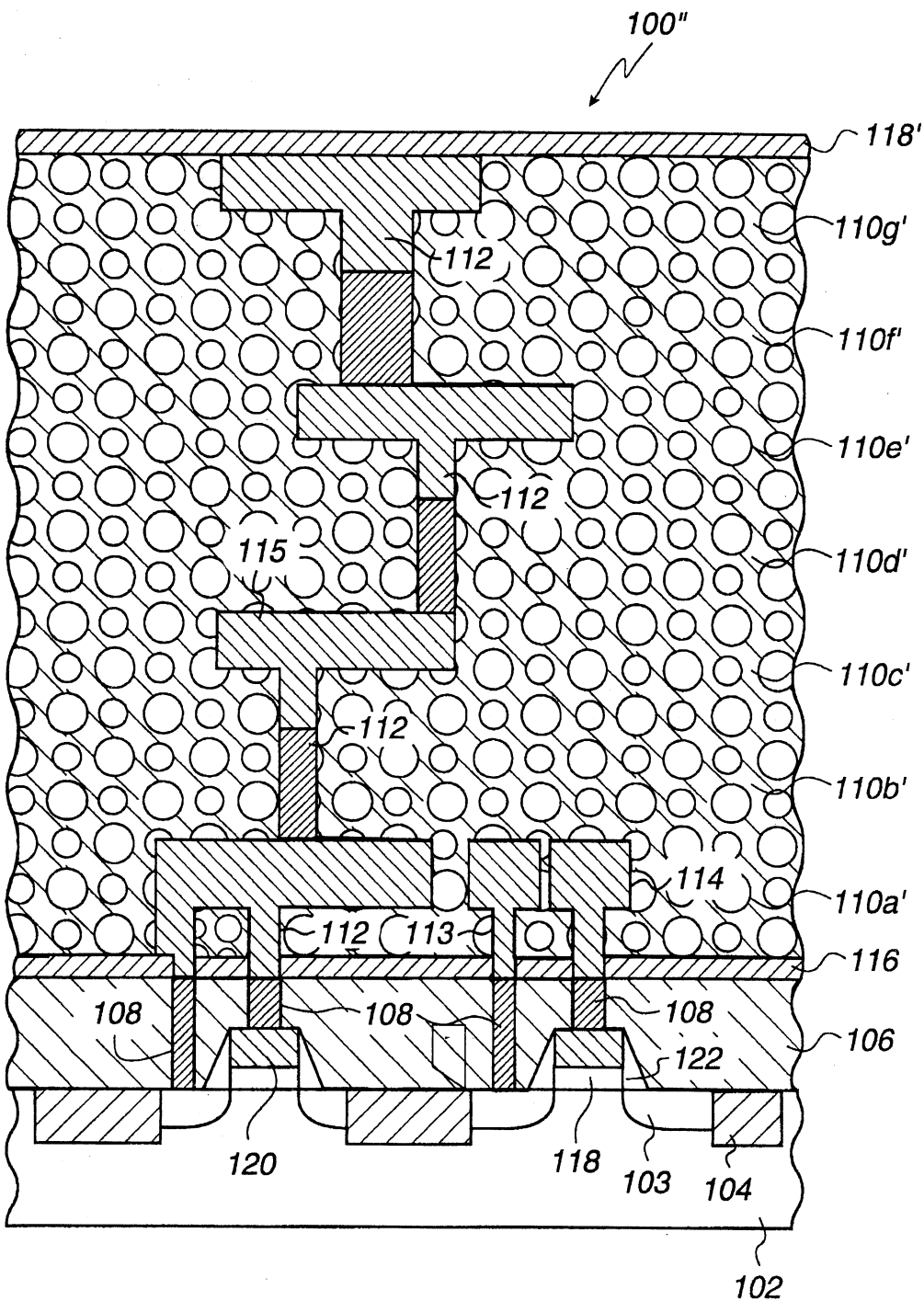


圖 1F-2

圖式

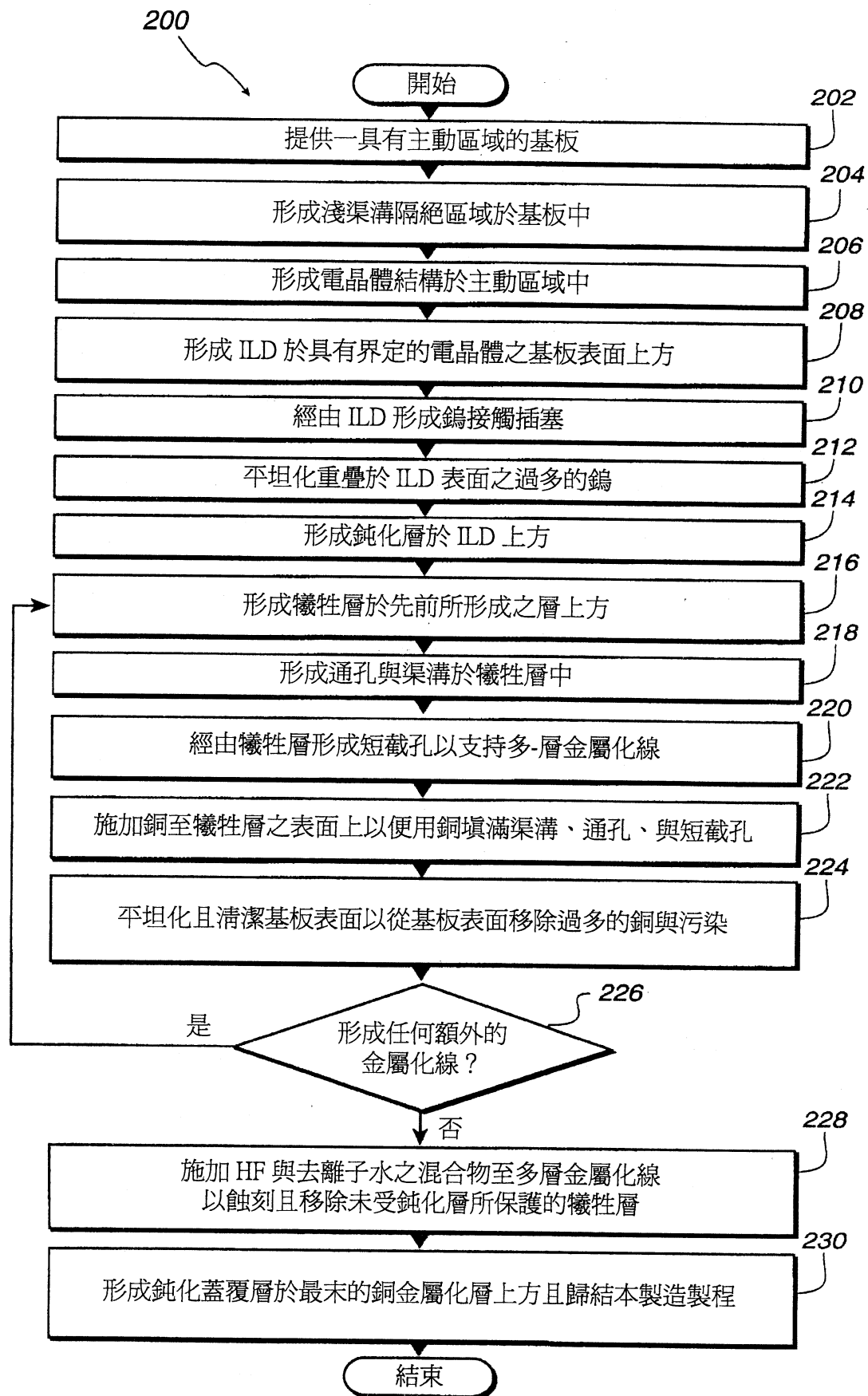


圖 2

圖式

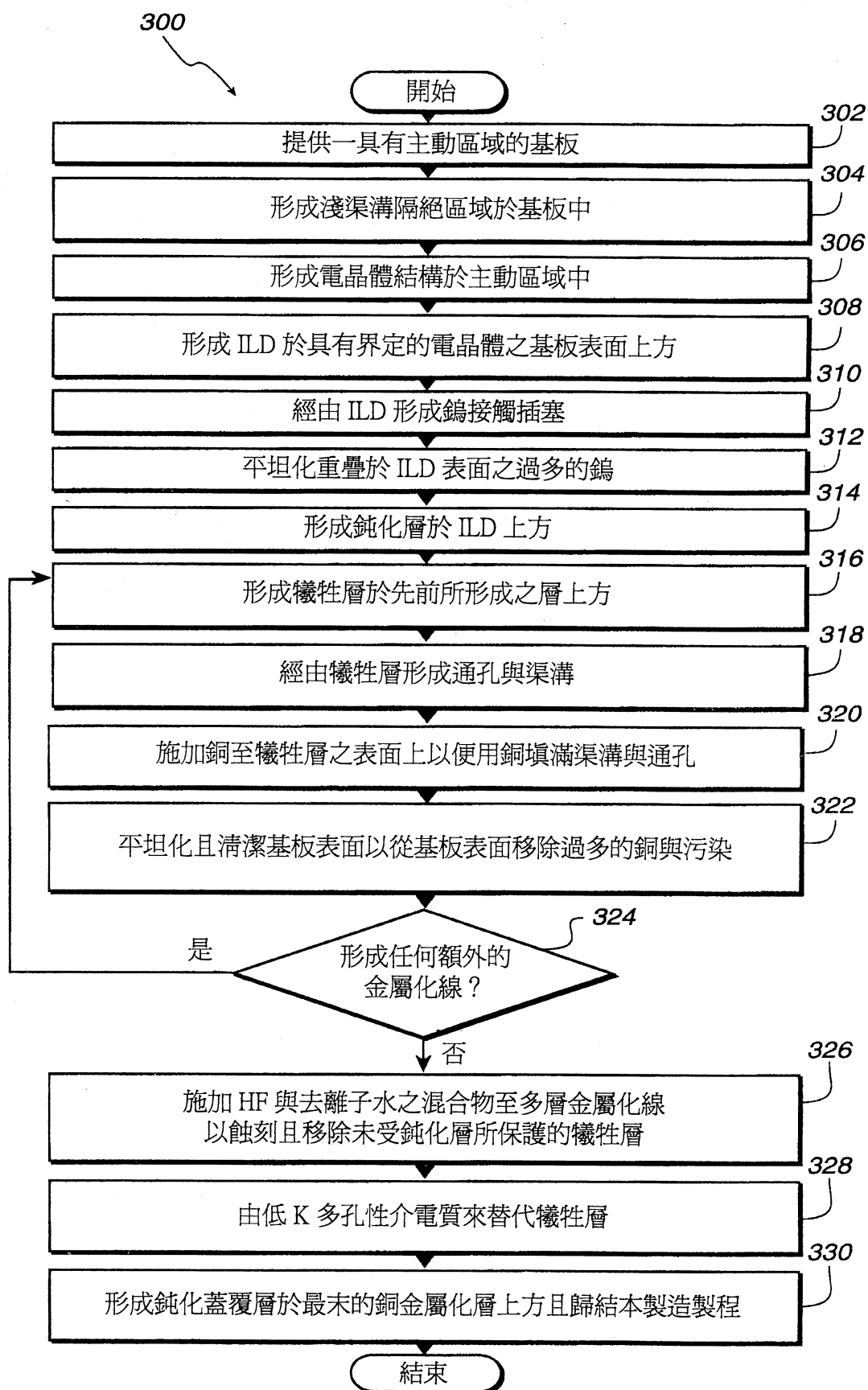


圖 3