

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/15 (2006.01)

G11C 7/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 03106631.3

[45] 授权公告日 2008 年 12 月 3 日

[11] 授权公告号 CN 100440373C

[22] 申请日 2003.2.27 [21] 申请号 03106631.3

[30] 优先权

[32] 2002. 6. 21 [33] JP [31] 181364/02

[73] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 大石司 日高秀人

[56] 参考文献

US - 6185143B1 2001.2.6

US - 6055178A 2000.4.25

审查员 邓 茜

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 刘宗杰 叶恺东

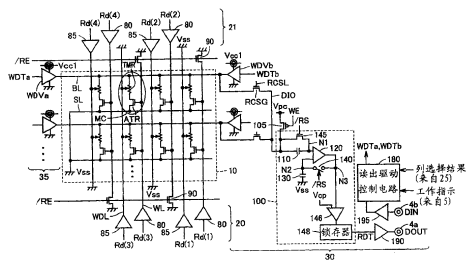
权利要求书 5 页 说明书 24 页 附图 11 页

[54] 发明名称

能按照自基准方式读出数据的薄膜磁性体存储装置

[57] 摘要

数据读出时，来自电流供给晶体管(105)的电流通过选择存储单元及数据线(DIO)。另外，不破坏存储数据的电平大小的偏磁场被加在选择存储单元上。通过施加偏磁场，用读出放大器(120)放大选择存储单元的电阻对应于存储数据电平的极性变化前后的数据线电压差，只对选择存储单元进行存取，进行数据读出。另外，由于在数据线(DIO)和读出放大器(120)之间用电容器(110)进行绝缘，所以能与存储单元的磁化特性隔离，使读出放大器在最佳输入电压范围内工作。



1. 一种薄膜磁性体存储装置，其特征在于：

备有以下部分，

分别使对应于磁性写入的存储数据的方向沿着易磁化轴磁化，有对应于磁化方向的电阻的多个存储单元；

在数据读出时，通过上述多个存储单元中的被选择为数据读出对象的选择存储单元，与固定电压进行电气耦合的数据线；

至少在上述数据读出时将上述数据线 with 第一规定电压耦合的电流供给电路；

对上述选择存储单元施加沿着难磁化轴的偏磁场用的偏磁场施加单元；

上述数据读出时，根据对上述选择存储单元施加上述偏磁场前后的上述数据线的电压，生成对应于上述选择存储单元的存储数据的读出数据的数据读出电路；

上述数据读出电路包括

设置在第一读出输入结点和上述数据线之间，将上述偏磁场的施加前后上述数据线的电压变化传递给上述第一读出输入结点用的耦合电容；

上述数据读出时，在施加上述偏磁场之前将第二读出输入结点的电压设定为与上述第一读出输入结点相同的电平用的电压传递单元；

保持上述第二读出输入结点的电压用的电压保持单元；

放大上述第一及第二读出输入结点的电压差的第一电压放大器；

以及

上述数据读出时，根据上述偏磁场施加后的上述第一电压放大器的输出，生成上述读出数据的数据生成电路。

2. 根据权利要求 1 所述的薄膜磁性体存储装置，其特征在于：上述偏磁场消失后，上述选择存储单元的磁化方向返回上述偏磁场施加前的状态。

3. 根据权利要求 1 所述的薄膜磁性体存储装置，其特征在于：

上述电压传递单元有

设置在上述数据线及上述第一读出输入结点之间的第一开关；以

及

设置在上述第二读出输入结点及上述第一电压放大器的输出结点之间的第二开关，

上述数据读出时，各个上述第一及第二开关在对上述选择存储单元施加上述偏磁场之前导通，在对上述选择存储单元施加上述偏磁场之后阻断。

4. 根据权利要求3所述的薄膜磁性体存储装置，其特征在于：
上述数据生成电路有

放大上述第一电压放大器的输出电压和规定的基准电压的电压差的第二电压放大器；以及

上述数据读出时，在对上述选择存储单元施加上述偏磁场后的规定时刻，保持上述第二电压放大器的输出电压作为上述读出数据的锁存电路。

5. 根据权利要求1所述的薄膜磁性体存储装置，其特征在于：
上述电压传递单元有

设置在与上述第一规定电压独立的第二规定电压和上述第一读出输入结点之间的第一开关；以及

设置在上述第二读出输入结点和上述第一电压放大器的输出结点之间的第二开关，

数据读出时，各个上述第一及第二开关在对上述选择存储单元施加上述偏磁场之前导通，在施加上述偏磁场之后阻断。

6. 根据权利要求5所述的薄膜磁性体存储装置，其特征在于：
上述数据生成电路有

放大对应于上述第一电压放大器的输出电压和上述第二规定电压的电压差的第二电压放大器；以及

上述数据读出时，在对上述选择存储单元施加上述偏磁场后的规定时刻，保持上述第二电压放大器的输出电压作为上述读出数据的锁存电路。

7. 根据权利要求1所述的薄膜磁性体存储装置，其特征在于：

在维持着来自上述电流供给电路的电流通过上述选择存储单元的状态下，上述偏磁场施加单元对上述选择存储单元施加上述偏磁场。

8. 根据权利要求1所述的薄膜磁性体存储装置，其特征在于：

上述电流供给电路在上述数据读出前；也使上述数据线与上述第

一规定电压耦合。

9. 一种薄膜磁性体存储装置，其特征在于：

备有以下部分，

使对应于磁性写入的存储数据的方向沿着易磁化轴磁化，有对应于磁化方向的电阻的多个存储单元；

数据读出时，通过上述多个存储单元中的被选择为数据读出对象的选择存储单元，与固定电压进行电气耦合的数据线；

至少在上述数据读出时，将上述数据线 with 规定电压耦合的电流供给电路；

上述数据读出时对上述选择存储单元施加沿着难磁化轴的偏磁场，同时数据写入时对成为数据写入对象的存储单元施加沿着上述难磁化轴的数据写入磁场用的偏磁场施加单元；

上述偏磁场施加单元包括

分别设置在上述多个存储单元的每个规定区中，有选择地接收对各个对应的上述存储单元施加沿上述难磁化轴方向的磁场用的电流的供给的多条写入数位线；

分别对应于上述多条写入数位线设置，在第一及第二电压之间与上述多条写入数位线中的对应的一条写入数位线串联连接的多个驱动晶体管；以及

分别对应于上述多条写入数位线设置、分别控制上述多个驱动晶体管中的对应的一个通·断用的写入数位线驱动控制单元，

各上述多个写入数位线驱动控制单元有根据表示上述对应的一条写入数位线是否对应于上述选择存储单元的地址信息，控制上述驱动晶体管的驱动电流用的逻辑电路，

上述逻辑电路使上述驱动电流在上述数据读出时比上述数据写入时变化得缓慢，

数据读出电路在上述数据读出时，根据对上述选择存储单元施加偏磁场前后的上述数据线的电压，生成对应于上述选择存储单元的存储数据的读出数据。

10. 根据权利要求9所述的薄膜磁性体存储装置，其特征在于：

还备有在上述薄膜磁性体存储装置的非工作期间，将上述多条写入数位线中的各条与上述第一及第二电压两者电气分离用的晶体管开

关。

11. 根据权利要求9所述的薄膜磁性体存储装置，其特征在于：
各上述驱动晶体管由N沟道型场效应型晶体管构成。

12. 一种薄膜磁性体存储装置，其特征在于：

备有以下部分，

使对应于磁性写入的存储数据的方向沿着易磁化轴磁化，有对应于磁化方向的电阻的多个存储单元；

数据读出时，通过上述多个存储单元中的被选择为数据读出对象的选择存储单元，与固定电压进行电气耦合的数据线；

至少在上述数据读出时将上述数据线 with 规定电压耦合的电流供给电路；

接收第一电源电压，数据写入时及数据读出时分别对选择存储单元施加沿着难磁化轴的规定磁场用的磁场施加单元；

接收第二电源电压及上述固定电压，生成对应于上述选择存储单元的存储数据的读出数据的数据读出电路，

上述第一电源电压和上述固定电压的差比上述第二电源电压和上述固定电压的差大。

13. 根据权利要求12所述的薄膜磁性体存储装置，其特征在于：
上述磁场施加单元包括

分别设置在上述多个存储单元的每个规定区中，有选择地接收对应的各个上述存储单元施加上述规定磁场的多条写入数位线；

分别对应于上述多条写入数位线设置，在上述第一电源电压及上述固定电压之间与上述多条写入数位线中的对应的一条写入数位线串联连接的多个驱动晶体管；以及

分别对应于上述多条写入数位线设置的多个写入数位线驱动控制单元，

各上述多个写入数位线驱动控制单元有在上述数据读出及写入时，根据表示上述对应的写入数位线是否对应于上述选择存储单元的第二控制信号，生成控制对应于上述多个驱动晶体管中的一个的通·断用的第一控制信号的电平变换电路，

上述电平变换电路有使上述第一控制信号的振幅比上述第二控制信号的振幅大的电平变换功能。

14. 根据权利要求 13 所述的薄膜磁性体存储装置，其特征在于：
各上述多个写入数位线驱动控制单元还有控制上述电平变换的工作电流的电流供给晶体管，

上述电流供给晶体管在上述数据读出时，使上述工作电流比上述数据写入时小。

能按照自基准方式读出数据的 薄膜磁性体存储装置

技术领域

本发明涉及薄膜磁性体存储装置，特别是涉及备有磁隧道结（MTJ: Magnetic Tunnel Junction）的存储单元的随机存取存储器。

背景技术

作为能用低功耗进行非易失性的数据的存储的存储装置，MRAM（Magnetic Random Access Memory）装置引人注目。MRAM装置是一种用在半导体集成电路中形成的多个薄膜磁性体进行非易失性的数据存储的、对各个薄膜磁性体进行随机存取的存储装置。

特别是近年来，表明通过将利用磁隧道结的薄膜磁性体作为存储单元用，MRAM的性能飞快地进步。在“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”，ISSCC Digest of Technical Papers, TA7.2, Feb. 2000.及“Nonvolatile RAM based on Magnetic Tunnel Junction Elements”，ISSCC Digest of Technical Papers, TA7.3, Feb. 2000.等技术文献中公开了备有具有磁隧道结的存储单元的MRAM装置。

图11是表示有磁隧道结部分的存储单元（以下简称“MTJ存储单元”）的结构示意图。

参照图11，MTJ存储单元包括电阻随着磁性写入的存储数据的电平的不同而变化的隧道磁阻元件TMR、以及存取晶体管ATR。存取晶体管ATR与隧道磁阻元件TMR串联连接在写入位线WBL及读出位线RBL之间。作为存取晶体管ATR，具有代表性地能采用在半导体基板上形成的场效应型晶体管。

对MTJ存储单元设有：数据写入时分别流过不同方向的数据写入电流用的写入位线WBL及写入数位线WDL；指示数据读出用的字线WL；以及接收数据读出电流的供给的读出位线RBL。数据读出时，隧道磁阻元件TMR响应存取晶体管ATR的导通，将设定为接地电压的写入位

线 WRL 和读出位线 RBL 之间导电性地耦合起来。

图 12 是说明对 MJT 存储单元的数据写入工作的示意图。

参照图 12，隧道磁阻元件 TMR 有：有固定的磁化方向一定的强磁性体层（以下简称“固定磁化层”）FL；以及沿着对应于外部的施加磁场的方向磁化的强磁性体层（以下简称“自由磁化层”）VL。在固定磁化层 FL 和自由磁化层 VL 之间设有由绝缘体膜形成的隧道阻挡层（隧道膜）TB。自由磁化层 VL 根据写入的存储数据的电平，沿着与固定磁化层 FL 同一方向或与固定磁化层 FL 相反（反平行）方向磁化。由这些固定磁化层 FL、隧道阻挡层 TB 及自由磁化层 VL 形成磁隧道结。

隧道磁阻元件 TMR 的电阻随着固定磁化层 FL 及自由磁化层 VL 各自的磁化方向的相对关系的变化而变化。具体地说，隧道磁阻元件 TMR 的电阻在固定磁化层 FL 的磁化方向和自由磁化层 VL 的磁化方向平行的情况下达到最小值 R_{min} ，在两者的磁化方向呈相反（反平行）方向的情况下达到最大值 R_{max} 。

数据写入时，字线 WL 不被激活，存取晶体管 ATR 被阻断。在该状态下，使自由磁化层 VL 磁化用的数据写入电流在写入位线 WBL 及写入数位线 WDL 中分别沿着对应于写入数据的电平的方向流过。

图 13 是表示数据写入时的数据写入电流和隧道磁阻元件的磁化方向的关系的示意图。

参照图 13，横轴 $H(EA)$ 表示在隧道磁阻元件 TMR 内的自由磁化层 VL 中沿着易磁化轴（EA: Easy Axis）方向施加的磁场。另一方面，纵轴 $H(HA)$ 表示在自由磁化层 VL 中沿着难磁化轴（HA: Hard Axis）方向作用的磁场。磁场 $H(EA)$ 及 $H(HA)$ 分别对应于由分别流过写入位线 WBL 及写入数位线 WDL 的电流产生的两个磁场。

在 MTJ 存储单元中，固定磁化层 FL 的固定磁化方向沿着自由磁化层 VL 的易磁化轴方向，自由磁化层 VL 根据存储数据的电平（“1”及“0”），沿着易磁化轴方向、即沿着与固定磁化层 FL 平行或反平行（相反）方向磁化。MTJ 存储单元与自由磁化层 VL 的两种磁化方向对应，能存储 1 位的数据（“1”或“0”）。

自由磁化层 VL 的磁化方向为施加的磁场 $H(EA)$ 及 $H(HA)$ 的和，但在到达图中所示的星形特性曲线的外侧的情况下，能重新改写。即，在施加的数据写入磁场相当于星形特性曲线的内侧区域的强度的情况

下，自由磁化层 VL 的磁化方向不变化。

如星形特性曲线所示，通过对自由磁化层 VL 施加难磁化轴方向的磁场，能使改变沿易磁化轴的磁化方向所需要的磁化阈值下降。

如图 13 中的例所示，在设计了数据写入时的工作点的情况下，在作为数据写入对象的 MTJ 存储单元中，易磁化轴方向的数据写入磁场的强度被设计为 H_{WR} 。即，为了获得该数据写入磁场 H_{WR} ，设计流过写入位线 WBL 或写入数位线 WDL 的数据写入电流的值。一般说来，数据写入磁场 H_{WR} 用磁化方向的切换所必要的切换磁场 H_{SW} 和容限部分 ΔH 的和表示。即 $H_{WR} = H_{SW} + \Delta H$ 。

为了改写 MTJ 存储单元的存储数据、即为了改写隧道磁阻元件 TMR 的磁化方向，在写入数位线 WDL 和写入位线 WBL 两者中流过规定电平以上的数据写入电流。因此，隧道磁阻元件 TMR 中的自由磁化层 VL 根据沿易磁化轴 (EH) 的数据写入磁场的方向，沿着与固定磁化层 FL 平行或相反 (反平行) 方向磁化。在隧道磁阻元件 TMR 中暂时写入的磁化方向、即 MTJ 存储单元的存储数据在进行新的数据写入之前的期间不易失地被保持着。

图 14 是说明从 MTJ 存储单元读出数据的示意图。

参照图 14，在数据读出时，存取晶体管 ATR 响应字线 WL 的激活而导通。另外，写入位线 WBL 被设定为接地电压 GND。因此，隧道磁阻元件 TMR 在被接地电压 GND 下拉的状态下，与读出位线 RBL 导电性地耦合。

在此状态下，如果用规定电压上拉读出位线 RBL，则对应于隧道磁阻元件 TMR 的电阻的、即对应于 MTJ 存储单元的存储数据电平的存储单元电流 I_{cell} 流过包括读出位线 RBL 及隧道磁阻元件 TMR 的电流路径。例如，通过将该存储单元电流 I_{cell} 与规定的基准电流比较，能从 MTJ 存储单元读出存储数据。

这样由于隧道磁阻元件 TMR 根据施加的数据写入磁场，按照能改写的磁化方向改变其电阻，所以通过分别与隧道磁阻元件 TMR 的电阻 R_{max}/R_{min} 、以及存储数据的电平 (“1” / “0”) 相对应，能进行非易失的数据存储。这样，在 MRAM 装置中，利用隧道磁阻元件 TMR 中的对应于存储数据电平的不同的耦合电阻的差 ($\Delta R = R_{max} - R_{min}$)，进行数据存储。

一般说来，与进行数据存储用的正规的 MTJ 存储单元不同，设有生成与存储单元电流 I_{cell} 进行比较的基准电流用的基准单元。由基准单元生成的基准电流需要这样设计，即该基准电流为分别对应于 MTJ 存储单元的两种电阻 R_{max} 及 R_{min} 的两种存储单元电流 I_{cell} 的中间值。基本上包括与正规的 MTJ 存储单元同样的隧道磁阻元件 TMR，设计这些基准单元。

流过隧道磁阻元件 TMR 的电流受作为隧道膜用的绝缘膜的厚度大小的影响。因此，如果在正规的 MTJ 存储单元及基准单元之间实际隧道膜厚度产生差异，则基准电流就不能设计成所希望的电平。根据该理由，难以将用基准单元生成的基准电流的电平准确地设定成能检测上述的微小电流差的电平，由于基准电流的离散，数据读出精度有可能下降。

特别是在一般的 MTJ 存储单元中，根据存储数据电平产生的电阻差 ΔR 不会那么大。具有代表性的是电阻 R_{min} 限于 R_{max} 的百分之数十左右。因此，对应于存储数据电平的存储单元电流 I_{cell} 的变化也不那么大，只限于微安 (μA : $10^{-6}A$) 数量级大小。因此，有必要使正规的 MTJ 存储单元及基准单元的隧道膜厚度的制造工序高精度化。

可是，如果使制造工艺中的隧道膜厚度的精度严格化，则有可能由于产品的合格率下降等引起制造成本的上升。从这样的背景出发，在 MRAM 装置中，要求不导致制造工艺的严格化、而能高精度地进行基于 MTJ 存储单元中的上述的电阻差 ΔR 的数据读出的结构。

为了解决这样的问题，美国专利第 6, 317, 376B1 号中公开了一种不用基准单元、而只通过对选择存储单元的存取，进行数据的读出的所谓“自基准方式”的数据读出的 MRAM 装置的结构。

在该美国专利中公开的现有的自基准读出中，一次数据读出工作由以下过程构成：(1) 从选择存储单元读出存储数据，(2) 读出对该选择存储单元进行了“0”数据的强制写入后的数据，(3) 读出对该选择存储单元进行了“1”数据的强制写入后的数据，(4) 根据上述 (1) ~ (3) 的读出结果生成读出数据，以及 (5) 将读出数据再写入该选择存储单元 (恢复)。如果采用这样的数据读出工作，则由于只对选择存储单元进行存取，就能进行数据读出，所以不会受基准单元的制造离散的影响，能进行高精度的数据读出。

可是，在现有的自基准读出中，在一次数据读出工作中，由于需要反复进行强制的数据写入及数据读出、以及伴随破坏选择存储单元的存储数据而需要再写入，所以存在妨碍数据读出工作的高速化的问题。

发明内容

本发明的目的在于提供一种基于自基准方式的进行高速及高精度的数据读出的薄膜磁性体存储装置的结构。

摘要地说本发明是一种薄膜磁性体存储装置，其特征在于：备有以下部分，分别使对应于磁性写入的存储数据的方向沿着易磁化轴磁化，有对应于磁化方向的电阻的多个存储单元；在数据读出时，通过上述多个存储单元中的被选择为数据读出对象的选择存储单元，与固定电压进行电气耦合的数据线；至少在上述数据读出时将上述数据线与第一规定电压耦合的电流供给电路；对上述选择存储单元施加沿着难磁化轴的偏磁场用的偏磁场施加单元；上述数据读出时，根据对上述选择存储单元施加上述偏磁场前后的上述数据线的电压，生成对应于上述选择存储单元的存储数据的读出数据的数据读出电路；上述数据读出电路包括设置在第一读出输入结点和上述数据线之间，将上述偏磁场的施加前后上述数据线的电压变化传递给上述第一读出输入结点用的耦合电容；上述数据读出时，在施加上述偏磁场之前将第二读出输入结点的电压设定为与上述第一读出输入结点相同的电平用的电压传递单元；保持上述第二读出输入结点的电压用的电压保持单元；放大上述第一及第二读出输入结点的电压差的第一电压放大器；以及上述数据读出时，根据上述偏磁场施加后的上述第一电压放大器的输出，生成上述读出数据的数据生成电路。

电压传递单元最好有：设置在与第一规定电压独立的第二规定电压和第一读出输入结点之间的第一开关；以及设置在第二读出输入结点和第一电压放大器的输出结点之间的第二开关，数据读出时，各个第一及第二开关在对选择存储单元施加偏磁场之前导通，在施加偏磁场之后阻断。

因此，本发明的主要优点是：通过施加沿难磁化轴方向的偏磁场，使选择存储单元的电阻按照对应于存储数据的极性变化（增加或减少），利用这样的变化，只对选择存储单元进行存取，而不伴随强制

的数据写入及数据读出、以及对选择存储单元的存储数据的再写入，能高速地进行自基准方式的数据读出。

另外，使数据线的预充电电压（第一规定电压）和施加偏磁场之前的平衡状态下的第一及第二读出输入结点的预充电电压（第二规定电压）互相独立，能分别对其进行最佳设定。因此，能将数据线的预充电电压设定成考虑了存储单元的 MR 特性的最佳电平，另一方面，能与其独立地将第一及第二读出输入结点的预充电电压设定成能确保读出放大器的工作容限的电平。

从另一方面来说，本发明是一种薄膜磁性体存储装置，其特征在于：备有以下部分，使对应于磁性写入的存储数据的方向沿着易磁化轴磁化，有对应于磁化方向的电阻的多个存储单元；数据读出时，通过上述多个存储单元中的被选择为数据读出对象的选择存储单元，与固定电压进行电气耦合的数据线；至少在上述数据读出时，将上述数据线 with 规定电压耦合的电流供给电路；上述数据读出时对上述选择存储单元施加沿着难磁化轴的偏磁场，同时数据写入时对成为数据写入对象的存储单元施加沿着上述难磁化轴的数据写入磁场用的偏磁场施加单元；上述偏磁场施加单元包括分别设置在上述多个存储单元的每个规定区中，有选择地接收对各个对应的上述存储单元施加沿上述难磁化轴方向的磁场用的电流的供给的多条写入数位线；分别对应于上述多条写入数位线设置，在第一及第二电压之间与上述多条写入数位线中的对应的一条写入数位线串联连接的多个驱动晶体管；以及分别对应于上述多条写入数位线设置、分别控制上述多个驱动晶体管中的对应的一个通·断用的写入数位线驱动控制单元，各上述多个写入数位线驱动控制单元有根据表示上述对应的一条写入数位线是否对应于上述选择存储单元的地址信息，控制上述驱动晶体管的驱动电流用的逻辑电路，上述逻辑电路使上述驱动电流在上述数据读出时比上述数据写入时变化得缓慢，数据读出电路在上述数据读出时，根据对上述选择存储单元施加偏磁场前后的上述数据线的电压，生成对应于上述选择存储单元的存储数据的读出数据。

这样的薄膜磁性体存储装置通过施加沿难磁化轴方向的偏磁场，使选择存储单元的电阻按照对应于存储数据的极性变化（增加或减少），利用这样的变化，只对选择存储单元进行存取，而不伴随强制

的数据写入及数据读出、以及对选择存储单元的存储数据的再写入，能高速地进行自基准方式的数据读出。另外，由于能使发生偏磁场用的结构与数据写入时发生规定的写入磁场的结构共用，所以能简化电路结构。特别是由于缓慢地发生数据读出时的偏磁场，所以能避免数据线的电压急剧地变化，能进行降低了噪声的稳定的数据读出。

从另一方面来说，本发明是一种薄膜磁性体存储装置，其特征在于：备有以下部分，使对应于磁性写入的存储数据的方向沿着易磁化轴磁化，有对应于磁化方向的电阻的多个存储单元；数据读出时，通过上述多个存储单元中的被选择为数据读出对象的选择存储单元，与固定电压进行电气耦合的数据线；至少在上述数据读出时将上述数据线与规定电压耦合的电流供给电路；接收第一电源电压，数据写入时及数据读出时分别对选择存储单元施加沿着难磁化轴的规定磁场用的磁场施加单元；接收第二电源电压及上述固定电压，生成对应于上述选择存储单元的存储数据的读出数据的数据读出电路，上述第一电源电压和上述固定电压的差比上述第二电源电压和上述固定电压的差大。

这样的薄膜磁性体存储装置通过施加沿难磁化轴方向的偏磁场，使选择存储单元的电阻按照对应于存储数据的极性变化（增加或减少），利用这样的变化，只对选择存储单元进行存取，而不伴随强制的数据写入及数据读出、以及对选择存储单元的存储数据的再写入，能高速地进行自基准方式的数据读出。另外，由于能使发生偏磁场用的结构与数据写入时发生规定的写入磁场的结构共用，所以能简化电路结构。特别是由于能用足够大的电位差驱动电流布线，所以能充分地供给发生偏磁场及数据写入磁场的电流。

附图说明

图 1 是表示本发明的实施例的 MRAM 装置的总体结构的简略框图。

图 2 是说明本发明的实施例的数据读出工作的原理用的示意图。

图 3 是说明图 2 所示的各状态下的隧道磁阻元件的磁化方向的示意图。

图 4 是表示对存储器阵列 10 进行数据读出工作及数据写入工作用的电路组的实施例 1 的结构的电路图。

图 5 是表示图 4 所示的数据读出电路的主要部分的结构的电路图。

图 6 是说明本发明的实施例的数据读出工作的工作波形图。

图 7 是表示实施例 1 的变形例的数据读出电路的主要部分的结构

的电路图。

图 8 是表示控制对写入数位线 WDL 的电流供给的电路组的实施例 2 的结构的电路图。

图 9 是表示控制对写入数位线 WDL 的电流供给的电路组的实施例 2 的变形例 1 的结构的电路图。

图 10 是表示控制对写入数位线 WDL 的电流供给的电路组的实施例 2 的变形例 2 的结构的电路图。

图 11 是表示 MTJ 存储单元的结构示意图。

图 12 是说明对 MTJ 存储单元的数据写入工作的示意图。

图 13 是表示数据写入时的数据写入电流和隧道磁阻元件的磁化方向的关系的示意图。

图 14 是说明从 MTJ 存储单元读出数据的示意图。

发明的具体实施方式

以下，参照附图详细说明本发明的实施例。

实施例 1

参照图 1，本发明的实施例的 MRAM 装置 1 响应来自外部的控制信号 CMD 及地址信号 ADD，进行随机存取，对被选择为数据读出或数据写入的对象的存储单元（以下也称为“选择存储单元”）进行输入数据 DIN 的写入或输出数据 DOUT 的读出。

MRAM 装置 1 备有：响应控制信号 CMD，控制 MRAM 装置 1 的总体工作的控制电路 5；以及包括呈行列状配置的 MTJ 存储单元 MC 的存储器阵列 10。各 MTJ 存储单元 MC 的结构及数据存储原理与用图 11 至图 14 说明的相同。

在存储器阵列 10 中，分别对应于 MTJ 存储单元的行，配置字线 WL 及写入位线 WDL，分别对应于 MTJ 存储单元的列，配置位线 BL 及源极线 SL。在图 1 中，示出了具有代表性的一个 MTJ 存储单元 MC、以及与其对应的字线 WL、写入位线 WDL、位线 BL 及源极线 SL 的配置情况。

MRAM 装置 1 还备有：进行对应于由地址信号 ADD 表示的行地址 RA 的行选择用的行选择电路 20、21；根据由地址信号 ADD 表示的列地址 CA，进行存储器阵列 10 的列选择用的列译码器 25；以及读出/写入控制电路 30、35。

读出/写入控制电路 30、35 是对存储器阵列 10 中配置的 MTJ 存

储单元 MC 进行数据读出工作及数据写入工作作用的电路组的总括的表记。

另外，以下将信号、信号线及数据等的双值高压状态（例如，电源电压 V_{cc1} 、 V_{cc2} ）及低压状态（例如，接地电压 GND）也分别称为“高电平”及“低电平”。

从以下的说明中可知，在本申请的发明中，通过对选择存储单元施加偏磁场，使自基准方式的数据读出高速化。首先，说明本发明的数据读出的原理。

图 2 是表示对 MTJ 存储单元施加磁场用的电流及 MTJ 存储单元的电阻的关系（磁滞特性）的示意图。

参照图 2，横轴表示流过位线的位线电流 $I(BL)$ ，纵轴表示 MTJ 存储单元的电阻 R_{cell} 。在图 11 所示的自由磁化层 VL 中，由位线电流 $I(BL)$ 产生的磁场的方向沿着易磁化轴方向 (EA)。另一方面，在自由磁化层 VL 中，由流过写入数位线 WDL 的数位线电流 $I(WDL)$ 产生的磁场的方向沿着难磁化轴方向 (HA)。

因此，如果位线电流 $I(BL)$ 超过使自由磁化层 VL 的磁化方向反转用的阈值，则自由磁化层 VL 的磁化方向反转，存储单元电阻 R_{cell} 变化。在图 2 中，在正向的位线电流 $I(BL)$ 超过阈值的情况下，存储单元电阻 R_{cell} 达到最大值 R_{max} ，在负向的位线电流 $I(BL)$ 超过阈值的情况下，存储单元电阻 R_{cell} 达到最小值 R_{min} 。这样的位线电流 $I(BL)$ 的阈值随着流过写入数位线 WDL 的电流 $I(WDL)$ 的不同而不同。

首先，在流过写入数位线 WDL 的数位线电流 $I(WDL) = 0$ 的情况下的存储单元的电阻 R_{cell} 的磁滞特性在图 2 中用虚线表示。假设这时的位线电流 $I(BL)$ 的正向及负向的阈值分别为 I_{t0} 及 $-I_{t0}$ 。

与此不同，在电流流过写入数位线 WDL 的情况下，位线电流 $I(BL)$ 的阈值下降。在图 2 中，数位线电流 $I(WDL) = I_p$ 的情况下的存储单元的电阻 R_{cell} 的磁滞特性用实线表示。由于由数位线电流 $I(WDL)$ 产生的难磁化轴方向的磁场的的影响，位线电流 $I(BL)$ 的正向及负向的阈值分别变为 I_{t1} ($I_{t1} < I_{t0}$) 及 $-I_{t1}$ ($-I_{t1} > -I_{t0}$)。该磁滞特性表示数据写入工作时的存储单元电阻 R_{cell} 的变化。因此，数据写入工作时的位线电流 $I(BL)$ 、即数据写入电流 $+I_w$ 及 $-I_w$ 被设定

在 $I_{t1} < +I_w < I_{t0}$ 及 $-I_{t0} < -I_w < -I_{t1}$ 的范围内。

另一方面，数据读出工作时的位线电流 $I(BL)$ 、即数据读出电流 I_s 由于作为将选择存储单元或寄生电容等作为 RC 负载连接的数据线 DIO 的充电电流流过，所以与数据写入时的位线电流 $I(BL)$ 、即与数据写入电流 $\pm I_w$ 相比较，一般小 2~3 个数量级。因此，在图 2 中数据读出电流 $I_s \approx 0$ 。

在数据读出前的状态下，设定隧道磁阻元件 TMR 中的自由磁化层的磁化方向，以便呈图 2 中的 (a) 或 (b) 的状态、即选择存储单元有电阻 R_{min} 或 R_{max} 两者中的某一者。

图 3 是说明图 2 所示的各状态的隧道磁阻元件的磁化方向的示意图。

图 3 中的 (a) 表示图 2 中的 (a) 的状态下的磁化方向。在该状态下，自由磁化层 VL 的磁化方向和固定磁化层 FL 的磁化方向平行，所以存储单元电阻 R_{cell} 被设定为最小值 R_{min} 。

图 3 中的 (c) 表示图 2 中的 (c) 的状态下的磁化方向。在该状态下，自由磁化层 VL 的磁化方向和固定磁化层 FL 的磁化方向反平行（方向相反），所以存储单元电阻 R_{cell} 被设定为最大值 R_{max} 。

从该状态开始，如果使规定电流（例如数据写入电流 I_p ）流过写入数位线 WDL，则自由磁化层 VL 的磁化方向旋转不致达到反转状态的某一程度，隧道磁阻元件 TMR 的电阻 R_{cell} 变化。

例如，如图 3 中的 (b) 所示，从图 3 中的 (a) 的磁化状态开始，在施加了由数位线电流 $I(WDL)$ 产生的难磁化轴 (HA) 方向的规定偏磁场的情况下，自由磁化层 VL 的磁化方向稍微旋转一些，与固定磁化层 FL 的磁化方向构成规定的角度。因此，在对应于图 3 中的 (b) 的磁化状态下，存储单元电阻 R_{cell} 从最小值 R_{min} 上升到 R_{m0} 。

同样，从图 3 中的 (c) 的磁化状态开始，在再施加了同样的规定偏磁场的情况下，自由磁化层 VL 的磁化方向稍微旋转一些，与固定磁化层 FL 的磁化方向构成规定的角度。因此，在对应于图 3 中的 (d) 的磁化状态下，存储单元电阻 R_{cell} 从最大值 R_{max} 下降到 R_{m1} 。

这样，通过施加难磁化轴 (HA) 方向的偏磁场，存储对应于最大值 R_{max} 的数据的 MTJ 存储单元的存储单元电阻 R_{cell} 下降，另一方面，存储对应于最小值 R_{min} 的数据的 MTJ 存储单元的存储单元电阻

Rcell 上升。

这样，如果对写入了某存储数据的 MTJ 存储单元施加难磁化轴方向的偏磁场，则能在存储单元电阻 Rcell 中发生对应于存储数据的极性的电阻的变化。即，响应偏磁场的施加而产生的存储单元电阻 Rcell 的变化随着存储数据电平的不同而有不同的极性。在本实施例中，利用这样的 MTJ 存储单元的磁化特性，进行数据读出。

其次，说明对存储器阵列 10 进行数据读出工作及数据写入工作用的电路组的结构。

参照图 4，在存储器阵列 10 中，呈行列状配置 MTJ 存储单元 MC。已经说明过，分别对应于存储单元行，配置字线 WL 及写入数位线 WDL，分别对应于存储单元列，配置位线 BL 及源极线 SL。各个 MTJ 存储单元 MC 具有与用图 11 说明过的同样的结构，包括在对应的位线 BL 及源极线 SL 之间串联连接的隧道磁阻元件 TMR 及存取晶体管 ATR。

已经说明过，隧道磁阻元件 TMR 有对应于磁化方向的电阻。即，在数据读出前，在各个 MTJ 存储单元中，隧道磁阻元件 TMR 为了存储高电平（“1”）及低电平（“0”）中的某一数据，沿着规定的方向被磁化，其电阻被设定为 R_{max} 及 R_{min} 两者中的某一者。

各源极线 SL 与固定电压 V_{ss} （具有代表性的为接地电压 GND）耦合。因此，各存取晶体管 ATR 的源极电压被固定为 V_{ss} 。其结果，在对应的字线 WL 被激活成高电平的选择行中，隧道磁阻元件 TMR 在被下拉成固定电压 V_{ss} （接地电压 GND）的状态下，与位线 BL 连接。

其次，说明进行存储器阵列 10 中的行选择用的行选择电路 20 及 21 的电路结构。

行选择电路 20 及 21 有配置在每一存储单元行中的字线驱动器 80 及写入数位线驱动器 85。虽然图中未示出，但各字线驱动器 80 接收电源电压 V_{cc2} 及固定电压 V_{ss} 的供给，各写入数位线驱动器 85 接收电源电压 V_{cc1} 及固定电压 V_{ss} 的供给。另外，电源电压 V_{cc1} 比电源电压 V_{cc2} 高，即， $|(V_{cc1} - V_{ss})| > |(V_{cc2} - V_{ss})|$ 。

各字线驱动器 80 设置在各字线 WL 的一端侧，根据对应于表示存储单元行的译码结果的行译码信号 $Rd(1) \sim Rd(4)$ 、... 中的一个信号，控制对应的字线 WL 的激活。具体地说，字线 WL 被字线驱动器 80 激活时与电源电压 V_{cc2} （高电平）连接，非激活时与固定电压 V_{ss} 连

接。

各写入数位线驱动器 85 设置在各写入数位线 WDL 的一端侧，根据对应于表示存储单元行的译码结果的行译码信号 $Rd(1) \sim Rd(4)$ 、... 中的一个信号，控制对应的写入数位线 WDL 的激活。具体地说，写入数位线 WDL 被写入数位线驱动器 85 激活时与电源电压 V_{cc1} (高电平) 连接，非激活时与固定电压 V_{ss} 连接。另外，以下，总称行译码信号 $Rd(1) \sim Rd(4)$ 、...，也简单地称为行译码信号 Rd 。

行译码信号 Rd 由图中未示出的译码电路获得，在选择了对应的存储单元行的情况下，被设定为高电平 (电源电压 V_{cc2})，在除此以外的情况下，行译码信号 Rd 被设定为低电平 (固定电压 V_{ss})。至少在一次数据读出工作及一次数据写入工作内，由图中未示出的锁存电路保持各存储单元行的行译码信号 Rd 。

另外，对应于各存储单元行，在包括数据写入时的数据读出时以外的情况下，配置将字线 WL 的另一端侧与固定电压 V_{ss} 耦合用的晶体管开关 90。晶体管开关 90 在栅极接收数据读出时被激活 (高电平) 的控制信号 RE 的反转信号 \overline{RE} ，被电气性地耦合在字线 WL 和固定电压 V_{ss} 之间。在图 4 所示的结构例中，晶体管开关 90 由 N 沟道 MOS (Metal Oxide Semiconductor) 晶体管构成。另外，在本说明书中，MOS 晶体管是以场效应型晶体管为代表的晶体管。

另外，写入数位线 WDL 的另一端侧与固定电压 V_{ss} 连接。因此，数据写入时，数据写入电流 I_p 从写入数位线驱动器 85 朝向固定电压 V_{ss} 的方向流过被激活的写入数位线 WDL。

另一方面，数据读出时，各字线 WL 被晶体管开关 90 从固定电压 V_{ss} 切断。另外，字线驱动器 80 根据对应的存储单元行的行译码信号 Rd ，将对应的字线 WL 激活。对此进行响应，对应于选择行的存取晶体管 ATR 导通，隧道磁阻元件 TMR 电气性地耦合在位线 BL 及源极线 SL 之间。这样一来，进行存储器阵列 10 中的行选择工作。

对应于各存储单元行的字线 WL 及写入数位线 WDL 同样地设置同样的结构。另外，如图 4 所示，字线驱动器 80 及写入数位线驱动器 85 呈锯齿状地配置在每一存储单元行中。即，字线驱动器 80 及写入数位线驱动器 85 在每一行中，交替地配置在字线 WL 及写入数位线 WDL 的一端侧、以及字线 WL 及写入数位线 WDL 的另一端侧。因此，能用

较小的面积有效地配置行选择电路 20、21。

读出/写入控制电路 30 还包括写入驱动控制电路 180。写入驱动控制电路 180 响应来自控制电路 5 的工作指示而工作。写入驱动控制电路 180 工作时，根据通过数据输入端子 4b 及输入缓冲器 195 传递的输入数据 DIN、以及来自列译码器 25 的列选择结果，对每一存储单元列设定写入控制信号 WDTa、WDTb。

读出/写入控制电路 30 还包括配置在每一存储单元列中的写入驱动器 WDVb。同样，读出/写入控制电路 35 包括设置在每一存储单元列中的写入驱动器 WDVa。在各存储单元列中，写入驱动器 WDVa 根据对应的写入控制信号 WDTa，用电源电压 Vcc1 及固定电压 Vss 中的某一者驱动对应的位线 BL 的一端侧。同样，写入驱动器 WDVb 根据对应的写入控制信号 WDTb，用电源电压 Vcc1 及固定电压 Vss 中的某一者驱动对应的位线 BL 的另一端侧。

数据写入时，对应于选择列的写入控制信号 WDTa 及 WDTb 根据写入数据 DIN 的电平，分别被设定为高电平及低电平中的一者。例如，写入高电平（“1”）的数据时，由于数据写入电流 $+I_w$ 从写入驱动器 WDVa 朝向 WDVb 方向流，所以写入控制信号 WDTa 被设定为高电平，WDTb 被设定为低电平。反之，写入低电平（“0”）的数据时，由于数据写入电流 $-I_w$ 从写入驱动器 WDVb 朝向 WDVa 方向流，所以写入控制信号 WDTb 被设定为高电平，WDTa 被设定为低电平。以下，总称不同方向的数据写入电流 $+I_w$ 及 $-I_w$ ，也标记为 $\pm I_w$ 。

在非选择列中，各个写入控制信号 WDTa 及 WDTb 被设定为低电平。另外，在数据写入工作以外的情况下，写入驱动器 WDVa、WDVb 都将对应的位线 BL 与电源电压 Vcc1 及固定电压 Vss 断开。

在数据写入电流 I_p 及 $\pm I_w$ 分别流过对应的写入数位线 WDL 及位线 BL 两者的隧道磁阻元件 TMR 中，磁性地写入对应于数据写入电流 $\pm I_w$ 的方向的写入数据。对应于各存储单元列的位线 BL 同样地设置同样的结构。

其次，说明从存储器阵列 10 进行数据读出工作。

读出/写入控制电路 30 还包括：传递对应于选择存储单元的电阻的电压用的数据线 DIO；以及设置在数据线 DIO 及各位线 BL 之间的读出选通 RCSG。表示对应的存储单元列的选择状态的读出列选择线 RCSL

耦合在读出选通 RCSG 上。各读出列选择线 RCSL 在选择了对应的存储单元列的情况下被激活到高电平。对应于各存储单元列设置同样的结构。即，由存储器阵列 10 中的位线 BL 共有数据线 DIO。

利用这样的结构，数据读出时，选择存储单元通过选择列的位线 BL 及对应的读出选通 RCSG，电气性地与数据线 DIO 耦合。

读出/写入控制电路 30 还包括数据读出电路 100、以及电流供给晶体管 105。

数据读出电路 100 包括：耦合电容器 110、读出放大器（电压放大器）120、电压保持电容器 130、反馈开关 140、晶体管开关 145、读出放大器（电压放大器）146、以及锁存电路 148。

耦合电容器 110 连接在读出输入结点（相当于读出放大器 120 的一个输入结点）和数据线 DIO 之间。电压保持电容器 130 为了保持读出输入结点 N2（相当于读出放大器 120 的另一个输入结点）的电压电平，连接在读出输入结点 N2 和固定电压 V_{SS} 之间。读出放大器 120 放大读出输入结点 N1 及 N2 的电压，输出给结点 N3（相当于读出放大器 120 的输入结点）。晶体管开关 145 设置在数据线 DIO 和读出输入结点 N1 之间。反馈开关 140 及晶体管开关 145 响应控制信号/RS，数据读出工作时，偏磁场施加前导通，偏磁场施加后截止。

读出放大器 146 将预定的基准电压 V_{cp} 和结点 N3 的电压差放大后输出。锁存电路 148 在数据读出工作时在偏磁场施加后的规定时刻，将读出放大器 146 的输出锁存起来，作为读出数据 RDT 输出。从锁存电路 148 读出的读出数据 RDT 作为通过输出缓冲器 190 来自数据输出端子 4a 的输出数据 DOUT 输出。这样，由于利用多级的读出放大器 120、146，放大读出输入结点 N1 及 N2 之间的电压差，所以能确保充分的工作容限。另外，由于通过调整被输入第二级的读出放大器 146 的基准电压 V_{cp} 的电平，能变更灵敏度，所以能修正由制造时的元件特性离散引起的灵敏度的变化。

电流供给晶体管 105 由 P 沟道 MOS 晶体管构成，用栅极接收数据写入时被激活（高电平）的作为控制信号/WE 的反转信号的控制信号 WE。即，电流供给晶体管 105 在数据写入工作以外时被导通。

因此，数据读出工作前，由于电流供给晶体管 105 导通，所以数据线 DIO 与预充电电压 V_{pc} 耦合。在该阶段，由于各存储单元列中的

读出选通 RCSG 导通，数据线 DIO 与位线 BL 及存储单元 MC 断开，所以被充电到预充电电压 V_{pc} 。

如果数据读出工作开始，则选择行的字线 WL 及选择列的读出列选择线 RCSL 被激活到高电平，数据线 DIO 通过选择存储单元被下拉到固定电压 V_{ss} （接地电压 GND）。数据读出工作时，电流供给晶体管 105 也维持导通状态，所以由预充电电压 V_{pc} 供给通过选择存储单元的数据读出电路 I_s 。其结果，在数据线 DIO 上产生对应于选择存储单元的电阻的电压。

一次数据读出工作由不对选择存储单元施加偏磁场的前半期间、以及对选择存储单元施加偏磁场的后半期间构成。在该后半期间内，选择行的写入数位线驱动器 85 与数据写入时同样地工作，将对应的写入数位线 WDL 激活。即，由供给选择行的写入数位线 WDL 的电流发生偏磁场。通过这样构成，数据读出时不需要新配置发生偏磁场用的电路，所以能简化电路结构。

偏磁场施加前，即在对应于选择行的写入数位线 WDL 中没有电流流过的状态下（ $I(WDL) = 0$ ），数据线 DIO 稳定在对应于选择存储单元的存储数据的电压。

其次，偏磁场施加后，即在对应于选择行的写入数位线 WDL 中流过偏流的状态下（ $I(WDL) = I_p$ ），沿着难磁化轴方向的规定的偏磁场作用于选择存储单元上。已经说明过，通过作用这样的偏磁场，选择存储单元的存储单元电阻 R_{cell} 与偏磁场施加前比较，按照与存储数据电平对应的极性而变化。因此，数据线 DIO 的电压比偏磁场施加前上升或下降。

具体地说，在选择存储单元中存储着对应于电阻 R_{min} 的存储数据（例如“0”）的情况下，数据线电压在偏磁场施加后比偏磁场施加前高。这是因为，由于由数位线电流 $I(WDL)$ 产生的偏磁场的作用，存储单元电阻 R_{cell} 增大，与此相对应，流过隧道磁阻元件 TMR 的电流减少。与此不同，在选择存储单元中存储着对应于电阻 R_{max} 的存储数据（例如“1”）的情况下，数据线电压在偏磁场施加后比偏磁场施加前低。这是因为，由于由数位线电流 $I(WDL)$ 产生的偏磁场的作用，存储单元电阻 R_{cell} 变小，与此相对应，流过隧道磁阻元件 TMR 的电流增大。

其次，用图 5 详细说明数据读出电路 100 的工作。

参照图 5，读出放大器 120 备有：分别连接在电源电压 V_{cc2} 和结点 N3 及 N4 之间的 P 沟道 MOS 晶体管 122 及 124；以及分别连接在结点 N3 及 N4 和固定电压 V_{ss} 之间的 N 沟道 MOS 晶体管 126 及 128。晶体管 122 及 124 的各栅极与结点 N4 连接，晶体管 126 的栅极与读出输入结点 N2 连接，晶体管 128 的栅极与读出输入结点 N1 连接。即，晶体管 122~128 作为将读出输入结点 N1、N2 作为输入结点、将结点 N3 作为输出结点的“差动放大器”工作。

耦合电容器 110、电流供给晶体管 105、电压保持电容器 130、反馈开关 140 及晶体管开关 145 的配置方法已用图 4 说明过，详细说明不再重复。

在数据读出工作之前，电流供给晶体管 105、反馈开关 140 及晶体管开关 145 分别导通，所以数据线 DIO 被预充电到预充电电压 V_{pc} ，同时数据线 DIO 及读出输入结点 N1 被短路，另外读出输入结点 N2 及结点 N3 也被短路。

从该状态开始数据读出工作，数据线 DIO 通过选择存储单元被下拉到固定电压 V_{ss} （接地电压 GND）。数据读出工作时，由于电流供给晶体管 105 也维持导通状态，所以该电流供给晶体管 105 不仅具有数据读出前的数据线 DIO 的预充电功能，而且还一并具有数据读出时对数据线 DIO 的数据读出电流供给功能。因此，数据线 DIO 的电压对应于选择存储单元的通过电流、即对应于选择存储单元的电阻，比预充电电压 V_{pc} 低。数据读出时的数据线 DIO 的电压由电流供给晶体管 105 的阻抗和选择存储单元的阻抗（电阻）之间的关系决定。

在从数据读出开始到施加偏磁场为止的前半期间内，控制信号/RS 不被激活到高电平。因此，反馈开关 140 及晶体管开关 145 导通，所以数据线 DIO 及读出输入结点 N1、以及读出输入结点 N2 及结点 N3 分别被短路。其结果，在数据读出工作的前半期间（偏磁场施加前），读出输入结点 N1 及 N2 通过由读出放大器 120 进行的负反馈工作，设想呈短路状态，设定为同一电压电平。该状态下的读出输入结点 N2 的电压在偏磁场施加后也由电压保持电容器 130 保持。

严格地说，由于构成读出放大器 120 的电路元件的特性离散，虽然会发生读出输入结点 N1 及 N2 不能被设定成同一电压的情况，但由

于读出输入结点 N2 的电压也包括这样的离散, 对应于读出输入结点 N1 的电压, 被设定成平衡状态, 所以变成一并进行这样的读出放大器的偏移调整。

此后, 在数据读出工作的后半期间, 即对选择存储单元施加偏磁场后, 控制信号/RS 被激活到低电平。因此, 数据线 DIO 及读出输入结点 N1、以及读出输入结点 N2 及结点 N3 分别被断开。在该状态下, 由于偏磁场对选择存储单元的作用, 数据线 DIO 的电压大小与选择存储单元的存储数据相关地比偏磁场施加前上升或下降。

数据线 DIO 中发生的电压变化通过耦合电容器 110 进行的电容耦合, 被传递给读出输入结点 N1。因此读出放大器 120 将偏磁场施加前达到了平衡状态的读出输入结点 N2 的电压 (由电压保持电容器 130 保持) 和偏磁场施加后的读出输入结点 N1 的电压的电压差放大, 能输出给结点 N3。即, 结点 N3 的电压随着选择存储单元的存储数据的不同而不同。

图 6 是说明本发明的实施例的数据读出工作的工作波形图。

参照图 6, 本发明的实施例的一次数据读出工作例如能与时钟信号 CLK 同步地进行。

即, 在作为时钟信号 CLK 的激活边的时刻 t_1 , 如果取入芯片选择信号 CS 及读出命令 RC, 则数据读出工作开始。与此相伴随, 选择行的字线 WL 被激活, 同时数据读出电流 I_s 被供给选择列的位线 BL。在时刻 $t_1 \sim t_r$ 的前半期间 (控制信号/RS 的高电平期间), 不施加偏磁场, 选择列的位线、即数据线 DIO 的电压达到对应于选择存储单元的电阻 (存储数据) 的电平。这时的数据线电压被传递给读出输入结点 N1 及 N2, 在读出输入结点 N2 上由电压保持电容器 130 保持。

在时刻 t_r 以后的后半期间 (控制信号/RS 的低电平期间), 在选择行的字线 WL 及控制信号 RE 呈被激活 (高电平) 的状态下, 与数据写入电流 I_p 同等的偏流慢慢流过选择行的写入数位线 WDL。即, 对选择存储单元慢慢地施加偏磁场。与此相对应, 选择列的位线 (数据线 DIO) 的电压按照与选择存储单元的存储数据对应的极性而变化 (上升或下降)。另外, 在后面的实施例 2 中将详细说明供给生成偏磁场用的偏流的结构。

由偏磁场产生的数据线电压的变化由耦合电容器 110 传递给读出

输入结点 N1，所以在读出输入结点 N1 及 N2 之间发生对应于选择存储单元的极性的电压差。通过用读出放大器 120、146 及锁存电路 148，放大该电压差，能生成读出数据 RDT。

另外，由相当于下一个时钟激活边的时刻 t_2 开始，从数据输出端子 4a 输出对应于读出数据 RDT 的输出数据 DOUT。由于由流过写入数位线 WDL 的偏流（数据写入电流 I_p ）加在选择存储单元上的偏磁场的作用，隧道磁阻元件 TMR 的磁化方向不反转。因此，在使偏磁场消失的时刻，选择存储单元的磁化方向返回与数据读出工作前相同的状态。这样，本发明的实施例的数据读出方法是非破坏读出方法，所以不需要进行现有的自基准读出的数据再写入工作。

另外，将进行 1 位的数据读出及数据写入用的结构作为一个块，能由多个块构成 MRAM 装置。图 6 中一并示出了这样构成的数据读出工作。

在有多个块的 MRAM 装置中，在各块中并行地进行同样的数据读出工作，在时刻 t_2 ，在各块中生成来自选择存储单元的读出数据 RDT。在这样的结构中，在时刻 t_2 以后的各时钟激活边时刻，能输出分别来自多个块的读出数据 RDT，作为脉冲串式的输出数据 DOUT。在图 6 中示出了以下工作例：在时刻 t_2 ，对应于来自一个块的读出数据 RDT，作为输出数据 DOUT 输出“0”，从作为下一个时钟激活边的时刻 t_3 开始，对应于另一个块的读出数据 RDT，作为输出数据 DOUT 输出“1”。

这样，在本发明的实施例的结构中，也能不使用基准单元，而通过只对选择存储单元的存取，进行自基准方式的数据读出。即，根据通过包括同一存储单元、同一位线、同一数据线及同一读出放大器等的同一数据读出路径进行的电压比较，生成读出数据。由于不需要基准单元，所以对各 MTJ 存储单元进行数据存储，能将全部 MTJ 存储单元作为有效位使用。

通过进行自基准方式的数据读出，避免构成数据读出路径的各电路的制造离散引起的偏移等的影响，能使数据读出工作高精度化。即，根据与基准单元等其他存储单元或与其相伴随的数据读出电路系统的比较，来自从选择存储单元进行数据读出，更能排除制造离散等的影响，能进行高精度的数据读出。

另外，在本实施例的结构中，在一次数据读出工作内，由于不需

要现有的自基准读出那样的强制的数据写入及数据读出、以及伴随选择存储单元的存储数据破坏的再写入，所以能高速地进行自基准读出。

特别是仍然维持字线 WL 的激活状态而开始施加偏磁场，通过在规定的时刻取出由该偏磁场的作用生产的数据线 DIO 的连续的电压变化，进行数据读出，所以更能使数据读出高速化。

另外，由于通过偏磁场施加前的读出放大器 120 的负反馈工作，能调整读出放大器 120 的偏移，所以更能使数据读出高精度化。

另外，通过将数据写入时用的流过写入数位线 WDL 的电流作为发生偏磁场用的偏流，不需要新配置数据读出时供给偏流用的电路，所以能简化电路结构。

实施例 1 的变形例

在实施例 1 的变形例中，说明数据读出电路的另一结构例。

参照图 7，在实施例 1 的变形例的数据读出电路的结构中，与图 5 所示的实施例 1 的结构相比较，不同的地方在于备有预充电晶体管 149，来代替晶体管开关 145。除了图 7 中记载的读出放大器 120 的外围电路部分以外，数据读出电路的结构、以及其他电路结构与实施例 1 相同，所以详细说明不再重复。

预充电晶体管 149 由 N 沟道 MOS 晶体管构成，连接在预充电电压 $V_{pc\#}$ 和读出输入结点 N1 之间。预充电晶体管 149 与反馈开关 140 一样，响应控制信号 /RS 而通·断。

由于这样构成，所以在数据读出工作前及数据读出工作时的偏磁场施加前，读出输入结点 N1 被充电到预充电电压 $V_{pc\#}$ 。其结果，读出输入结点 N2 被设定为与预充电电压 $V_{pc\#}$ 相同的电平。

另一方面，与实施例 1 相同，数据线 DIO 在数据读出工作前由电流供给晶体管 105 充电到预充电电压 V_{pc} ，在数据读出工作时，随着对应于选择存储单元的电阻（存储数据）的电压电平的而变化而变化。

从该状态开始，在偏磁场施加后，反馈开关 140 及预充电晶体管 149 导通，与实施例 1 同样地施加偏磁场。与此相对应，读出输入结点 N1 的电压随着偏磁场施加后的数据线 DIO 的电压变化，从预充电电压 $V_{pc\#}$ 开始变化。另一方面，读出输入结点 N2 保持着预充电电压 $V_{pc\#}$ ，所以作为读出放大器 120 的输出结点的结点 N3 的电压与实施

例 1 同样地变化。其结果，能进行与实施例 1 同样地数据读出。

这样，在实施例 1 的变形例的结构中，使数据线 DIO 的预充电电压 V_{pc} 、以及偏磁场施加前的平衡状态下的读出输入结点 N1、N2 的预充电电压 $V_{pc\#}$ 独立，能分别进行最佳设定。

例如，考虑 MTJ 存储单元的 MR (Magneto-Resistive) 特性，将数据线 DIO 的预充电电压 V_{pc} 设定为容易实现耦合电阻差 ΔR ($R_{max} - R_{min}$) 的电平，另一方面，能与其独立地将读出输入结点 N1 及 N2 的预充电电压 $V_{pc\#}$ 设定为适合于确保读出放大器 120 的工作容限的电平。这能通过利用耦合电容器 110，使数据线 DIO 和读出放大器 120 的读出输入结点 N1 绝缘来实现。因此，能任意地选择数据线 DIO 及读出输入结点 N1 的预充电电压。

利用这样的结构，与实施例 1 相比较，更能提高数据读出工作容限。

实施例 2

在实施例 2 中，说明将电流供给数据写入电流（数据写入时）及偏流（数据读出时）兼用的写入数位线 WDL 用的结构。

图 8 是表示控制对写入数位线 WDL 的电流供给的电路组的实施例 2 的结构的电路图。

参照图 8，分别对应于写入数位线 WDL 设置的写入数位线驱动器 85 有作为 N 沟道 MOS 晶体管的驱动晶体管 86，该驱动晶体管 86 与对应的写入数位线 WDL 串联连接在传递电源电压 V_{cc1} 的电源电压布线 VPL 和接地电压布线 GPL 之间。接地电压布线 GPL 通过晶体管开关 88，与固定电压 V_{ss} 连接。晶体管开关 88 响应控制信号而进行通·断。在除了 MRAM 装置的备用模式时及低功耗模式时以外的激活期间内，控制信号 ACT 被激活成高电平。在控制信号 ACT 的非激活期间内，接地电压布线 GPL 呈浮动状态，通过使 N 沟道 MOS 晶体管的源极电压上升，栅·源之间的电压呈负压，能降低该晶体管的泄漏电流。

另外，分别对应于写入数位线驱动器 85（驱动晶体管 86）、即对应于各存储单元行，配置写入数位线驱动控制单元 150。

各写入数位线驱动控制单元 150 在数据读出时及数据写入时都根据对应的存储单元行的行选择结果，使对应的驱动晶体管 86 导通。对应的驱动晶体管 86 使电流在被导通的写入数位线 WDL 中从电源电

压布线 VPL 朝向接地电压布线 GPL 的方向流。这样，数据写入时为了使充分的数据写入电流流过，用比包括数据读出电路系统的其他外围电路的电源电压 V_{cc2} 高的电源电压 V_{cc1} ，驱动被激活的写入数位线 WDL。

写入数位线驱动控制单元 150 包括逻辑电路 155、电平变换电路 160、电流供给晶体管 165、以及倒相器 170。图 8 作为一例，具有代表性地表示第 J 行 (J : 自然数) 的写入数位线驱动控制单元 150 的结构。

逻辑电路 155 有输出控制信号 WE 及 RS 的 OR 逻辑运算结果的逻辑门 156、以及将行译码信号 $Rd(j)$ 和逻辑门 156 的输出信号的 AND 逻辑运算结果输出给结点 N10 的逻辑门 157。控制信号 WE 及 RS 与数据读出系统电路 (读出放大器 120 等) 的信号相同，有从固定电压 V_{ss} (低电平) 到电源电压 V_{cc2} (高电平) 的振幅。即，在选择了对应的存储单元行的情况下，行译码信号 $Rd(j)$ 被激活成高电平 (电源电压 V_{cc2})。

数据写入时 (控制信号 WE = 高电平) 及数据读出时的偏压施加时 (控制信号 RS = 高电平) 各情况下，在选择了对应的存储单元行时，结点 N10 的电压由逻辑电路 155 设定为高电平 (电源电压 V_{cc2})，在除此以外的情况下，设定为低电平 (固定电压 V_{ss})。

倒相器 170 有在电源电压 V_{cc2} 及固定电压 V_{ss} 之间构成 CMOS 倒相器那样连接的 P 沟道 MOS 晶体管 172 及 N 沟道 MOS 晶体管 174。晶体管 172 及 174 的各栅极与结点 N10 连接，晶体管 172 及 174 的连接栅极连接在结点 N12 上。

电平变换电路 160 有分别连接在结点 N11 和结点 Ng 及 /Ng 之间的 P 沟道 MOS 晶体管 161 及 162；以及分别连接在结点 Ng 及 /Ng 和固定电压 V_{ss} 之间的 N 沟道 MOS 晶体管 163 及 164。晶体管 161 的栅极与结点 /Ng 连接，晶体管 162 的栅极与结点 Ng 连接。晶体管 163 的栅极与相当于倒相器 170 的输出结点的结点 N12 连接，晶体管 164 的栅极与结点 N10 连接。

电平变换电路 160 在结点 N10 被设定为高电平 (电源电压 V_{cc2}) 时，将输出结点 Ng 设定为高电平 (电源电压 V_{cc1})，在结点 N10 被设定为低电平 (固定电压 V_{ss}) 时，将输出结点 Ng 设定为低电平 (固定

电压 V_{ss})。结点 Ng 与对应的驱动晶体管 86 的栅极连接。结点 Ng 的电压被设定为与结点 Ng 反相的电压。

这样，电平变换电路 160 根据对应的存储单元行的行选择结果，使逻辑电路 155 的输出信号的振幅增大，传递给驱动晶体管 86 的栅极。

电流供给晶体管 165 连接在电源电压 V_{cc1} 和结点 N11 之间，由在其栅极接收控制信号 RS 的 P 沟道 MOS 晶体管构成。因此，电流供给晶体管 165 根据控制信号 RS 的电平，控制电平变换电路 160 的工作电流。

具体地说，在控制信号 RS 呈低电平的期间，电流供给晶体管 165 完全导通，供给工作电流，所以电平变换电路 160 能高速工作。与此不同，在控制信号 RS 呈高电平的期间，由于电流供给晶体管 165 的栅极电压被设定为作为电源电压 V_{cc1} 和固定电压 V_{ss} 的中间电平的 V_{cc2} ，所以电流供给晶体管 165 的通过电流减少。其结果，电平变换电路 160 的工作电流减少，工作速度降低。

因此，数据写入工作时，利用全额供给工作电流的电平变换电路 160，选择行的驱动晶体管 86 的栅极电压迅速地变化到高电平（电源电压 V_{cc1} ）。其结果，写入数位线 WDL 与电源电压 V_{cc1} 耦合，迅速地开始供给数据写入电流。

与此不同，数据读出工作的偏磁场施加时，由于电平变换电路 160 的工作电流减少，所以选择行的驱动晶体管 86 的栅极电压缓慢地变化到高电平（电源电压 V_{cc1} ）。其结果，供给写入数位线 WDL 的偏流比数据写入时的数据写入电流上升得慢。

因此，加在选择存储单元上的偏磁场也由于变化缓慢，所以能避免数据线 DIO 的电压急剧变化，能进行降低了噪声的稳定的数据读出。

另外，通过对接地电压布线 GPL 设置晶体管开关 88，能使非选择时的写入数位线 WDL 呈浮动状态。其结果，在对应于非选择的写入数位线的驱动晶体管 86（N 沟道 MOS 晶体管）中，源极电压（写入数位线 WDL 电压）比栅极电压（固定电压 V_{ss} ）高。其结果，负偏压加在栅·源之间，所以能减少驱动晶体管 86 的泄漏电流。

其结果，由于导通时的电流驱动力增大，所以即使将驱动晶体管 86 的阈值电压设定得低，也能防止截止时发生泄漏电流。

实施例 2 的变形例 1

图 9 是表示控制对写入数位线 WDL 的电流供给的电路组的实施例 2 的变形例 1 的结构的电路图。

参照图 9, 在实施例 2 的变形例 1 的结构中, 与图 8 所示的实施例 2 的结构相比较, 不同的地方在于: 写入数位线驱动器 85 由作为 P 沟道 MOS 晶体管的驱动晶体管 87 构成。不是结点 Ng 而是结点/Ng 连接在驱动晶体管 87 的栅极上。

与此相伴随, 晶体管开关 88 与图 8 所示的结构不同, 而是采用 P 沟道 MOS 晶体管, 连接在电源电压 Vcc1 及电源电压布线 VPL 之间。另外, 作为控制信号 ACT 的反转信号的 /ACT 被输入晶体管开关 88 的栅极。

在写入数位线驱动控制单元 105 中, 电流供给晶体管 165 采用 N 沟道 MOS 晶体管, 不是设置在电源电压 Vcc1 及结点 N11 之间, 而是设置在结点 N13 及固定电压 Vss 之间。另外, 还设有控制电流供给晶体管 165 的栅极电压用的电流限制控制电路 175。

电流限制控制电路 175 有连接在电源电压 Vcc2 及结点 N14 之间的 P 沟道 MOS 晶体管 176、以及连接在结点 N14 及固定电压 Vss 之间的 N 沟道 MOS 晶体管 178。结点 N14 与电流供给晶体管 (N 沟道 MOS 晶体管) 165 的栅极连接。由于晶体管 176 的栅极与固定电压 Vss 连接。所以晶体管 176 经常呈导通状态。与此不同, 控制信号 RS 被输入晶体管 178 的栅极。

电流限制控制电路 175 响应控制信号 RS, 控制结点 N14 的电压电平。具体地说, 在控制信号 RS 呈高电平期间、即在数据读出时的偏磁场施加期间, 结点 N14 的电压被设定为电源电压 Vcc2 及固定电压 Vss 的中间电平。其结果, 电流供给晶体管 165 的通过电流受到限制, 电平变换电路 160 的工作速度下降。即, 由电平变换电路 160 产生的结点 Ng 及/Ng 的电压变化缓慢。

与此不同, 在控制信号 RS 呈低电平期间, 结点 N14 由晶体管 176 设定为电源电压 Vcc2。其结果, 电流供给晶体管 165 的通过电流增大, 由电平变换电路 160 产生的结点 Ng 及/Ng 的电压变化迅速。

另外, 写入数位线驱动控制单元 150 的其他部分的结构及工作与图 8 说明过的相同, 详细说明不重复。因此, 即使在写入数位线 WDL

的驱动开关中采用了 P 沟道 MOS 晶体管的情况下，也能获得与实施例 2 同样的效果。

实施例 2 的变形例 2

图 10 是表示控制对写入数位线 WDL 的电流供给的电路组的实施例 2 的变形例 2 的结构的电路图。

参照图 10，在实施例 2 的变形例 2 的结构中，与图 8 所示的实施例 2 的结构相比较，不同的地方在于：作为 N 沟道 MOS 晶体管的驱动晶体管 86 连接在对应的写入数位线 WDL 和固定电压 V_{SS} 之间。另外，能省略备用时使写入数位线 WDL 呈浮动状态用的晶体管开关 88 的配置。

包括写入数位线驱动控制单元 150 的其他部分的结构及工作与用图 8 说明过的相同，详细说明不重复。即使这样构成，也能获得与实施例 2 同样的效果。

另外，在具有同一晶体管尺寸的 P 沟道型 MOS 晶体管及 N 沟道 MOS 晶体管中，由于后者的电流驱动能力大，所以通过将 N 沟道型 MOS 晶体管用于驱动晶体管、以及配置晶体管开关 88，在图 8 所示的结构中，特别能谋求写入数位线驱动器 85 的小型化。

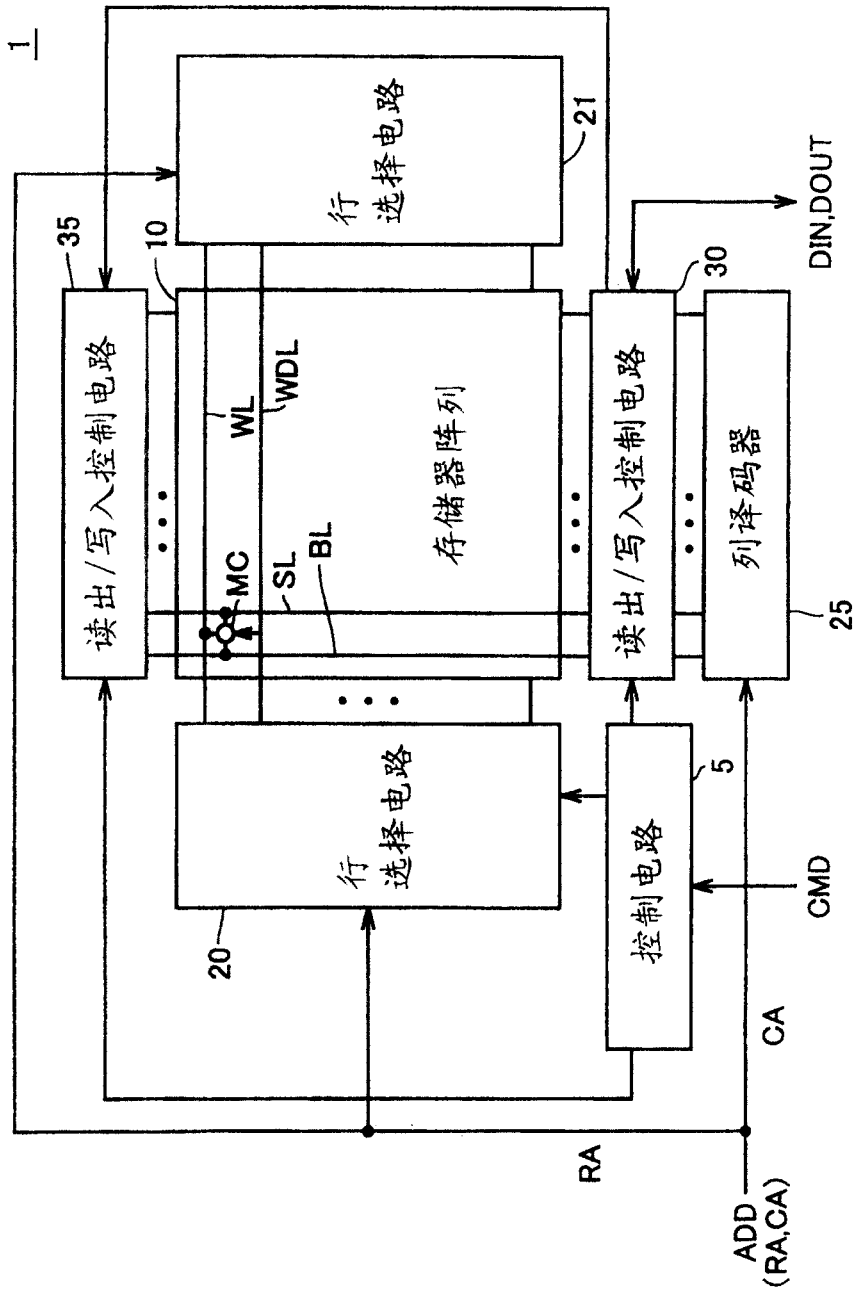


图 1

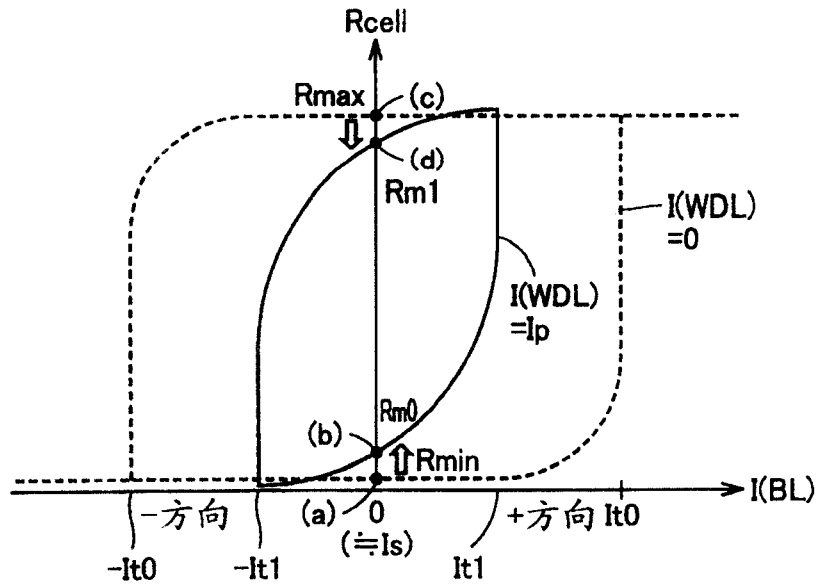


图 2

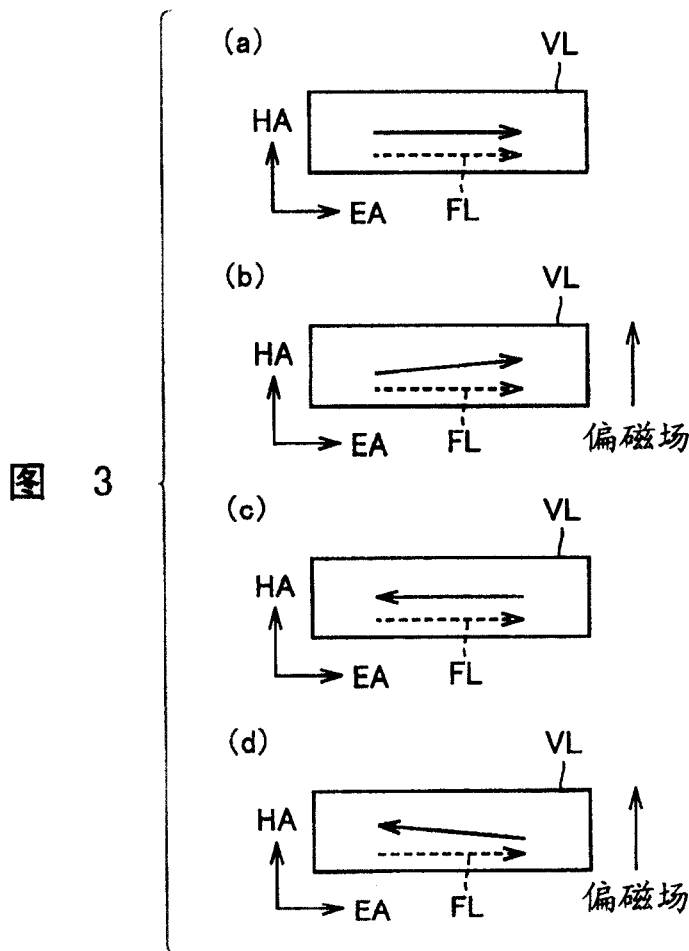


图 3

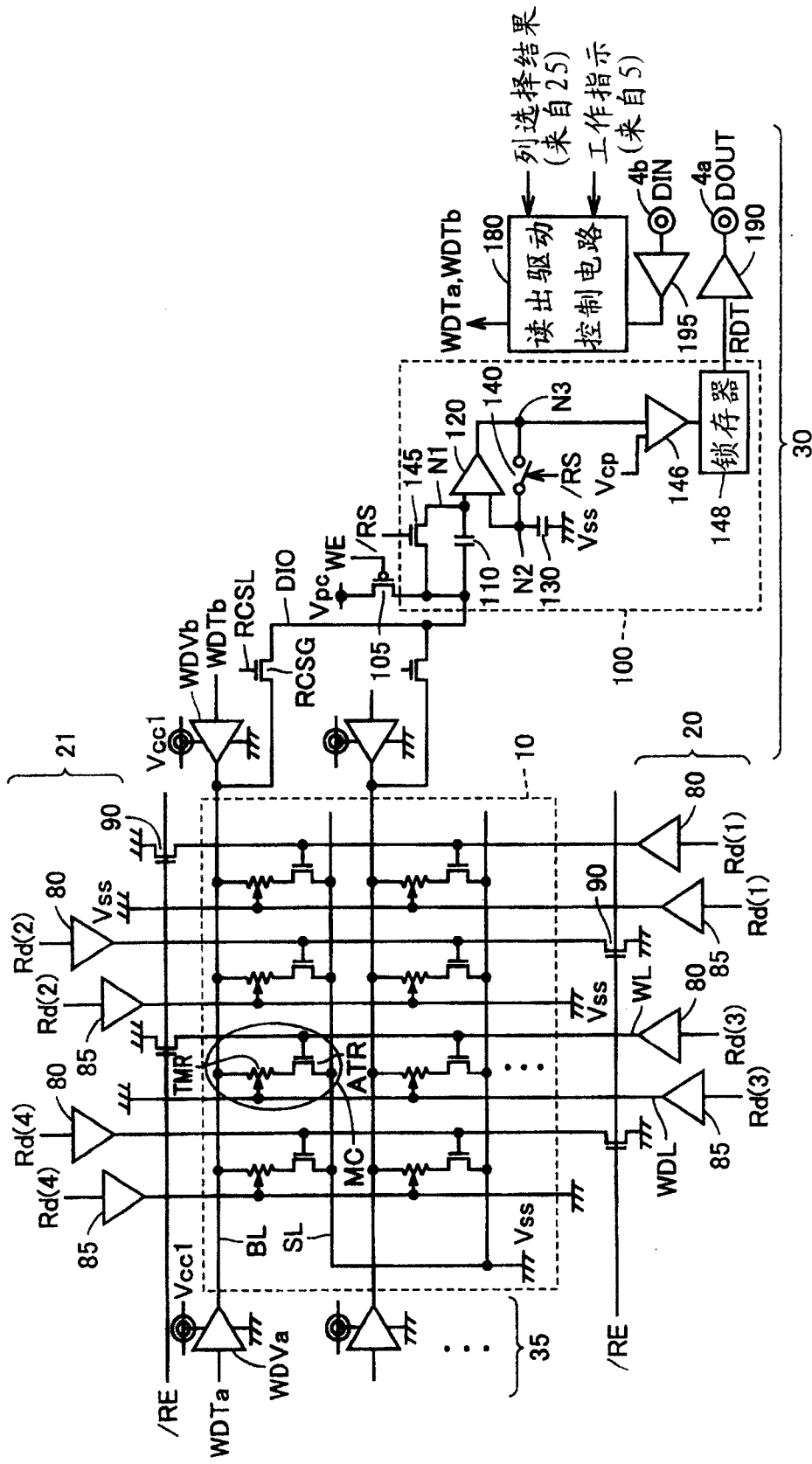


图 4

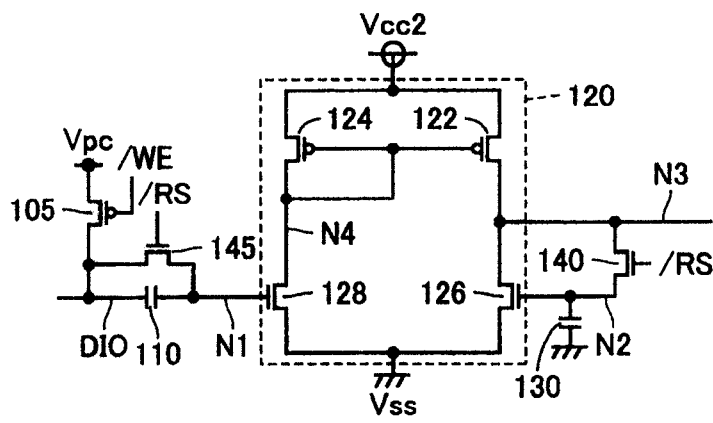


图 5

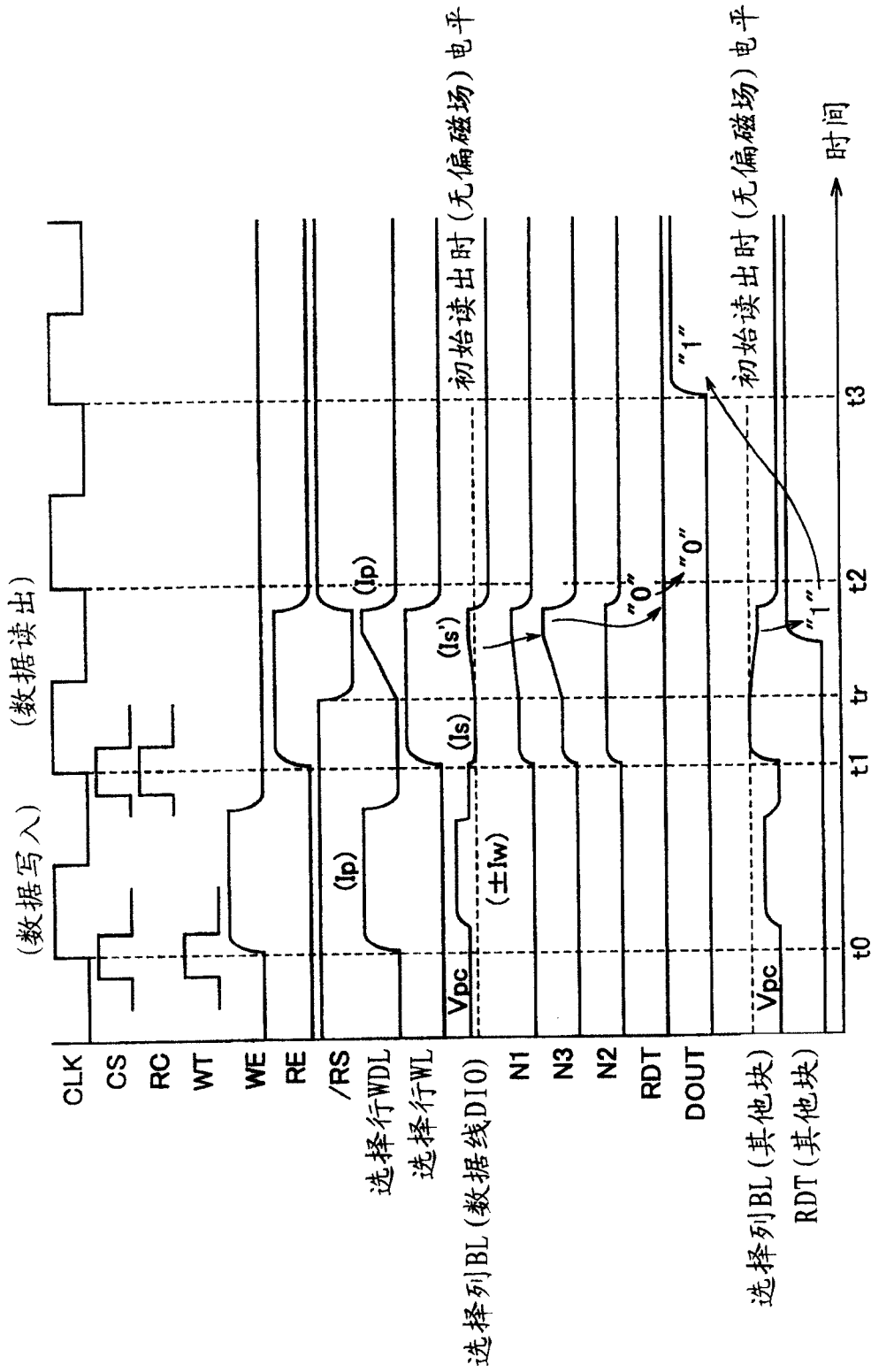


图 6

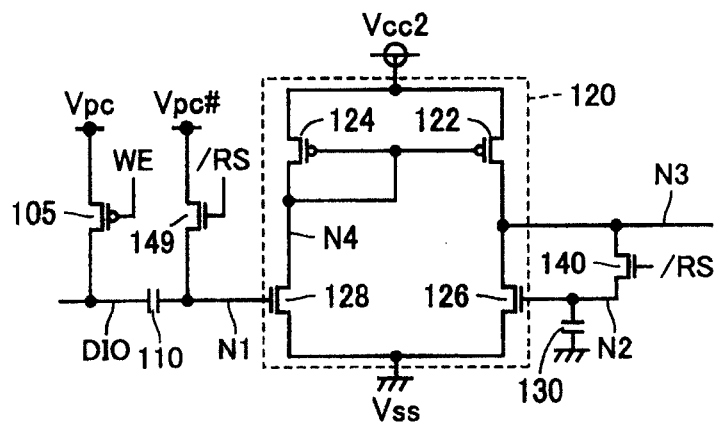


图 7

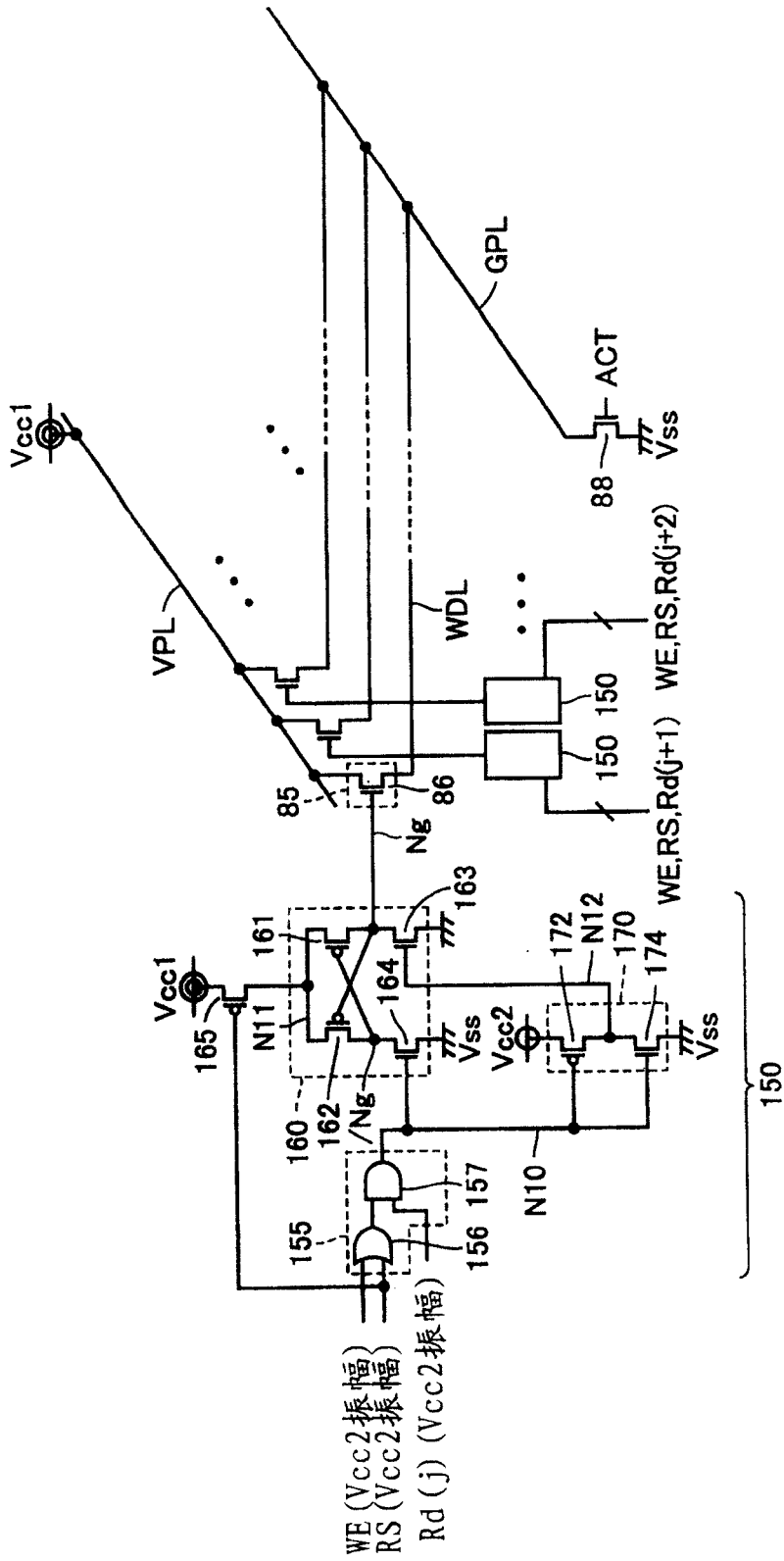


图 8

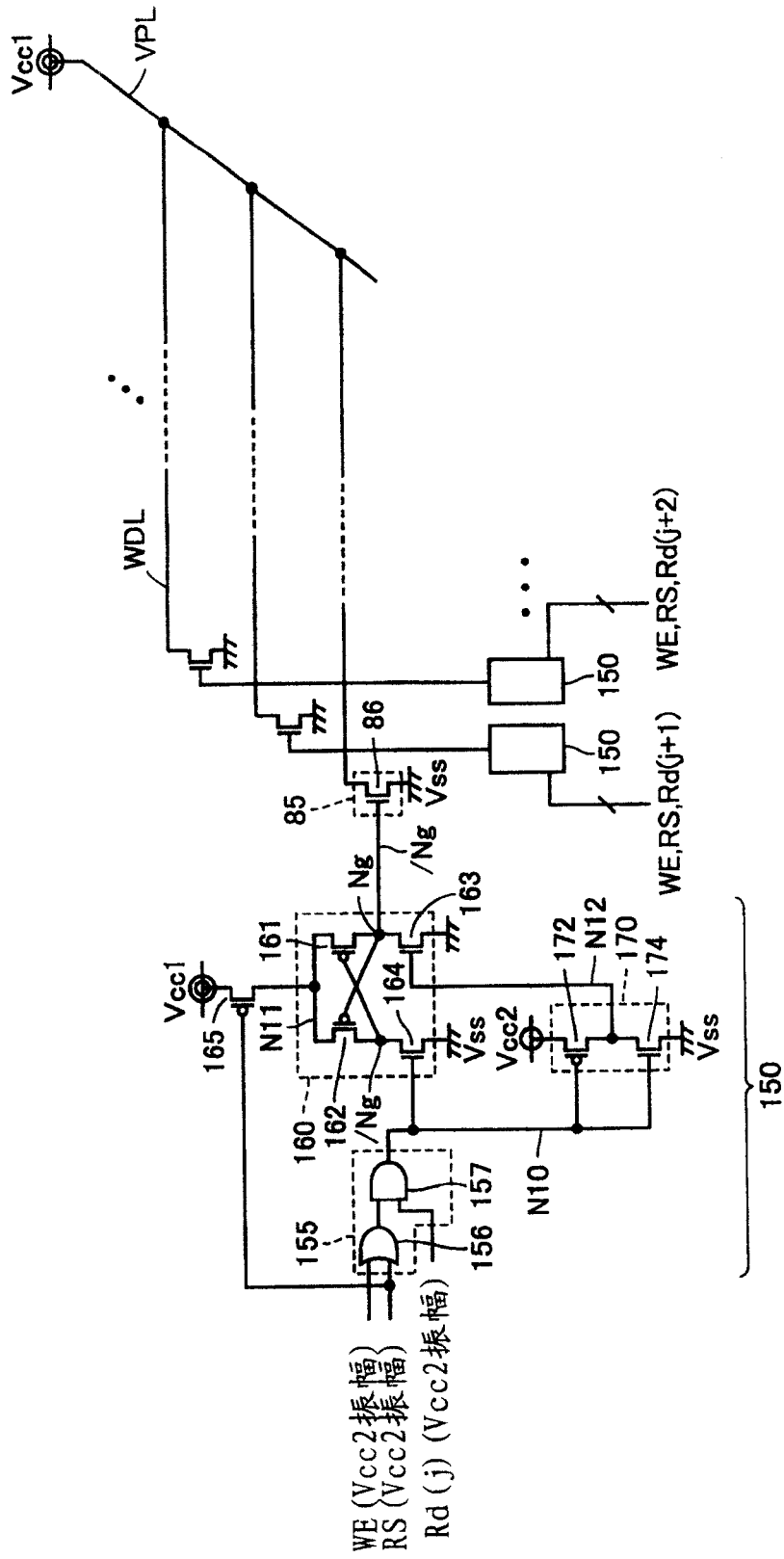


图 10

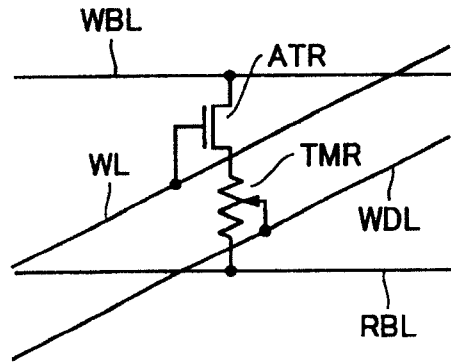


图 11

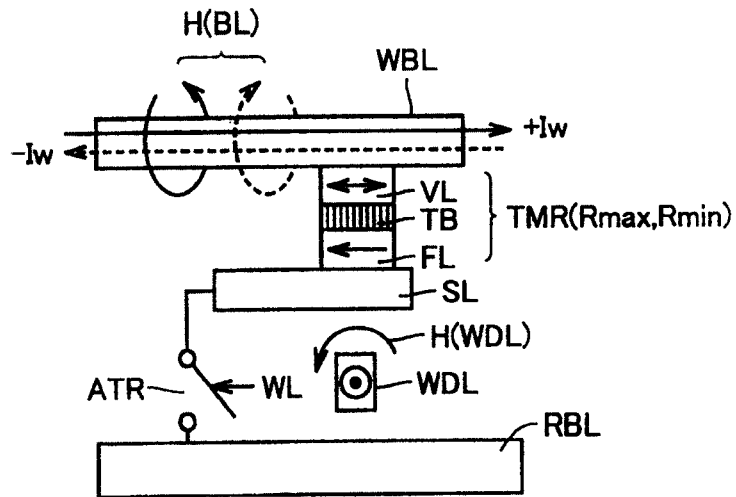


图 12

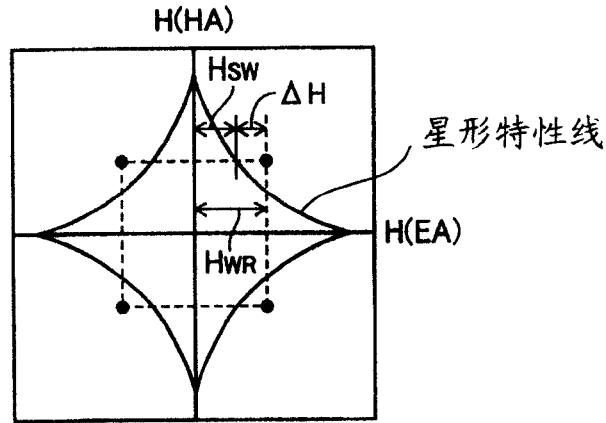


图 13

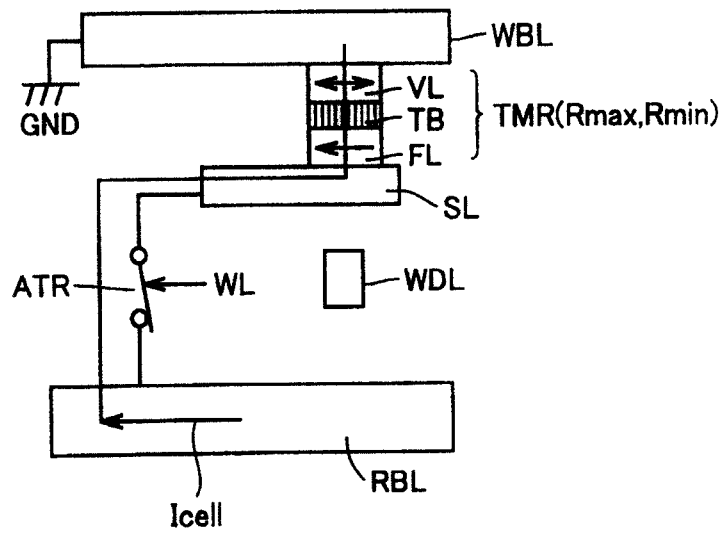


图 14