

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97104762

※ 申請日期：97年2月12日

※IPC 分類：H01L21/70 (2006.01)
H01L27/12 (2006.01)

一、發明名稱：(中文/英文)

具有拉伸及壓縮元件區域之應力絕緣層上半導體場效電晶體
STRESSED SOI FET HAVING TENSILE AND COMPRESSIVE
DEVICE REGIONS

二、申請人：(共1人)

姓名或名稱：(中文/英文)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)

琳奈 D 安德森/ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文)

美國/US

三、發明人：(共3人)

姓名：(中文/英文)

1. 杜惹瑟堤 齊單巴勞/CHIDAMBARRAO, DURESETI

2. 威廉 K. 漢森/HENSON, WILLIAM K.

3. 劉耀誠/LIU, YAOCHENG

國籍：(中文/英文)

1.- 2. 為美國/US

3. 為中國大陸/CN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；西元 2007 年 2 月 12 日；11/673,716

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於半導體裝置及其製造方法，更特別地，本發明係有關於絕緣層上矽(SOI)基板的製作，且其中至少一部份的 SOI 基板係具有應力的。

【先前技術】

SOI 基板具有多種製作方法，圖 1 顯示一種習知技藝的特別範例，其係製作一包含具有拉伸應力之應變矽區域 12 的 SOI 基板 10，而在上述應變矽區域 12 中則形成一電晶體，例如一 n 型場效電晶體(NFET)。上述具有拉伸應力之應變矽區域 12 位於具有鬆弛應力之矽鍺(SiGe)層 14 區域上，而上述矽鍺層區域則按序位於一塊矽層 18 上，且兩者間係藉由一包含硼磷矽酸鹽玻璃(BPSG)的埋藏氧化(BOX)層 16 所隔離。

為了製作習知的 SOI 基板 10，先提供一起始的 SOI 基板，其包含一覆蓋在塊矽層 18 上之具有壓縮應力的頂部矽鍺層，且兩者間係藉由包含硼磷矽酸鹽玻璃的埋藏氧化層所隔離。之後，從矽鍺層之表面磊晶生長出矽層 12，而在圖案化矽層 12 及矽鍺層 14 後(例如按照光微影定義之罩幕層(未顯示)以執行蝕刻之步驟)，將 SOI

基板的溫度提高至硼磷矽酸鹽玻璃之埋藏氧化層 16 變為可流動之溫度點上，接著將使得埋藏氧化層 16 軟化並呈可流動的狀態，因此在矽鍍層 14 的應力便會鬆弛，而造成位於矽鍍層 14 上方的矽層 12 裡產生一拉伸應力。

習知 SOI 基板 10 的缺點之一在於當其定義出主動矽區域 12 後，上述應力矽鍍層 14 卻仍然位於將形成電晶體之主動矽區域 12 的下方。這個事實妨礙了某些電晶體形成在前述基板之主動矽區域上的設計彈性，例如其底下的矽鍍層 14 可能貢獻了接面電容(junction capacitance)，因而降低可從 SOI 結構裡中所獲得的性能優勢。此外，矽鍍層 14 的常存狀態可能導致鍍與砷擴散至將形成於主動矽區域 12 中的電晶體之部份的不良情況，而另外一個缺點則是可能產生穿隧缺陷(threading defects)，其可能導致閘極介電質之短路。

【發明內容】

根據本發明之一特點，其提供了一種製作場效電晶體的方法，而上述場效電晶體具有一通道區域位於絕緣層上半導體(SOI)基板之單晶矽 SOI 層中，此 SOI 基板包含(i)SOI 層，其藉由(ii)具有可流動介電材料之埋藏氧化介電層而與(iii)塊半導體層分隔。一犧牲應力層較佳

形成以覆蓋主動半導體區域之第一部份，而應力層並未覆蓋在與第一部份具有共同邊界之主動半導體區域的第二部份上。在形成延伸穿越應力層至 SOI 層中之溝槽後，充分地加熱具有應力層於其上之 SOI 基板，以導致應力層鬆弛，藉以使應力層施加第一應力至第一部份，並施加第二應力至第二部份。上述第一應力為拉伸或壓縮之其中一種應力類型，而第二應力則為第一應力以外的拉伸或壓縮之其中一種應力類型。接著，可沈積介電材料至溝槽中以形成隔離區域。之後較佳移除應力層以暴露主動半導體區域之第一部份及第二部份。形成場效電晶體使包含(i)位於第一部份之源極區域、(ii)位於第一部份之汲極區域、以及(iii)位於第二部份之通道區域。

【實施方式】

根據本發明之第一具體實施例所提供的 SOI 基板 100 係繪示於圖 2。如其所示，SOI 基板 100 包含塊半導體區域 102，而位於其上方的是埋藏氧化層 104。埋藏氧化層 104 包含可流動之介電材料，例如摻雜矽酸鹽玻璃或其他可流動之介電材料。摻雜矽酸鹽玻璃一般係利用硼或磷其中之一或其兩者來進行摻雜，例如硼矽酸鹽玻璃(BSG)係指摻雜了硼之此類玻璃，而磷矽酸鹽玻璃(PSG)則指摻雜了磷之此類玻璃，以及硼磷矽酸鹽玻璃指摻雜了硼和磷兩者之這類玻璃。上述塊半導體區域

102 基本上可例如由單晶矽所構成，而在一特別的具體實施例中，埋藏氧化層則包含一基本上由硼矽酸鹽玻璃作為上述可流動之介電材料所構成之膜層。

如圖 2 進一步所示，基板的 SOI 層包含了覆蓋於埋藏氧化層 104 上方之具有壓縮應力的單晶矽區域 106，而此具有壓縮應力的區域 106 可作為基板之第一主動半導體區域。上述 SOI 層更包含覆蓋於埋藏氧化層 104 上方之具有拉伸應力的單晶矽區域 108，而壓縮應力單晶矽之兩個額外區域 109a 及 109b 毗鄰著拉伸應力矽之區域 108。上述拉伸應力區域 108 及壓縮應力區域 109a 和 109b 係共同構成基板的第二主動半導體區域 111。

埋藏氧化層 104 將應力矽區域 106、108、109a 及 109b 與塊半導體區域 102 相隔。溝槽隔離區域 110b 設置於主動半導體區域 106 之第一周邊邊緣 112 與主動半導體區域 111 之第一周邊邊緣 114 之間，而溝槽隔離區域 110b 可將主動半導體區域 106 和 111 彼此電性隔離。另一個溝槽隔離區域 110a 設置於鄰接主動半導體區域 106 之另一周邊邊緣 116 處，而上述邊緣 116 係相對於第一周邊邊緣 112。又另一個溝槽隔離區域 110c 設置於鄰接主動半導體區域 111 之另一個周邊邊緣 118，而上述邊緣 118 係相對於主動半導體區域 111 之第一周邊邊

緣 114。側邊配置以鄰接具有壓縮應力之主動半導體區域 106 的兩個溝槽隔離區域 110a 和 110b 可用以防止應力在其內鬆弛，因而具有所需之高強度的壓縮應力係得以在主動半導體區域 106 內維持。同樣的類似情形，側邊配置以鄰接主動半導體區域 111 之兩個溝槽隔離區域 110b 和 100c 可用以防止在應力矽區域 111 內的應力鬆弛，使具有所需之高強度的拉伸應力得以維持在主動半導體區域 111 的拉伸應力區域 108 內。

接下來的製造階段係顯示於圖 3，在執行了許多製造步驟以形成具有配置於壓縮應力主動半導體區域 106 內的通道區域 122、源極區域 123 與汲極區域 125 之 P 型場效電晶體 120 後，上述 P 型場效電晶體之閘極導電堆疊包含具有半導體及/或導體材料之閘極 124，其係藉由閘極介電質 126 而與通道區域 122 分開。一包含金屬、金屬化合物或其兩者之低阻值層 129，其可例如為一與源極區域 123 與汲極區域 125 接觸之導電金屬矽化物(silicide)，以用於提高導電度。一般而言，介電間隙壁 128 係提供於閘極 124 的側壁上，尤其是當上述低阻值層 129 存在時。

圖 3 進一步顯示 N 型場效電晶體 130，其具有配置於拉伸應力矽區域 108 內的通道區域 132。此 N 型場效

電晶體具有分別配置於兩個壓縮應力矽區域 109a 和 109b 內的源極區域 133 與汲極區域 135，而壓縮應力矽區域 109a 和 109b 具有與拉伸應力矽區域 108 相同之邊緣 136。N 型場效電晶體 130 亦包含了閘極導電堆疊 134、低阻值層 131 以及接觸閘極導電堆疊 134 之邊緣 139 的介電間隙壁 138。N 型場效電晶體 130 之閘極導電堆疊 134 與主動半導體區域裡的拉伸應力區域 108 對應，然而閘極導電堆疊 134 的邊緣 139 則可不與壓縮應力區域之邊緣 136 對齊。

在大部份絕緣層上矽及塊矽基板中，場效電晶體 (FET) 之通道內的電流方向為 $\langle 110 \rangle$ 晶格方向 (crystal orientation)。在此類基板中，當對著場效電晶體之通道區域施以一源極和汲極間之通道內的電流方向之有利應力時，則場效電晶體的性能便會有所獲益。當在通道區域施加一源極與汲極間之電流方向上的壓縮應力時，則 P 型場效電晶體 (p-type FET 或 PFET) 之性能便會獲益最多，而當在通道區域施加一源極與汲極間之電流方向上的拉伸應力時，則 N 型場效電晶體 (n-type FET 或 NFET) 之性能便會獲益最多。

由於 SOI 基板內之應力主動半導體區域的製造方式，因此每一場效電晶體的通道區域較佳具有一大的應

力在靠近 SOI 層之暴露的主要表面(一般指頂部表面)，亦即閘極介電質 126 所接觸之 SOI 層的表面，而應力強度則較佳在靠近 SOI 層之暴露的主要表面處達到高峰。此外，應力強度在通道區域內係以自 SOI 層之主要表面往鄰近埋藏氧化層之 SOI 層的底部表面之方向上(一般係向下之方向)減輕，而在 SOI 層之底部表面的應力強度可能較其在主要表面處要低的多，例如小至 3 到 300 倍或更低。而在底部表面之應力可甚至具有和暴露的主要表面之應力相反的極性(polarity)，舉例來說，應力可能在靠近暴露之主要表面處為壓縮的，而在靠近底部表面處則為拉伸的，或者是應力可能在靠近暴露的主要表面處為拉伸的，而在靠近底部表面處則為壓縮的。除此之外，在通道區域中的應力強度最好在場效電晶體之縱向方向上為均勻的，亦即在跨越場效電晶體之通道區域的源極區域與汲極區域間之電流方向。而應力強度亦較佳在橫向方向(通道區域之寬度方向)呈現均勻，然而應力強度在通道區域之相反的橫向邊緣一般而言都會有所減輕。

在上述例子中，SOI 基板同時包含了壓縮應力及拉伸應力之主動半導體區域，所提供的 P 型場效電晶體具有通道區域位於壓縮應力區域，而 N 型場效電晶體則具有通道區域位於拉伸應力區域。然而，在另一具體實施

例中，N 型場效電晶體及 P 型場效電晶體可不需同時呈現在相同的基板上。某些型態的積體電路僅使用 N 型場效電晶體或 P 型場效電晶體，例如動態隨機存取記憶體 (DRAM) 一般僅使用 N 型場效電晶體作為陣列電晶體。

此外，兩種類型的電晶體不一定需要提供於具有其相應之最有利的應力類型之應力半導體區域中，因此可以製作一包含具有壓縮應力之主動半導體區域，而未包含具有拉伸應力之主動半導體區域的基板。在此範例中，其可提供具有設置在壓縮應力區域裡之通道區域的 P 型場效電晶體，並可提供某些具有基板之壓縮應力區域裡的通道區域之 N 型場效電晶體。然而，以這種方式所製作的 N 型場效電晶體可能導致其性能的降低，但這類基板也可能包含具有中性應力 (neutral stress) 之主動半導體區域，在此情況下，N 型場效電晶體可提供於中性應力區域裡，而如此一來則不會招致相同程度的性能降低。

而在另一選擇範例中，其可製作一包含具有拉伸應力之主動半導體區域，而不包含具有壓縮應力之主動半導體區域的基板。在此範例中，其較佳提供設置在拉伸應力區域裡之通道區域的 N 型場效電晶體，而基板亦可具有中性應力區域，且 P 型場效電晶體較佳位於此中性

應力區域。而在另一替換選擇的方式中，其可僅提供拉伸應力區域，而 N 型場效電晶體及 P 型場效電晶體則可同時具有設置在拉伸應力區域內的通道區域。

有許多方式可以施以額外應力至場效電晶體的通道區域，而在這些方式中係鑲嵌了一半導體合金 (semiconductor alloy) 於靠近通道區域之電晶體區域內。舉例來說，其可在鄰近通道區域的源極與汲極區域中提供矽鍍鑲嵌區域，以對通道區域施加壓縮應力，或者於鄰近通道區域之源極與汲極區域中提供矽碳鑲嵌區域，以對通道區域施加拉伸應力。

圖 4 闡明另一種可將額外的應力施加於場效電晶體之通道區域的方式，具體來說，圖 4 係闡述了一種參考上述圖 3 之實施例的變化實施例，其提供了覆蓋在 P 型場效電晶體 120 及 N 型場效電晶體 130 之源極與汲極區域上的應力介電襯層 140 和 142，而具有壓縮應力的介電襯層 140 較佳覆蓋在 P 型場效電晶體 120 上，這樣的襯層可用以提升施加在 P 型場效電晶體之通道區域 122 的壓縮應力。同樣地，具有拉伸應力的介電襯層 142 較佳覆蓋在 N 型場效電晶體 130 上，而這樣的襯層可用以提升施加在 N 型場效電晶體之通道區域 132 的拉伸應力。一般來說，如圖 4 所示，其應力介電襯層 140 及 142

係以一應力襯層 140 與另一應力襯層 142 重疊的方式提供，其中上述兩應力襯層覆蓋於溝槽隔離區域 110b。而在另一替換選擇方式中，應力介電襯層 140 及 142 的邊緣可以相隔開，使得任一應力介電襯層都不會與另一個重疊。

參考圖 5，現將描述一用於製作圖 2 所示之 SOI 基板的方法。圖 5 顯示製作的最初階段，先提供一 SOI 基板 200，其包含具有可流動材料之介電層 205 的埋藏介電層 204。此類具有可流動材料之介電層基本上可由譬如摻雜矽酸鹽玻璃(doped silicate glass)所構成，例如膜層 205 可摻雜硼及磷，而基本上由硼磷矽酸鹽玻璃(BPSG)所組成。此處及圖式中所述關於 BPSG 層的參考說明僅用以作為闡述之範例，而亦可使用其他可針對此目的之合適之的可流動介電材料。

埋藏氧化層 204 覆蓋於基板之塊半導體區域 202 的上方，而單晶矽之絕緣層上矽(SOI)層 210 則覆蓋於埋藏氧化層 204 之上方。硼及磷的摻雜濃度較佳足夠高至可給予 BPSG 層一相對低之熔點，然而其摻雜濃度並非如此高，以致 BPSG 層將在約 400 攝氏的溫度下開始流動，而在此溫度下則隨後沈積氮化矽膜層 212 (圖 6)。

如圖 5 所示，一未摻雜之氧化矽的膜層 207 較佳設置於 BPSG 層 205 與 SOI 層 210 之間。此類膜層 207 可用來削減在單晶 SOI 層 210 裡的硼和磷之濃度，其可能起因於這些摻雜物在後續的製作階段中自 BPSG 層 205 擴散至單晶矽層 210 裡。此後，下文所述有關基板之埋藏氧化層 204 的參考說明應可理解而視為 BPSG 層 205 以及可額外選擇之未摻雜的氧化物層 207 兩者。

一般而言，SOI 基板 200 係藉由沈積 BPSG 層覆蓋於第一晶圓之塊矽區域而提供，其通常指例如一工作晶圓(handle wafer)，且之後可視需要而沈積未摻雜的氧化物層以覆蓋於 BPSG 層上方。接著將上述工作晶圓以其未摻雜的氧化物層面對第二晶圓(通常指例如一結合晶圓(bond wafer))之單晶半導體區域相結合。而結合之後，可利用一包含一或多種習知技術例如已知的智慧切(smart cut)技術之製程，而將結合晶圓之單晶 SOI 層上相當薄(例如 50 奈米(nm)至 200 奈米厚度)的單晶 SOI 層自其餘的結合晶圓中分離出來，以形成如圖 5 所示之晶圓結構。另一替代選擇之方式，上述結合晶圓亦可自其背面加以碾磨及研磨，使僅有薄的 SOI 層仍存留著。

接著，在圖 6 所示之製作階段中，沈積一具有內部應力材料之膜層 212 以覆蓋於 SOI 層 210 上方。舉例來

說，此膜層 212 可包含一氮化矽層，當其在適當的條件下進行沈積時，會在沈積後保留一內部應力。在圖 6 所示之範例中，其係形成一拉伸應力氮化矽之膜層 212 以覆蓋 SOI 層 210，而當進行沈積時，此拉伸應力氮化矽之膜層較佳具有約 1.2 GPa 或更高的應力。

接下來，在圖 7 所示的製作階段中，將上述具有拉伸應力之氮化物膜層 212 進行圖案化，例如藉由光微影圖案化一光可成像之罩幕層 (photo-imageable mask layer)，譬如光阻，並且在拉伸應力層 212 中形成與圖案化的罩幕層對應之開口 214 和 216。上述位於拉伸應力之氮化物層裡的開口可例如藉由選擇性蝕刻來形成，而開口 216 係較佳製作足夠的寬度，使開口 216 之每一內部邊緣 226 與後續形成的閘極導體 134 之鄰近(最近的)邊緣 139 (參照圖 3)的預期位置之間有一間距。在一例示具體實施例裡，每一內部邊緣 226 與閘極導體 134 之鄰近(最近的)邊緣 139 的預期位置之間的距離約為 50 奈米。在此方式中，其可較佳獲得足夠的製程適用範圍 (process window)，以致完成後的場效電晶體 130 之導電通道的整個長度均將位於拉伸應力區域 108 中，儘管在接下來的閘極處理程序中可能發生對不準 (misalignment) 的狀況。接著，移除光可成像罩幕層，以留下如圖 7 所示之結構。

之後，如圖 8 所示，光微影圖案化一光可成像層(未顯示)以形成一罩幕層(未顯示)，且將此罩幕層所定義之圖案轉移至犧牲拉伸應力層 212 以及其下方的 SOI 層，以定義出具有周邊邊緣 112、116 之第一主動半導體區域 106 與具有周邊邊緣 114 及 118 之第二主動半導體區域 111，而溝槽 220 則鄰接每一主動半導體區域之周邊邊緣。

之後參照圖 9，將其上方包含有應力層 212 之基板提升至一使埋藏氧化層 204 內之可流動介電材料會軟化的溫度，而這樣的溫度需低於會直接導致應力層 212 的材料性質改變之溫度。當應力層基本上由拉伸應力氮化矽所構成時，此溫度可以高達約 1000 攝氏度，而不會使拉伸應力氮化矽層的材料性質明顯惡化。

當埋藏氧化層之可流動介電材料軟化時，其將變得柔軟，而材料的柔軟性可使得其上方之應力層 212 及主動半導體區域 106 和 111 的應力移動而接近平衡。因此，在拉伸應力層 212 中的拉伸應力傾向鬆弛，而導致其下方之主動半導體區域 106 成為一壓縮應力矽區域。

同樣地，直接位於拉伸應力層下方之主動半導體區

域 111 的第一部份成為壓縮應力之矽區域 109a 與 109b。然而，非直接位於拉伸應力層 212 下方之主動半導體區域 111 的區域 108 將得到不同的結果。在此，當埋藏氧化層 204 因加熱基板而軟化時，由於其關係和鄰近的拉伸應力層 212，因此區域 108 變成具有拉伸應力。而在靠近與場效電晶體之閘極介電質接觸的通道區域之主要表面的場效電晶體之作用導電通道中具有 0.5GPa 至約 1.5GPa 或更高的拉伸應力並非不尋常。

之後，在圖 10 所示之接下來的製造階段中，形成溝槽隔離區域 110a、100b 及 100c。舉例說明，溝槽隔離區域藉由沈積一層氧化物而形成，譬如藉由高密度電漿沈積(high density plasma deposition)、或是從四乙基矽酸鹽(TEOS, tetraethylorthosilicate)前驅物、矽烷(Si_4)、旋轉塗佈玻璃法(spin-on-glass)或其他合適之方法，並且接著移除覆蓋在拉伸應力層 212 上之多餘的氧化物材料，像是藉由回蝕刻(etchback)製程或是化學機械研磨(CMP)等方式。溝槽隔離區域可被描述為「淺溝槽隔離(STI)」區域，此類淺溝槽隔離區域一般係從 SOI 層之主要表面延伸出一深度，而此深度與埋藏氧化層上之 SOI 層的厚度約為相等。在淺溝槽隔離區域的形成過程中，主動半導體區域 106 和 111 仍將繼續保持應力狀態，因為應力層 212 仍存在於其上方的覆蓋位置。

如同進一步在圖 10 中之所示，一溝槽隔離區域 100b 佔據了位於壓縮應力主動半導體區域 106 之邊緣 112 與壓縮應力主動半導體區域 109a 之鄰接邊緣 114 間的開口，而其他溝槽隔離區域 110a 和 110c 則分別位於應力主動半導體區域 106 和 111 之另外的周邊邊緣 116 及 118 處。隨著這些溝槽隔離區域的設置，在每一主動半導體區域 106 和 111(包含在每一個別區域 108、109a 及 109b 內)中的應力係實質上「被鎖定(locked in)」，亦即實質上固定了。接著從主動半導體區域 106 和 111 上移除應力層 212，以得到如圖 2 所示之基板 100。上述應力層 212 可利用一種對其下方之應力半導體區域 106 和 111 中的矽材料具有選擇性之方式，藉由例如實施蝕刻或潔淨製程或其兩者而移除。上述移除程序可較佳減低溝槽隔離區域 110a、110b 和 110c 之高度，如此一來溝槽隔離區域之頂部係約與主動半導體區域 106 和 111 之暴露表面對齊。

期望當完全形成淺溝槽隔離區域且移除應力層 212 後，接下來的製程不會導致主動半導體區域中的應力程度大幅降低。而後續用以完成一包含場效電晶體和其內連線(interconnect)等元件之晶片的製程熱預算(thermal budget)則較佳經過設計，例如被限制，如此一來在移除

應力層 212 之後，則埋藏氧化層不會再次鬆弛。在一些後續製程的熱預算可能高至足以使埋藏氧化層鬆弛的範例中，淺溝槽隔離區域會產生穩定力，以限制主動半導體區域 106 和 111 之擴張或收縮。在這樣的方式中，淺溝槽隔離區域可幫助防止主動半導體區域內的應力程度因後續製程中所造成的鬆弛而降低。

在上述具體實施例的一種變化中，犧牲拉伸應力層 212 (圖 6) 包含了一用以取代或除了氮化矽層外的拉伸應力矽碳層。此矽碳層較佳自單晶 SOI 層 210 之暴露表面而磊晶成長，而具有拉伸應力的氮化矽層則可沈積覆蓋在矽碳層上，埋藏氧化層較佳可基本上由磷矽酸鹽玻璃所組成，而非硼磷矽酸鹽玻璃。磷矽酸鹽玻璃具有一較高的回流(reflow)溫度，其可較佳允許矽碳層的成長，而不致引起磷矽酸鹽玻璃層在此溫度下回流。舉例而言，在後續的製作程序中(圖 9)，此磷矽酸鹽玻璃層係在一溫度下例如約 750 及約 900 攝氏度間的溫度範圍進行回流。

在上述具體實施例之一特殊變化中(圖 11)，當拉伸應力層 212 剛開始進行圖案化時，只有覆蓋在區域 108 上方的拉伸應力層 212 之部份在蝕刻溝槽 220(圖 8)至 SOI 層中之步驟前被移除了。依照此種方式，在 SOI 層

中蝕刻溝槽 220 的製程係將溝槽所暴露之拉伸應力層 212 的邊緣與拉伸應力層的邊緣 112 和 114 對準，如此一來，拉伸應力層與 SOI 層之間不會有錯置的情形。

圖 12 顯示根據本發明第二具體實施例所提供之 SOI 基板 200。本發明之此具體實施例係從根據本發明上述參照圖 2 所描述之具體實施例中的 SOI 基板變化而來，在此 SOI 基板 200 包含一具有拉伸應力單晶矽之區域覆蓋於埋藏氧化層 104 上方的第一主動半導體區域 206，上述 SOI 層更進一步包含第二主動半導體區域 211，此第二主動半導體區域 211 包含具有內壓縮應力之單晶矽區域 208 以及拉伸應力單晶矽區域 209a 和 209b，而此拉伸應力矽區域具有與壓縮應力矽區域 208 相同之邊緣 236。

在一例示具體實施例中(圖 13)，P 型場效電晶體 250 可製作於 SOI 基板 200 中，以包含設置於主動半導體區域 211 之壓縮應力內部區域 208 內的通道區域 232，而 P 型場效電晶體之源極區域 233 可提供於主動半導體區域之拉伸應力區域 209a 或 209b 其中之第一區域，並可提供汲極區域 235 於拉伸應力區域 209a 或 209b 之第一區域外的另一區域中。並可提供具有設置在拉伸應力主動半導體區域 206 內之源極區域、汲極區域以及

通道區域的 N 型場效電晶體 240。一具有有利應力的介電襯層 260，譬如包含具有拉伸應力之氮化矽的襯層，可選擇性地提供來覆蓋例如 N 型場效電晶體，以進一步增加施加於此 N 型場效電晶體之通道區域上的拉伸應力，而一具有壓縮應力之第二介電襯層 262 則可選擇性地提供來覆蓋 P 型場效電晶體，以進一步增加施於此 P 型場效電晶體之通道區域上的壓縮應力。此類之一個或更多個具有拉伸應力或壓縮應力的介電襯層可用以和 N 型場效電晶體或 P 型場效電晶體或其兩者而組合，即拉伸應力襯層不需僅用以和 P 型場效電晶體組合，並可和 N 型場效電晶體或除其以外的元件替代組合，而壓縮應力襯層亦不需僅用以和 N 型場效電晶體組合，更可用以和 P 型場效電晶體或除其以外的元件替代組合。

SOI 基板 200 的製作方法與上述 SOI 基板 100 的製作方法相似，除了犧牲應力層 312(圖 14)係具有壓縮應力之外。在進行沈積時，當犧牲應力層 312 主要由應力氮化矽所構成時，其具有介於約 3.0 及 3.5Gpa 之間強度的壓縮應力。與上述具體實施例相似，壓縮應力層 312 係依照罩幕層(未顯示)來進行圖案化(圖 15)，而之後則蝕刻溝槽 320(圖 16)穿越 SOI 層而直抵埋藏氧化層。在此方法中，溝槽 320 的邊牆可用以定義主動半導體區域 206 和 211 之周邊邊緣 302、314、316 及 318。

之後，當基板被加熱到足以引起 BPSG 層軟化之溫度時，例如約 600 攝氏度(degree centigrade)之溫度，由於藉著犧牲壓縮應力層 312 所施加之應力，軟化的 BPSG 層 204 將可使得在 SOI 層的部份 206、208、209a 和 209b 之應力改變，而與犧牲應力層 312 直接接觸的 SOI 層之部份 206、209a 和 209b 將逐漸形成拉伸應力，當上述部份裡的應力傾向於與犧牲應力層 312 對其所施加的壓縮應力建立平衡。而另一方面，未與犧牲應力層 312 所直接接觸之 SOI 層的部份 208 則受到現存於主動半導體區域 211 之部份 209a 和 209b 的拉伸應力所影響，在這樣的情況下，部份 208 現得到顯著的壓縮應力，例如在靠近部份 208 之暴露的主要表面處具有約 1.5GPa 至 2.0GPa 或更高強度的壓縮應力。

在上述具體實施例之一種變化中，犧牲壓縮應力層 312 (圖 14)包含用以取代或除了壓縮應力氮化矽層外尚有一壓縮應力矽鍍層。上述矽鍍層較佳自單晶 SOI 層 310 之暴露表面磊晶形成，而包含壓縮應力氮化矽之膜層則可沈積於覆蓋矽碳層。埋藏氧化層較佳可基本上由磷矽酸鹽玻璃所組成，而非硼磷矽酸鹽玻璃。磷矽酸鹽玻璃具有一較高的回流溫度，其係較佳可允許矽鍍層成長，而不致引起磷矽酸鹽玻璃層在此溫度下回流。在後

續的製作程序中(圖 16)，此磷矽酸鹽玻璃層係在一高於硼磷矽酸鹽玻璃回流的溫度下進行回流，例如約 750 至 900 攝氏度。

在利用與上述製程(圖 10)相似之方法，使用介電材料來填滿溝槽以形成淺溝槽隔離區域 210a、210b 和 210c (圖 17)之後，犧牲壓縮應力層係與淺溝槽隔離區域的上方部份一同被移除，以形成如圖 12 所示之 SOI 基板 200。

鑑於在此所顯示及描述之本發明的具體實施例之上述變化，應了解的是許多修飾及改良可在不違背本發明之範圍及精神下從事，而藉由以下所附之申請專利範圍以涵蓋這樣的修飾及改良。

【圖式簡單說明】

圖 1 係闡明根據習知技藝之製造一 SOI 基板的結構及方法之一剖面圖；

圖 2 係闡明根據本發明一具體實施例之一應力 SOI 基板之一剖面圖；

圖 3 係闡明根據本發明一具體實施例而在一應力 SOI 基板提供場效電晶體之一剖面圖；

圖 4 係闡明圖 3 所示具體實施例的變化之一剖面圖，其中具有應力之介電層覆蓋於場效電晶體上；

圖 5-10 係闡明根據本發明一具體實施例之製作具有應力的 SOI 基板之各階段的剖面圖；

圖 11 係闡明根據圖 5-10 所示具體實施例之一變化而製作具有應力的 SOI 基板之一製程階段的剖面圖；

圖 12 係闡明根據本發明一具體實施例所提供之應力 SOI 基板的剖面圖；

圖 13 係闡明根據本發明一具體實施例而在一應力 SOI 基板提供場效電晶體之剖面圖；

圖 14-17 係闡明根據本發明一具體實施例之製作具有應力的 SOI 基板之各階段的剖面圖。

【主要元件符號說明】

10、100、200	SOI 基板
12	矽區域 / 矽層
18	塊矽層
14	矽鍍層
16、104	埋藏氧化層
102	塊半導體區域
106	壓縮應力區域 / 主動半導體區域
108	拉伸應力區域
109a、109b	壓縮應力區域
110a、110b、110c	溝槽隔離區域
111	主動半導體區域 / 應力矽區域

112	主動半導體區域 106 之第一周邊邊緣
114	主動半導體區域 111 之第一周邊邊緣
116	主動半導體區域 106 之另一個周邊邊緣
118	主動半導體區域 111 之另一個周邊邊緣
120、250	P 型場效電晶體
122、132、232	通道區域
123、133、233	源極區域
124	閘極
125、135、235	汲極區域
126	閘極介電質
128、138	介電間隙壁
129、131	低阻值層
130、240	N 型場效電晶體
134	閘極導電堆疊 / 閘極導體
136	邊緣
139	閘極導體之鄰近邊緣
140、142	應力介電襯層
202	塊半導體區域
204	埋藏介電層
205	介電層 / BPSG 層
206、211	主動半導體區域
207	未摻雜的氧化物層
208	壓縮應力矽區域

209a、209b	拉伸應力矽區域
210	絕緣層上矽(SOI)層
210a、210b、210c	溝槽隔離區域
212	氮化物膜層 / 拉伸應力層 / 應力層
214、216	開口
220、320	溝槽
226、236	邊緣
232	通道區域
260、262	介電襯層
312	犧牲應力層

五、中文發明摘要：

本發明提供一種製造具有通道區域在 SOI 基板之絕緣層上半導體(SOI)層中之場效電晶體的方法。在此方法中，犧牲應力層較佳形成以覆蓋主動半導體區域之第一部份，而未覆蓋在與第一部份具有共同邊界之主動半導體區域的第二部份上。在 SOI 層中形成溝槽後，充分地加熱具有應力層於其上之 SOI 基板，以導致應力層鬆弛，藉以使應力層施加第一應力至第一部份，並施加第二應力至第二部份。舉例來說，當上述第一應力為拉伸時，則第二應力為壓縮，或者當第二應力為拉伸時，則第一應力可為壓縮。之後較佳移除應力層以暴露主動半導體區域之第一部份及第二部份，並可較佳形成場效電晶體以包含(i)位於第一部份之源極區域、(ii)位於第一部份之汲極區域、以及(iii)位於第二部份之通道區域。

六、英文發明摘要：

A method is provided for fabricating a field effect transistor (“FET”) having a channel region in a semiconductor-on-insulator (“SOI”) layer of an SOI substrate. Desirably, in such method, a sacrificial stressed layer is formed to overlie a first portion of an active semiconductor region but not overlie second portion of the active semiconductor region which shares a common boundary with the first portion. After forming trenches in the SOI layer, the SOI substrate is heated with the stressed layer thereon sufficiently to cause the stressed layer to relax, thereby causing the stressed layer to apply a first stress to the first portion and to apply a second stress to the second portion. For example, when the first stress is tensile, the second stress is compressive, or the first stress can be compressive when the second stress is tensile. Desirably, the stressed layer is then removed to expose the first and second portions of the active semiconductor region. Desirably, the field effect transistor (“FET”) is formed to include (i) a source region in the first portion, (ii) a drain region in the first portion, and (iii) a channel region in the second portion.

十、申請專利範圍：

1. 一種製造具有一通道區域位於一絕緣層上半導體 (semiconductor-on-insulator, SOI) 基板中之場效電晶體 (FET) 的方法，該 SOI 基板包含(i)一單晶矽之 SOI 層，該單晶矽之 SOI 層藉由(ii)一具有可流動介電材料之埋藏氧化介電層而與(iii)一塊半導體層分隔，上述方法包括：

a) 形成覆蓋在一主動半導體區域之一第一部份上的一犧牲應力層，該犧牲應力層並未覆蓋在與該第一部份具有一共同邊界之該主動半導體區域之一第二部份上；

b) 形成延伸穿越該犧牲應力層至該 SOI 層中之溝槽，上述溝槽之邊牆定義出該主動半導體區域之周邊邊緣；

c) 充分地加熱具有該犧牲應力層於其上之該 SOI 基板，以導致該犧牲應力層鬆弛，藉以使該犧牲應力層施加一第一應力至該第一部份，並且施加一第二應力至該第二部份，該第一應力為拉伸或壓縮之其中一種應力類型，而該第二應力則為該第一應力以外的拉伸或壓縮之其中一種應力類型；

d) 沈積一介電材料至該溝槽中，以形成與具有應力之該主動半導體區域的上述周邊邊緣相接觸之隔離區域，而上述隔離區域由具有應力之該 SOI 層之一主要表

面向該埋藏氧化層延伸；

e) 移除該犧牲應力層以暴露該主動半導體區域之該第一部份及該第二部份；以及

f) 形成一場效電晶體以包含(i)一位於該第一部份之源極區域、(ii)一位於該第一部份之汲極區域、以及(iii)一位於該第二部份之通道區域。

2. 如申請專利範圍第 1 項所述之方法，其中該可流動介電材料包含一摻雜矽酸鹽玻璃。
3. 如申請專利範圍第 2 項所述之方法，其中該摻雜矽酸鹽玻璃包含硼磷矽酸鹽玻璃。
4. 如申請專利範圍第 1 項所述之方法，其中該犧牲應力層係藉由沈積一應力層位於該主動半導體區域之上方，並且移除對應於該第二部份之該犧牲應力層的一部份而形成。
5. 如申請專利範圍第 1 項所述之方法，其中該場效電晶體具有一 P 型導電通道，經上述加熱步驟(c)而施加於該第一部份之該第一應力包含拉伸應力，而經上述加熱步驟(c)而施加於該第二部份之該第二應力則包含壓縮應力。

6. 如申請專利範圍第 5 項所述之方法，其中該犧牲應力層包含矽鍺。
7. 如申請專利範圍第 5 項所述之方法，其中該犧牲應力層包含具有壓縮應力之氮化矽。
8. 如申請專利範圍第 5 項所述之方法，其中該主動半導體區域為一第一主動半導體區域，而該犧牲應力層係形成以覆蓋一第二主動半導體區域，上述加熱具有該犧牲應力層於其上之該 SOI 基板的步驟(c)將導致該犧牲應力層施加該第一應力至該第二主動半導體區域，而上述移除該犧牲應力層的步驟包含移除覆蓋於該第二主動半導體區域之該犧牲應力層，上述方法更包括形成一 N 型場效電晶體，該 N 型場效電晶體具有一源極區域、一汲極區域以及一位於該第二主動半導體區域中的通道區域，且該第二主動半導體區域具有一內部拉伸應力。
9. 如申請專利範圍第 1 項所述之方法，其中該場效電晶體具有一 N 型導電通道，經上述加熱步驟(c)而施加於該第一部份之該第一應力包含壓縮應力，而經上述加熱步驟(c)而施加於該第二部份之該第二應力則包含拉伸應力。

10. 如申請專利範圍第 9 項所述之方法，其中該犧牲應力層包含碳化矽。
11. 如申請專利範圍第 9 項所述之方法，其中該犧牲應力層包含拉伸應力氮化矽。
12. 如申請專利範圍第 9 項所述之方法，其中該主動半導體區域為一第一主動半導體區域，而該犧牲應力層係形成以覆蓋一第二主動半導體區域，上述加熱具有該犧牲應力層於其上之該 SOI 基板的步驟(c)將導致該犧牲應力層施加該第一應力至該第二主動半導體區域，而上述移除該犧牲應力層的步驟包含移除覆蓋於該第二主動半導體區域之該犧牲應力層，上述方法更包括形成一 P 型場效電晶體，該 P 型場效電晶體具有一源極區域、一汲極區域以及一位於該第二主動半導體區域中的通道區域，且該第二主動半導體區域具有一內部壓縮應力。
13. 如申請專利範圍第 1 項所述之方法，其更包括沈積一應力介電襯層以覆蓋該場效電晶體，該應力介電襯層增加了施加於該場效電晶體之該通道區域的應力強度。

14. 如申請專利範圍第 1 項所述之方法，其更包括沈積一應力介電襯層以覆蓋該場效電晶體，該應力介電襯層減低了施加於該場效電晶體之該通道區域的應力強度。
15. 一種製造具有不同導電類型之場效電晶體之方法，上述場效電晶體具有通道區域設置在一絕緣層上半導體 (semiconductor-on-insulator, SOI) 基板之一單晶矽之 SOI 層中，該 SOI 基板包含(i)該 SOI 層，其藉由(ii)一具有一可流動介電材料之埋藏氧化介電層而與(iii)一塊半導體層分隔，上述方法包括：
 - a) 形成覆蓋在一主動半導體區域之一第一部份與一第三部份上的一犧牲應力層，該犧牲應力層並未覆蓋在該主動半導體區域之一第二部份上，而該第二部份與該第一部份具有一共同邊界；
 - b) 形成延伸穿越該犧牲應力層至該 SOI 層中之溝槽，上述溝槽之邊牆定義出該主動半導體區域之周邊邊緣；
 - c) 充分地加熱具有該犧牲應力層於其上之該 SOI 基板，以導致該犧牲應力層鬆弛，藉以使該犧牲應力層施加具有拉伸或壓縮應力類型之一第一應力至該第一部份，並施加具有拉伸或壓縮應力類型之該第一應力至該第三部份，且施加一第二應力至該第二部份，而該第二

應力為該第一應力以外的拉伸或壓縮之其中一種應力類型；

d) 沈積一介電材料至該溝槽中，以形成與具有應力之該主動半導體區域的上述周邊邊緣相接觸之隔離區域，而上述隔離區域由具有應力之該 SOI 層的一主要表面向該埋藏氧化層延伸；

e) 移除該犧牲應力層以暴露該主動半導體區域之該第一部份、該第二部份及該第三部份；以及

f) 形成一第一場效電晶體和一第二場效電晶體，該第一場效電晶體包含(i)一位於該第一部份之第一源極區域、(ii)一位於該第一部份之第一汲極區域、以及(iii)一位於該第二部份之第一通道區域，而該第二場效電晶體則包含一位於該第三部份之第二源極區域、一位於該第三部份之第二汲極區域、以及一位於該第三部份之第二通道區域。

16. 如申請專利範圍第 15 項所述之方法，其中該可流動介電材料包含一摻雜矽酸鹽玻璃。

17. 如申請專利範圍第 15 項所述之方法，其中該犧牲應力層係藉由沈積一應力層位於該主動半導體區域之上方，並且移除對應於該第二部份之該犧牲應力層的一部份而形成。

18. 如申請專利範圍第 15 項所述之方法，其中該第一場效電晶體具有一 P 型導電通道，而該第二場效電晶體具有一 N 型導電通道，經上述加熱步驟(c)而施加於該第一部份與該第三部份之該第一應力包含拉伸應力，而經上述加熱步驟(c)而施加於該第二部份之該第二應力則包含壓縮應力。
19. 如申請專利範圍第 15 項所述之方法，其更包括沈積一應力介電襯層以覆蓋該第一場效電晶體及該第二場效電晶體中之至少一者，而該應力介電襯層增加了施加於至少一上述場效電晶體之該通道區域的應力強度。
20. 如申請專利範圍第 15 項所述之方法，其更包括沈積一應力介電襯層以覆蓋該第一場效電晶體及該第二場效電晶體中之至少一者，而該應力介電襯層減低了施加於至少一上述場效電晶體之該通道區域的應力強度。
21. 一種 N 型導電通道場效電晶體，其具有一通道區域設置在一絕緣層上半導體 (semiconductor-on-insulator, SOI) 基板之一單晶矽之 SOI 層中，該 SOI 基板包含(i) 該 SOI 層，其藉由(ii)一具有一可流動介電材料之埋藏氧化介電層而與(iii)一塊半導體層分隔，該 N 型導電通

道場效電晶體包含：

一源極區域與一汲極區域，設置在該 SOI 層之一壓縮應力部份；以及

一通道區域，設置在該 SOI 層之一拉伸應力部份，該通道區域與該壓縮應力部份具有一共同邊界。

22. 如申請專利範圍第 21 項所述之 N 型導電通道場效電晶體，其更包含與該壓縮應力部份之周邊邊緣接觸之溝槽隔離區域。
23. 如申請專利範圍第 21 項所述之 N 型導電通道場效電晶體，其更包含覆蓋於該 N 型導電通道場效電晶體之一拉伸應力介電襯層，該拉伸應力介電襯層增加了該 N 型導電通道場效電晶體之該通道區域中的拉伸應力。
24. 如申請專利範圍第 21 項所述之 N 型導電通道場效電晶體，其更包含覆蓋於該 N 型導電通道場效電晶體之一壓縮應力介電襯層，該壓縮應力介電襯層減少了該 N 型導電通道場效電晶體之該通道區域中的拉伸應力。
25. 一種包含如申請專利範圍第 21 項所述之 N 型導電通道場效電晶體之結構，其更包含一 P 型導電通道場效電晶體(PFET)，該 P 型導電通道場效電晶體具有設置於

該 SOI 層之該壓縮應力部份中之一源極區域、一汲極區域及一通道區域。

26. 一種 P 型導電通道場效電晶體(PFET)，其具有一通道區域設置在一絕緣層上半導體(semiconductor-on-insulator, SOI)基板之一單晶矽之 SOI 層中，該 SOI 基板包含(i)該 SOI 層，其藉由(ii)一具有一可流動介電材料之埋藏氧化介電層而與(iii)一塊半導體層分隔，該 P 型導電通道場效電晶體包含：

一源極區域與一汲極區域，設置在該 SOI 層之一拉伸應力部份；以及

一通道區域，設置在該 SOI 層之一壓縮應力部份，該通道區域與該拉伸應力部份具有一共同邊界。

27. 如申請專利範圍第 26 項所述之 P 型導電通道場效電晶體，其更包含與該拉伸應力部份之周邊邊緣接觸之溝槽隔離區域

28. 如申請專利範圍第 26 項所述之 P 型導電通道場效電晶體，其更包含覆蓋於該 P 型導電通道場效電晶體之一拉伸應力介電層，該拉伸應力介電層減低了該 P 型導電通道場效電晶體之該通道區域中的壓縮應力。

29. 如申請專利範圍第 26 項所述之 P 型導電通道場效電晶體，其更包含覆蓋於該 P 型導電通道場效電晶體之一壓縮應力介電襯層，該壓縮應力介電襯層增加了該 P 型導電通道場效電晶體之該通道區域中的壓縮應力。

30. 一種包含如申請專利範圍第 26 項所述之 P 型導電通道場效電晶體之結構，其更包含一 N 型導電通道場效電晶體(NFET)，該 N 型導電通道場效電晶體具有設置於該 SOI 層之該拉伸應力部份中的一源極區域、一汲極區域及一通道區域。

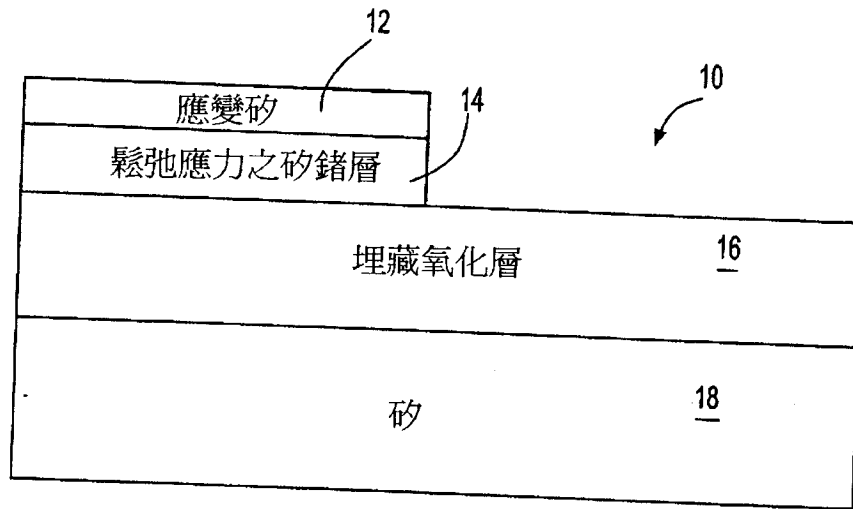


圖1(習知技藝)

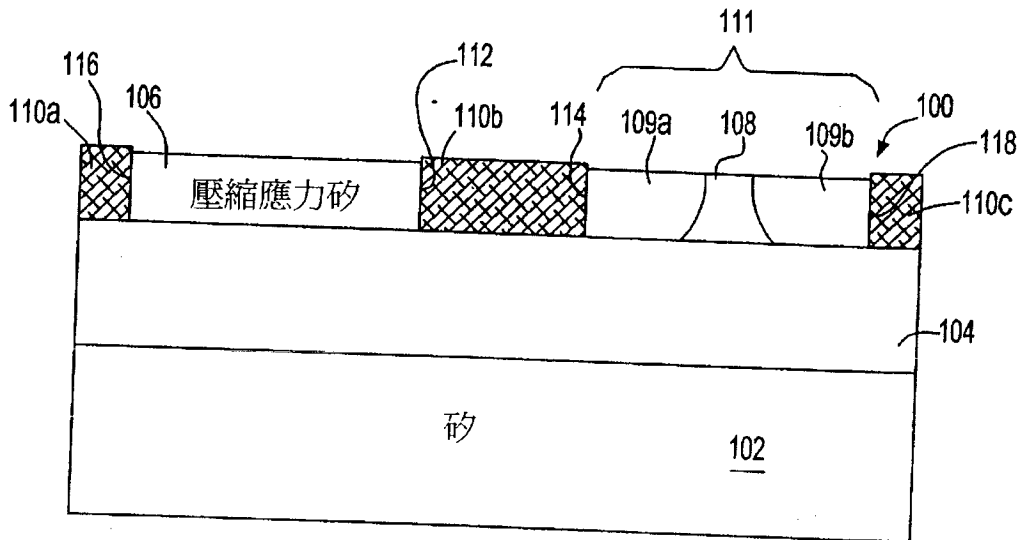


圖2

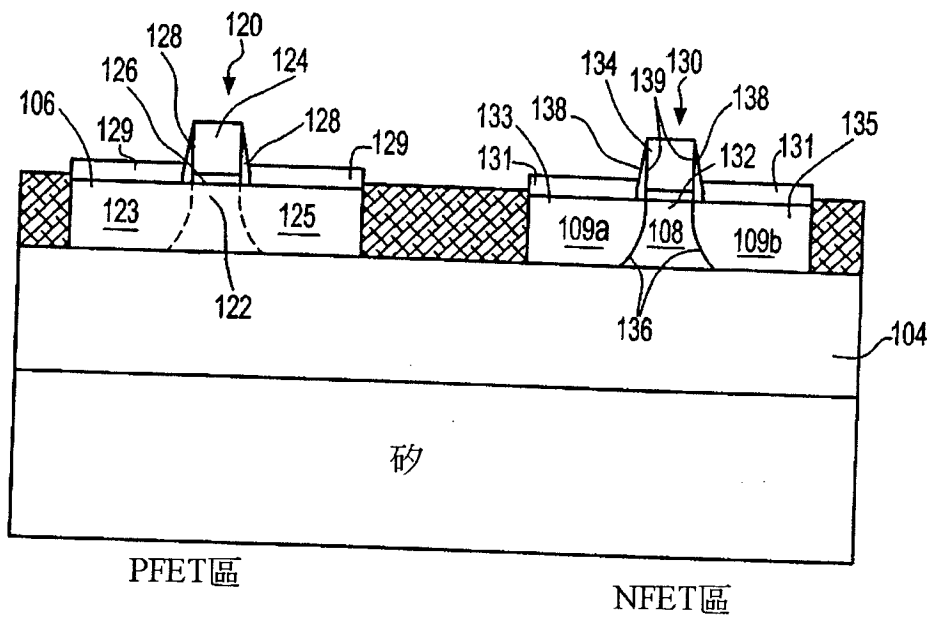


圖3

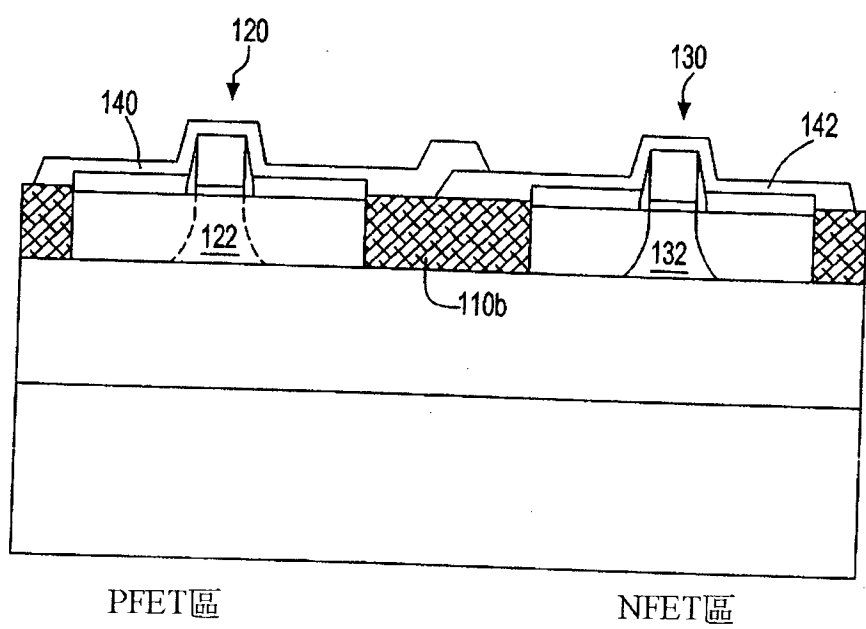


圖4

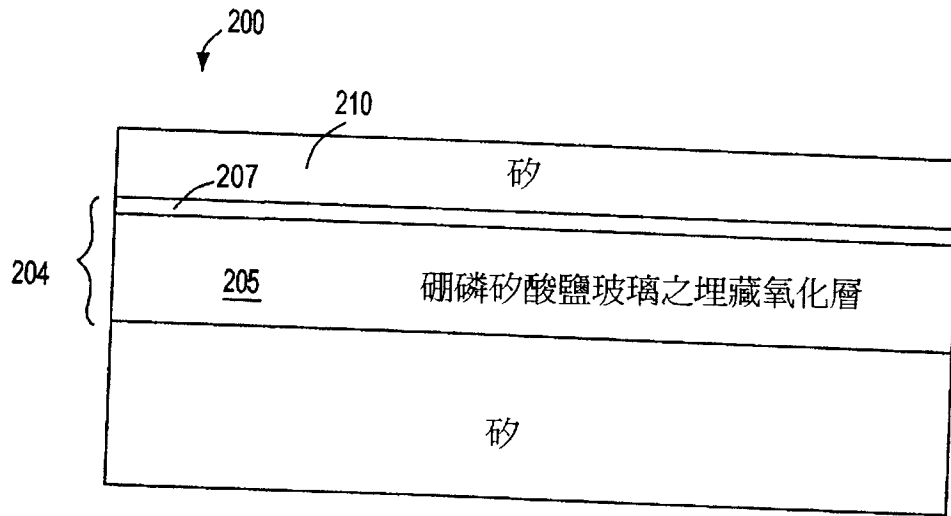


圖5

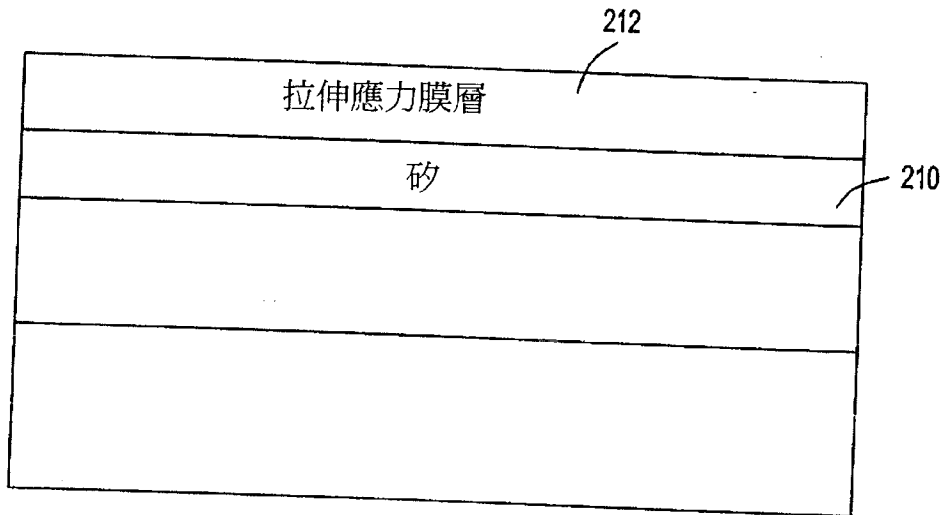


圖6

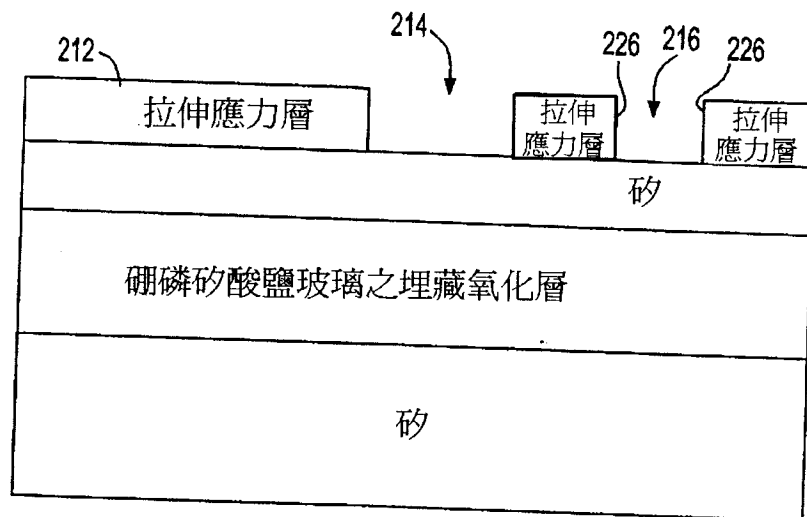


圖7

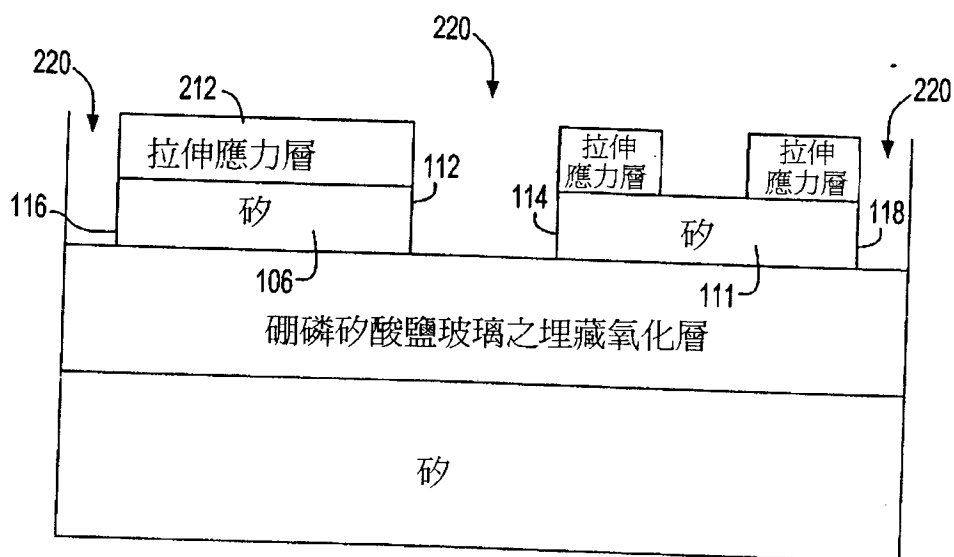


圖8

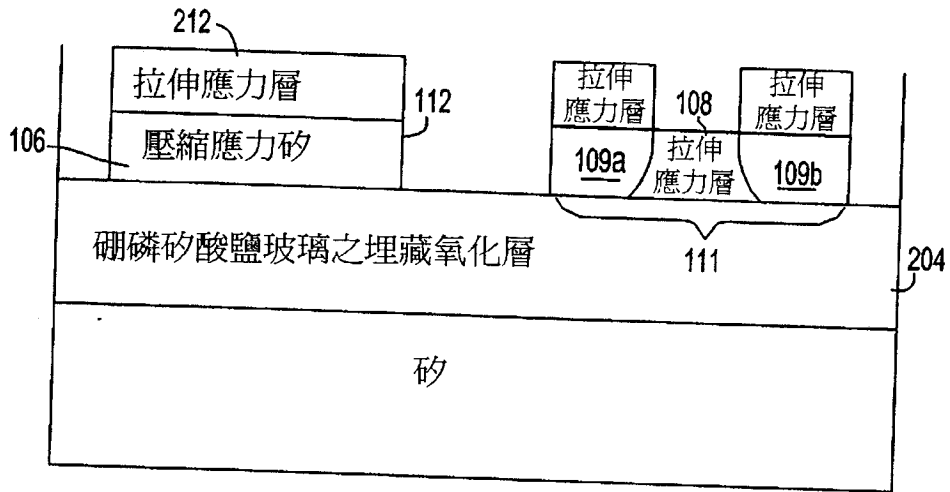


圖9

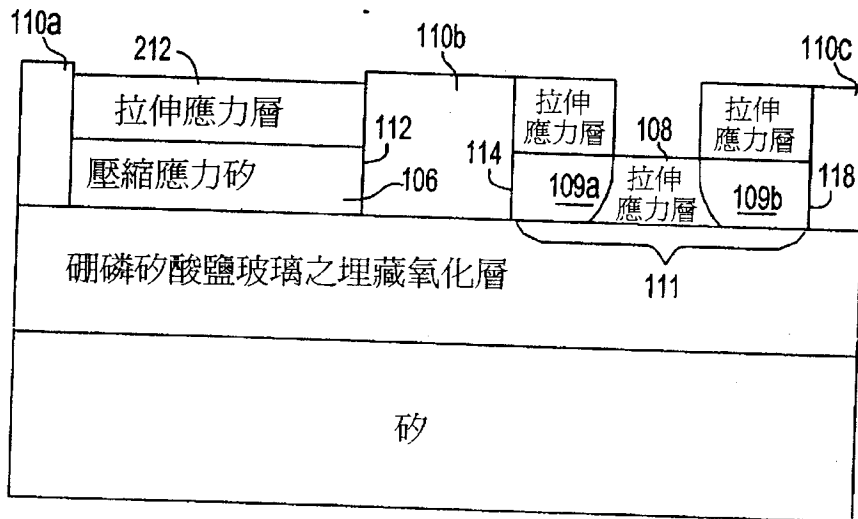


圖10

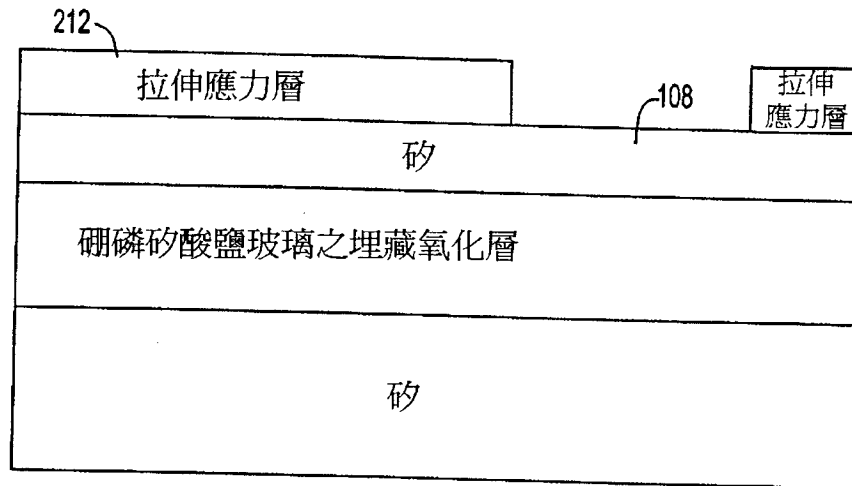


圖11

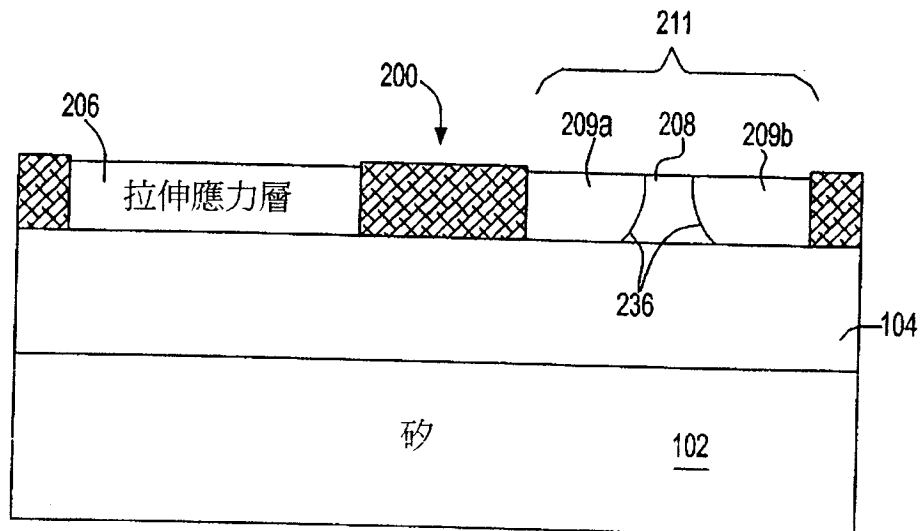


圖12

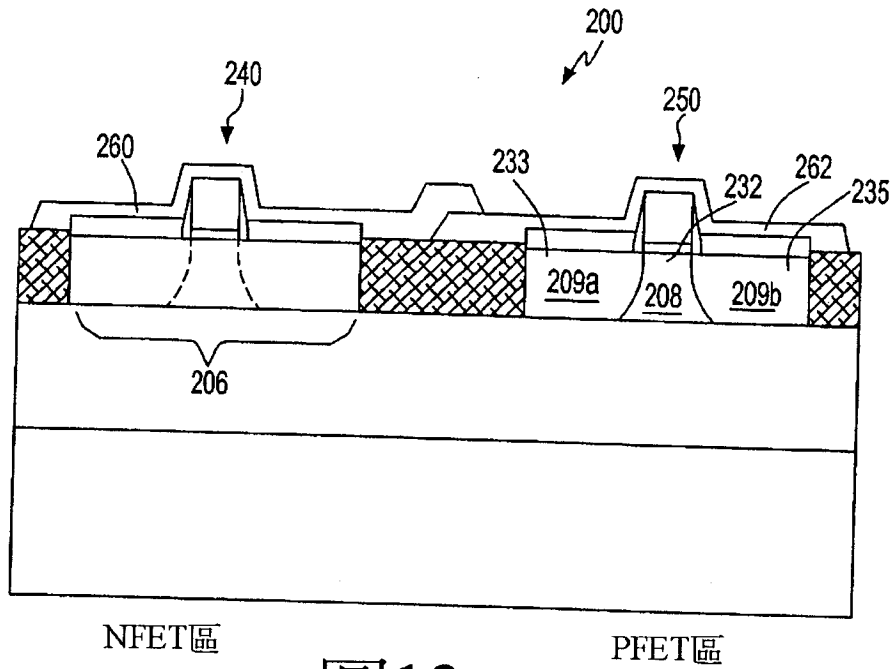


圖13

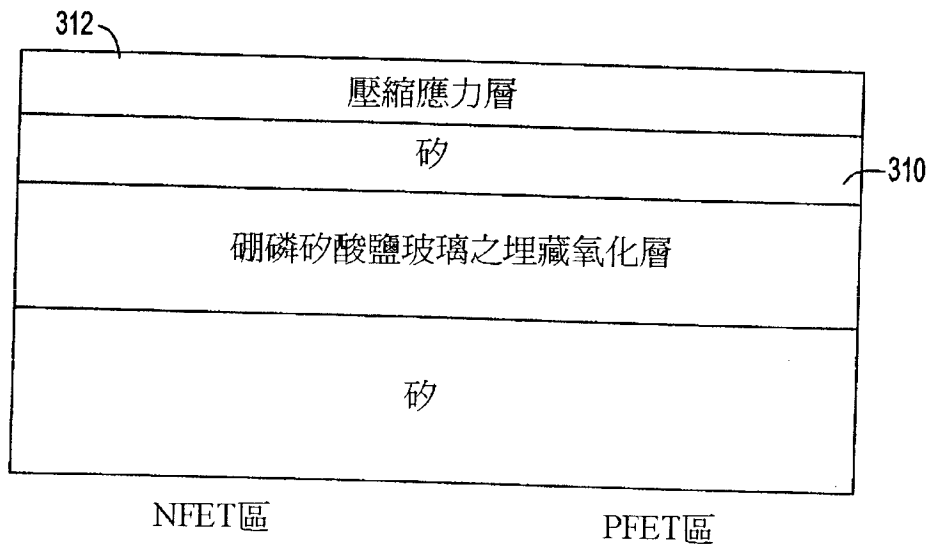


圖14

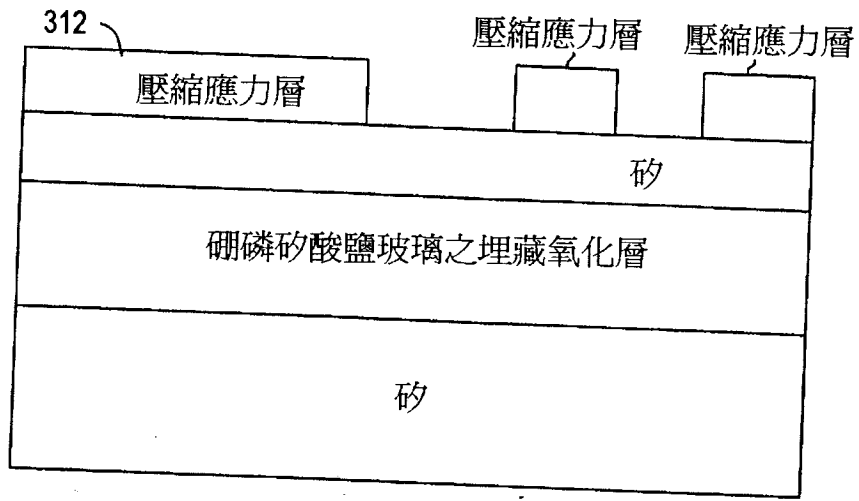


圖15

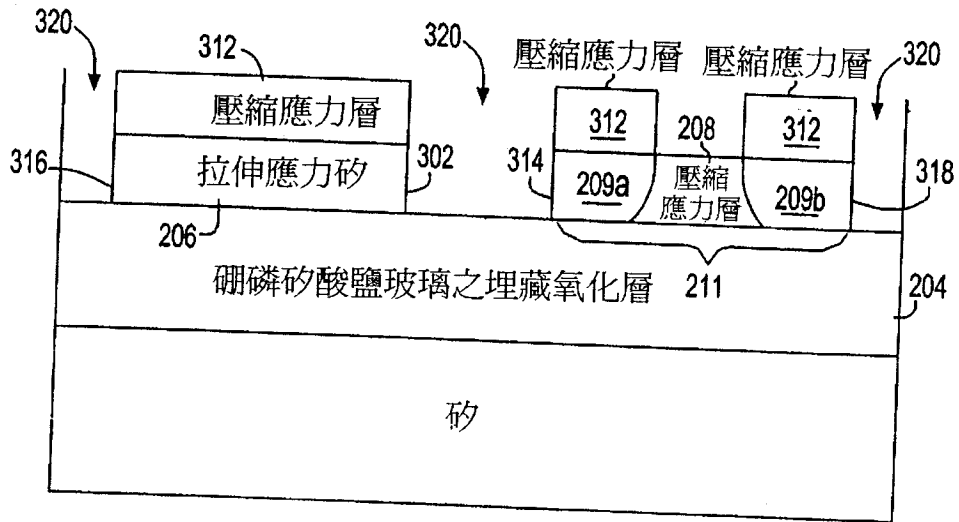


圖16

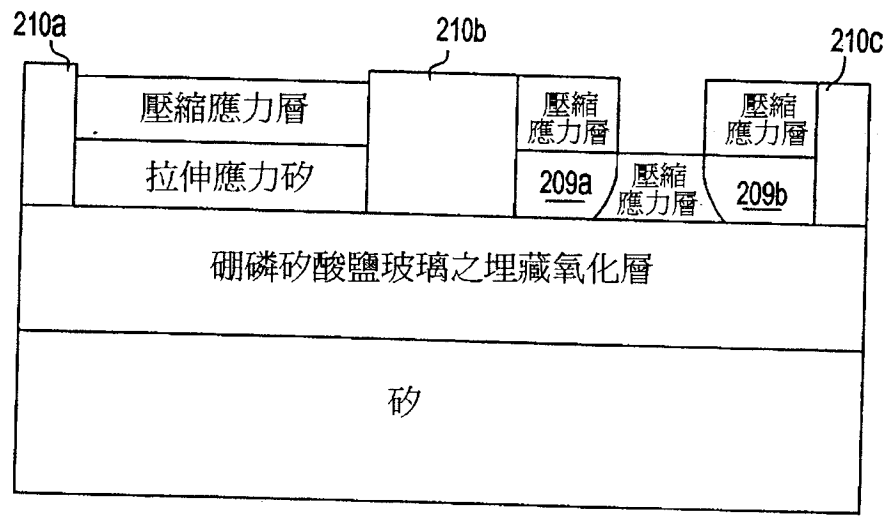


圖17

七、指定代表圖：

(一)本案指定代表圖為：圖3。

(二)本代表圖之元件符號簡單說明：

104	埋藏氧化層
106	壓縮應力區域 / 主動半導體區域
108	拉伸應力區域
109a、109b	壓縮應力區域
120	P型場效電晶體
122、132	通道區域
123、133	源極區域
124	閘極
125、135	汲極區域
126	閘極介電質
128、138	介電間隙壁
129、131	低阻值層
130	N型場效電晶體
134	閘極導電堆疊 / 閘極導體
136	邊緣
139	閘極導體之鄰近邊緣

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。