

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7608814号  
(P7608814)

(45)発行日 令和7年1月7日(2025.1.7)

(24)登録日 令和6年12月23日(2024.12.23)

(51)国際特許分類	F I				
H 0 4 B	1/38	(2015.01)	H 0 4 B	1/38	
H 0 1 L	23/12	(2006.01)	H 0 1 L	23/12	5 0 1 B
H 0 4 B	1/00	(2006.01)	H 0 4 B	1/00	2 6 0

請求項の数 21 (全29頁)

(21)出願番号	特願2020-207705(P2020-207705)	(73)特許権者	000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号
(22)出願日	令和2年12月15日(2020.12.15)	(74)代理人	110000970 弁理士法人 楓国際特許事務所
(65)公開番号	特開2021-145329(P2021-145329 A)	(72)発明者	青池 将之 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
(43)公開日	令和3年9月24日(2021.9.24)	審査官	麻生 哲朗
審査請求日	令和5年11月8日(2023.11.8)		
(31)優先権主張番号	特願2020-41564(P2020-41564)		
(32)優先日	令和2年3月11日(2020.3.11)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 R F回路モジュール及びその製造方法

(57)【特許請求の範囲】

【請求項1】

部品搭載用の電極を有するモジュール基板と、  
第1回路が構成された第1基材と、  
第2回路が構成された第2基材と、  
を備え、  
前記第1回路は、前記第2回路の動作を制御する制御回路を含み、  
前記第2回路は、R F信号を増幅する高周波増幅回路を含み、  
前記第2基材は、前記第1基材にマウントされ、  
前記第1基材は、前記モジュール基板にフリップチップボンディングされ、  
前記第1基材及び前記第2基材は、前記第1回路と前記第2回路とを前記モジュール基板を介さずに電気的に接続する回路間接続配線を構成する導体層を有し、  
前記第1基材は、前記モジュール基板の前記電極に接続される第1基材側導体突起部を有し、  
前記第2基材は、前記モジュール基板の前記電極に接続される第2基材側導体突起部を有する、  
R F回路モジュール。

【請求項2】

前記第2基材側導体突起部は前記第2回路の直近に設けられている、  
請求項1に記載のR F回路モジュール。

## 【請求項 3】

前記第 1 基材の、前記第 2 基材に重ならない位置の表面に第 1 基材側電極が形成され、  
前記第 1 基材側導体突起部は前記第 1 基材側電極に接続された、  
請求項 1 又は 2 に記載の R F 回路モジュール。

## 【請求項 4】

部品搭載用の電極を有するモジュール基板と、  
第 1 回路が構成された第 1 基材と、  
第 2 回路が構成された第 2 基材と、  
を備え、  
前記第 1 回路は前記第 2 回路の動作を制御する制御回路を含み、  
前記第 2 回路は R F 信号を増幅する高周波増幅回路を含み、  
前記第 2 基材は前記第 1 基材にマウントされ、  
前記第 1 基材及び前記第 2 基材は、前記第 1 回路と前記第 2 回路とを前記モジュール基板を介さずに電気的に接続する回路間接続配線を構成する導体層を有し、  
前記モジュール基板の平面視で、前記回路間接続配線を構成する導体層の上面が、前記第 2 回路の上面以下に位置する、  
R F 回路モジュール。

10

## 【請求項 5】

前記第 1 回路又は前記第 2 回路は、前記高周波増幅回路と当該高周波増幅回路の入力又は出力との間でインピーダンスを整合させるインピーダンス整合回路又はインピーダンス整合回路の一部を有する、  
請求項 4 に記載の R F 回路モジュール。

20

## 【請求項 6】

前記第 1 基材は単体半導体の基材であり、  
前記第 2 基材は化合物半導体の基材である、  
請求項 1 から 5 のいずれかに記載の R F 回路モジュール。

## 【請求項 7】

前記第 1 基材は前記第 2 基材に比べて熱伝導率が高い、  
請求項 1 から 6 のいずれかに記載の R F 回路モジュール。

## 【請求項 8】

前記第 2 基材は前記第 1 基材より薄い、  
請求項 1 から 7 のいずれかに記載の R F 回路モジュール。

30

## 【請求項 9】

前記制御回路は前記 R F 信号のスイッチ回路を有する、  
請求項 1 から 8 のいずれかに記載の R F 回路モジュール。

## 【請求項 10】

前記第 1 基材は、導体層と絶縁体層とが積層されて構成されるヒートスプレッドを備え、当該ヒートスプレッドが、前記第 2 回路の近傍に配置されている、  
請求項 1 から 9 のいずれかに記載の R F 回路モジュール。

## 【請求項 11】

前記回路間接続配線を構成する導体層は、前記第 2 回路を構成する導体層と同一層からなる、  
請求項 1 から 10 のいずれかに記載の R F 回路モジュール。

40

## 【請求項 12】

前記第 1 基材は前記モジュール基板の前記電極に接続される第 1 基材側導体突起部を有し、  
前記第 2 基材は前記モジュール基板の前記電極に接続される第 2 基材側導体突起部を有し、  
前記第 1 回路及び第 2 回路は、前記モジュール基板の電極形成面に対向する、  
請求項 1 から 11 のいずれかに記載の R F 回路モジュール。

50

## 【請求項 1 3】

前記第 1 基材側導体突起部は、前記回路間接続配線を構成する導体層に直接接触している、

請求項 1 2 に記載の R F 回路モジュール。

## 【請求項 1 4】

前記第 1 基材側導体突起部の高さは前記第 1 基材の厚さよりも低い、

請求項 1 2 又は 1 3 に記載の R F 回路モジュール。

## 【請求項 1 5】

部品接続用の電極を有するモジュール基板と、

前記モジュール基板の電極に導通する第 1 回路が構成された第 1 基材と、

前記モジュール基板の電極に導通する第 2 回路が構成された第 2 基材と、

を備え、

前記第 1 回路又は前記第 2 回路は高周波信号を増幅する高周波増幅回路を含み、

前記高周波増幅回路が構成された回路の他方の回路は前記高周波増幅回路の動作を制御する制御回路を含み、

前記第 2 基材と前記第 1 基材は、前記モジュール基板の平面視で、一方が他方に内包される状態で重なり、

前記第 1 基材及び前記第 2 基材は、前記第 1 回路と前記第 2 回路とを前記モジュール基板を介さずに電氣的に接続する回路間接続配線を構成する導体層を有し、

前記回路間接続配線を構成する導体層は、前記第 1 回路又は前記第 2 回路を構成する導体層と同一層からなる、

R F 回路モジュール。

## 【請求項 1 6】

部品接続用の電極を有するモジュール基板と、

前記モジュール基板の電極に導通する第 1 回路が構成された第 1 基材と、

前記モジュール基板の電極に導通する第 2 回路が構成された第 2 基材と、

を備え、

前記第 1 回路又は前記第 2 回路は高周波信号を増幅する高周波増幅回路を含み、

前記高周波増幅回路が構成された回路の他方の回路は前記高周波増幅回路の動作を制御する制御回路を含み、

前記第 2 基材と前記第 1 基材は、前記モジュール基板の平面視で、一方が他方に内包される状態で重なり、

前記第 1 基材及び前記第 2 基材は、前記第 1 回路と前記第 2 回路とを前記モジュール基板を介さずに電氣的に接続する回路間接続配線を構成する導体層を有し、

前記第 1 基材又は前記第 2 基材のうち、前記モジュール基板に近接して配置される基材は、回路が構成される第 1 面と、その対をなす第 2 面とを電氣的に接続する貫通導体を有する、

R F 回路モジュール。

## 【請求項 1 7】

部品接続用の電極を有するモジュール基板と、

前記モジュール基板の電極に導通する第 1 回路が構成された第 1 基材と、

前記モジュール基板の電極に導通する第 2 回路が構成された第 2 基材と、

を備え、

前記第 1 回路又は前記第 2 回路は高周波信号を増幅する高周波増幅回路を含み、

前記高周波増幅回路が構成された回路の他方の回路は前記高周波増幅回路の動作を制御する制御回路を含み、

前記第 2 基材と前記第 1 基材は、前記モジュール基板の平面視で、一方が他方に内包される状態で重なり、

前記第 1 基材及び前記第 2 基材は、前記第 1 回路と前記第 2 回路とを前記モジュール基板を介さずに電氣的に接続する回路間接続配線を構成する導体層を有し、

20

30

40

50

前記第 1 基材又は前記第 2 基材は、前記モジュール基板の電極に接続される導体突起部を有し、前記第 1 基材の前記第 1 回路及び前記第 2 基材の前記第 2 回路は、前記モジュール基板の電極の形成面に対向する、  
RF 回路モジュール。

【請求項 18】

前記導体突起部は、前記回路間接続配線を構成する導体層に直接接触している、  
請求項 17 に記載の RF 回路モジュール。

【請求項 19】

前記第 1 基材又は前記第 2 基材のうち、前記モジュール基板を平面視して他方を内包している基材に備えられた前記導体突起部の高さは、前記第 1 基材の厚さよりも低い、  
請求項 17 又は 18 に記載の RF 回路モジュール。

10

【請求項 20】

部品搭載用の電極を有するモジュール基板と、制御回路を含む第 1 回路が構成された第 1 基材と、前記制御回路によりコントロールされる高周波増幅回路を含む第 2 回路が構成された第 2 基材と、を備える RF 回路モジュール、の製造方法であって、

前記第 1 基材である単体半導体基材に前記第 1 回路及び基材間接続導体を形成する工程と、

前記第 2 基材である化合物半導体基材に、剥離層を介して、前記第 2 回路及び基材間接続導体を有する半導体薄膜を形成する工程と、

前記剥離層をエッチングにより除去して前記半導体薄膜を前記化合物半導体基材から剥離して前記第 2 基材を構成する工程と、

20

前記第 1 基材の所定位置に、前記第 2 基材を接合することにより、前記第 1 基材の前記基材間接続導体と前記第 2 基材の前記基材間接続導体とを接続し、前記第 1 基材と前記第 2 基材とによる積層体を構成する工程と、

前記第 1 回路に接続される第 1 基材側導体突起部、及び前記第 2 回路に接続される第 2 基材側導体突起部を形成する工程と、

前記モジュール基板の前記電極に前記第 1 基材側導体突起部及び前記第 2 基材側導体突起部を接続することにより、前記積層体を前記モジュール基板に搭載する工程と、

を有する RF 回路モジュールの製造方法。

【請求項 21】

30

部品搭載用の電極を有するモジュール基板と、制御回路を含む第 1 回路が構成された第 1 基材と、前記制御回路によりコントロールされる高周波増幅回路を含む第 2 回路が構成された第 2 基材と、を備える RF 回路モジュール、の製造方法であって、

前記第 1 基材である単体半導体基材に前記第 1 回路を形成する工程と、

前記第 2 基材である化合物半導体基材に、剥離層を介して、前記第 2 回路を有する半導体薄膜を形成する工程と、

前記剥離層をエッチングにより除去して前記半導体薄膜を前記化合物半導体基材から剥離して前記第 2 基材を構成する工程と、

前記第 1 基材の所定位置に、前記第 2 基材を接合して前記第 1 基材と前記第 2 基材とによる積層体を構成する工程と、

40

前記第 1 回路と前記第 2 回路とを接続する基材間接続導体を形成する工程と、

前記積層体を前記モジュール基板に搭載する工程と、

を有する RF 回路モジュールの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、RF 回路モジュールに関し、特に、高周波電力を扱う回路に用いられ、発熱部を有する RF 回路モジュール及びその製造方法に関する。

【背景技術】

【0002】

50

従来、移動体通信や衛星通信等の電子機器において、高周波信号の送受信機能を一体化したRFフロントエンドモジュールが組み込まれている。RFフロントエンドモジュールは、高周波増幅器、高周波増幅器を制御する制御IC、スイッチIC、デュプレクサ等がモジュール基板に搭載され、全体が樹脂モールドされることで構成されている。

【0003】

例えば、上記高周波増幅器はGaAs基板に形成されたMMIC(Monolithic Microwave Integrated Circuit)であり、上記制御IC及びスイッチICはSi基板に形成されたMMICであり、モジュール基板の表面に個別に搭載されている。

【0004】

一方、モジュール基板を縮小化するために、高周波増幅器に制御ICなどを積層し、高周波増幅器及び制御ICなどをモジュール基板上の電極にワイヤーボンディングする構造が特許文献1に開示されている。

10

【0005】

図25(A)は、特許文献1に示されているデバイスと同様構成のデバイスの平面図、図25(B)はその断面図である。この例では、回路基板(LAMINATE SUBSTRATE)にヘテロ接合バイポーラトランジスタのダイ(HBT DIE)が搭載され、このダイの上にシリコンダイ(Si DIE)が搭載され、ヘテロ接合バイポーラトランジスタのダイと回路基板との間、シリコンダイと回路基板との間、シリコンダイとヘテロ接合バイポーラトランジスタのダイとの間がそれぞれワイヤーボンディングされている。

20

【先行技術文献】

【特許文献】

【0006】

【文献】米国特許出願公開第2015/0303971号明細書

【発明の概要】

【発明が解決しようとする課題】

【0007】

高周波増幅器、制御IC、スイッチIC等がモジュール基板の表面に個別に搭載される構造では、モジュール基板に対するこれら部品の実装面積が大きく、部品間を接続する配線が長くて信号損失も大きい。また、高周波増幅器は例えばGaAs基板に構成されるため、高周波増幅器自体の放熱性が低い。

30

【0008】

特許文献1に開示されている構造によれば、占有面積が比較的大きな高周波増幅器や制御ICなどを並置する場合に比較して、モジュール基板のサイズを縮小化できる。しかし、ワイヤーボンディングのためのスペースが必要であり、モジュール基板の縮小効果は小さいうえに、ワイヤーに生じる寄生インダクタンスなどの影響で、特に高周波領域で損失が大きくなったり、線路のインピーダンス不整合が生じたりしやすい。また、高周波増幅器から発生される熱の放熱効果は低い。

【0009】

一方、高周波増幅器の近年のさらなる高速・高出力化の要求に伴い、その自己発熱による特性限界が課題となっている。例えば、バイポーラトランジスタでは、そのコレクタ損失によって発熱し、バイポーラトランジスタ自体の昇温によって、ベース・エミッタ間飽和電圧 $V_{be}$ が低下し、そのことでコレクタ電流が増大し、 $V_{be}$ がさらに低下する、という正帰還が掛かると熱暴走に至るので、制御可能な範囲で扱える電力が制限される。

40

【0010】

したがって、RF回路モジュールを構成した状態で、高周波増幅器の熱を高効率で放熱できなければRF回路モジュールの小型化も不可能となる。

【0011】

そこで、本発明の目的は、放熱性に制約されずに小型化されたRF回路モジュール、または小型でありながら放熱性の高いRF回路モジュール、及びそのRF回路モジュールの製造方法を提供することにある。また、本発明の目的は、ワイヤーによる回路の電気的特

50

性の劣化を抑制して、高周波性能に優れたRF回路モジュール、及びそのRF回路モジュールの製造方法を提供することにある。

【課題を解決するための手段】

【0012】

(1) 本開示の一つの態様としてのRF回路モジュールは、

部品搭載用の電極を有するモジュール基板と、

第1回路が構成された第1基材と、

第2回路が構成された第2基材と、

を備え、

前記第1回路は、前記第2回路の動作を制御する制御回路を含み、

前記第2回路は、RF信号を増幅する高周波増幅回路を含み、

前記第2基材は、前記第1基材にマウントされ、

前記第1基材は、前記モジュール基板にフリップチップボンディングされ、

前記第1基材及び前記第2基材は、前記第1回路と前記第2回路とを前記モジュール基板を介さずに電氣的に接続する回路間接続配線を構成する導体層を有し、

前記第1基材は、前記モジュール基板の前記電極に接続される第1基材側導体突起部を有し、

前記第2基材は、前記モジュール基板の前記電極に接続される第2基材側導体突起部を有する。

【0013】

(2) 本開示の一つの態様としてのRF回路モジュールは、

部品搭載用の電極を有するモジュール基板と、

第1回路が構成された第1基材と、

第2回路が構成された第2基材と、

を備え、

前記第1回路は前記第2回路の動作を制御する制御回路を含み、

前記第2回路はRF信号を増幅する高周波増幅回路を含み、

前記第2基材は前記第1基材にマウントされ、

前記第1基材及び前記第2基材は、前記第1回路と前記第2回路とを前記モジュール基板を介さずに電氣的に接続する回路間接続配線を構成する導体層を有し、

前記モジュール基板の平面視で、前記回路間接続配線を構成する導体層の上面が、前記第2回路の上面以下に位置する。

【0014】

(3) 本開示の一つの態様としてのRF回路モジュールの製造方法は、

部品搭載用の電極を有するモジュール基板と、制御回路を含む第1回路が構成された第1基材と、前記制御回路によりコントロールされる高周波増幅回路を含む第2回路が構成された第2基材と、を備えるRF回路モジュール、の製造方法であって、

前記第1基材である単体半導体基材に前記第1回路及び基材間接続導体を形成する工程と、

前記第2基材である化合物半導体基材に、剥離層を介して、前記第2回路及び基材間接続導体を有する半導体薄膜を形成する工程と、

前記剥離層をエッチングにより除去して前記半導体薄膜を前記化合物半導体基材から剥離して前記第2基材を構成する工程と、

前記第1基材の所定位置に、前記第2基材を接合することにより、前記第1基材の前記基材間接続導体と前記第2基材の前記基材間接続導体とを接続し、前記第1基材と前記第2基材とによる積層体を構成する工程と、

前記第1回路に接続される第1基材側導体突起部、及び前記第2回路に接続される第2基材側導体突起部を形成する工程と、

前記モジュール基板の前記電極に前記第1基材側導体突起部及び前記第2基材側導体突起部を接続することにより、前記積層体を前記モジュール基板に搭載する工程と、

10

20

30

40

50

を有する。

【0015】

(4) 本開示の一つの態様としてのRF回路モジュールの製造方法は、

部品搭載用の電極を有するモジュール基板と、制御回路を含む第1回路が構成された第1基材と、前記制御回路によりコントロールされる高周波増幅回路を含む第2回路が構成された第2基材と、を備えるRF回路モジュール、の製造方法であって、

前記第1基材である単体半導体基材に前記第1回路を形成する工程と、

前記第2基材である化合物半導体基材に、剥離層を介して、前記第2回路を有する半導体薄膜を形成する工程と、

前記剥離層をエッチングにより除去して前記半導体薄膜を前記化合物半導体基材から剥離して前記第2基材を構成する工程と、

前記第1基材の所定位置に、前記第2基材を接合して前記第1基材と前記第2基材とによる積層体を構成する工程と、

前記第1回路と前記第2回路とを接続する基材間接続導体を形成する工程と、

前記積層体を前記モジュール基板に搭載する工程と、

を有する。

【発明の効果】

【0016】

本発明によれば、放熱性に制約されずに小型化されたRF回路モジュール、または小型でありながら放熱性の高いRF回路モジュールが得られる。また、ワイヤーによる回路の電気的特性の劣化が回避されて、高周波性能に優れたRF回路モジュールが得られる。

【図面の簡単な説明】

【0017】

【図1】図1(A)は第1の実施形態に係るRF回路モジュール111の平面図である。

図1(B)は、図1(A)におけるX-X部分での断面図である。

【図2】図2(A)、図2(B)は、RF回路モジュール111の製造工程を示す図である。

【図3】図3は、RF回路モジュール111における、第2基材20に形成されている回路素子からの放熱経路である2つの熱伝導経路を示す図である。

【図4】図4はPA回路素子3の製造方法について示す図である。

【図5】図5は、第2基材20の製造方法、及び第1基材10に対する第2基材20の接合方法について示す図であり、各工程における斜視図である。

【図6】図6(A)は第2の実施形態に係るフロントエンドモジュール120の平面図であり、図6(B)は図6(A)におけるX-X部分の断面図である。

【図7】図7は第2の実施形態に係るフロントエンドモジュール120の回路構成を示すブロック図である。

【図8】図8は第3の実施形態に係るRF回路モジュール113Aの部分断面図である。

【図9】図9は、第2基材20に形成されているHBTの構成を示す部分拡大図である。

【図10】図10は、RF回路モジュール113Aにおける回路素子21からの放熱経路である2つの熱伝導経路を示す図である。

【図11】図11は第3の実施形態に係る別のRF回路モジュール113Bの部分断面図である。

【図12】図12はヒートスプレッドHSのビア層での横断面図である。

【図13】図13は、RF回路モジュール113Bにおける回路素子21からの放熱経路を示す図である。

【図14】図14は第3の実施形態に係るさらに別のRF回路モジュール113Cの部分断面図である。

【図15】図15は第4の実施形態に係るRF回路モジュールが備える積層体104Aの断面図である。

【図16】図16は第4の実施形態の別の回路モジュール114Bの断面図である。

【図 17】図 17 は第 4 の実施形態に係る P A 回路素子等の積層体の製造方法について示す図である。

【図 18】図 18 は第 4 の実施形態に係るフロントエンドモジュール 120 の回路構成を示すブロック図である。

【図 19】図 19 は第 5 の実施形態に係る R F 回路モジュール 115 の断面図である。

【図 20】図 20 は第 6 の実施形態に係る R F 回路モジュール 116 A の概略正面図である。

【図 21】図 21 は第 6 の実施形態に係る別の R F 回路モジュール 116 B の正面図である。

【図 22】図 22 は第 7 の実施形態に係る R F 回路モジュール 117 A の正面図である。 10

【図 23】図 23 は第 7 の実施形態に係る別の R F 回路モジュール 117 B の正面図である。

【図 24】図 24 ( A )、図 24 ( B ) は、第 2 の実施形態に係るフロントエンドモジュールの比較例としてのフロントエンドモジュールの構成を示す図である。

【図 25】図 25 ( A ) は、特許文献 1 に示されているデバイスと同様構成のデバイスの平面図、図 25 ( B ) はその断面図である。

【図 26】図 26 は、第 4 の実施形態に係る R F 回路モジュールの比較例としての R F 回路モジュールの構成を示す図である。

【図 27】図 27 は、第 4 の実施形態に係る R F 回路モジュールの別の比較例としての R F 回路モジュールの構成を示す図である。 20

【発明を実施するための形態】

【0018】

以降、図を参照して幾つかの具体的な例を挙げて、本発明を実施するための複数の形態を示す。各図中には同一箇所に同一符号を付している。要点の説明又は理解の容易性を考慮して、実施形態を説明の便宜上、複数の実施形態に分けて示すが、異なる実施形態で示した構成の部分的な置換又は組み合わせは可能である。第 2 の実施形態以降では第 1 の実施形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

【0019】

《第 1 の実施形態》 30

第 1 の実施形態では、基本的な構成要素を備える R F 回路モジュールについて例示する。

【0020】

図 1 ( A ) は第 1 の実施形態に係る R F 回路モジュール 111 の平面図である。図 1 ( B ) は、図 1 ( A ) における X - X 部分での断面図である。この R F 回路モジュール 111 は、部品搭載用のモジュール基板側電極 91, 92 を有するモジュール基板 90 と、第 1 回路が構成された第 1 基材 10 と、第 2 回路が構成された第 2 基材 20 と、モールド樹脂 100 とを備える。モジュール基板 90 は例えばガラス・エポキシ基板等の P C B ( P r i n t e d C i r c u i t B o a r d ) である。モールド樹脂 100 は例えばエポキシ樹脂である。

【0021】

前記第 1 回路は、前記第 2 回路の動作を制御する制御回路を含み、前記第 2 回路は、 R F 信号を増幅する高周波増幅回路を含む。第 2 基材 20 は、第 1 基材 10 にマウントされ、第 1 基材 10 は、モジュール基板 90 にフリップチップボンディング ( フェイスダウンで搭載 ) されている。 40

【0022】

第 1 基材 10 及び第 2 基材 20 は、第 1 基材 10 に形成されている回路と第 2 基材 20 に形成されている回路とを、モジュール基板 90 を介さずに電氣的に接続する回路間接続配線を有する。

【0023】

第 1 基材 10 は、第 1 基材側電極 12 及び第 1 導体ピラーバンプ P B 1 を有し、第 2 基材 20 は、第 2 基材側電極 22 及び第 2 導体ピラーバンプ P B 2 を有する。第 1 導体ピラ 50

ーバンプ P B 1 は本発明に係る「第 1 基材側導体突起部」に相当し、第 2 導体ピラーバンプ P B 2 は本発明に係る「第 2 基材側導体突起部」に相当する。

【 0 0 2 4 】

第 1 導体ピラーバンプ P B 1 は、第 1 基材 1 0 の第 1 基材側電極 1 2 に形成された導体ピラー 1 3 と、この導体ピラー 1 3 の先端部に付与されたはんだ層 1 4 とで構成されている。第 2 導体ピラーバンプ P B 2 は、第 2 基材 2 0 の第 2 基材側電極 2 2 に形成された導体ピラー 2 3 と、この導体ピラー 2 3 の先端部に付与されたはんだ層 2 4 とで構成されている。上記導体ピラー 1 3 , 2 3 は例えば Cuめっき膜であり、はんだ層 1 4 , 2 4 は例えば SnAg合金の膜である。

【 0 0 2 5 】

第 1 基材 1 0 に形成されている第 1 回路及び第 2 基材 2 0 に形成されている第 2 回路は、モジュール基板 9 0 の電極形成面に対向する。

【 0 0 2 6 】

モジュール基板 9 0 にはモジュール基板側電極 9 1 , 9 2 が形成されている。第 1 基材 1 0 の第 1 導体ピラーバンプ P B 1 は、モジュール基板 9 0 のモジュール基板側電極 9 1 に接続されている。また、第 2 基材 2 0 の第 2 導体ピラーバンプ P B 2 は、モジュール基板 9 0 のモジュール基板側電極 9 2 に接続されている。

【 0 0 2 7 】

このように、第 1 基材 1 0 に形成されている第 1 回路及び第 2 基材 2 0 に形成されている第 2 回路が、モジュール基板 9 0 の電極形成面に対向し、第 1 導体ピラーバンプ P B 1 及び第 2 導体ピラーバンプ P B 2 を介して、モジュール基板 9 0 のモジュール基板側電極 9 1 , 9 2 に接続されていることにより、第 1 回路とモジュール基板 9 0 側の回路との経路、第 2 回路とモジュール基板 9 0 側の回路との経路がそれぞれ最短化される。そのため、信号経路における電氣的特性の劣化が抑制される。

【 0 0 2 8 】

第 1 基材 1 0 及び第 2 基材 2 0 を含むパワーアンプモジュール（後に示す P A 回路素子 3）がモジュール基板 9 0 に搭載された後は、モジュール基板 9 0 の表面はモールド樹脂 1 0 0 でモールドされる。

【 0 0 2 9 】

図 2 ( A )、図 2 ( B ) は、R F 回路モジュール 1 1 1 の製造工程を示す図である。図 2 ( A ) はモジュール基板 9 0 に、第 1 基材 1 0 及び第 2 基材 2 0 を含む P A 回路素子 3 を搭載する直前の状態を示す断面図である。図 2 ( B ) はモジュール基板 9 0 に P A 回路素子 3 を搭載した状態を示す断面図である。

【 0 0 3 0 】

P A 回路素子 3 の形成方法については後に示す。P A 回路素子 3 の下面には第 1 導体ピラーバンプ P B 1 及び第 2 導体ピラーバンプ P B 2 が形成されている。この P A 回路素子 3 の第 1 導体ピラーバンプ P B 1 及び第 2 導体ピラーバンプ P B 2 をモジュール基板 9 0 に位置合わせし、加熱加圧することによって、図 2 ( B ) に示すように、P A 回路素子 3 の第 1 導体ピラーバンプ P B 1 及び第 2 導体ピラーバンプ P B 2 のはんだ層 1 4 , 2 4 がモジュール基板側電極 9 1 , 9 2 に接続される。

【 0 0 3 1 】

図 3 は、R F 回路モジュール 1 1 1 における、第 2 基材 2 0 に形成されている回路素子からの放熱経路である 2 つの熱伝導経路を示す図である。図 3 において、破線の矢印は 2 つの熱伝導経路を示す。第 1 の熱伝導経路は第 2 基材側電極 2 2 及び第 2 導体ピラーバンプ P B 2 で構成され、回路素子が発生する熱はこの第 1 の熱伝導経路を經由して、モジュール基板側電極 9 2 及びモジュール基板 9 0 に放熱・排熱される。また、第 2 の熱伝導経路は、第 2 基材 2 0 から第 1 基材 1 0 方向への熱伝導経路であり、回路素子が発生する熱は第 2 の熱伝導経路を介して放熱・排熱される。

【 0 0 3 2 】

第 2 導体ピラーバンプ P B 2 は、第 2 基材 2 0 に形成されている第 2 回路の一部である

10

20

30

40

50

第2基材側電極22の直近に設けられている。そのため、上記放熱・廃熱効率が高い。

【0033】

第1導体ピラーバンプPB1の高さは第1基材10の厚さよりも低い。そのため、第2基材20がマウントされた第1基材10を、例えばワイヤーボンディングなどの実装技術によってモジュール基板90へ接続する場合に比べて配線長を短くでき、またルーブインダクタンスを削減できる。

【0034】

次に、RF回路モジュール111の製造方法について例示する。図4はPA回路素子3の製造方法について示す図である。図4中のステップS1からS7までの図は、PA回路素子3の製造途中段階における断面図であり、ステップS8は、完成したPA回路素子3の断面図である。実際の製造はウエハー単位で行われるが、図4では、単一の半導体装置について図示している。

10

【0035】

まず、図4中のステップS1に示すように、Si基材からなる第1基材10を配置する。必要に応じて、このSi基材からなる第1基材10の表面に、一般的な半導体プロセスを用いて、接合層を形成してもよい。この接合層は、Au膜などの金属膜や、ポリイミド(PI)膜、ポリベンゾオキサゾール(PBO)、ベンゾシクロブテン(BCB)等の有機材料膜や、AlN、SiC、ダイヤモンド等の絶縁体である。

【0036】

次に、ステップS2に示すように、第1基材10上に第2基材20を接合する。第2基材20には別工程で既に回路素子及び電極が形成されている。

20

【0037】

次に、ステップS3に示すように、一般的な半導体プロセスによって、第2基材20上に第2基材側電極22を形成し、また、第1基材10上に第1基材側電極12を形成する。

【0038】

次に、ステップS4に示すように、導体ピラー13及びはんだ層14(図2(A)、図2(B))を形成すべき領域に開口を持つレジスト膜85を形成する。レジスト膜85の開口内には電極12、22が露出している。

【0039】

その後、ステップS5、ステップS6に示すように、レジスト膜85の開口内に露出している電極12、22の上に、めっき法により導体ピラー13、23及びはんだ層14、24を堆積させる。導体ピラー13、23はCuで形成され、その厚さは例えば40μmである。このようにして、CPB(Copper Pillar Bump)を形成する。はんだ層14、24はSnAg合金で形成され、その厚さは例えば30μmである。

30

【0040】

その後、ステップS7に示すように、レジスト膜85を除去し、最後に、リフロー処理を行って、はんだ層14、24を溶融させ、その後、固化させることにより、ステップS8に示すようにPA回路素子3を得る。

【0041】

図5は、第2基材20の製造方法、及び第1基材10に対する第2基材20の接合方法について示す図であり、各工程における斜視図である。実際の製造はウエハー単位で行われるが、図5では、単一の半導体装置について図示している。

40

【0042】

図5中ステップS11に示すように、まず、化合物半導体基材である母基板200に剥離層29を形成し、この剥離層29の上部に半導体薄膜をエピタキシャル成長法により形成し、この半導体薄膜に、複数の回路素子及び当該回路素子に接続される電極を形成する。この部分が後の第2基材20である。

【0043】

次にステップS12に示すように、剥離層29だけを選択的にエッチングする処理を行うことで、第2基材20(半導体薄膜片)を母基板200から剥離する。

50

## 【 0 0 4 4 】

その後、ステップ S 1 3 に示すように、第 1 基材 1 0 に第 2 基材 2 0 を接合（ボンディング）する。つまり、半導体薄膜片を母基板 2 0 0 から第 1 基材 1 0 へ第 2 基材 2 0 を転写する。この接合は、ファンデルワールス結合又は水素結合による。その他に、静電力、共有結合、共晶合金結合等によって接合してもよい。なお、別工程で、第 1 基材 1 0 に接合層としての Au 膜を形成し、第 2 基材 2 0 を接合層の表面に加圧・密着させることで、接合層の Au が第 2 基材の GaAs 層に拡散して共晶化されることで接合させてもよい。

## 【 0 0 4 5 】

上記第 2 基材 2 0 への回路素子及び電極の形成は、ステップ S 1 1 に示す段階だけでなく、ステップ S 1 4 に示すように、第 2 基材 2 0 を第 1 基材 1 0 へ接合した後に、第 2 基

10

## 【 0 0 4 6 】

上記半導体薄膜片の剥離及び転写の方法は、特許第 5 1 3 2 7 2 5 号に開示されている方法を適用できる。つまり、図 5 中ステップ S 1 2 に示したように、第 2 基材 2 0（半導体薄膜片）を母基板 2 0 0 から剥離する際、第 2 基材 2 0 が支持体で支持された状態で、母基板 2 0 0 から剥離する。また、図 5 中ステップ S 1 3 に示すように、第 1 基材 1 0 へ第 2 基材 2 0 を接合する際、上記支持体で支持された状態で行う。図 5 中のステップ S 1 2, S 1 3 では、第 2 基材 2 0 の明示の都合上、上記支持体の図示を省略している。

## 【 0 0 4 7 】

このように構成された本実施形態の R F 回路モジュール 1 1 1 は次のような効果を奏する。

20

## 【 0 0 4 8 】

( a ) 第 1 基材 1 0 は、モジュール基板 9 0 にフリップチップボンディング（フェイスダウンで搭載）されるので、ワイヤーボンディング用のパッドやワイヤーを配置する空間が不要となり、全体に小型化できる。

## 【 0 0 4 9 】

( b ) 第 1 基材 1 0 及び第 2 基材 2 0 は、第 1 基材 1 0 に形成されている回路と第 2 基材 2 0 に形成されている回路とが、モジュール基板 9 0 を介さずに基材間接続導体で電氣的に接続されるので、また、第 1 基材 1 0 は、モジュール基板 9 0 の電極に接続される第 1 導体ピラーバンプ P B 1 を有し、第 2 基材 2 0 は、モジュール基板 9 0 の電極に接続される第 2 導体ピラーバンプ P B 2 を有するので、第 1 基材 1 0 に形成されている回路と第 2 基材 2 0 に形成されている回路とを接続するための配線をモジュール基板 9 0 に形成する必要がなく、全体に小型化できる。

30

## 【 0 0 5 0 】

( c ) 第 2 基材 2 0 に形成された高周波増幅回路が発生する熱を高効率で放熱・廃熱できるので、放熱性に制約されずに小型化された R F 回路モジュール、または小型でありながら放熱性の高い R F 回路モジュールが得られる。

## 【 0 0 5 1 】

## 《 第 2 の実施形態 》

第 2 の実施形態では、フロントエンドモジュールとして構成された R F 回路モジュール

40

## 【 0 0 5 2 】

図 6 ( A ) は第 2 の実施形態に係るフロントエンドモジュール 1 2 0 の平面図であり、図 6 ( B ) は図 6 ( A ) における X - X 部分の断面図である。ただし、図 6 ( A ) は、後に示す天面シールド層及びモールド樹脂の無い状態での平面図である。

## 【 0 0 5 3 】

このフロントエンドモジュール 1 2 0 は、アンテナと、送信回路及び受信回路との間に接続される回路である。このフロントエンドモジュール 1 2 0 はモジュール基板 9 0 に複数のチップ部品が実装されて構成されている。モジュール基板 9 0 の内層及び最下層にはグランド導体が形成されている。モジュール基板 9 0 には、アンテナスイッチ 7 0、低雑

50

音増幅器 67、PA回路素子 3、デュプレクサ、チップインダクタ、チップキャパシタ等が実装されている。モジュール基板 90 の上部はモールド樹脂 100 でモールドされていて、モールド樹脂 100 の表面に天面シールド用の金属層が形成されている。

【0054】

PA回路素子 3 は、第 1 基材 10 と第 2 基材 20 とで構成される PA モジュールである。第 1 基材 10 には、後に示す 2 系統の送信信号の一方を選択するスイッチ及び高周波増幅器の制御回路が形成されている。第 2 基材 20 には高周波増幅回路が構成されている。

【0055】

図 7 は本実施形態に係るフロントエンドモジュール 120 の回路構成を示すブロック図である。フロントエンドモジュール 120 は、アンテナ ANT に接続される帯域通過フィルタ 71、アンテナスイッチ 70、インピーダンス整合回路 69A、69B、デュプレクサ 68A、68B、スイッチ 65、インピーダンス整合回路 66、低雑音増幅器 67、スイッチ 62、高周波増幅器 60、高周波増幅器制御回路 61、インピーダンス整合回路 63、スイッチ 64 を備える。

10

【0056】

スイッチ 62 及び高周波増幅器制御回路 61 は第 1 基材 10 に形成されていて、高周波増幅器 60 は第 2 基材に形成されている。

【0057】

また、図 7 において、アンテナスイッチ 70 は、アンテナと 2 つの送受信回路系との接続を選択するスイッチである。低雑音増幅器 67 は受信信号の初段の増幅器である。

20

【0058】

ここで第 2 の実施形態に係るフロントエンドモジュールの比較例としてのフロントエンドモジュールの構成例を図 24 (A)、図 24 (B) に示す。図 24 (B) は図 24 (A) における X-X 部分の断面図である。図 6 (A)、図 6 (B) に示した例とは異なり、それぞれ個別部品である、高周波増幅器 60、高周波増幅器制御回路 61 及びスイッチ 62 を備える。

【0059】

第 2 の実施形態によれば、図 24 (A)、図 24 (B) に示した比較例としてのフロントエンドモジュールと対比すれば明らかなように、モジュール基板 90 に対する電子部品の実装面積が縮小化される。また、高周波増幅器 60 とスイッチ 62 との間の配線長や、高周波増幅器 60 と高周波増幅器制御回路 61 との間の配線長が短縮化され、信号損失やインピーダンス不整合が低減される。

30

【0060】

また、第 1 基材 10 にスイッチ 62 及び高周波増幅器制御回路 61 が構成されているので、スイッチ 62 単体や高周波増幅器制御回路 61 単体でのサイズに比べて適度に大きくなり、高周波増幅器 60 が形成されている第 2 基材 20 と第 1 基材 10 との積層体である PA 回路素子 3 の形成が容易となる。また、この第 1 基材 10 と第 2 基材 20 との積層体で PA 回路素子 3 を構成したことにより、フロントエンドモジュール 120 の面積の縮小化効率が高まる。

【0061】

また、従来例えば GaAs 基板をワイヤーボンディングやパンプによって接続する構成では、そのハンドリングのために厚い GaAs 基板が必要であったが、本実施形態では、例えば GaAs 基材である薄い第 2 基材 20 を、例えば Si 基材である第 1 基材 10 に貼り付けた構成であるので、2 チップのスタックでありながらも低背化が可能である。

40

【0062】

《第 3 の実施形態》

第 3 の実施形態では、PA 回路素子を備える RF 回路モジュールの幾つかの構成例について示す。

【0063】

図 8 は第 3 の実施形態に係る RF 回路モジュール 113A の部分断面図である。この図

50

8では、PA回路素子3が実装されたモジュール基板90の一部及びPA回路素子3の断面が表れている。

【0064】

PCB(Printed Circuit Board)によるモジュール基板90には、部品搭載用のモジュール基板側電極91, 92が形成されている。PA回路素子3は第1導体ピラーバンプPB1及び第2導体ピラーバンプPB2を備えている。そして、モジュール基板90のモジュール基板側電極91, 92にPA回路素子3の第1導体ピラーバンプPB1及び第2導体ピラーバンプPB2が接続されることで、PA回路素子3はフェイスダウン実装される。第1導体ピラーバンプPB1及び第2導体ピラーバンプPB2の構造は第1の実施形態で示したとおりである。

10

【0065】

PA回路素子3は第1基材10と第2基材20とを含む。第1基材10は、Si基板Si-sub上に、絶縁層としてのSiO<sub>2</sub>層、デバイス層としてのSi層、配線形成層としてのSiO<sub>2</sub>層、パッシベーション層としてのSiN層が、この順に形成されている。

【0066】

第2基材20には、複数の回路素子21及び当該複数の回路素子21に動作電圧を印加する又は動作電流を通電する電極が形成されている。第2基材20は、第1の実施形態において図5に示したように別工程で形成され、上記回路素子は、そのエピタキシャル層上に形成されている。エピタキシャル層は例えば約3µmであり、上記電極(配線層)は約10µmである。

20

【0067】

SiN層の表面には再配線層としての第1基材側電極12、第2基材側電極22及び回路間接続配線32が形成されている。製造時において、回路間接続配線32を構成する導体層は第2基材側電極22(本発明に係る「第2回路を構成する導体層」)と同一層からなる。

【0068】

図8に表れているように、第1導体ピラーバンプPB1の一つは、回路間接続配線32を構成する導体層に直接接触している。そのため、第1回路の一部と第2回路の一部とは短い経路で接続され、かつモジュール基板側の回路に対しても短い経路で接続される。

【0069】

第1基材側電極12、第2基材側電極22及び回路間接続配線32の表面は樹脂層15で絶縁被覆されている。

30

【0070】

本実施形態では、第1基材10は単体半導体の基材であり、例えば主にSiもしくはGeから構成される。この第1基材10は、GaAs, AlAs, InAs, InP, GaP, InSb, GaN, InN, AlN, SiC, Ga<sub>2</sub>O<sub>3</sub>, DLC(Diamond-Like Carbon), Graphite, Diamond, Glass, Sapphire, Al<sub>2</sub>O<sub>3</sub>のいずれかを含む複数材料から構成されていてもよい。

【0071】

また、本実施形態では、第2基材20は化合物半導体の基材であり、例えばGaAs, AlAs, InAs, InP, GaP, InSb, GaN, InN, AlN, SiGe, SiC, Ga<sub>2</sub>O<sub>3</sub>, GaBiのいずれかから構成される。この第2基材20は、これら材料のうち複数の材料からなる多元系混晶材料であってもよい。

40

【0072】

ただし、第1基材10に選定する材料と第2基材20に選定する材料とは異なり、第1基材10と第2基材20との製造プロセスは異なる。基本的に、第2基材20は、例えば増幅率、遮断周波数等の所定の電気的特性が得られる材料とし、また、第1基材10は第2基材20に比べて熱伝導率が高い関係に選定することが好ましい。

【0073】

本実施形態では、第1基材10はSi基材であり、第2基材20はGaAs基材である。Si基材の熱伝導率は156であり、GaAs基材の熱伝導率は46である。上記回路素子21は、

50

例えば複数の単位トランジスタが並列接続されたヘテロ接合バイポーラトランジスタ（HBT）であり、第2基材20であるGaAs基材に対するプロセスによって形成されたものである。複数の単位トランジスタのエミッタに上記導体ピラーバンプPB2が電氣的に接続されている。複数の単位トランジスタは第1方向（図1（A）、図1（B）における左右方向）に配列され、導体ピラーバンプPB2は第1方向にも延伸する形状に形成されている。

【0074】

図9は、第2基材20に形成されているHBTの構成を示す部分拡大図である。第2基材20はGaAs基材20Nとその表面に形成されたエピタキシャル層20Dとを備える。エピタキシャル層20Dには回路素子21（HBT）が形成されている。第2基材20は共通のコレクタである。複数のHBTのエミッタは下地電極22U及び第2基材側電極22で共通接続されている。

10

【0075】

図8において、デバイス層としてのSi層には例えばPチャンネルMOS PM及びNチャンネルMOS NMによるCMOS回路などが形成されている。また、デバイス層としてのSi層と、パッシベーション層としてのSiN層との間には、デバイス層としてのSi層に形成されている回路を第1基材側電極12及び回路間接続配線32にまで引き出す配線が形成されている。この配線は、Cu又はAlによる複数層の配線層と、各配線層間を接続するCu又はAlによるビアVとで構成されている。

【0076】

図10は、RF回路モジュール113Aにおける回路素子21からの放熱経路である2つの熱伝導経路を示す図である。図10において、破線の矢印は2つの熱伝導経路を示す。第1の熱伝導経路は第2基材側電極22及び第2導体ピラーバンプPB2で構成され、回路素子21が発生する熱はこの第1の熱伝導経路を経由して、モジュール基板側電極92及びモジュール基板90に放熱・排熱される。また、第2の熱伝導経路は、第2基材20から第1基材10方向への熱伝導経路であり、回路素子21が発生する熱は第2の熱伝導経路を介して放熱・排熱される。

20

【0077】

配線形成層としてのSiO<sub>2</sub>層の熱伝導率は1.0[W/cm K]であり、Si基材の熱伝導率は156[W/cm K]であり、GaAs基板の熱伝導率は46[W/cm K]である。つまり、第1基材10の熱伝導率は第2基材20の熱伝導率に比べて高い。したがって、第1基材10は高効率の熱放射体として作用する。このように第1基材10は熱伝導経路として作用するので、導体ピラー13、はんだ層14、及びモジュール基板側電極92も熱伝導経路として作用する。

30

【0078】

図8、図10に示した例では、モジュール基板90側への放熱・排熱効果が高いため、上記CMOS回路等への熱的影響が抑制される。

【0079】

このように構成されたRF回路モジュール113Aでは、第1の実施形態で示した例と同様に、全体に小型化され、また、放熱性の高いRF回路モジュールが得られる。

【0080】

図11は第3の実施形態に係る別のRF回路モジュール113Bの部分断面図である。図8に示したRF回路モジュール113Aとは、ヒートスプレッドHSを備える点で異なる。このRF回路モジュール113Bは、配線形成層としてのSiO<sub>2</sub>層に、デバイス層としてのSi層に形成されている回路を第1基材側電極12にまで引き出す配線が形成されているだけでなく、HBTである回路素子21の近傍にヒートスプレッドHSが形成されている。このヒートスプレッドHSは、Cu又はAlによる複数層の配線層と、各配線層間を接続するCu又はAlによるビアVとで構成されている。

40

【0081】

図12は上記ヒートスプレッドHSのビア層での横断面図である。このように、ヒートスプレッドHSを構成する配線層の導体は面状に広がっていて、多数のビアが面方向に配

50

列されている。このように、ヒートスプレッドHSは、配線層（導体層）とビアの周囲（絶縁体層）とが、横断面方向でも縦断面方向でもそれぞれ格子状に形成されている。

【0082】

図13は、RF回路モジュール113Bにおける回路素子21からの放熱経路を示す図である。図13において、破線の矢印で示すように、回路素子21（HBT）が発生する熱は3つの熱伝導経路で放熱・排熱される。第1の熱伝導経路は、回路素子21の熱を、第2基材側電極22、第2導体ピラーバンプPB2、を經由して、モジュール基板側電極92及びモジュール基板90へ放熱・排熱する経路である。第2の熱伝導経路は、回路素子21が発生する熱を、第1基材10に放熱・排熱する経路である。第3の熱伝導経路は、回路素子21の熱を、ヒートスプレッドHS、第1基材側電極12、第1導体ピラーバンプPB1、を經由して、モジュール基板側電極91及びモジュール基板90へ放熱・排熱する経路である。この第1基材10にはヒートスプレッドHSが形成されているので、第1基材10方向への熱はヒートスプレッドHSを介して高効率で放熱・排熱される。また、上記第3の熱伝導経路も形成されるので回路素子21の熱は高効率で放熱・排熱される。

10

【0083】

図14は第3の実施形態に係るさらに別のRF回路モジュール113Cの部分断面図である。図11に示したRF回路モジュール113Bとは、ヒートスプレッドHSの形成範囲が広い点で異なる。このRF回路モジュール113Cでは、ヒートスプレッドHSのサイズが大きいことにより、回路素子21の熱がヒートスプレッドHSを介して効果的に放熱される。また、図13に示した例と比べて、回路素子21の熱を、ヒートスプレッドHS、第1基材側電極12、第1導体ピラーバンプPB1、を經由してモジュール基板側電極91及びモジュール基板90へ放熱・排熱する熱伝導経路が複数形成されるので、この熱伝導経路を介する放熱効果も高い。

20

【0084】

このように構成されたRF回路モジュール113B, 113Cでは、ヒートスプレッドHSへの放熱・廃熱経路が付加され、さらに、第1基材側電極12及び第1導体ピラーバンプPB1を經由する熱伝導経路がさらに付加されて、より放熱性の高いRF回路モジュールが得られる。また、ヒートスプレッドHSのビアVはSi基板に達するので、Si基板による放熱・廃熱効率が高い。

【0085】

なお、図12に示した例では、面状に広がった配線層の導体を有するヒートスプレッドHSを示したが、配線層の導体は、ビアVが導通する箇所毎に独立したパターンであってもよい。そのことにより、配線層の導体に流れる渦電流が抑制される。また、配線層の導体は、配線層の平面視で格子状であってもよい。そのことによっても、配線層の導体に流れる渦電流が抑制される。

30

【0086】

《第4の実施形態》

第4の実施形態では、第1基材の回路形成面をモジュール基板に対向させない状態でモジュール基板に実装されるRF回路モジュールに関して例示する。

【0087】

図15は第4の実施形態に係るRF回路モジュールが備える積層体104Aの断面図である。PA回路素子3は第1基材10と第2基材20とを含む。積層体104Aは第1基材10と第2基材20とによる積層体である。

40

【0088】

第1基材10は、Si基板Si-sub上に、絶縁層としてのSiO<sub>2</sub>層、デバイス層としてのSi層、配線形成層としてのSiO<sub>2</sub>層、パッシベーション層としてのSiN層が、この順に形成されている。SiN層の表面には再配線層としての第1基材側電極12、第2基材側電極22及び回路間接続配線32が形成されている。

【0089】

製造時において、これらの、回路間接続配線32、第2基材側電極22（本発明に係る

50

「第2回路を構成する導体層」)、及び第1基材側電極12を構成する導体層は、同一層で構成されてもよい。そのことにより製造工程を簡略化できる。

【0090】

第2基材20には、複数の回路素子21及び当該複数の回路素子21に動作電圧を印加する又は動作電流を通電する電極が形成されている。第2基材20は、第1の実施形態において図5に示したように別工程で形成され、上記回路素子は、そのエピタキシャル層上に形成されている。

【0091】

また、第1基材10の表面で、第2基材20と重ならない位置に第1基材側電極12及び回路間接続配線32が形成されている。第1基材側電極12、第2基材側電極22及び回路間接続配線32は外部接続のために、それらの表面は露出している。

10

【0092】

第1基材10、第1基材10に形成されている第1回路、第2基材20及び第2基材20に形成されている第2回路の構成は図8に示した例と同じである。

【0093】

積層体104Aは、第1基材10の底面がモジュール基板に搭載され、第1基材側電極12、第2基材側電極22又は回路間接続配線32とモジュール基板上の電極とがワイヤーを介して接続される。

【0094】

図15において細線の補助線で示すように、モジュール基板の平面視で、回路間接続配線32を構成する導体層の上面は、第2回路の最上部にある第2基材側電極22の上面より低い。

20

【0095】

図16は第4の実施形態の別の回路モジュール114Bの断面図である。この回路モジュール114Bは、モジュール基板90と積層体104Bとを備える。

【0096】

積層体104Bの基本的な構成は図15に示した積層体104Aと同じであるが、第1基材10及び第2基材20の表面に樹脂層15が被覆されていて、この樹脂層15から第1基材側電極12に導通する外部接続用電極(ボンディングパッド)31、第2基材側電極22及び回路間接続配線32の表面が露出している。

30

【0097】

積層体104Bはモジュール基板90に搭載されて、積層体104Bの上面の外部接続用電極31とモジュール基板側電極93とがワイヤー41を介して接続されている。

【0098】

図16に示す例では、モジュール基板90の平面視で、回路間接続配線32を構成する導体層の上面は、第2回路の最上部にある第2基材側電極22の上面と同一面にある。

【0099】

本実施形態においても、第1基材側電極12に導通する外部接続用電極(ボンディングパッド)31、第2基材側電極22及び回路間接続配線32を構成する導体層は、同一層で構成されてよく、同一層で形成することで製造工程を簡略化できる。

40

【0100】

図17は第4の実施形態に係るパワーアンプモジュール等の積層体の製造方法について示す図である。特に、回路間接続配線の形成方法について表している。

【0101】

図17中のステップS1からS3までの図は、パワーアンプモジュールの製造途中段階における断面図である。実際の製造はウエハー単位で行われるが、図17では、単一の半導体装置について図示している。

【0102】

まず、図17中のステップS1に示すように、Si基材からなる第1基材10を配置する。必要に応じて、このSi基材からなる第1基材10の表面に、一般的な半導体プロセスを

50

用いて、接合層を形成してもよい。この接合層は、Au膜などの金属膜や、ポリイミド（PI）膜、ポリベンゾオキサゾール（PBO）、ベンゾシクロブテン（BCB）等の有機材料膜や、AlN、SiC、ダイヤモンド等の絶縁体である。

【0103】

次に、ステップS2に示すように、第1基材10上に第2基材20を接合する。第2基材20には別工程で既に回路素子及び電極が形成されている。

【0104】

次に、ステップS3に示すように、一般的な半導体プロセスによって、第2基材20上に第2基材側電極22を形成し、第1基材10上に第1基材側電極12を形成し、第2基材20から第1基材10にかけて、回路間接続配線32を形成する。この回路間接続配線32は、第1基材10に形成された第1回路と、第2基材20に形成された第2回路とを接続する。

10

【0105】

上記第1基材側電極12、第2基材側電極22及び回路間接続配線32は一工程で同時に形成することができる。

【0106】

図18は第4の実施形態に係るフロントエンドモジュール120の回路構成を示すブロック図である。フロントエンドモジュール120は、アンテナANTに接続される帯域通過フィルタ71、アンテナスイッチ70、インピーダンス整合回路69A、69B、デュプレクサ68A、68B、スイッチ64、65、インピーダンス整合回路66、低雑音増幅器67、スイッチ62、高周波増幅器60、高周波増幅器制御回路61、インピーダンス整合回路63i、63o、スイッチ64を備える。

20

【0107】

スイッチ62及び高周波増幅器制御回路61は第1基材10の第1回路10Cに形成されていて、高周波増幅器60は第2基材20の第2回路20Cに形成されている。インピーダンス整合回路63oは第1回路10C、第2回路20C又はその両方に形成されている。インピーダンス整合回路63iも、第1回路10C、第2回路20C又はその両方に形成されている。インピーダンス整合回路63i、63oそれぞれは、例えば第1回路10Cと第2回路20Cとを接続する導体部に生じるインダクタンス及びキャパシタンスで構成される。

30

【0108】

図18に示すフロントエンドモジュール120の基本的な構成は図7に示したフロントエンドモジュール120と同じである。図18において、スイッチ62への送信信号入力部を(1)で表し、送信信号の第1回路10Cの出力部を(2)で表し、送信信号の第2回路20Cへの入力部を(3)で表すと、(2)と(3)の経路は非常に近い。

【0109】

ここで、比較例としてのRF回路モジュールの断面図を図26及び図27に示す。図26、図27のいずれに示す例でも、第1回路が形成された第1基材10がモジュール基板90に搭載されていて、この第1基材10に、第2回路が形成された第2基材20が搭載されている。

40

【0110】

図26に示す例では、モジュール基板側電極93Aと第1回路の一部とはワイヤー41Aを介して接続されていて、モジュール基板側電極93Bと第1回路の一部とはワイヤー41Bを介して接続されていて、このモジュール基板側電極93Bと第2回路の一部とがワイヤー43を介して接続されている。

【0111】

図27に示す例では、モジュール基板側電極93と第1回路の一部とはワイヤー41を介して接続されていて、第1回路の一部と第2回路の一部とがワイヤー42を介して接続されている。

【0112】

50

図 2 6 に示したような構造では、第 1 回路の一部と第 2 回路の一部とがワイヤー 4 1 B , 4 3 を介して接続されることになるが、この接続経路が図 1 8 に示した ( 2 ) - ( 3 ) 間の経路となるので、ワイヤー 4 1 B , 4 3 による寄生インダクタンス及び寄生キャパシタンスが大きい。そのため、信号損失が大きく、また、インピーダンス整合回路 6 3 i の所定の特性が得られない。

【 0 1 1 3 】

図 2 7 に示したような構造では、第 1 回路の一部と第 2 回路の一部とがワイヤー 4 2 を介して接続されるが、この接続経路が図 1 8 に示した ( 2 ) - ( 3 ) 間の経路となるので、ワイヤー 4 2 による寄生インダクタンス及び寄生キャパシタンスの影響を受ける。そのため、図 2 6 に示した構造に比べて改善されるものの、信号損失があり、また、所定のインピーダンス整合回路 6 3 i の特性が得られない。

10

【 0 1 1 4 】

これに対して、図 1 5 、図 1 6 、図 1 7 に示した本実施形態の R F 回路モジュールでは、図 1 8 に示した ( 2 ) - ( 3 ) 間の経路は回路間接続配線 3 2 で構成される。この回路間接続配線 3 2 に生じる寄生インダクタンス及び寄生キャパシタンスは小さい。そのため、信号損失は小さく、また、インピーダンス整合回路 6 3 i の所定の特性が得ることができる。

【 0 1 1 5 】

《 第 5 の実施形態 》

第 5 の実施形態では、第 1 基材 1 0 に貫通導体を有する R F 回路モジュールについて例示する。

20

【 0 1 1 6 】

図 1 9 は第 5 の実施形態に係る R F 回路モジュール 1 1 5 の断面図である。この R F 回路モジュール 1 1 5 は、配線形成層としての SiO<sub>2</sub> 層に、デバイス層としての Si 層に形成されている回路を第 1 基材側電極 1 2 にまで引き出すビア V 等の配線が形成されている。また、HBT である回路素子 2 1 の近傍にヒートスプレッド H S が形成されている。このヒートスプレッド H S は、Cu 又は Al による複数層の配線層と、各配線層間を接続する Cu 又は Al によるビア V とで構成されている。第 1 基材 1 0 の上面には表面導体 5 2 が形成されていて、この表面導体 5 2 とヒートスプレッド H S との間に複数の貫通導体 5 1 が形成されている。

30

【 0 1 1 7 】

第 1 基材 1 0 は Si である場合、貫通導体 5 1 は例えば W ( タングステン ) 又は Cu で構成される。第 1 基材 1 0 が GaAs である場合、貫通導体 5 1 は例えば Au で構成することができる。

【 0 1 1 8 】

本実施形態によれば、HBT である回路素子 2 1 が発する熱をヒートスプレッド H S 、貫通導体 5 1 及び表面導体 5 2 を介して外部へ高効率で放熱・廃熱することができる。

【 0 1 1 9 】

《 第 6 の実施形態 》

第 6 の実施形態では、第 1 回路と第 2 回路との接続構造と、モジュール基板に対する第 1 回路及び第 2 回路の接続構造とが、これまでに示した例とは異なる R F 回路モジュールについて示す。

40

【 0 1 2 0 】

図 2 0 は第 6 の実施形態に係る R F 回路モジュール 1 1 6 A の概略正面図である。第 1 基材 1 0 の表面には第 1 回路 1 0 C が形成されていて、第 2 基材 2 0 の表面には第 2 回路 2 0 C が形成されている。

【 0 1 2 1 】

モジュール基板 9 0 には部品接続用の電極であるモジュール基板側電極 9 3 が形成されている。

【 0 1 2 2 】

50

第1回路10C又は第2回路20Cは高周波信号を増幅する高周波増幅回路を含む。また、高周波増幅回路が構成された回路の他方の回路は高周波増幅回路の動作を制御する制御回路を含む。例えば第2回路20Cは上記高周波増幅器を含み、第1回路10Cは上記制御回路を含む。この「高周波増幅回路」は例えば図18に示した高周波増幅器60に相当し、「制御回路」は例えば図18に示した高周波増幅器制御回路61に相当する。

【0123】

第2基材20と第1基材10は、モジュール基板90の平面視で、一方が他方に内包される状態で重なる。図20に示す例では、第2基材20が第1基材10に内包される状態で重なる。

【0124】

第2回路20Cが形成された第2基材20から、第1回路10Cが形成された第1基材10にかけて、第1回路10Cと第2回路20Cとを電気的に接続する回路間接続配線32を構成する導体層が形成されている。つまり、第1基材10及び第2基材20は、第1回路10Cと第2回路20Cとをモジュール基板90を介さずに電気的に接続する回路間接続配線32を構成する導体層を有する。

【0125】

回路間接続配線32を構成する導体層は、第1回路10C又は第2回路20Cを構成する導体層と同一層からなる。つまり、回路間接続配線32を構成する導体層の一部は第1回路10Cを構成する導体層と同一層にあり、回路間接続配線32を構成する導体層の一部は第2回路12Cを構成する導体層と同一層にある。

【0126】

この構造により、第1回路10Cの一部と第2回路20Cの一部とが導通し、かつその導通部がワイヤー41を介してモジュール基板側電極93に導通する。

【0127】

図21は第6の実施形態に係る別のRF回路モジュール116Bの正面図である。第1基材10の表面には第1回路10Cが形成されていて、第2基材20の表面には第2回路20Cが形成されている。

【0128】

このRF回路モジュール116Bは、第1基材10の下面に表面導体52が形成されていて、この表面導体52と第1回路10Cとの間に複数の貫通導体51が形成されている。その他の構成はRF回路モジュール116Aと同様である。RF回路モジュール116Bによれば、第1回路10Cが発する熱を貫通導体51及び表面導体52を介して外部へ高効率で放熱・廃熱することができる。

【0129】

《第7の実施形態》

第7の実施形態では、第1回路及び第2回路がモジュール基板に対向する状態で、第1基材及び第2基材がモジュール基板に搭載されたRF回路モジュールについて例示する。

【0130】

図22は第7の実施形態に係るRF回路モジュール117Aの正面図である。第1基材10の表面には第1回路10Cが形成されていて、第2基材20の表面には第2回路20Cが形成されている。

【0131】

第1基材10の第1回路10C及び第2基材20の第2回路20Cは、モジュール基板90の電極の形成面に対向している。

【0132】

第1基材10は、モジュール基板90の電極に接続される導体ピラーバンプPB1A, PB1Bを有する。導体ピラーバンプPB1Bは、回路間接続配線32を構成する導体層に直接接触している。導体ピラーバンプPB1A, PB1Bは本発明に係る「導体突起部」に相当する。この構造により、第1回路10Cの一部と第2回路20Cの一部との接続経路を短縮化するとともに、これら第1回路10C及び第2回路20Cとモジュール基板

10

20

30

40

50

90の電極との接続経路も短くできる。そのため、従来のワイヤーを用いて接続する構造に比べて上記接続経路を低インピーダンス化、低インダクタンス化できる。

【0133】

第1回路10C又は第2回路20Cは高周波信号を増幅する高周波増幅回路を含む。また、高周波増幅回路が構成された回路の他方の回路は高周波増幅回路の動作を制御する制御回路を含む。例えば第2回路20Cは上記高周波増幅器を含み、第1回路10Cは上記制御回路を含む。この「高周波増幅回路」は例えば図18に示した高周波増幅器60に相当し、「制御回路」は例えば図18に示した高周波増幅器制御回路61に相当する。

【0134】

第2基材20と第1基材10は、モジュール基板90の平面視で、一方が他方に内包される状態で重なる。図22に示す例では、第2基材20が第1基材10に内包される状態で重なる。

10

【0135】

第2回路20Cが形成された第2基材20から、第1回路10Cが形成された第1基材10にかけて、第1回路10Cと第2回路20Cとを電氣的に接続する回路間接続配線32を構成する導体層が形成されている。

【0136】

この構造により、第1回路10Cの一部と第2回路20Cの一部とが回路間接続配線32を介して導通し、第1回路10Cの一部及び第2回路20Cの一部は導体ピラーバンプPB1を介してモジュール基板の電極に導通する。

20

【0137】

図23は第7の実施形態に係る別のRF回路モジュール117Bの正面図である。第1基材10の表面には第1回路10Cが形成されていて、第2基材20の表面には第2回路20Cが形成されている。

【0138】

第1基材10の第1回路10C及び第2基材20の第2回路20Cは、モジュール基板90の電極の形成面に対向している。第1基材10は、モジュール基板90の電極に接続される導体ピラーバンプPB1A、PB1Bを有する。また、第2基材20は、モジュール基板90の電極に接続される導体ピラーバンプPB2を有する。

【0139】

30

上記導体ピラーバンプPB2は、回路間接続配線32を構成する導体層に直接接触している。この構造により、第1回路10Cの一部と第2回路20Cの一部との接続経路を短縮するとともに、これら第1回路10C及び第2回路20Cとモジュール基板90の電極との接続経路も短くできる。特に、第2回路20Cとモジュール基板90に形成されている電極との接続経路をより短くできる。そのため、従来のワイヤーを用いて接続する構造に比べて上記接続経路を低インピーダンス化、低インダクタンス化できる。

【0140】

最後に、上述の実施形態の説明は、すべての点で例示であって、制限的なものではない。当業者にとって変形及び変更が適宜可能である。本発明の範囲は、上述の実施形態ではなく、特許請求の範囲によって示される。さらに、本発明の範囲には、特許請求の範囲内と均等の範囲内での実施形態からの変更が含まれる。

40

【符号の説明】

【0141】

ANT...アンテナ

HS...ヒートスプレッド

PB1...第1導体ピラーバンプ

PB2...第2導体ピラーバンプ

PM...P-MOS

NM...N-MOS

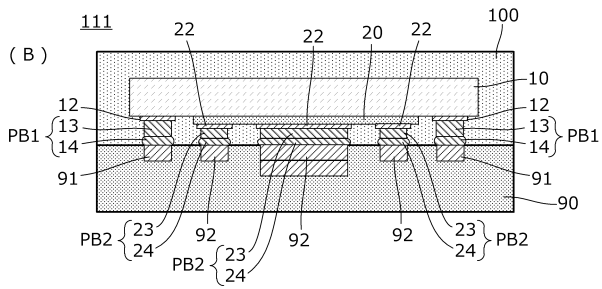
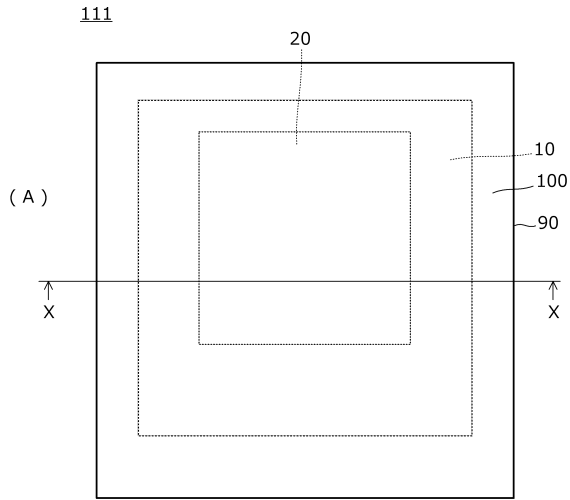
Si-sub...Si基板

50

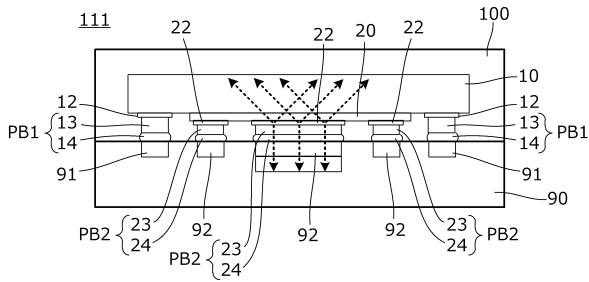
V ... ビア	
3 ... P A 回路素子	
1 0 ... 第 1 基材	
1 0 C ... 第 1 回路	
1 2 ... 第 1 基材側電極	
1 3 , 2 3 ... 導体ピラー	
1 4 , 2 4 ... はんだ層	
1 5 ... 樹脂層	
2 0 ... 第 2 基材	
2 0 C ... 第 2 回路	10
2 0 D ... エピタキシャル層	
2 0 N ... GaAs 基材	
2 1 ... 回路素子	
2 2 ... 第 2 基材側電極	
2 2 U ... 下地電極	
2 9 ... 剥離層	
3 1 ... 外部接続用電極 (ボンディングパッド)	
3 2 ... 回路間接続配線	
4 1 , 4 1 A , 4 1 B , 4 2 , 4 3 ... ボンディングワイヤー	
5 1 ... 貫通導体	20
5 2 ... 表面導体	
6 0 ... 高周波増幅器	
6 1 ... 高周波増幅器制御回路	
6 2 , 6 4 , 6 5 ... スイッチ	
6 3 , 6 6 , 6 9 A , 6 9 B ... インピーダンス整合回路	
6 7 ... 低雑音増幅器	
6 8 A , 6 8 B ... デュプレクサ	
7 0 ... アンテナスイッチ	
7 1 ... 帯域通過フィルタ	
8 5 ... レジスト膜	30
9 0 ... モジュール基板	
9 1 , 9 2 , 9 3 ... モジュール基板側電極	
1 0 0 ... モールド樹脂	
1 0 4 A , 1 0 4 B ... 積層体	
1 1 1 , 1 1 3 A , 1 1 3 B , 1 1 3 C , 1 1 4 B , 1 1 5 , 1 1 6 A , 1 1 6 B ... R F	
回路モジュール	
1 2 0 ... フロントエンドモジュール	
2 0 0 ... 母基板	40

【図面】

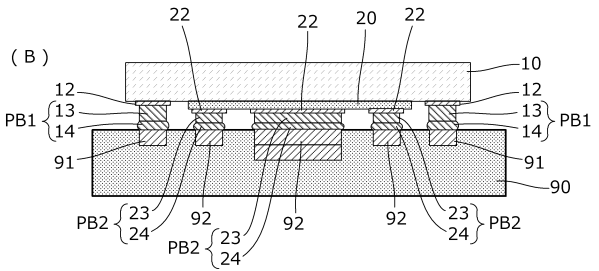
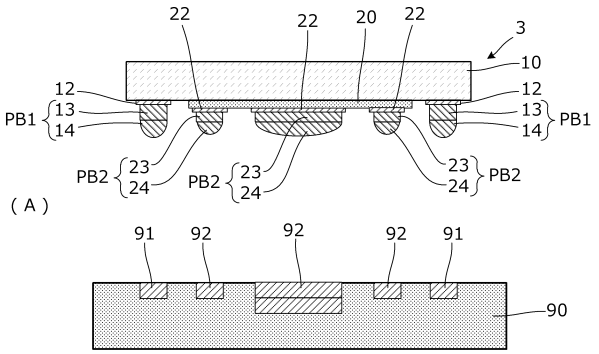
【図 1】



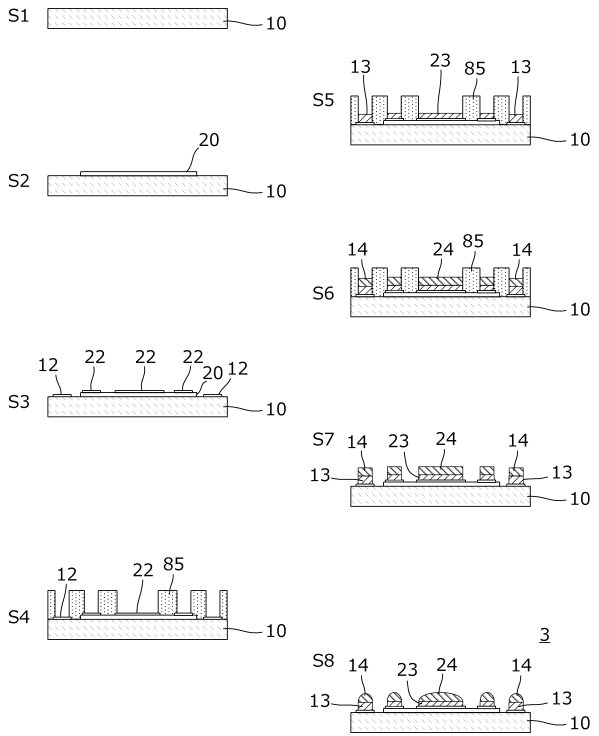
【図 3】



【図 2】



【図 4】



10

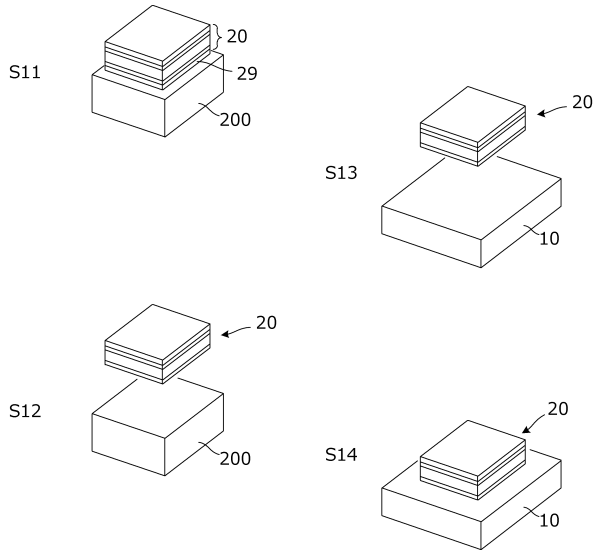
20

30

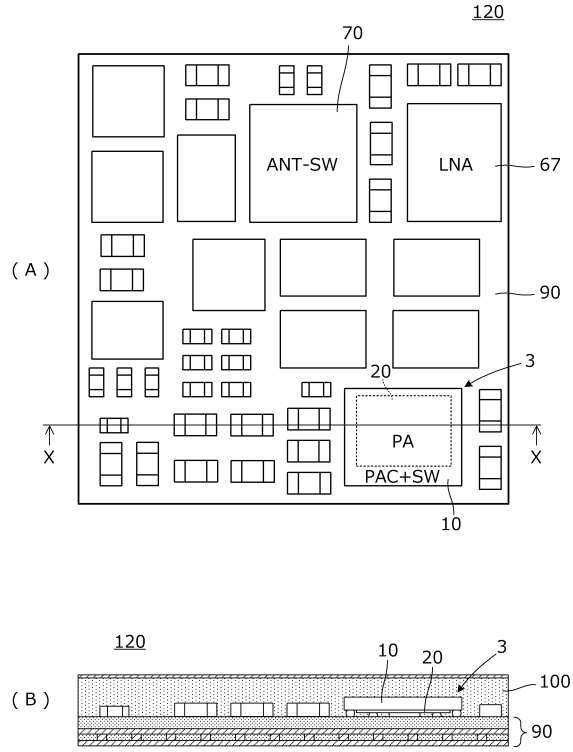
40

50

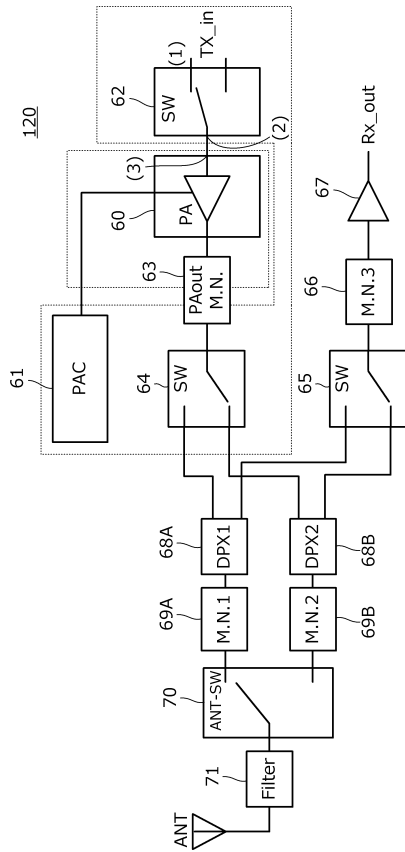
【 5 】



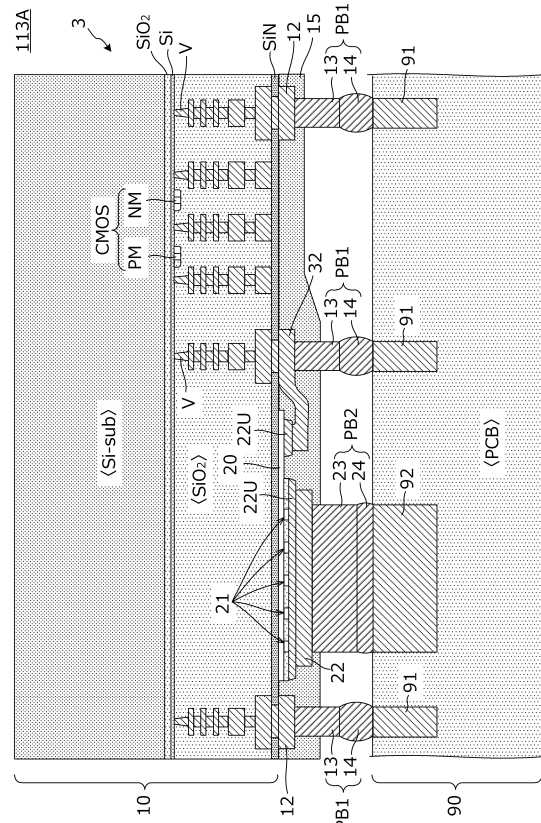
【 6 】



【 7 】



【 8 】



10

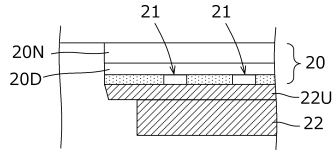
20

30

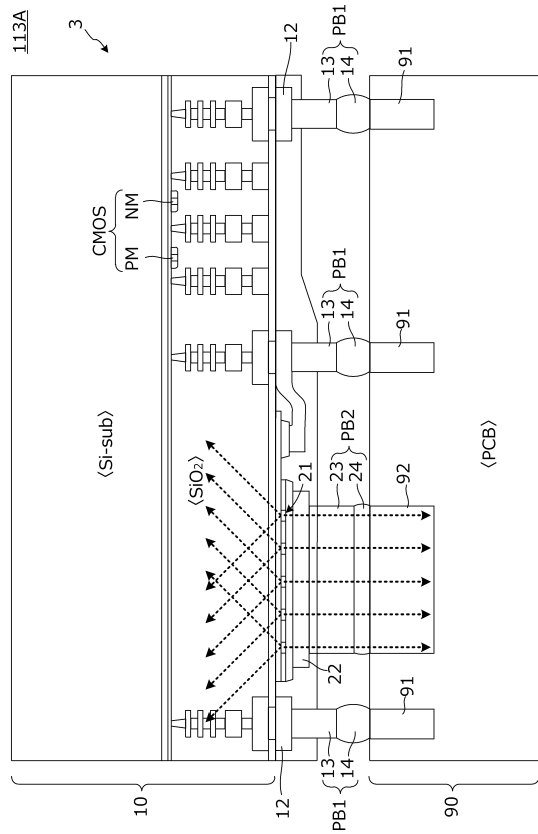
40

50

【 図 9 】



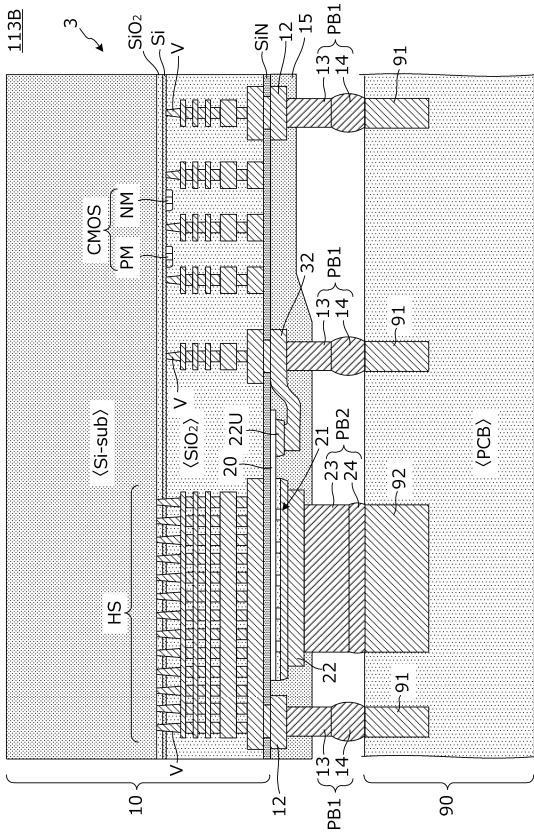
【 図 10 】



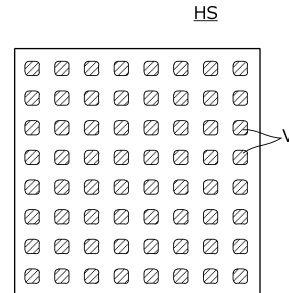
10

20

【 図 11 】



【 図 12 】

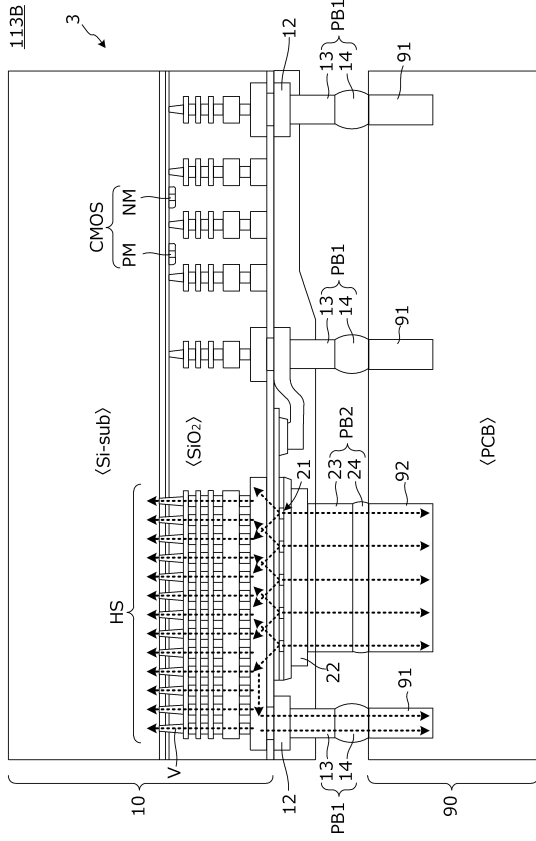


30

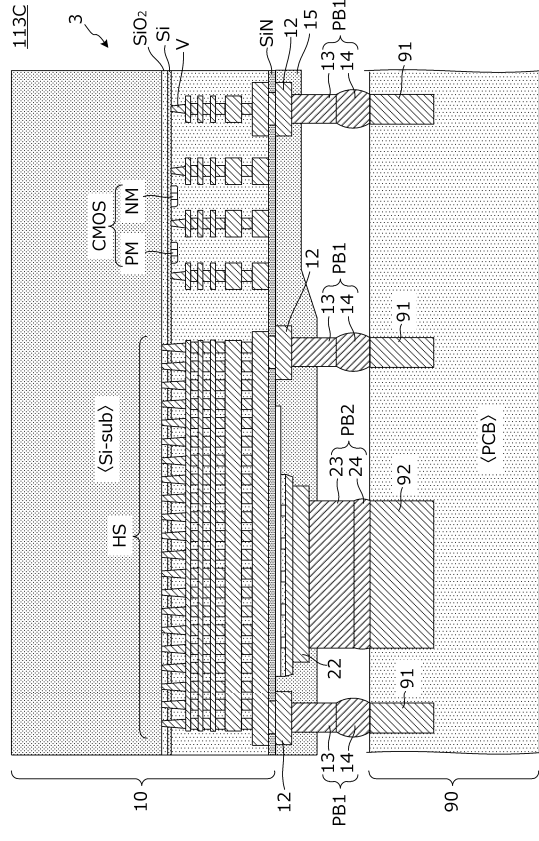
40

50

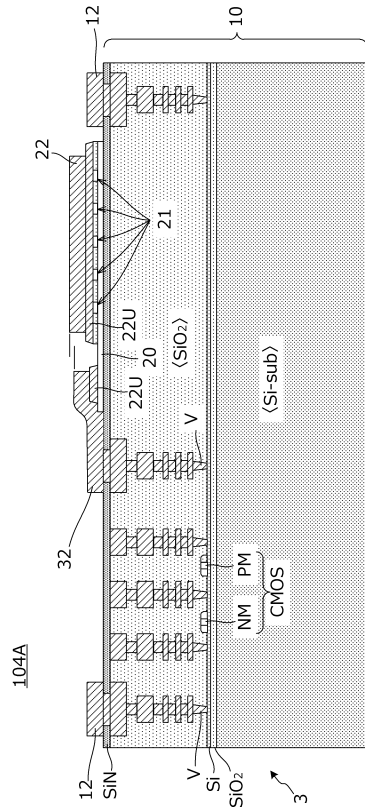
【図 1 3】



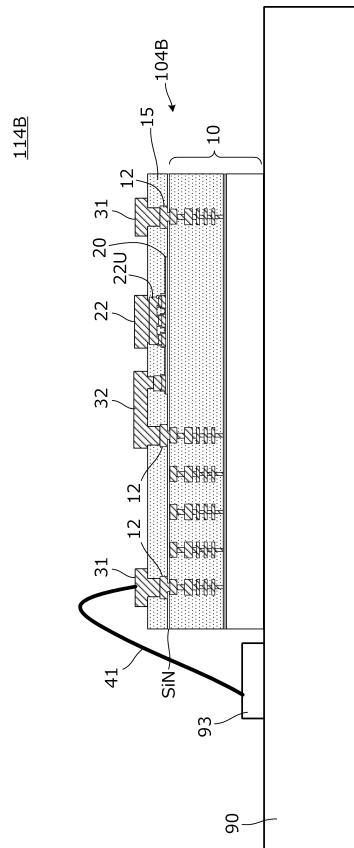
【図 1 4】



【図 1 5】



【図 1 6】



10

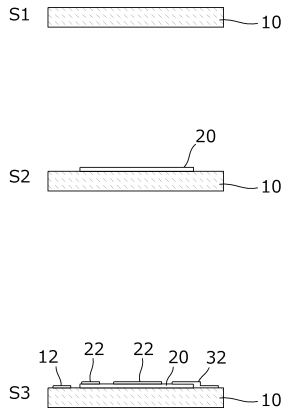
20

30

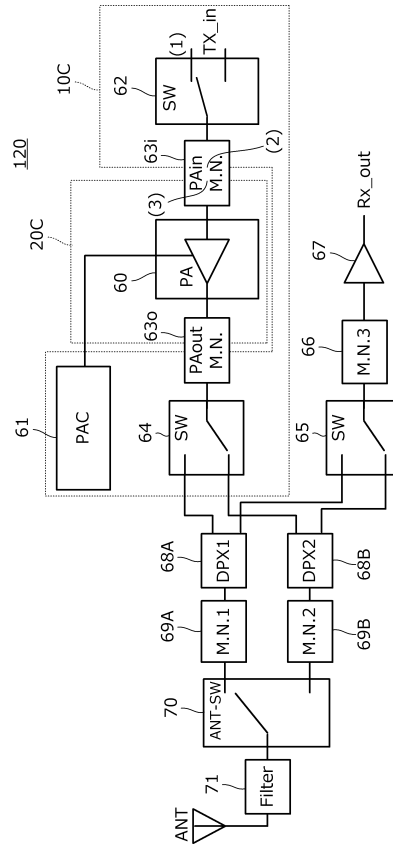
40

50

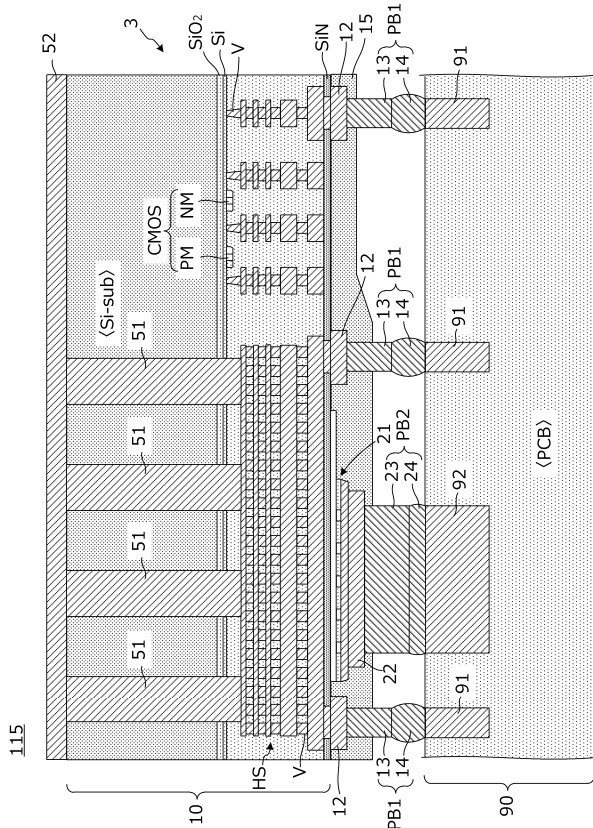
【 17 】



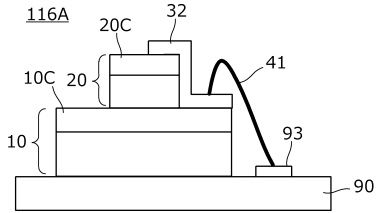
【 18 】



【 19 】



【 20 】



10

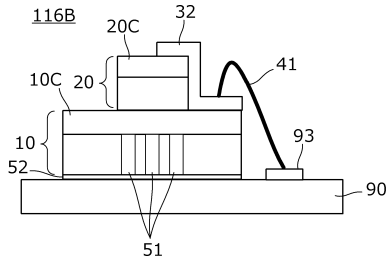
20

30

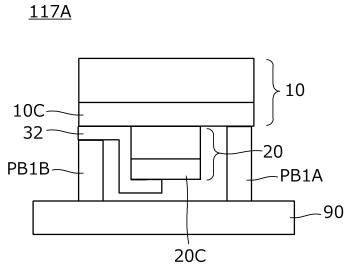
40

50

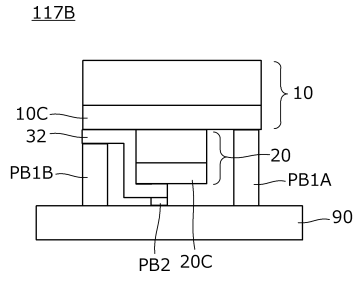
【 2 1 】



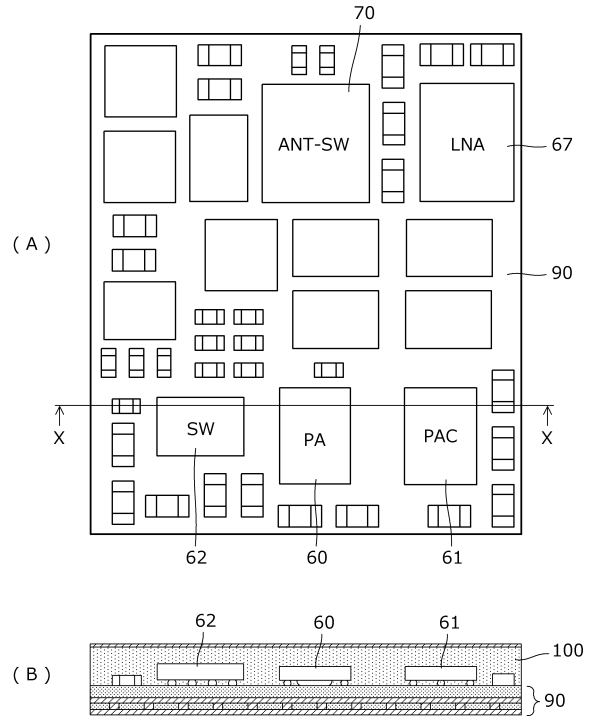
【 2 2 】



【 2 3 】



【 2 4 】



10

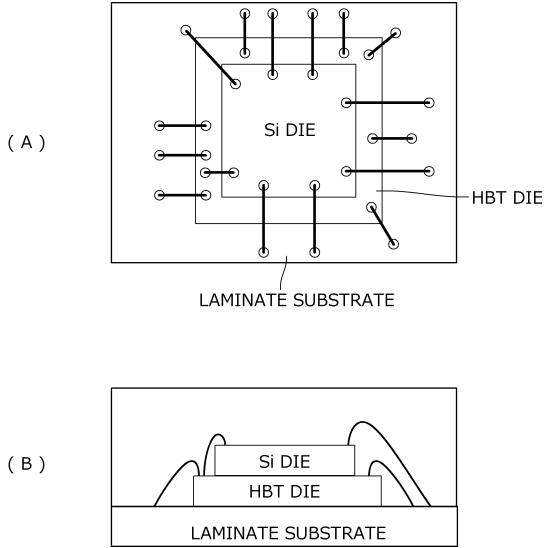
20

30

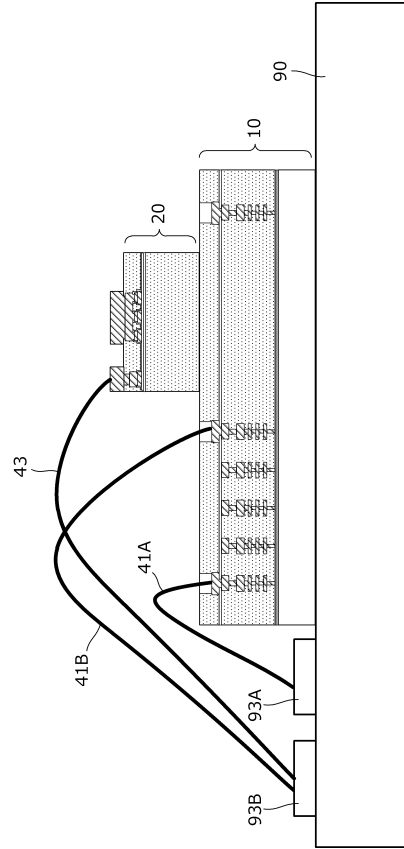
40

50

【 2 5 】



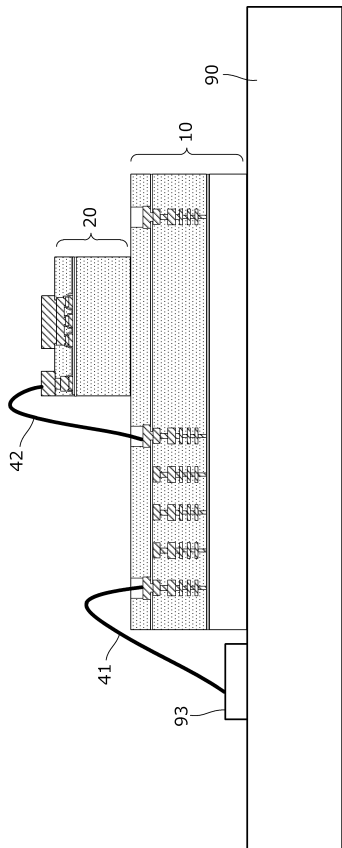
【 2 6 】



10

20

【 2 7 】



30

40

50

---

フロントページの続き

- (56)参考文献 特開 2 0 0 7 - 1 8 8 9 1 6 ( J P , A )  
特開 2 0 1 5 - 0 1 8 9 8 7 ( J P , A )  
特表 2 0 0 7 - 5 3 7 5 8 8 ( J P , A )
- (58)調査した分野 (Int.Cl., D B 名)
- |         |           |
|---------|-----------|
| H 0 4 B | 1 / 3 8   |
| H 0 4 B | 1 / 0 0   |
| H 0 1 L | 2 3 / 1 2 |