

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年6月28日(2007.6.28)

【公開番号】特開2005-182978(P2005-182978A)

【公開日】平成17年7月7日(2005.7.7)

【年通号数】公開・登録公報2005-026

【出願番号】特願2004-186459(P2004-186459)

【国際特許分類】

G 11 C 11/22 (2006.01)

【F I】

G 11 C 11/22 501 A

G 11 C 11/22 501 K

【手続補正書】

【提出日】平成19年5月8日(2007.5.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

強誘電体メモリ装置において、

ワードラインイネーブル信号により制御される一つのアクセストランジスタ、及び、ビットラインと前記アクセストランジスタとの間に連結された一つの強誘電体キャパシタを含む少なくとも一つのメモリセルを具備することを特徴とする強誘電体メモリ装置。

【請求項2】

前記アクセストランジスタは、第1端子、第2端子及びゲートを有し、前記第1端子は前記ビットラインに第1電極が連結された強誘電体キャパシタの第2電極に連結され、前記第2端子はプレートラインに連結され、前記ゲートはワードラインに連結されていることを特徴とする請求項1に記載の強誘電体メモリ装置。

【請求項3】

前記プレートラインには、電源電圧の1/2倍の固定電圧が印加されることを特徴とする請求項2に記載の強誘電体メモリ装置。

【請求項4】

複数の前記メモリセルが一つの共通プレートラインを共有することを特徴とする請求項3に記載の強誘電体メモリ装置。

【請求項5】

複数のアレイユニットを備え、前記複数のアレイユニットが行と列に配列されてマトリックス構造をなすメモリセルアレイを有する強誘電体装置において、

前記アレイユニットは、

第1ワードラインイネーブル信号により制御される第1アクセストランジスタ、及び、第1ビットラインと前記第1アクセストランジスタとの間に連結された第1強誘電体キャパシタを含む第1メモリセルと、

第2ワードラインイネーブル信号により制御される第2アクセストランジスタ、及び、第2ビットラインと前記第2アクセストランジスタとの間に連結された第2強誘電体キャパシタを含み、前記第1メモリセルと隣接した第2メモリセルと、を具備することを特徴とする強誘電体メモリ装置。

【請求項6】

前記第1メモリセル及び前記第2メモリセルは、一つのプレートラインに連結されることを特徴とする請求項5に記載の強誘電体メモリ装置。

【請求項7】

前記第1アクセストランジスタの第1端子は、前記第1ビットラインに第1電極が連結された第1強誘電体キャパシタの第2電極に連結され、前記第2アクセストランジスタの第1端子は、前記第2ビットラインに第1電極が連結された第2強誘電体キャパシタの第2電極に連結され、前記第1アクセストランジスタの第2端子と前記第2アクセストランジスタの第2端子がともに前記プレートラインに連結されていることを特徴とする請求項6に記載の強誘電体メモリ装置。

【請求項8】

前記プレートラインには、電源電圧の1/2倍の固定電圧が印加されることを特徴とする請求項7に記載の強誘電体メモリ装置。

【請求項9】

複数のアレイユニットを備え、前記複数のアレイユニットが行と列に配列されてマトリックス構造をなすメモリセルアレイを有する強誘電体メモリ装置において、

前記アレイユニットは、

第1ワードラインイネーブル信号により制御される第1アクセストランジスタ、及び、一つのビットラインと前記第1アクセストランジスタとの間に連結された第1強誘電体キャパシタを含む第1メモリセルと、

第2ワードラインイネーブル信号により制御される第2アクセストランジスタ、及び、前記第1メモリセルが連結された前記一つのビットラインと前記第2アクセストランジスタとの間に連結された第2強誘電体キャパシタを含み、前記第1メモリセルと隣接した第2メモリセルと、

を有することを特徴とする強誘電体メモリ装置。

【請求項10】

前記第1メモリセル及び前記第2メモリセルは、一つのプレートラインに連結されることを特徴とする請求項9に記載の強誘電体メモリ装置。

【請求項11】

前記第1メモリセル及び前記第2メモリセルは、互いに独立したプレートラインに連結されていることを特徴とする請求項9に記載の強誘電体メモリ装置。

【請求項12】

前記第1アクセストランジスタの第1端子は、前記一つのビットラインに第1電極が連結された第1強誘電体キャパシタの第2電極に連結され、前記第2アクセストランジスタの第1端子は、前記一つのビットラインに第1電極が連結された第2強誘電体キャパシタの第2電極に連結され、前記第1アクセストランジスタの第2端子と前記第2アクセストランジスタの第2端子がともに前記プレートラインに連結されていることを特徴とする請求項10に記載の強誘電体メモリ装置。

【請求項13】

前記プレートラインには、電源電圧の1/2倍の固定電圧が印加されることを特徴とする請求項11または12に記載の強誘電体メモリ装置。

【請求項14】

複数のアレイユニットを備え、前記複数のアレイユニットが行と列に配列されてマトリックス構造をなすメモリセルアレイを有する強誘電体メモリ装置において、

前記アレイユニットは、

第1ワードラインイネーブル信号により制御される第1アクセストランジスタ、及び、第1ビットラインと前記アクセストランジスタとの間に連結された第1強誘電体キャパシタを含む第1メモリセルと、

前記第1ワードラインイネーブル信号により制御される第2アクセストランジスタ、及び、第2ビットラインと前記第2アクセストランジスタとの間に連結された第2強誘電体キャパシタを含み、前記第1メモリセルと隣接した第2メモリセルと、

第2ワードラインイネーブル信号により制御される第3アクセストランジスタ、及び、前記第1ビットラインと前記第3アクセストランジスタとの間に連結された第3強誘電体キャパシタを含み、前記第1メモリセル及び前記第2メモリセルと隣接した第3メモリセルと、

前記第2ワードラインイネーブル信号により制御される第4アクセストランジスタ、及び、前記第2ビットラインと前記第4アクセストランジスタとの間に連結された第4強誘電体キャパシタを含み、前記第1メモリセル乃至第3メモリセルと隣接した第4メモリセルと、

を有することを特徴とする強誘電体メモリ装置。

【請求項15】

前記第1メモリセル乃至前記第4メモリセルは、一つのプレートラインに連結されることを特徴とする請求項14に記載の強誘電体メモリ装置。

【請求項16】

前記プレートラインには、電源電圧の1/2倍の固定電圧が印加されることを特徴とする請求項15に記載の強誘電体メモリ装置。

【請求項17】

強誘電体メモリ装置において、

ワードラインにゲートが連結されたアクセストランジスタ、及び、前記アクセストランジスタとビットラインとの間に連結された強誘電体キャパシタを含む少なくとも一つのメモリセルと、

印加されるワードラインイネーブル信号に応答するスイッチング素子を通じてメインワードライン電圧を前記ワードラインに伝達することにより前記メモリセルのアクセストランジスタを動作させるワードラインドライバと、

を備えることを特徴とする強誘電体メモリ装置。

【請求項18】

前記ワードラインには、ワードラインディスエーブル信号に応じて前記ワードラインを放電させてディスエーブルさせるための放電用素子がさらに連結されていることを特徴とする請求項17に記載の強誘電体メモリ装置。

【請求項19】

前記メインワードライン電圧及び前記ワードラインの電圧は、電源電圧VCCレベルを有することを特徴とする請求項18に記載の強誘電体メモリ装置。

【請求項20】

前記メモリセルを構成する前記アクセストランジスタは、第1端子及び第2端子を有し、前記第1端子は、前記ビットラインに第1電極が連結された前記強誘電体キャパシタの第2電極に連結され、前記第2端子は、プレートラインに連結されていることを特徴とする請求項19に記載の強誘電体メモリ装置。

【請求項21】

前記ワードラインイネーブル信号は、外部電源電圧レベルを有することを特徴とする請求項20に記載の強誘電体メモリ装置。

【請求項22】

複数のメモリセルがマトリックス構造で配列されたメモリセルアレイを有する強誘電体メモリ装置においてデータをライトするための駆動方法であって、

ワードラインイネーブル信号により選択されたアクセストランジスタの第1端子に印加される固定電圧がビットラインと前記アクセストランジスタの第2端子との間に連結された強誘電体キャパシタに印加されるようにして、前記ビットライン上に前記強誘電体キャパシタに保持されたデータに対応する電圧が印加される段階と、

前記ビットライン上に印加された電圧をセンスアンプで感知増幅する段階と、

ライトしようとするデータに対応する電圧を前記ビットライン上に印加することによりデータを前記強誘電体キャパシタに保持させる段階と、

前記ワードラインをディスエーブルさせてビットラインを接地電圧に設定する段階と、

を含むことを特徴とする駆動方法。

【請求項 2 3】

前記固定電圧は、前記アクセストランジスタの第1端子に連結されたプレートラインを通じて印加されることを特徴とする請求項22に記載の駆動方法。

【請求項 2 4】

前記プレートラインに印加される固定電圧は、電源電圧の1/2倍のレベルを有することを特徴とする請求項23に記載の駆動方法。

【請求項 2 5】

複数個のメモリセルがマトリックス構造で配列されたメモリセルアレイを有する強誘電体メモリ装置において保持されたデータをリードするための駆動方法であって、

ワードラインインエーブル信号により選択されたアクセストランジスタの第1端子に印加される固定電圧がビットラインと前記アクセストランジスタの第2端子との間に連結された強誘電体キャパシタに印加されるようにして、前記ビットライン上に前記強誘電体キャパシタに保持されたデータに対応する電圧が印加される段階と、

前記ビットライン上に印加された電圧をセンスアンプで感知増幅して出力する段階と、

前記ワードラインをディスエーブルさせてビットラインを接地電圧に設定する段階と、を含むことを特徴とする駆動方法。

【請求項 2 6】

前記固定電圧は、プレートラインを通じて印加されることを特徴とする請求項25に記載の駆動方法。

【請求項 2 7】

前記プレートラインに印加される固定電圧は、電源電圧の1/2倍のレベルを有することを特徴とする請求項2 6に記載の駆動方法。