

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成 19 年 6 月 28 日 (2007.6.28)

【公開番号】特開 2005-182978 (P2005-182978A)  
 【公開日】平成 17 年 7 月 7 日 (2005.7.7)  
 【年通号数】公開・登録公報 2005-026  
 【出願番号】特願 2004-186459 (P2004-186459)  
 【国際特許分類】

**G 1 1 C 11/22 (2006.01)**

【F I】

G 1 1 C 11/22 5 0 1 A

G 1 1 C 11/22 5 0 1 K

【手続補正書】

【提出日】平成 19 年 5 月 8 日 (2007.5.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

強誘電体メモリ装置において、

ワードラインイネーブル信号により制御される一つのアクセストランジスタ、及び、ビットラインと前記アクセストランジスタとの間に連結された一つの強誘電体キャパシタを含む少なくとも一つのメモリセルを具備することを特徴とする強誘電体メモリ装置。

【請求項 2】

前記アクセストランジスタは、第 1 端子、第 2 端子及びゲートを有し、前記第 1 端子は前記ビットラインに第 1 電極が連結された強誘電体キャパシタの第 2 電極に連結され、前記第 2 端子はプレートラインに連結され、前記ゲートはワードラインに連結されていることを特徴とする請求項 1 に記載の強誘電体メモリ装置。

【請求項 3】

前記プレートラインには、電源電圧の 1/2 倍の固定電圧が印加されることを特徴とする請求項 2 に記載の強誘電体メモリ装置。

【請求項 4】

複数の前記メモリセルが一つの共通プレートラインを共有することを特徴とする請求項 3 に記載の強誘電体メモリ装置。

【請求項 5】

複数のアレイユニットを備え、前記複数のアレイユニットが行と列に配列されてマトリックス構造をなすメモリセルアレイを有する強誘電体装置において、

前記アレイユニットは、

第 1 ワードラインイネーブル信号により制御される第 1 アクセストランジスタ、及び、第 1 ビットラインと前記第 1 アクセストランジスタとの間に連結された第 1 強誘電体キャパシタを含む第 1 メモリセルと、

第 2 ワードラインイネーブル信号により制御される第 2 アクセストランジスタ、及び、第 2 ビットラインと前記第 2 アクセストランジスタとの間に連結された第 2 強誘電体キャパシタを含み、前記第 1 メモリセルと隣接した第 2 メモリセルと、を具備することを特徴とする強誘電体メモリ装置。

【請求項 6】

前記第 1 メモリセル及び前記第 2 メモリセルは、一つのプレートラインに連結されていることを特徴とする請求項 5 に記載の強誘電体メモリ装置。

【請求項 7】

前記第 1 アクセストランジスタの第 1 端子は、前記第 1 ビットラインに第 1 電極が連結された第 1 強誘電体キャパシタの第 2 電極に連結され、前記第 2 アクセストランジスタの第 1 端子は、前記第 2 ビットラインに第 1 電極が連結された第 2 強誘電体キャパシタの第 2 電極に連結され、前記第 1 アクセストランジスタの第 2 端子と前記第 2 アクセストランジスタの第 2 端子がともに前記プレートラインに連結されていることを特徴とする請求項 6 に記載の強誘電体メモリ装置。

【請求項 8】

前記プレートラインには、電源電圧の  $1/2$  倍の固定電圧が印加されることを特徴とする請求項 7 に記載の強誘電体メモリ装置。

【請求項 9】

複数のアレイユニットを備え、前記複数のアレイユニットが行と列に配列されてマトリックス構造をなすメモリセルアレイを有する強誘電体メモリ装置において、

前記アレイユニットは、

第 1 ワードラインイネーブル信号により制御される第 1 アクセストランジスタ、及び、一つのビットラインと前記第 1 アクセストランジスタとの間に連結された第 1 強誘電体キャパシタを含む第 1 メモリセルと、

第 2 ワードラインイネーブル信号により制御される第 2 アクセストランジスタ、及び、前記第 1 メモリセルが連結された前記一つのビットラインと前記第 2 アクセストランジスタとの間に連結された第 2 強誘電体キャパシタを含み、前記第 1 メモリセルと隣接した第 2 メモリセルと、

を有することを特徴とする強誘電体メモリ装置。

【請求項 10】

前記第 1 メモリセル及び前記第 2 メモリセルは、一つのプレートラインに連結されていることを特徴とする請求項 9 に記載の強誘電体メモリ装置。

【請求項 11】

前記第 1 メモリセル及び前記第 2 メモリセルは、互いに独立したプレートラインに連結されていることを特徴とする請求項 9 に記載の強誘電体メモリ装置。

【請求項 12】

前記第 1 アクセストランジスタの第 1 端子は、前記一つのビットラインに第 1 電極が連結された第 1 強誘電体キャパシタの第 2 電極に連結され、前記第 2 アクセストランジスタの第 1 端子は、前記一つのビットラインに第 1 電極が連結された第 2 強誘電体キャパシタの第 2 電極に連結され、前記第 1 アクセストランジスタの第 2 端子と前記第 2 アクセストランジスタの第 2 端子がともに前記プレートラインに連結されていることを特徴とする請求項 10 に記載の強誘電体メモリ装置。

【請求項 13】

前記プレートラインには、電源電圧の  $1/2$  倍の固定電圧が印加されることを特徴とする請求項 11 または 12 に記載の強誘電体メモリ装置。

【請求項 14】

複数のアレイユニットを備え、前記複数のアレイユニットが行と列に配列されてマトリックス構造をなすメモリセルアレイを有する強誘電体メモリ装置において、

前記アレイユニットは、

第 1 ワードラインイネーブル信号により制御される第 1 アクセストランジスタ、及び、第 1 ビットラインと前記アクセストランジスタとの間に連結された第 1 強誘電体キャパシタを含む第 1 メモリセルと、

前記第 1 ワードラインイネーブル信号により制御される第 2 アクセストランジスタ、及び、第 2 ビットラインと前記第 2 アクセストランジスタとの間に連結された第 2 強誘電体キャパシタを含み、前記第 1 メモリセルと隣接した第 2 メモリセルと、

第2ワードラインイネーブル信号により制御される第3アクセストランジスタ、及び、前記第1ビットラインと前記第3アクセストランジスタとの間に連結された第3強誘電体キャパシタを含み、前記第1メモリセル及び前記第2メモリセルと隣接した第3メモリセルと、

前記第2ワードラインイネーブル信号により制御される第4アクセストランジスタ、及び、前記第2ビットラインと前記第4アクセストランジスタとの間に連結された第4強誘電体キャパシタを含み、前記第1メモリセル乃至第3メモリセルと隣接した第4メモリセルと、

を有することを特徴とする強誘電体メモリ装置。

【請求項15】

前記第1メモリセル乃至前記第4メモリセルは、一つのプレートラインに連結されていることを特徴とする請求項14に記載の強誘電体メモリ装置。

【請求項16】

前記プレートラインには、電源電圧の1/2倍の固定電圧が印加されることを特徴とする請求項15に記載の強誘電体メモリ装置。

【請求項17】

強誘電体メモリ装置において、

ワードラインにゲートが連結されたアクセストランジスタ、及び、前記アクセストランジスタとビットラインとの間に連結された強誘電体キャパシタを含む少なくとも一つのメモリセルと、

印加されるワードラインイネーブル信号に応答するスイッチング素子を通じてメインワードライン電圧を前記ワードラインに伝達することにより前記メモリセルのアクセストランジスタを動作させるワードラインドライバと、

を備えることを特徴とする強誘電体メモリ装置。

【請求項18】

前記ワードラインには、ワードラインディスエーブル信号に応じて前記ワードラインを放電させてディスエーブルさせるための放電用素子がさらに連結されていることを特徴とする請求項17に記載の強誘電体メモリ装置。

【請求項19】

前記メインワードライン電圧及び前記ワードラインの電圧は、電源電圧VCCレベルを有することを特徴とする請求項18に記載の強誘電体メモリ装置。

【請求項20】

前記メモリセルを構成する前記アクセストランジスタは、第1端子及び第2端子を有し、前記第1端子は、前記ビットラインに第1電極が連結された前記強誘電体キャパシタの第2電極に連結され、前記第2端子は、プレートラインに連結されていることを特徴とする請求項19に記載の強誘電体メモリ装置。

【請求項21】

前記ワードラインイネーブル信号は、外部電源電圧レベルを有することを特徴とする請求項20に記載の強誘電体メモリ装置。

【請求項22】

複数のメモリセルがマトリックス構造で配列されたメモリセルアレイを有する強誘電体メモリ装置においてデータをライトするための駆動方法であって、

ワードラインイネーブル信号により選択されたアクセストランジスタの第1端子に印加される固定電圧がビットラインと前記アクセストランジスタの第2端子との間に連結された強誘電体キャパシタに印加されるようにして、前記ビットライン上に前記強誘電体キャパシタに保持されたデータに対応する電圧が印加される段階と、

前記ビットライン上に印加された電圧をセンスアンプで感知増幅する段階と、

ライトしようとするデータに対応する電圧を前記ビットライン上に印加することによりデータを前記強誘電体キャパシタに保持させる段階と、

前記ワードラインをディスエーブルさせてビットラインを接地電圧に設定する段階と、

を含むことを特徴とする駆動方法。

【請求項 2 3】

前記固定電圧は、前記アクセストランジスタの第 1 端子に連結されたプレートラインを通じて印加されることを特徴とする請求項 2 2 に記載の駆動方法。

【請求項 2 4】

前記プレートラインに印加される固定電圧は、電源電圧の  $1/2$  倍のレベルを有することを特徴とする請求項 2 3 に記載の駆動方法。

【請求項 2 5】

複数のメモリセルがマトリックス構造で配列されたメモリセルアレイを有する強誘電体メモリ装置において保持されたデータをリードするための駆動方法であって、

ワードラインイネーブル信号により選択されたアクセストランジスタの第 1 端子に印加される固定電圧がビットラインと前記アクセストランジスタの第 2 端子との間に連結された強誘電体キャパシタに印加されるようにして、前記ビットライン上に前記強誘電体キャパシタに保持されたデータに対応する電圧が印加される段階と、

前記ビットライン上に印加された電圧をセンスアンプで感知増幅して出力する段階と、

前記ワードラインをディスエーブルさせてビットラインを接地電圧に設定する段階と、を含むことを特徴とする駆動方法。

【請求項 2 6】

前記固定電圧は、プレートラインを通じて印加されることを特徴とする請求項 2 5 に記載の駆動方法。

【請求項 2 7】

前記プレートラインに印加される固定電圧は、電源電圧の  $1/2$  倍のレベルを有することを特徴とする請求項 2 6 に記載の駆動方法。