

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6592610号  
(P6592610)

(45) 発行日 令和1年10月16日(2019.10.16)

(24) 登録日 令和1年9月27日(2019.9.27)

(51) Int. Cl. F I  
 G O 2 F 1/025 (2006.01) G O 2 F 1/025  
 G O 2 F 1/017 (2006.01) G O 2 F 1/017

請求項の数 8 (全 16 頁)

(21) 出願番号	特願2018-539743 (P2018-539743)	(73) 特許権者	000004226 日本電信電話株式会社 東京都千代田区大手町一丁目5番1号
(86) (22) 出願日	平成29年9月13日(2017.9.13)	(74) 代理人	110001243 特許業務法人 谷・阿部特許事務所
(86) 国際出願番号	PCT/JP2017/033014	(72) 発明者	小木曾 義弘 東京都千代田区大手町一丁目5番1号 日 本電信電話株式会社内
(87) 国際公開番号	W02018/052013	(72) 発明者	馬渡 宏泰 東京都千代田区大手町一丁目5番1号 日 本電信電話株式会社内
(87) 国際公開日	平成30年3月22日(2018.3.22)	(72) 発明者	菊池 順裕 東京都千代田区大手町一丁目5番1号 日 本電信電話株式会社内
審査請求日	平成30年10月11日(2018.10.11)		
(31) 優先権主張番号	特願2016-178905 (P2016-178905)		
(32) 優先日	平成28年9月13日(2016.9.13)		
(33) 優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体光変調素子

(57) 【特許請求の範囲】

【請求項1】

半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型クラッド層である第2のクラッド層の順で積層されたpin接合を有する積層構造に光導波路が形成された半導体光変調素子であって、

前記積層構造上に形成された給電電極設置部と、

前記給電電極設置部上に形成された少なくとも2本の給電電極と、

を備え、少なくとも2本の前記給電電極は前記光導波路上に設置された変調電極に接続され、

前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、少なくとも2本の前記給電電極間は、前記積層構造の前記第1のクラッド層を介して互いに導通され、

前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする半導体光変調素子。

【請求項2】

半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型クラッド層である第2のクラッド層の順で積層されたpin接合を有する積層構造に光導波路が形成された半導体光変調素子であって、

前記積層構造上に形成された給電電極設置部と、

10

20

前記給電電極設置部上に形成された少なくとも3本の給電電極と、  
を備え、前記給電電極の少なくとも2本は前記光導波路上に設置された変調電極に接続され、前記給電電極の少なくとも1本は接地され、

前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、少なくとも前記変調電極に接続された前記給電電極と接地された前記給電電極との間は、前記積層構造の前記第1のクラッド層を介して互いに導通され、

前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする半導体光変調素子。

【請求項3】

10

半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型キャリアブロック層、n型又はp型クラッド層である第2のクラッド層の順で積層されたnipn接合又はpinp接合を有する積層構造に光導波路が形成された半導体光変調素子であって、

前記積層構造上に形成された給電電極設置部と、

前記給電電極設置部上に形成された少なくとも2本の給電電極と、  
を備え、少なくとも2本の前記給電電極は前記光導波路上に設置された変調電極に接続され、

前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記p型又はn型キャリアブロック層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、少なくとも2本の前記給電電極間は、前記積層構造の前記第1のクラッド層を介して互いに導通され、

20

前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする半導体光変調素子。

【請求項4】

半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型キャリアブロック層、n型又はp型クラッド層である第2のクラッド層の順に積層されたnipn接合又はpinp接合を有する積層構造に光導波路が形成された半導体光変調素子であって、

前記積層構造上に形成された給電電極設置部と、

前記給電電極設置部上に形成された少なくとも3本の給電電極と、  
を備え、前記給電電極の少なくとも2本は前記光導波路上に設置された変調電極に接続され、前記給電電極の少なくとも1本は接地され、

30

前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記p型又はn型キャリアブロック層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、前記変調電極に接続された前記給電電極と接地された前記給電電極との間は、前記積層構造の前記第2のクラッド層を介して互いに導通され、

前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする半導体光変調素子。

40

【請求項5】

前記給電電極は、前記半絶縁性基板に接するように形成された給電パッドを有することを特徴とする請求項1乃至4のいずれかに記載の半導体光変調素子。

【請求項6】

前記変調電極に接続された給電電極の各々は、接地された、異なる少なくとも1つの前記給電電極に前記第1のクラッド層を介して導通されていることを特徴とする請求項2又は4に記載の半導体光変調素子。

【請求項7】

前記光導波路は、マッハ・ツェンダ型光干渉計を構成していることを特徴とする請求項1乃至6のいずれかに記載の半導体光変調素子。

50

## 【請求項 8】

前記変調電極は、容量装荷型の進行波電極構造を有していることを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体光変調素子。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、高速変調可能なサージバイパス回路付きの半導体光変調素子に関する。

## 【背景技術】

## 【0002】

近年、光変調器の小型化・高速化を背景に化合物半導体材料を用いた光変調器が盛んに研究開発されている。中でも InP を基板材料として用いている光変調器は通信波長帯で量子閉じ込めシュタルク効果等を利用して高効率な変調動作が可能であるため、従来の強誘電体材料に代わる有望な変調器材料として注目されている。

## 【0003】

半導体光変調器にはヘテロ pin 接合を用いて、光の閉じ込めと共に導波路のコア部分に効果的に電圧が印加されるようにした InP / InGaAsP 光変調器や、更なる低電圧駆動の光変調器を実現すべく両方の InP クラッド層を n 型とし、電子電流を抑制するためのバリア層として薄い p 型半導体の層 ( p 型のバリア層 ) を挿入した npin 形の半導体光変調器構造が提案されている ( 例えば、特許文献 1 ) 。

## 【0004】

この npin 形は、光損失の要因となる p 型のクラッド層を使わないため、比較的長い導波路を用いることを可能とし、駆動電圧を下げる上で優位となる。また、空乏層厚を任意に最適設計できるという自由度があるため、電気インピーダンスの整合と、電気速度 / 光速度の整合を同時に満足しやすく、高速化にも有利である、という特徴を持つ。

## 【0005】

一方で、半導体デバイスの信頼性においては静電気放電 ( ESD ) 対策が無視できない。ここで半導体のようにダイオードデバイスにおいて ESD を議論する場合、pn 接合間で電圧印加により電流が流れる、所謂「順方向電圧 ESD」と電流が流れない ( 空乏化する ) 所謂「逆方向電圧 ESD」の 2 極性に分ける必要がある。

## 【0006】

一般に順方向電圧 ESD の場合にはダイオードに電流が流れるため、そこでの故障率は低い。対して、逆方向電圧 ESD はダイオードに電流は流れないため、空乏層へ直に高電界が瞬間的に印加されるため、結果的に故障率が高まる。そのことから、通常デバイスの ESD 試験では逆方向電圧の極性を用いて ESD 評価を行うことが多い。

## 【0007】

図 14 に従来 npin 構造の半導体光変調器の上面図を示し、図 15 に図 14 の XV - XV 断面を示し、図 16 に図 14 の XVI - XVI 断面を示し、図 17 に図 14 の XVII - XVII 断面を示す。従来半導体光変調器は、SI - InP 基板 301 上に n 型コンタクト層 302、n 型クラッド層 303、p 型キャリアブロック層 304、ノンドープコア・クラッド層 305 が順に積層されている。ノンドープコア・クラッド層 305 は、図 15 に示すようにマッハ・ツェンダ干渉導波路を構成するように形成されている。ノンドープのコア・クラッド層 305 上には、図 15 に示すように半絶縁性 ( SI ) クラッド層 306 が形成された領域と、図 16 に示すように n 型クラッド層 309、n 型コンタクト層 310 が形成された領域とがある。導波路の周囲はベンゾシクロブテン ( BCB ) などの有機膜 308 で覆われている。

## 【0008】

電極 307 は、有機膜 308 上に電極が形成されており、有機膜 308 の一部をエッチングして露出した下部 n 型コンタクト層 302、上部 n 型コンタクト層 310 に接続されている。

## 【0009】

10

20

30

40

50

このような従来の半導体光変調器ではデバイスの寄生容量は変調領域のpn接合部の容量が支配的であることから、ESDによる高電界の殆どがpn接合部に印加されてしまう。その結果、デバイスの核となる変調領域のダイオード故障を誘発する確率が高まる。

【0010】

特に従来のpin構造（例えば非特許文献1）とは異なり、npin構造では（1）中間p層電位が固定されていない、（2）np接合部で電荷が蓄積されやすい、（3）薄膜p層においてトンネル効果などを起点としてブレークダウンしやすい、等によって電氣的なサージ耐性に特に課題を有していた。

【0011】

一般に、半導体デバイスにおいては耐サージ特性を向上させるために、デバイス周辺にブロックキャパシタを搭載し、デバイスと並列に電気接続させることで寄生容量を増大させてサージ耐性を向上させている。

10

【0012】

しかし、ブロックキャパシタを実装搭載する前にサージが半導体デバイスに加わった場合にはサージ故障を誘発する恐れが高まる。そのため、付加容量は実装工程で追加するのではなく、半導体ウエハプロセスの段階で作り込むことが望ましい。

【0013】

半導体側に容量を付加させる方法としては主に2パターンが挙げられる。1つは絶縁体を金属電極で挟んだMIM（Metal-Insulator-Metal）構造を設ける方法であり、もう1つは変調領域の他に、例えば大面積となる給電パッド電極直下にpinダイオード構造を設ける方法がある。

20

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開2005-099387号公報

【非特許文献】

【0015】

【非特許文献1】K.-O. Velthaus, et al., "Impedance-Engineered Low Power MZM / Driver Assembly for CFP4-Size Pluggable Long Haul and Metro Transceiver", ECOC2014, Tu.1.1.1

30

【発明の概要】

【発明が解決しようとする課題】

【0016】

しかしながら、前者の場合には変調領域の寄生容量よりも大きな容量（例えば100pF以上）をMIM構造で作製することが困難であるという課題がある。例えば、絶縁体を200nmのSiO<sub>2</sub>（比誘電率4.2）とした場合には、パッド電極面積が0.5mm<sup>2</sup>以上必要となり、小型化への大きな障害となる。

【0017】

また、後者の場合にはダイオード構造に起因してパッド電極に印加する電圧の極性が制限される他、パッド領域直下に例えばnpin構造の容量を設ける対策を講じても、変調部の容量比に応じてESDの最大電圧値は減少するものの逆方向電圧ESDに対して故障率を大きく改善することができないという課題がある。即ち、耐サージ特性向上の根本的解決には、変調領域にESDによる逆方向電圧が印加されないような構造的対策が求められる。

40

【0018】

本発明は、このような課題に鑑みてなされたもので、その目的とするところは、複数の給電パッド電極間でサイリスタ構造を有する付加容量を構成させることで、変調領域のpin接合構造を逆方向電圧ESDから保護する、高信頼性の高速・低損失な半導体光変調素子を提供することにある。

【課題を解決するための手段】

50

## 【0019】

上記の課題を解決するために、本発明の一態様は、半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型クラッド層である第2のクラッド層の順で積層されたpin接合を有する積層構造に光導波路が形成された半導体光変調素子であって、前記積層構造上に形成された給電電極設置部と、前記給電電極設置部上に形成された少なくとも2本の給電電極と、を備え、少なくとも2本の前記給電電極は前記光導波路上に設置された変調電極に接続され、前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、少なくとも2本の前記給電電極間は、前記積層構造の前記第1のクラッド層を介して互いに導通され、前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする。

10

## 【0020】

本発明の別の態様は、半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型クラッド層である第2のクラッド層の順で積層されたpin接合を有する積層構造に光導波路が形成された半導体光変調素子であって、前記積層構造上に形成された給電電極設置部と、前記給電電極設置部上に形成された少なくとも3本の給電電極と、を備え、前記給電電極の少なくとも2本は前記光導波路上に設置された変調電極に接続され、前記給電電極の少なくとも1本は接地され、前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、少なくとも前記変調電極に接続された前記給電電極と接地された前記給電電極との間は、前記積層構造の前記第1のクラッド層を介して互いに導通され、前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする。

20

## 【0021】

本発明の別の態様は、半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型キャリアブロック層、n型又はp型クラッド層である第2のクラッド層の順で積層されたnipn接合又はpinp接合を有する積層構造に光導波路が形成された半導体光変調素子であって、前記積層構造上に形成された給電電極設置部と、前記給電電極設置部上に形成された少なくとも2本の給電電極と、を備え、少なくとも2本の前記給電電極は前記光導波路上に設置された変調電極に接続され、前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記p型又はn型キャリアブロック層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、少なくとも2本の前記給電電極間は、前記積層構造の前記第1のクラッド層を介して互いに導通され、前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする。

30

## 【0022】

本発明の別の態様は、半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型キャリアブロック層、n型又はp型クラッド層である第2のクラッド層の順に積層されたnipn接合又はpinp接合を有する積層構造に光導波路が形成された半導体光変調素子であって、前記積層構造上に形成された給電電極設置部と、前記給電電極設置部上に形成された少なくとも3本の給電電極と、を備え、前記給電電極の少なくとも2本は前記光導波路上に設置された変調電極に接続され、前記給電電極の少なくとも1本は接地され、前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記p型又はn型キャリアブロック層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、前記変調電極に接続された前記給電電極と接地された前記給電電極との間は、前記積層構造の前記第2のクラッド層を介して互いに導通され、前

40

50

記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする。

【0023】

本発明の別の態様ではさらに、前記給電電極は、前記半絶縁性基板に接するように形成された給電パッドを有することを特徴とする。

【0024】

本発明の別の態様では、前記変調電極に接続された給電電極は、接地された、異なる少なくとも1つの前記給電電極に前記下部クラッド層を介して導通されていることを特徴とする。

【0025】

本発明の別の態様ではさらに、前記光導波路は、マッハ・ツェンダ型光干渉計を構成していることを特徴とする。

【0026】

本発明の別の態様ではさらに、前記変調電極は、容量装荷型の進行波電極構造を有していることを特徴とする。

【発明の効果】

【0027】

本発明は、pin接合を有する半導体変調器において、複数の給電電極間でサイリスタ構造を有する付加容量を構成させることで、変調領域のpin接合構造を逆方向電圧ESDから保護することができる。

【図面の簡単な説明】

【0028】

【図1】本発明の第1の実施形態に係るサージバイパス回路付高速変調器の上面図である。

【図2】図1のII-II断面である。

【図3】図1のIII-III断面である。

【図4】図1のIV-IV断面である。

【図5】本発明の第1の実施形態に係る他のサージバイパス回路付高速変調器の上面図である。

【図6】本発明の第2の実施形態に係るサージバイパス回路付高速変調器の上面図である。

【図7】図6のVII-VII断面である。

【図8】図6のVIII-VIII断面である。

【図9】図6のIX-IX断面である。

【図10】本発明の第2の実施形態に係る他のサージバイパス回路付高速変調器の上面図である。

【図11】本発明の第2の実施形態に係る他のサージバイパス回路付高速変調器の上面図である。

【図12】図11のXII-XII断面である。

【図13】図11のXIII-XIII断面である。

【図14】従来のnpin構造の半導体光変調器の上面図である。

【図15】図14のXV-XV断面である。

【図16】図14のXVI-XVI断面である。

【図17】図14のXVII-XVII断面である。

【発明を実施するための形態】

【0029】

本発明では、pnダイオード構造デバイスでのESD対策（逆方向電圧ESD）として、ESD故障率の低い順方向電圧ESDに着目した。即ち、ESD対策として複数のダイオードを逆向きに直列に接続させておくことで、仮に変調領域に対して逆方向電圧ESDとなる電圧がデバイス回路内に印加された場合にも、それら回路内の複数のダイオードの

10

20

30

40

50

何れかに対しては順方向電圧となるので、そこで電荷を消費させる。これにより、変調領域を含むその他のダイオードに対して印加される逆方向電圧を大きく低減することができる。

【0030】

ESD対策用の逆向きに直列接続された複数のダイオードの一例としては、pn接合を逆向きに直列に接続させたnpnp又はpnpn接合などの所謂サイリスタ構造がある。サイリスタ構造では、何れの極性のESDが印加されてもpn接合単体の場合とは異なり、必ず順方向電圧が印加される機構を有するため、結果的にESD耐性を高める効果がある。よってこのサイリスタ構造を有する付加回路をデバイス内に追加することがESD対策として有効といえる。

10

【0031】

加えてサイリスタ構造を含んだ両端の電極に任意の極性の電圧を印加してもそこでは電流が殆ど流れないため、その構造を給電パッド領域に設けたとしても給電パッドに印加する電圧極性に制限が加わらない。

【0032】

また、複数一組からなる給電パッド電極群の少なくとも1つの電極を電気実装の初段で接地接続させておくことで、その後に、何れの電極を介してESDが生じた場合にも、接地電極との間でサイリスタ構造が構成できる。よって、その後の実装工程においてESD耐性を向上させることができる。

【0033】

以下に、図面を参照して本発明の実施の形態について説明する。

20

【0034】

(第1の実施形態)

図1に、本発明の第1の実施形態に係るサージバイパス回路付高速変調器の上面図を示す。図2に図1のII-II断面を示し、図3に図1のIII-III断面を示し、図4に図1のIV-IV断面を示す。

【0035】

基板101は閃亜鉛鉱型の化合物半導体結晶として、例えばSI型のInP(100)基板を用いる。エピタキシャル成長によって基板面から順にn型コンタクト層102、n型クラッド層103、ノンドープのコア・クラッド層104、p型クラッド層106、p型コンタクト層107を積層する。

30

【0036】

コア・クラッド層104のコア層は、1.5 $\mu$ m帯波長に対して電気光学効果による屈折率変化を効率的に用いるべく、InGaAsP/InGaAsPの周期からなる多重量子井戸構造(PL波長:1.4 $\mu$ m)を用いた。

【0037】

コア・クラッド層104のクラッド層の組成は、例えばコア層よりも屈折率が低いInPとし、n型コンタクト層102およびp型コンタクト層107にはInPに格子整合し、エネルギーバンドギャップの小さいInGaAsを用いた。

【0038】

なお、コアとクラッドの組成はそれぞれで比屈折率差を有していればよいため、例えばコア・クラッド層104、n型クラッド層103およびp型クラッド層106に、組成の異なるInGaAlAsなどを用いても問題ないことは明らかである。

40

【0039】

また波長は1.5 $\mu$ m帯に限定されず、例えば1.3 $\mu$ m帯を用いたとしても本発明の有用性は失われない。

【0040】

電極間の電気分離を行うために、変調領域及び給電パッド領域以外の導電性のp型クラッド層106及びp型コンタクト層107をドライエッチング及びケミカルエッチングによって除去した後、ノンドープのクラッド層105(ここではInP)を結晶再成長によ

50

り堆積させてBCBなどの有機膜109で埋め戻す(例えば図2)。尚、変調領域とは、マッハ・ツェンダ干渉導波路の電極108が形成された領域のことであり、マッハ・ツェンダ干渉導波路の高周波信号または直流電圧が印加される領域のことである。

#### 【0041】

続いて、図1、4に示すように、SiO<sub>2</sub>マスクを用いたドライエッチングによりコア・クラッド層104まで分離することによりマッハ・ツェンダ干渉導波路と複数の給電パッド設置部を形成する。その後、図2、3に示すように、マッハ・ツェンダ干渉導波路部の変調領域と複数の給電パッド設置部が形成された給電領域を除いてn型コンタクト層102およびn型クラッド層103をエッチング加工によって除去し、変調領域と給電領域下部の半導体を電氣的に分離させる。

10

#### 【0042】

BCB109で上面を平坦化後、電極108を形成する一部領域のBCB109を除去してn型コンタクト層102およびp型コンタクト層107を露出させ、それらと電氣的に接続するように、例えば蒸着及びメッキ法を用いてAu/Tiで電極108を形成する。複数の給電パッドは、共通のn型コンタクト層102およびn型クラッド層103上に形成され、給電パッド間にはpinip接合が形成される。

#### 【0043】

続いて、電極108の給電パッドに例えばAuワイヤーボンディングを行う場合、望ましくは図1に示すように給電パッドの少なくとも1つを初めに接地接続させておくことで、任意の給電パッドへESDが印加されても、接地パッド間でpinip接合を含んだ接続が可能となる。なお、接地接続用の給電パッドが無い場合にも、Auワイヤを接続する順番を規定(例えば、下部n型クラッド用の給電パッドは最後にワイヤ接続を行う)することで、本発明の有用性は失われることはない。給電パッド電極パターンは図1に示す以外にも、例えば図5に示すように、各給電パッド電極が電氣的に分離されており、各給電パッドに個別に少なくとも1つの接地給電パッドが形成されていてもよい。

20

#### 【0044】

なお、当該素子を変調器として駆動させるためには、容量装荷型の進行波電極を用いることでより高速な変調動作が可能となるが、容量を付加しない分布定数線路及び集中定数線路であっても本発明の有用性が失われないことは明らかである。

#### 【0045】

また、本実施形態では基板面から順にn-i-pと積層したが、例えば基板面から順にp-i-nと積層しても本発明の有用性は失われないことは明らかである。

30

#### 【0046】

また、本実施形態ではマッハ・ツェンダ干渉導波路部の変調領域には、2つのアーム導波路の両方に電極108が形成され、変調用の電極に接続される給電パッドは3つ設けているが、アーム導波路のp型コンタクト層107の少なくとも一方にのみ電極を形成し、変調用の電極に接続される給電パッドを2つとしてもよい。

#### 【0047】

(第2の実施形態)

図6に、本発明の第2の実施形態に係るサージバイパス回路付高速変調器の上面図を示す。図7に図6のVII-VII断面を示し、図8に図6のVIII-VIII断面を示し、図9に図6のIX-IX断面を示す。実施形態1との差異は半導体層構造が一般的なpin構造ではなく、より高速・低損失な光変調器を構成可能なnipn構造を採用している点である。前述のとおり、pin構造に比べてESD耐性に課題を有する当該構造もサイリスタ構造を付加回路として用いることでESD耐性を向上させることができる。

40

#### 【0048】

基板201は閃亜鉛鉱型の化合物半導体結晶として、例えばSI型のInP(100)基板を用いる。エピタキシャル成長によって基板面から順にn型コンタクト層202、n型クラッド層203、p型キャリアブロック層204、ノンドープのコア・クラッド層205、n型クラッド層207、n型コンタクト層208を積層する。

50

## 【0049】

コア・クラッド層205のコア層は、1.5 μm帯波長に対して電気光学効果による屈折率変化を効率的に用いるべく、InGaAsP/InGaAsPの周期からなる多重量子井戸構造(PL波長:1.4ミクロンメートル)を用いた。

## 【0050】

コア・クラッド層205のクラッド層の組成は、例えばコア層よりも屈折率が低いInPとし、n型コンタクト層202、208にはInPに格子整合しエネルギーバンドギャップの小さいInGaAsを用いた。

## 【0051】

なお、コアとクラッドの組成はそれぞれで比屈折率差を有していればよいため、例えばコア・クラッド層205およびn型クラッド層203、207に組成の異なるInGaAlAsなどを用いても問題ないことは明らかである。

10

## 【0052】

また波長は1.5 μm帯に限定されず、例えば1.3 μm帯を用いたとしても本発明の有用性は失われない。

## 【0053】

電極間の電気分離を行うために、変調領域及び給電パッド領域以外の導電性のn型クラッド層207及びn型コンタクト層208をドライエッチング及びケミカルエッチングによって除去した後、半絶縁性(SI)のクラッド層206(ここではInP)を結晶再成長により堆積させて埋め戻す(例えば図7)。

20

## 【0054】

続いて、図6、9に示すようにSiO<sub>2</sub>マスクを用いたドライエッチングによりp型キャリアブロック層203まで分離することによりマッハ・ツェンダ干渉導波路と複数の給電パッド設置部を形成する。その後、図7、8に示すように、マッハ・ツェンダ干渉導波路部の変調領域と複数の給電パッド設置部が形成された給電領域を除いてn型コンタクト層202およびn型クラッド層203をエッチング加工によって除去し、変調領域と給電領域下部の半導体を電氣的に分離させる。

## 【0055】

BCBなどの有機膜で上面を平坦化後、電極209を形成する一部領域のBCB210を除去してn型コンタクト層202およびn型コンタクト層208を露出させ、それらと電氣的に接続するように、例えば蒸着及びメッキ法を用いてAu/Tiで電極209を形成する。複数の給電パッドは、共通のn型コンタクト層202およびn型クラッド層203上に形成され、給電パッド間にはサイリスタ構造を含んだnpinipn接合が形成されるため、外部から給電パッドに印加されたESDは接合部が形成される。

30

## 【0056】

続いて、電極209の給電パッドに例えばAuワイヤーボンディングを行う場合、望ましくは図6に示すように給電パッドの少なくとも1つを初めに接地接続させておくことで、任意の給電パッドへESDが印加されても、前記接地パッド間でサイリスタ構造を含んだ接続が可能となる。なお、前記接地接続パッドが無い場合にも、Auワイヤを接続する順番を規定(例えば、下部n型クラッド用の給電パッドは最後にワイヤ接続を行う)することで、本発明の有用性は失われることはない。給電パッド電極パターンは図6に示す以外にも、例えば図10に示すように、各給電パッド電極が電氣的に分離されており、各給電パッドに個別に少なくとも1つの接地電極パッドが形成されていてもよい。

40

## 【0057】

なお、当該素子を変調器として駆動させるためには、容量装荷型の進行波電極を用いることでより高速な変調動作が可能となるが、容量を付加しない分布定数線路及び集中定数線路であっても本発明の有用性が失われないことは明らかである。

## 【0058】

また、本実施形態では基板面から順にn-p-i nと積層したが、例えば基板面から順にn-i-p-nと積層しても本発明の有用性は失われないことは明らかである。

50

## 【 0 0 5 9 】

また、本実施形態では変調領域の導波路構造をリッジ形状の導波路としたが、例えば第1の実施形態と同様にハイメサ構造の導波路としても本発明の有用性は失われないことは明らかである。

## 【 0 0 6 0 】

また、本実施形態ではマッハ・ツェンダ干渉導波路部の変調領域には、2つのアーム導波路の両方に電極209が形成され、変調用の電極に接続される給電パッドは3つ設けているが、アーム導波路のn型コンタクト層208の少なくとも一方にのみ電極を形成し、変調用の電極に接続される給電パッドを2つとしてもよい。

## 【 0 0 6 1 】

さらに、図11に、本発明の第2の実施形態に係る他のサージバイパス回路付高速変調器の上面図を示す。図12に図11のXII-XII断面を示し、図13に図11のXIII-XIII断面を示す。図11~13に示す構成では、給電パッドを半導体層構造上に設ける代わりに、BCB210を除去して露出した基板201に接するように給電パッドを形成していてもよい。これにより、ワイヤーボンディング時の加圧によって半導体層構造のpn接合部が破壊されることを回避することができる。尚、図11~13では給電パッドは、給電側の半導体層構造を挟んでマッハ・ツェンダ干渉導波路と逆側に形成されているが、給電パッドはマッハ・ツェンダ干渉導波路と給電側の半導体層構造との間に形成されていてもよい。

## 【 0 0 6 2 】

ここでは給電パッドを半導体層構造上ではなく基板201直上に形成する構成を、第2の実施形態を例に説明したが、第1の実施形態においても基板101直上に形成することで同様の効果が得られることは言うまでもない。

## 【 符号の説明 】

## 【 0 0 6 3 】

- 101、201 基板
- 102、202、208 n型コンタクト層
- 103、203、207 n型クラッド層
- 104、205 ノンドープのコア・クラッド層
- 105 ノンドープのクラッド層
- 106 p型クラッド層
- 107 p型コンタクト層
- 108、209 電極
- 109、210 BCB
- 204 p型キャリアブロック層
- 206 SIクラッド層
- 301 基板
- 302 n型コンタクト層
- 303 n型クラッド層
- 304 p型キャリアブロック層
- 305 ノンドープのコア・クラッド層
- 306 SIクラッド層
- 307 電極
- 308 BCB

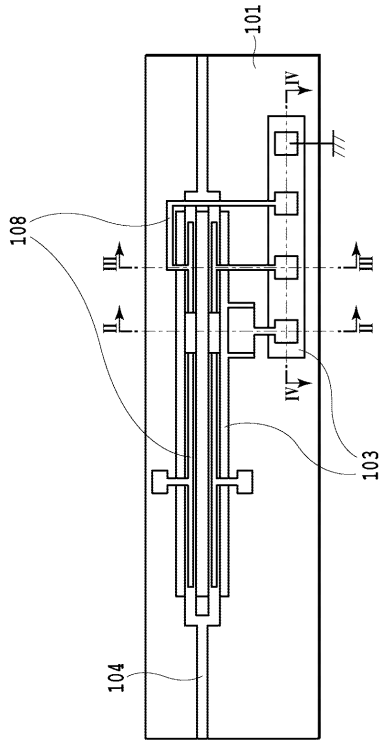
10

20

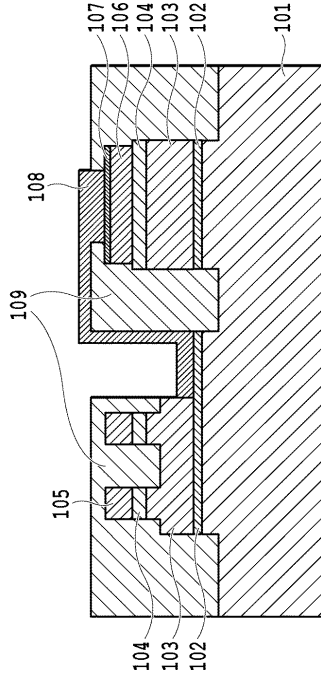
30

40

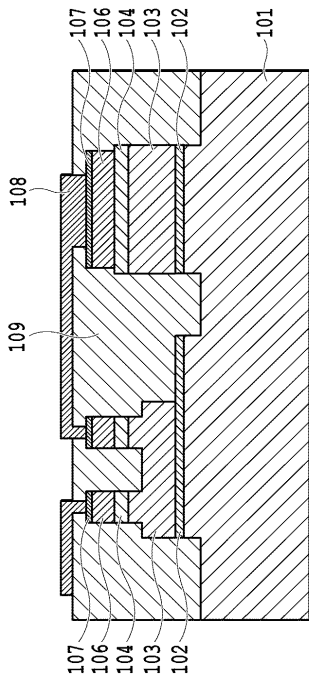
【 図 1 】



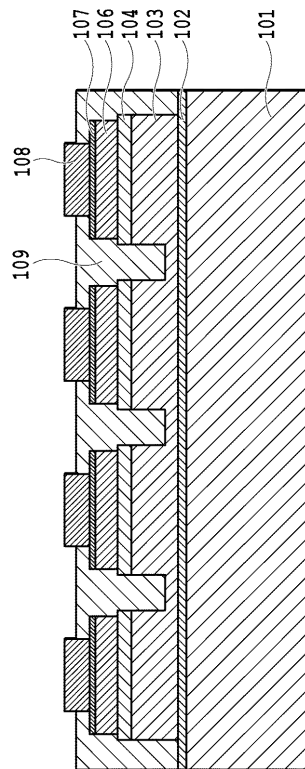
【 図 2 】



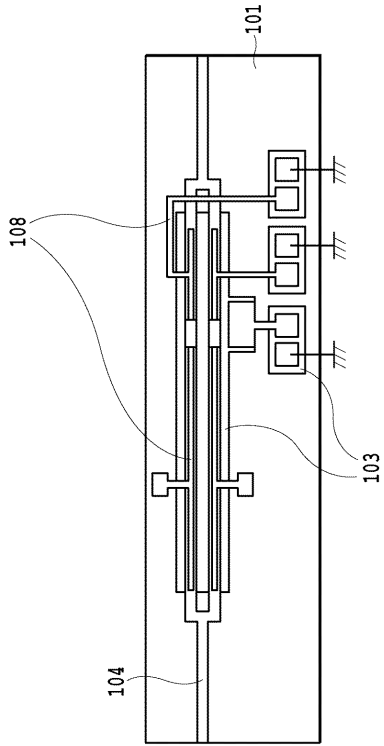
【 図 3 】



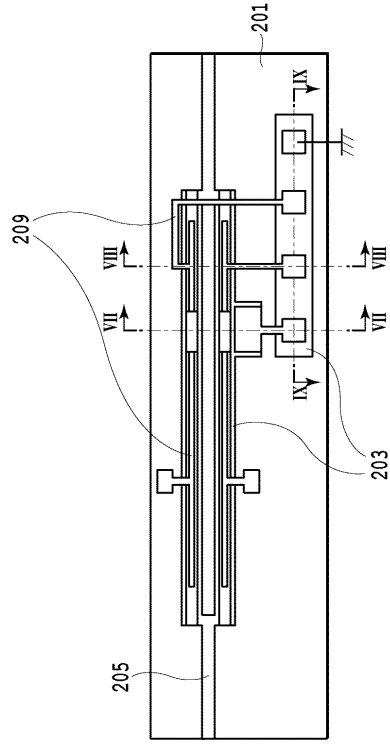
【 図 4 】



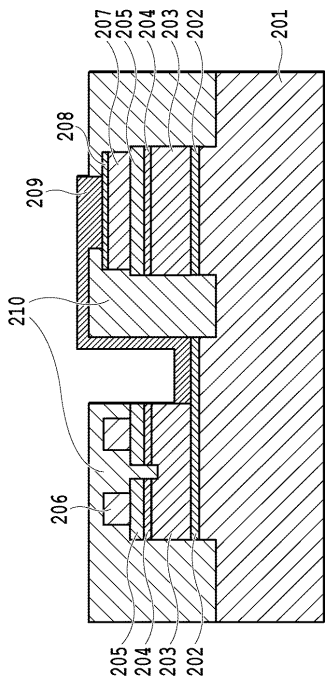
【 図 5 】



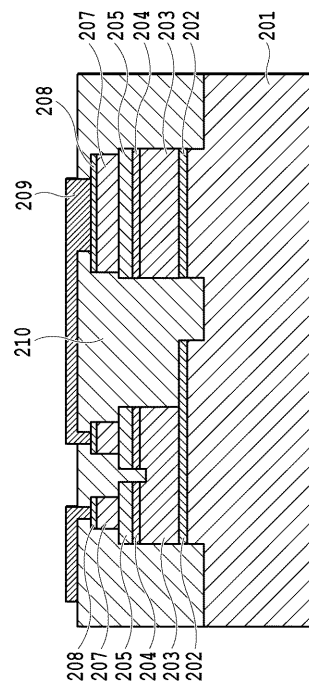
【 図 6 】



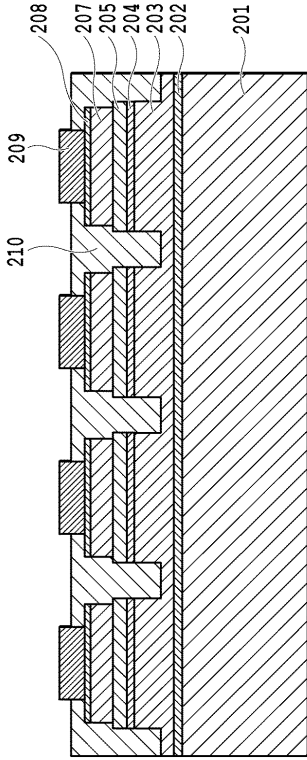
【 図 7 】



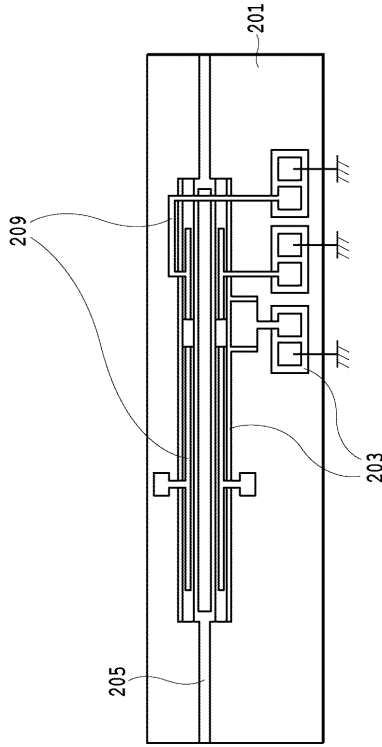
【 図 8 】



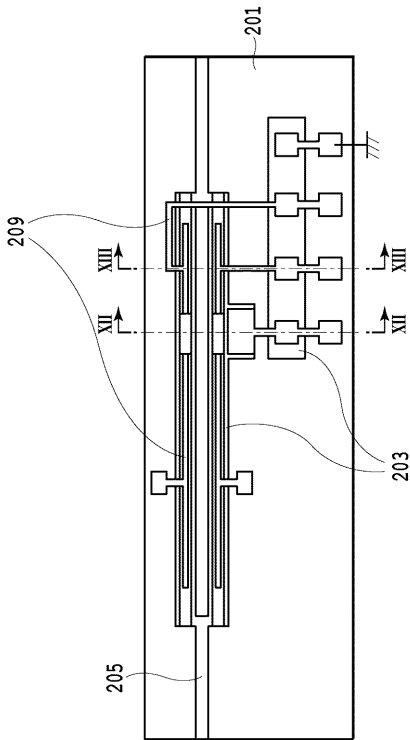
【 図 9 】



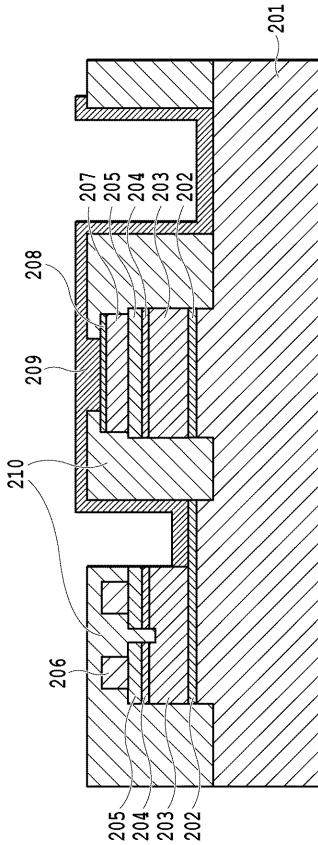
【 図 10 】



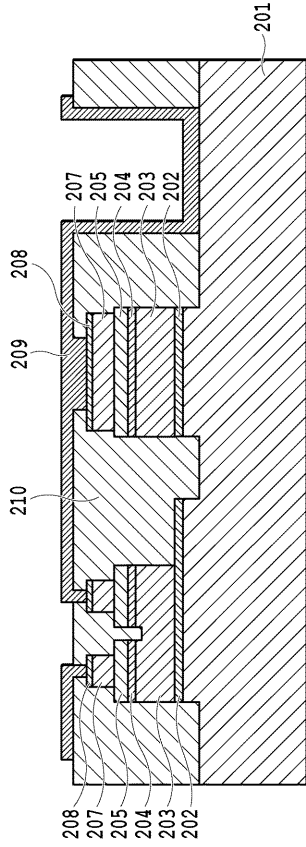
【 図 11 】



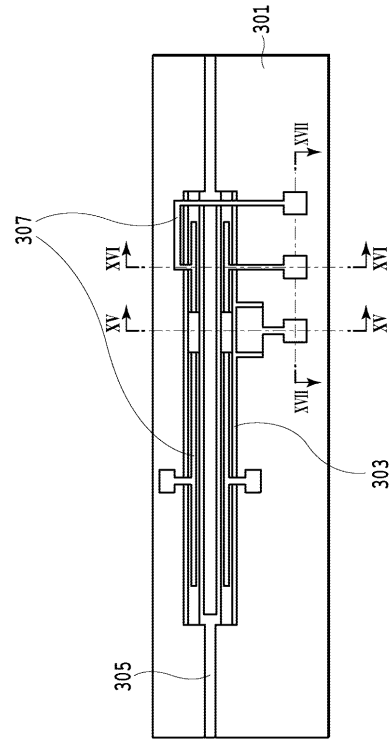
【 図 12 】



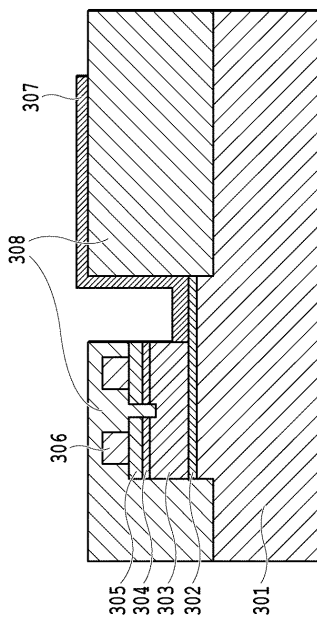
【図 13】



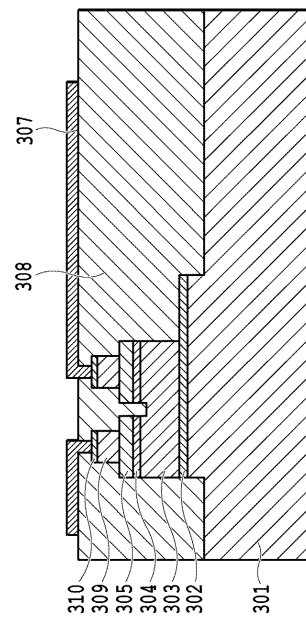
【図 14】



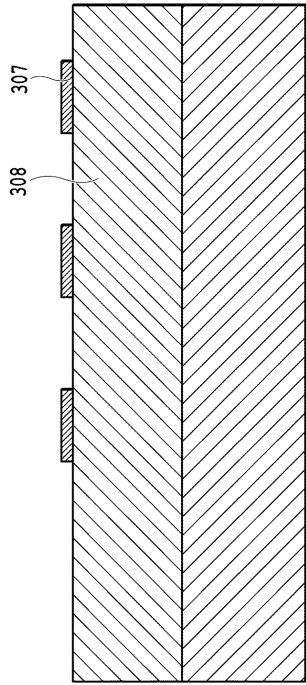
【図 15】



【図 16】



【 17 】



---

フロントページの続き

審査官 下村 一石

- (56)参考文献 特開2011-197343(JP,A)  
特開2010-287604(JP,A)  
特表2007-512689(JP,A)  
特開2005-217381(JP,A)  
特開昭59-019389(JP,A)  
米国特許出願公開第2005/0018730(US,A1)

- (58)調査した分野(Int.Cl., DB名)  
G02F1/015-1/025  
H01S3/00-3/02  
H01S3/063-3/067