

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4074976号
(P4074976)

(45) 発行日 平成20年4月16日(2008.4.16)

(24) 登録日 平成20年2月8日(2008.2.8)

(51) Int.Cl.

F 1

H04L 12/44 (2006.01)
H04L 12/46 (2006.01)H04L 12/44 300
H04L 12/46 100B

請求項の数 33 (全 14 頁)

(21) 出願番号 特願2000-608550 (P2000-608550)
 (86) (22) 出願日 平成12年1月19日 (2000.1.19)
 (65) 公表番号 特表2002-540725 (P2002-540725A)
 (43) 公表日 平成14年11月26日 (2002.11.26)
 (86) 國際出願番号 PCT/US2000/001395
 (87) 國際公開番号 WO2000/059161
 (87) 國際公開日 平成12年10月5日 (2000.10.5)
 審査請求日 平成17年1月11日 (2005.1.11)
 (31) 優先権主張番号 09/280,251
 (32) 優先日 平成11年3月29日 (1999.3.29)
 (33) 優先権主張国 米国(US)

(73) 特許権者 501382373
 マイクロ・リニア・コーポレーション
 アメリカ合衆国、カリフォルニア州 95
 131、サン・ホセ、コンコース・ドライ
 ブ 2092
 (74) 代理人 100071010
 弁理士 山崎 行造
 (74) 代理人 100107799
 弁理士 岡田 希子
 (74) 代理人 100114742
 弁理士 林 秀男
 (74) 代理人 100119253
 弁理士 金山 賢教

最終頁に続く

(54) 【発明の名称】 IEEE802.3 (イーサネット) に基づく物理層デバイス間のメディア非従属型インターフェース

(57) 【特許請求の範囲】

【請求項 1】

- 送信メディアをインターフェース接続する方法であって、
 a. 第1送信メディアからデータ信号を受信し、そのデータ信号からクロック信号を抽出するために第1物理層装置を提供する工程と、
 b. 前記第1物理層装置からデータ信号を受信し、そのデータ信号を第2送信メディアに送信するために第2物理層装置を提供する工程と、
 c. 前記第1及び第2物理層装置の間で前記データ信号をバッファ保存することなく該データ信号を前記第1物理層装置から前記第2物理層装置に伝達する工程と、
 d. 前記抽出されたクロック信号を前記第2物理層装置に提供する工程とを含む方法。

【請求項 2】

請求項1の方法において、前記第1物理層装置は前記データ信号にシリアルからパラレルへの変換を実行し、前記第2物理層装置は前記データ信号にパラレルからシリアルへの変換を実行する方法。

【請求項 3】

請求項1の方法において、前記第1物理層装置及び第2物理層装置の各々はメディア非従属インターフェース(MII)を備え、それは電気電子技術者学会(IEEE)によって公表されて802.3と指定されている規格に従って作動するように設計されている方法。

【請求項 4】

10

20

請求項 3 の方法において、前記データ信号を前記第 1 物理層装置から前記第 2 物理層装置に伝達する工程は、前記第 1 及び第 2 物理層装置の各々の MII インタフェースを介して実行される方法。

【請求項 5】

請求項 3 の方法において、前記第 1 物理層装置及び第 2 物理層装置の各々は集積回路として提供される方法。

【請求項 6】

請求項 1 の方法において、前記第 1 送信メディア及び第 2 送信メディアの各々は、光ファイバーケーブル及び撚り線対のケーブルからなるグループから選択された種類であり、前記第 1 送信メディアは前記第 2 送信メディアの種類とは異なる方法。 10

【請求項 7】

請求項 1 の方法において、前記第 1 送信メディア及び第 2 送信メディアの各々は、光ファイバーケーブル及び撚り線対のケーブルからなるグループから選択された種類であり、前記第 1 送信メディアは前記第 2 送信メディアの種類と同一である方法。

【請求項 8】

請求項 1 の方法において、前記抽出されたクロック信号を前記第 2 物理層装置に提供する前記工程は、前記第 1 物理層装置が前記第 1 送信メディアから前記データ信号を能動的に受信しているときのみに実行され、また、さらに、固定周波数のクロック信号を他の時間に前記第 2 物理層装置に提供する工程を含む方法。

【請求項 9】

請求項 8 の方法において、前記第 1 物理層装置及び第 2 物理層装置の各々はメディア非従属インターフェース (MII) を備え、それは電気電子技術者学会 (IEEE) によって公表されて 802.3 と指定されている規格に従って作動するように設計されている方法。 20

【請求項 10】

請求項 9 の方法において、前記データ信号を前記第 1 物理層装置から前記第 2 物理層装置に伝達する工程は、前記第 1 及び第 2 物理層装置の各々の MII インタフェースを介して実行される方法。

【請求項 11】

請求項 8 の方法において、さらに、クロック信号を前記第 2 物理層装置に提供する工程と、前記固定周波数のクロック信号を前記第 2 物理層装置に提供する工程とを選択するためにマルチプレクサ論理回路を提供する方法。 30

【請求項 12】

請求項 11 の方法において、前記第 1 物理層装置は、該第 1 物理層装置が前記第 1 送信メディアから前記データ信号を能動的に受信しているか否かを表すステータス出力信号を発生し、また、さらに、該ステータス出力信号を前記マルチプレクサ論理回路の選択入力に提供する工程を含む方法。

【請求項 13】

請求項 12 の方法において、さらに、前記ステータス出力信号の変化と、前記第 1 マルチプレクサ論理回路への該ステータス出力信号の変化の告知との間に遅延をもたせる工程を含む方法。 40

【請求項 14】

送信メディアをインターフェース接続する回路であって、

a . 第 1 送信メディアからデータ信号を受信し、そのデータ信号からクロック信号を抽出するための第 1 物理層装置と、

b . 該第 1 物理層装置から前記データ信号を受信する第 2 物理層装置であって、前記データ信号を該第 1 及び第 2 物理層装置の間でバッファ保存することなく該データ信号を第 2 送信メディアに伝達し、前記第 1 物理層装置が前記第 1 送信メディアから前記データ信号を能動的に受信するときに、該第 2 物理層装置が前記第 1 物理層装置から前記抽出されたクロック信号を受信し、さらに、該第 2 物理層装置が他の時間においては固定周波数の 50

クロック信号を受信する、第2物理層装置とを備える回路。

【請求項15】

請求項14の回路において、前記第1物理層装置は前記データ信号にシリアルからパラレルへの変換を実行し、前記第2物理層装置は前記データ信号にパラレルからシリアルへの変換を実行する回路。

【請求項16】

請求項14の回路において、前記第1物理層装置及び第2物理層装置の各々はメディア非従属インターフェース(MII)を備え、それは電気電子技術者学会(IEEE)によって公表されて802.3と指定されている規格に従って作動するように設計されている回路。 10

【請求項17】

請求項14の回路において、前記第1送信メディア及び第2送信メディアの各々は、光ファイバーケーブル及び撚り線対のケーブルからなるグループから選択された種類であり、前記第1送信メディアは前記第2送信メディアの種類とは異なる回路。

【請求項18】

請求項14の回路において、前記第1送信メディア及び第2送信メディアの各々は、光ファイバーケーブル及び撚り線対のケーブルからなるグループから選択された種類であり、前記第1送信メディアは前記第2送信メディアの種類と同一である回路。

【請求項19】

請求項14の回路において、さらに、前記第2物理層装置に接続されたマルチプレクサ論理回路を備え、該マルチプレクサ論理回路は、クロック信号を前記第2物理層装置に提供することと、前記固定周波数のクロック信号を前記第2物理層装置に提供することとを選択する回路。 20

【請求項20】

請求項19の回路において、前記第1物理層装置及び第2物理層装置の各々はメディア非従属インターフェース(MII)を備え、それは電気電子技術者学会(IEEE)によって公表されて802.3と指定されている規格に従って作動するように設計されている回路。

【請求項21】

請求項19の回路において、前記第1物理層装置は、該第1物理層装置が前記第1送信メディアから前記データ信号を能動的に受信しているか否かを表すステータス出力信号を発生し、該ステータス出力信号は前記マルチプレクサ論理回路の選択入力に接続される回路。 30

【請求項22】

請求項21の回路において、さらに、前記ステータス出力信号の変化と、前記第1マルチプレクサ論理回路への該ステータス出力信号の告知との間に遅延をもたせる遅延ブロックを含む回路。

【請求項23】

送信メディアをインターフェース接続する回路であって、
a. 第1送信メディアからデータ信号を受信し、そのデータ信号からクロック信号を抽出するための第1物理層装置であって、該第1物理層装置がメディア非従属インターフェース(MII)を備え、それは電気電子技術者学会(IEEE)によって公表されて802.3と指定されている規格に従って作動するように設計されている第1物理層装置と、 40

b. 前記MIIを介して前記データ信号を受信する第2物理層装置であって、前記第1及び第2物理層装置の間で前記データ信号をバッファ保存することなく、さらに、前記データ信号を第2送信メディアに送信し、該第2物理層装置が前記第1物理層装置から前記抽出されたクロック信号を受信する第2物理層装置とを備える回路。

【請求項24】

請求項23の回路において、前記第1送信メディア及び第2送信メディアの各々は、光ファイバーケーブル及び撚り線対のケーブルからなるグループから選択された種類であり 50

、前記第1送信メディアは前記第2送信メディアの種類とは異なる回路。

【請求項25】

請求項23の回路において、前記第1送信メディア及び第2送信メディアの各々は、光ファイバーケーブル及び撓り線対のケーブルからなるグループから選択された種類であり、前記第1送信メディアは前記第2送信メディアの種類と同一である回路。

【請求項26】

請求項23の回路において、さらに、前記第2物理層装置に接続されたマルチプレクサ論理回路を備え、該マルチプレクサ論理回路は、クロック信号を前記第2物理層装置に提供することと、前記固定周波数のクロック信号を前記第2物理層装置に提供することとを選択する回路。

10

【請求項27】

請求項26の回路において、前記第1物理層装置は、該第1物理層装置が前記第1送信メディアから前記データ信号を能動的に受信しているか否かを表すステータス出力信号を発生し、該ステータス出力信号は前記マルチプレクサ論理回路の選択入力に接続される回路。

【請求項28】

請求項27の回路において、さらに、前記ステータス出力信号の変化と、前記第1マルチプレクサ論理回路への該ステータス出力信号の告知との間に遅延をもたせる遅延ブロックを含む回路。

【請求項29】

20

第1送信メディアを第2送信メディアにインタフェース接続する回路であって、

a. 前記第1送信メディアと通信する第1トランシーバであって、第1クロック入力端子及び第1クロック出力端子を備え、該第1クロック出力端子に発生した第1抽出クロック信号が、該第1トランシーバによって前記第1送信メディアから受信される第1データ信号から抽出される、第1トランシーバと、

b. 前記第2送信メディアと通信し、前記第1トランシーバと通信するために該第1トランシーバに接続された第2トランシーバであって、第2クロック入力端子及び第2クロック出力端子を備え、該第2クロック出力端子に発生した第2クロック信号が、該第2トランシーバによって前記第2送信メディアから受信されるデータ信号から抽出される、第2トランシーバと、

30

c. 前記データ信号が前記第2送信メディアから受信されているか否かに応じて、前記第1クロック入力端子に、第1基準クロック信号又は第2クロック信号を選択する第1選択回路と、

d. 第2基準クロック信号又は第2クロック信号を結合することを選択する第2選択回路とを備える回路。

【請求項30】

請求項29の回路において、前記第1送信メディア及び第2送信メディアの各々は、光ファイバーケーブル及び撓り線対のケーブルからなるグループから選択された種類であり、前記第1送信メディアは前記第2送信メディアの種類とは異なる回路。

【請求項31】

40

請求項29の回路において、前記第1トランシーバは100BASE-FX規格に従つて前記第1送信メディアと通信する回路。

【請求項32】

請求項31の回路において、前記第2トランシーバは100BASE-TX規格に従つて前記第2送信メディアと通信する回路。

【請求項33】

請求項29の回路において、前記第1送信メディア及び第2送信メディアの各々は、光ファイバーケーブル及び撓り線対のケーブルからなるグループから選択された種類であり、前記第1送信メディアは前記第2送信メディアの種類と同一である回路。」

【発明の詳細な説明】

50

【0001】

発明の分野

本願発明はローカルエリアネットワークの分野に関する。より詳細には、本願発明は IEE802.3 (イーサネット) ローカルエリアネットワークにおける異なる送信メディアをインターフェース接続する方法に関する。

【0002】

発明の背景

ローカルエリアネットワーク用の IEEE802.3 規格はしばしばイーサネットと呼ばれる。この規格によって、ネットワークインタフェースカード (NIC)、ハブ、ブリッジ、ルーター及びスイッチのような様々な製造業者のネットワーク装置が、ローカルエリアネットワーク (LAN) 上でパケット化されたデータの相互通信をすることができる。
IEEE802.3 規格はオープンシステムインターフェクション (OSI) 基準モデルという名称で定義される。このモデルは層という観点からデータ通信装置を定義する。OSI モデルに含まれる層は、(1) 送信メディアの電気的及びコーディング特性を特定する物理層 (PHY) と、(2) ネットワークを通過するデータの流れを制御するメディアアクセス制御 (MAC) 層と、(3) ネットワーク上で送信されるデータに関するソースと受信者との間の接続を行うネットワーク層とを含む。他の層は、データを送信するためのプロトコルスタックである送信層と、ワードプロセッサー又は表計算ソフトアプリケーションのようなアプリケーション層とを含む。

【0003】

より高速のデータ通信速度のために、802.3 規格を補うものとして 802.3u 規格があり、それはしばしばファーストイーサネットと呼ばれる。この規格は、100BASE-TX (カテゴリー 5 データ段階のシールドされていない撲線の対 (UTP) ケーブル用)、100BASE-FX (光ファイバーケーブル用)、及び 100BASE-T4 (カテゴリー 3 音声段階 UTP 用) を含む複数の物理層 (PHY) 仕様を含む。これら PHY 仕様はそれら自体の長所及び短所を持つ。例えば、100BASE-TX は、ネットワークノード間に、100BASE-T4 が必要とするものよりも少ない UTP ケーブルを必要とするが、100BASE-TX にはカテゴリー 5 UTP のケーブルが必要とされる。従って、100BASE-T4 は電話装置のために適切な場所に現存するカテゴリー 3 UTP ケーブルを持つサイトに対しより適切であろう。さらに 100BASE-FX のために使用される光ファイバーケーブルは、特に UTP ケーブルが既に使用可能な状態にある場合には、UTP ケーブルより高価になる傾向がある。しかし光ファイバーケーブルは、より遠距離のネットワーク間で使用することが可能である。例えば、100BASE-TX 又は 100BASE-T4 は 1 つの建物内の LAN セグメントに適した選択であり、一方、100BASE-FX は複数の建物間での接続に適した選択でありえる。また、光ファイバーケーブルは銅線より電気的雑音の影響を受けにくいことが示されているので、100BASE-FX は電気的雑音のある環境に適する選択である。したがって、単一の LAN が 1 つ以上の送信メディアを包含することが望ましいと考えられる。

【0004】

802.3u 規格は、物理層 (PHY) とメディアアクセス制御 (MAC) 層との間のメディア非従属型インターフェース (MII) 用の明細も含む。従って、ファーストイーサネットネットワークのためのブリッジが、異なる PHY 層用の異なるトランシーバを含み、それぞれが MII 明細に従ってブリッジの MAC 層と通信を行うことができる。ファーストイーサネットは 2 つの方向 (全二重) に同時に通信する機能を含む。データは概略イーサネット LAN 上で送信メディアを通じてシリアル通信されるが、MII 明細パラレルデータ通信を要求する。従って、ファーストイーサネットトランシーバは典型的にはシリアル・パラレル変換を実行する。

【0005】

ファーストイーサネットブリッジ 100 の一例を図 1 に示す。第 1 の 100BASE-TX トランシーバ 102 がカテゴリー 5 UTP ネットワークセグメント (Cntr. 5) 10

4に接続されている。トランシーバ102はインタフェース108を経由して制御／バッファブロック106に接続されている。同様に、第2の100BASE-TXトランシーバ110がカテゴリー5UTPネットワークセグメント(Cont.5)112に接続されている。トランシーバ110はインタフェース114を経由して制御／バッファブロック106に接続される。100BASE-FXトランシーバ116が光ファイバーネットワークセグメント118に接続されている。トランシーバ116はインタフェース120を経由して制御／バッファブロック106に接続かれている。インタフェース108、114及び120の各々はMII規格に従う。ブリッジ100はセグメント104、112、118からデータを受信し、適切に、そのデータをフィルターにかけて記憶してセグメント104、112、118に転送する。これらの機能を実行するために制御／バッファブロック106はデータ処理及びバッファリング機能を必要とする。
10

【0006】

したがって、ファーストイーサネットブリッジ100は異なる送信メディアを連結する。しかし、その複雑さのため、そのようなファーストイーサネット100は比較的高価である。さらに、ファーストイーサネットブリッジはデータをバッファするので、送信に遅延が生じる。従って、必要なのは、ファーストイーサネットLANにおいて異なる送信メディアを連結するために経済的な技術である。さらに、必要なのは、送信の遅延を最小限に抑えるようなファーストイーサネットLANにおいて異なる送信メディアを連結するための技術である。

【0007】

発明の概要

本願発明はローカルエリアネットワーク(LAN)において送信メディアをインタフェース接続するための技術である。本願発明によると、第1のトランシーバ及び第2のトランシーバのような物理層の装置の各々が、メディア従属型インタフェース及びメディア非従属型インタフェースを持つ。各トランシーバのメディア従属型インタフェースはそれぞれの送信メディアに接続され、各トランシーバのメディア非従属型インタフェースは他のトランシーバのメディア非従属型インタフェースに接続される。トランシーバの1つによってそれぞれの送信メディアから受信されたデータは、最初に修正又はバッファに保存されることなく他方のトランシーバのメディア非従属型インタフェースに直接に伝達される。これは、トランシーバ間で中間のデータ処理及びバッファリングを必要とする従来技術と対照をなす点である。
30

【0008】

各トランシーバは基準クロック入力端子及び受信クロック出力端子を含む。基準クロック入力端子は基準クロック信号を受信するために接続され、基準クロック信号はメディア非従属型インタフェースからトランシーバに入るデータの時間を計測し、トランシーバから出てメディア従属型インタフェースへ入るデータの時間を計測するために用いられ、さらに、受信位相ロックループ(PLL)のための基準として利用される。各トランシーバの受信PLLはメディア従属型インタフェースを経由して送信メディアから受信したデータ信号にロックされて、受信クロック出力に位相調整クロック信号を提供する。本願明細書の目的のため、データ信号はアイドル信号でもコンテンツ含有信号のどちらでもよい。その位相調整クロック信号の位相はメディア従属型インタフェースから受信したデータ信号の位相と整列される。送信メディアが初期状態でクワイエットである場合には、位相調整クロック信号に対しデータ信号がメディア従属型インタフェースから受信された後に遅延期間が要求されてそれと整列されるようにする。加えて、各トランシーバはステータス信号を提供するステータス出力端子を含む。ステータス信号は、データ信号がトランシーバによって送信メディアから受信されているときにアクティブとなる。
40

【0009】

第1トランシーバの受信クロック出力端子は第1マルチプレクサ論理回路の第1入力端子に接続される。第2トランシーバの受信クロック出力端子は第2のマルチプレクサ論理回路の第1入力端子に接続される。一定周波数のクロック信号が第1マルチプレクサ論理回

10

20

30

40

50

路の第2入力端子及び第2マルチプレクサ論理回路の第2入力端子に接続される。第1マルチプレクサ論理回路の出力端子は第2トランシーバの基準クロック入力端子に接続され、第2マルチプレクサ論理回路の出力端子は第1トランシーバの基準クロック入力端子に接続される。第1マルチプレクサ論理回路の選択入力端子は第1トランシーバのステータス出力端子に接続され、第2マルチプレクサ論理回路の選択入力は第2トランシーバのステータス出力端子に接続される。望ましくは、受信されたデータ信号と整列するように、対応する位相調整クロック信号に対して必要とされる遅延と等しい遅延を持つ遅延プロックは、各々のステータス出力端子と対応する選択入力端子との間に接続される。

【0010】

各トランシーバ用の基準クロック入力端子は、データがメディア非従属型インターフェースを経由して他方のトランシーバから受信中であるか否かに応じて、他方のトランシーバによって発生される位相調整クロック信号又は一定周波数のクロック信号に選択的に接続される。したがって、データがメディア非従属型インターフェースを経由して一方のトランシーバから他方のトランシーバへ送信されている時に、データを提供するトランシーバによって発生される位相調整クロック信号は、他方のトランシーバの基準クロック入力信号に接続される。他の時間は、一定周波数のクロック信号が基準クロック入力端子に接続される。

10

【0011】

したがって、本願発明は、メディア非従属型インターフェースに新たな改良を提供し、さらに、中間の先入れ先出し法（FIFO）によるバッファを必要とすることなく、一方のトランシーバから他方のトランシーバへデータを送信するという新規な方法によって、各トランシーバ用のメディア非従属型インターフェースを利用する。本願発明は送信メディアをインターフェース接続する従来技術に関連する複雑さを軽減する。望ましい実施例において、本願発明はファーストイーサネットLAN（IEEE802.3u規格に従ったもの）において実行される。

20

【0012】

好ましい実施例の詳細な説明

図2はローカルネットワークにおいて送信メディア202, 204をインターフェース接続するための本願発明に係る回路200を示す。第1送信メディア202は第1物理層装置（PHY1）206に接続されている。第2送信メディア204は第2物理層装置（PHY2）208に接続されている。第1及び第2送信メディア202、204は、それぞれ他方の送信メディアと同じ型の送信メディアとしてもよく、又は異なる型の送信メディアとしてもよい。送信メディアの例示の型として、カテゴリ3のシールドされていない撲線対（UTP）、カテゴリ5のUTP及び光ファイバー送信メディアがあるが、他の型の送信メディアを使用することができることは明らかである。各物理層装置206、208はそれぞれの送信メディア202、204に関連するトランシーバとして機能する。」に訂正する。

30

【0013】

各物理層装置206、208は好ましくは、対応する送信メディア202又は204のその型に従って構成される。よって、各物理層装置206、208は対応する送信メディアとのインターフェースを含み、それは送信メディアの型に従属する（メディア従属型インターフェース）。例えば、送信メディア202が1対のカテゴリ5UTPケーブルであると仮定する。その場合には、物理層装置206として、カリフォルニア州、サンホセ、コンコースドライブ2092にあるマイクロリニアコーポレーション製の部品番号ML6697のような100BASE-TXトランシーバを用いることができる。そして、例えば、送信メディア204が光ファイバーケーブルであると仮定すると、物理層装置208としては100BASE-FXトランシーバを用いることができる。しかし、物理層装置206、208は異なる送信メディア用として構成されたメディア従属型インターフェース（MDI）を含むことができ、また、各物理層装置206、208はどの製造者製のものでもよいことは明らかである。本願発明は送信メディア202、204の両方ともが同じ型

40

50

あるように実行することができるので、図2に示す回路は、状況に応じて、各物理層装置206, 208がML6697集積回路であるように実行することが可能である。より望ましい実施例においては、各物理層装置206, 208は802.3(イーサネット)という名称で電気電子技術者学会(IEEE)が公表した規格に従って機能するMDIを含む。

【0014】

物理層装置206, 208のそれぞれはメディア非従属型インタフェース(MII)を含む。より好ましい実施例においては、各物理層装置206, 208によって構成されるMIIインターフェースも802.3の名称でIEEEが公表した規格に従って設計される。しかし、物理層装置206と208との間のインターフェースの所定の特徴は、IEEE802.3規格によって特定されてなく、従来技術を越える利点を与えると信じられている。この違いによりデータは中間でバッファに保存されることなく物理層装置206と208との間を通過することができる。特に従来技術を越える改良点を与えると信じられている本願発明の特徴は、各物理層装置206, 208のMIIインターフェースが他方のMIIインターフェースに接続されるという点にある。これは、各MIIインターフェースがメディアアクセス制御装置(MAC)に接続され、それが各MIIインターフェースへの媒体として機能し、さらにデータをバッファに保存する性能をもつことを意図しているIEEE802.3規格と相違する点である。

【0015】

従って、本願発明によると、物理層装置206のTXEN端子は物理層装置208のRXDV端子に接続される。物理層装置206のTXER端子は物理層装置208のRXEER端子に接続される。物理層装置206のTXD0端子は物理層装置208のRXD0端子に接続される。物理層装置206のTXD1端子は物理層装置208のRXD1端子に接続される。物理層装置206のTXD2端子は物理層装置208のRXD2端子に接続される。物理層装置206のTXD3端子は物理層装置208のRXD3端子に接続される。

【0016】

さらに、物理層装置208のTXEN端子は物理層装置206のRXDV端子に接続される。物理層装置208のTXER端子は物理層装置206のRXER端子に接続される。物理層装置208のTXD0端子は物理層装置206のRXD0端子に接続される。物理層装置208のTXD1端子は物理層装置206のRXD1端子に接続される。物理層装置208のTXD2端子は物理層装置206のRXD2端子に接続される。物理層装置208のTXD3端子は物理層装置206のRXD3端子に接続される。

【0017】

物理層装置206のリンクステータス出力は遅延ブロック210の入力端子に接続される。遅延ブロック210の出力はマルチプレクサ212の選択入力に接続される。物理層装置206のRXCLK出力はマルチプレクサ212の第1入力端子IN1に接続される。固定周波数クロック信号基準クロック(REFCLK)はマルチプレクサ212の第2入力端子IN0に接続される。マルチプレクサ212の出力は物理層装置208のTXCLK IN端子に接続される。

【0018】

物理層装置208のリンクステータス出力は遅延ブロック214の入力端子に接続される。遅延ブロック214の出力はマルチプレクサ216の選択入力に接続される。物理層装置208のRXCLK出力はマルチプレクサ216の第1入力端子IN1に接続される。固定周波数クロック信号基準クロック(REFCLK)はマルチプレクサ216の第2入力端子IN0に接続される。マルチプレクサ216の出力は物理層装置206のTXCLK IN端子に接続される。

【0019】

より望ましい実施例においては、各マルチプレクサ212, 214に接続された固定周波数クロック信号の基準クロック(REFCLK)は同一の発振器(OSC)218によ

10

20

30

40

50

って発生されるが、各マルチプレクサ 212, 214 に接続されたクロック信号を異なる発振器によって発生することは明らかである。また、その望ましい実施例においては、基準クロック (REF CLK) の周波数は 25 MHz であるが、所定の装置では、別の周波数を用いることは明らかである。

【0020】

望ましくは、送信メディア 202, 204 はそれぞれ 2 方向(全二重)通信をすることができる。送信メディア 202, 204 の両方ともがクワイエットでどちらの方向にもアイドル又はストリーム信号を送信していない場合には、各マルチプレクサ 212, 214 は固定周波数クロック信号 REF CLK をそれぞれの出力に送るように調整される。したがって、その固定周波数クロック信号 REF CLK は各物理層装置 206, 208 の機能を制御するために各物理層装置 206, 208 の TX CLK IN 端子に送られる。10

【0021】

アイドル又はストリーム信号のようなデータ信号を物理層装置 206 が受信し始める時には、物理層装置 206 のリンクステータス出力がアクティブになる。このリンクステータス出力は、有効だと認識されたデータ信号を物理層装置 206 が受信していることを表す。そのリンクステータス出力は遅延ブロック 210 を機能させる。

【0022】

各物理層装置 206, 208 は位相ロックループ (PLL) を持つクロック回復回路を含む。各物理層装置 206, 208 の TX CLK IN 端子に提供されたクロック信号は、入力データ信号からクロック信号（ここでは「位相調整クロック信号」と呼ぶ）を回復するための個々のクロック回復回路によって基準として使用される。PLL は物理層装置 206 の RX CLK 端子に位相調整クロック信号を発生させる。この位相調整クロック信号は入ってくるデータ信号から抽出される。したがって、すべての送信遅延又は時間変動がこの位相調整クロック信号の中に反映される。20

【0023】

通常、限定された時間が物理層装置 206 内の PLL のために必要とされて、入ってくるデータ信号の位相と整列される。従って、遅延ブロック 210 は、リンクステータス信号の作動と PLL の入ってくるデータへの整列との間で経過すると予測される時間の長さとほぼ等しい遅延のために調整される。したがって、遅延時間が経過した時点で、物理層装置 206 の RX CLK に現れる位相調整クロック信号は、送信メディア 202 から入ってくるデータ信号の位相とそろうと予測される。加えて、この遅延時間が経過した時点で、遅延ブロック 210 の出力はマルチプレクサ 212 を調整して物理層装置 208 の TX CLK IN 端子に位相調整クロック信号を送らせる。30

【0024】

物理層装置 206 によって送信メディア 202 から受信されたデータは、概略シリアルフォーマットの送信メディア 202 に適したフォーマットであるが、MII 規格は物理層装置 206 の端子 RXD (3 : 0) においてフォービット幅のパラレルフォーマットを明記する。従って、物理層装置 206 の内部に向かって、入ってくるデータはフォービット幅のパラレルフォーマットに適切に変換される。その後、データは最初に修正されたりバッファに保存されたりすることなく物理層装置 208 のメディア非従属型インタフェースの TXD (3 : 0) 端子に直接送信される。次に、物理層装置 208 はそのデータをパラレルからシリアル又は送信メディア 204 に適するフォームに変換し、その際に、物理層装置 208 の TX CLK IN 端子に送られた位相調整クロック信号を利用してデータのサンプリングを行う。その後、そのデータは物理層装置 208 によって送信メディア 204 に送られる。40

【0025】

データ信号が物理層装置 206 によって送信メディア 202 から受信されなくなると、直ちに、物理層装置 206 のリンクステータス出力はマルチプレクサ 212 を変更して物理層装置 208 の TX CLK IN 端子に REF CLK 信号を送る。

【0026】

50

逆に、アイドル又はストリーム信号のようなデータ信号を物理層装置 208 が受信し始めた時には、物理層装置 208 のリンクステータス出力がアクティブになる。このリンクステータス出力は、有効と認識されたデータ信号が物理層装置 208 によって受信されていることを示す。そのリンクステータスは遅延ブロック 214 を起動する。

【0027】

物理層装置 208 内部の PLL は、物理層装置 208 の RX CLK 端子に位相調整クロック信号を発生させ、それは、送信メディア 204 から入ってくるデータ信号から抽出される。従って、すべての送信遅延がその位相調整クロック信号に反映される。

【0028】

一般的に、入ってくるデータ信号に位相が整列するようになるために位相ロッケループ (PLL) のためにある有限の長さの時間が必要とされる。したがって、遅延ブロック 214 は、リンクステータス信号の起動と入ってくるデータへの PLL の整列との間で経過すると予測される時間の長さとほぼ等しい遅延に調整される。したがって、遅延時間が満了した時点で、物理層装置 208 の RX CLK 端子に現れる位相調整クロック信号は、入ってくるデータ信号の位相と整列すると予想されている。さらに、その遅延時間の満了した時点では、遅延ブロック 214 の出力はマルチプレクサ 216 を調整して物理層装置 206 の TX CLK IN 端子に位相調整クロック信号を送るようにさせる。

【0029】

物理層装置 208 によって送信メディア 204 から受信されたデータは概略シリアルフォーマットの送信メディア 204 に適するフォームであるが、MII 規格は物理層装置 208 の端子 RXD (3:0) でフォービット幅のパラレルフォーマットを特定する。したがって、物理層装置 208 の内部に向かって、入ってくるデータはフォービット幅のパラレルフォーマットに適切に変換される。そしてそのデータは最初に修正されたりバッファに保存されたりすることなく物理層装置 206 のメディア非従属型インタフェースの TXD (3:0) に直接に送られる。物理層装置 206 は次にそのデータをパラレルからシリアルに、又は送信メディア 202 に適するフォームに変換し、その際に、物理層装置 206 の TX CLK IN 端子に提供された位相調整クロック信号を用いてそのデータのサンプリングを行う。次にそのデータは物理層装置 206 によって送信メディア 202 に送られる。

【0030】

データが物理層装置 208 によって送信メディア 204 から受信されなくなると直ちに物理層装置 208 のリンクステータス出力がマルチプレクサ 214 を変更して物理層装置 206 の TX CLK IN 端子に REF CLK 信号を送る。

【0031】

データ信号が両方向に同時に送信されている場合には、物理層装置 206, 208 の各々によって形成された位相調整クロック信号は、他方のものからそれぞれの PLL のための基準として用いられて、そのデータをパラレルから各送信メディア 206, 208 に適合するフォーマットに変換する。

【0032】

図 3 は本願発明に係る回路の詳細な図である。図 3 に示す回路は図 2 に示す回路よりも詳細な例であり、そこでは、物理層装置 206 が集積回路 U4 に置き換えられ、物理層装置 208 が集積回路 U1 に置き換えられている。図 2 に示すマルチプレクサ 212 は、図 3 においては、バッファ U6B、抵抗 R40 及び U4 内のバッファとして機能する。さらに図 2 に示すマルチプレクサ 216 は、図 3 においては、バッファ U6A、抵抗 R47 及び U1 内のバッファとして機能する。加えて、図 2 に示す遅延ブロック 214 は、図 3 においては、NAND ゲート U7A 並びにインバータ U8A 及び U8B として機能し、図 2 に示す遅延ブロック 210 は、図 3 においては、NAND ゲート U7B 並びにインバータ U8C 及び U8D として機能する。

【0033】

のぞましい実施例では、集積回路 U1 及び U4 は、所定のタイミングを考慮するために予

10

20

30

40

50

め調整されている。特に、公称のクロックレートが25MHzの場合には、各クロック周期は40nsとなる。MII規格は、データが各クロック周期ごとに約20ns有効であるが、集積回路U1及びU4は望ましくは各クロック周期ごとに約35nsにわたって有効データを提供する。ML6697集積回路はそののぞましい特性を示す。しかし、集積回路U1及びU4はどのような製造業者によっても作ることは明白である。

【0034】

図4はML6697 100BASE-TX物理層装置のブロック図である。図5は100BASE-FX物理層装置のブロック図である。

【0035】

本願発明の構成及び操作の原理の理解を容易にするために、本願発明は詳細な部分を組み込んだ特定の実施例の関点から説明した。ここで特定の実施例及びその詳細への参照は、特許請求の範囲を限定することを意図するものではない。当業者にとって、本願発明の意図及び範囲を逸脱することなく例示として選択した実施例の変形を行うことができることは明白である。10

【0036】

特に、当業者にとって、本願発明の装置をさまざまな異なる方法によって実行することができ、上記の装置は本願発明の望ましい実施例の例示のために限り定めるものではないということは明白である。例えば、ここで開示したさまざまな構成要素の値、電流レベル及び電圧レベルを変更することは本願発明の範囲内にある。

【図面の簡単な説明】

20

【図1】 図1は、従来技術のファーストイーサネットブリッジを示す。

【図2】 図2は、ローカルエリアネットワークにおいて送信メディアをインタフェース接続するための本願発明に係る回路を示す。

【図3】 図3は、本願発明係る回路の詳細な図である。

【図4】 図4は、100BASE-TX物理層装置のブロック図である。

【図5】 図5は、100BASE-FX物理層装置のブロック図である。

【 四 1 】

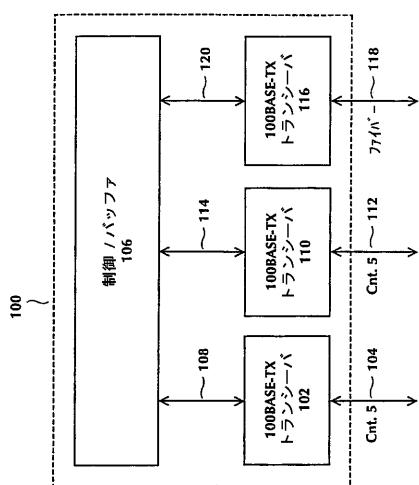


FIGURE 1
(従来技術)

【图2】

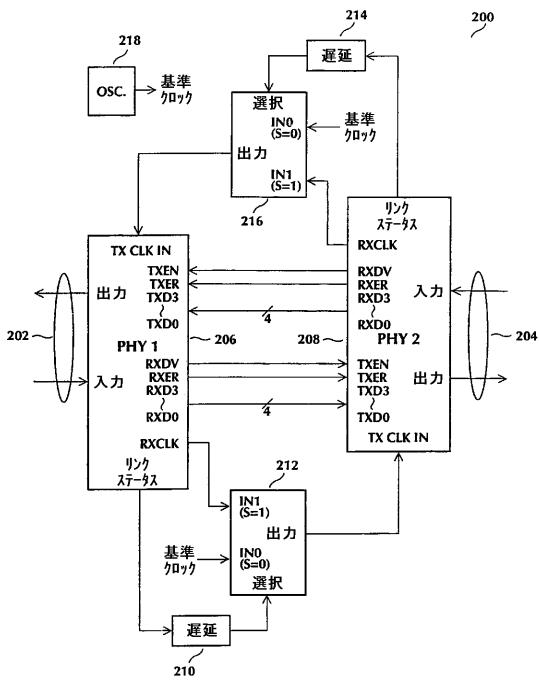


FIGURE 2

【図3A】

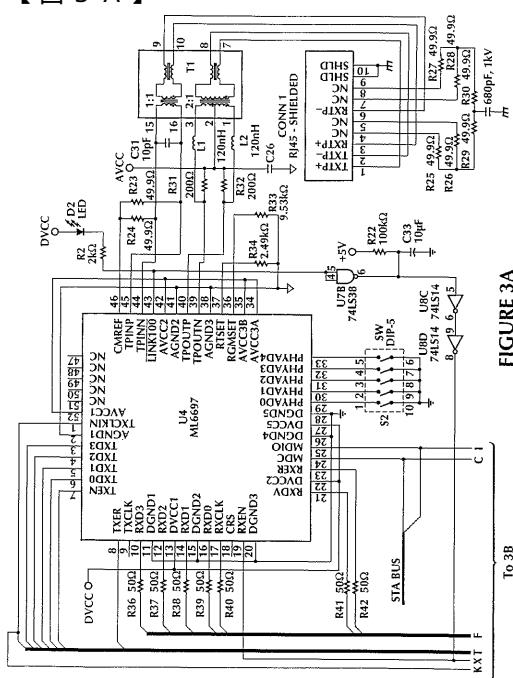


FIGURE 3A

【図3B】

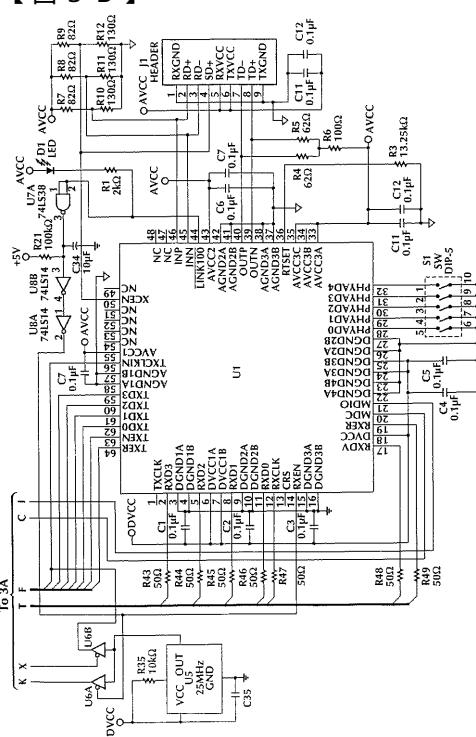


FIGURE 3B

【図4】

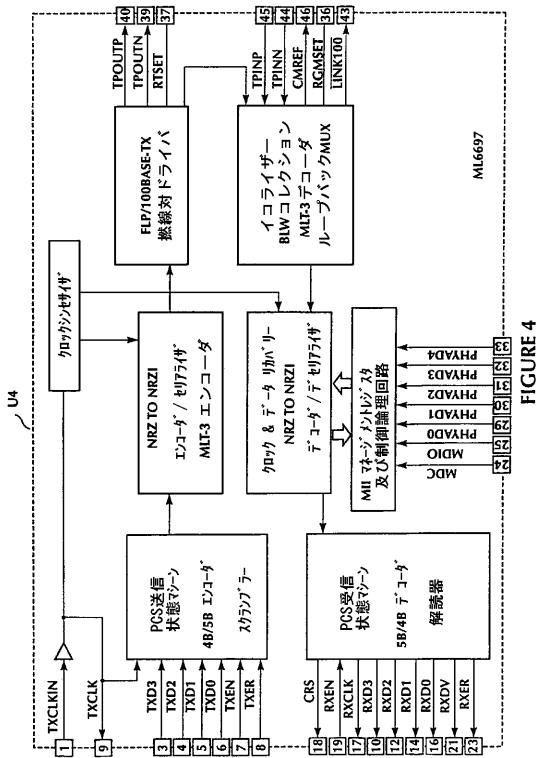


FIGURE 4

【図5】

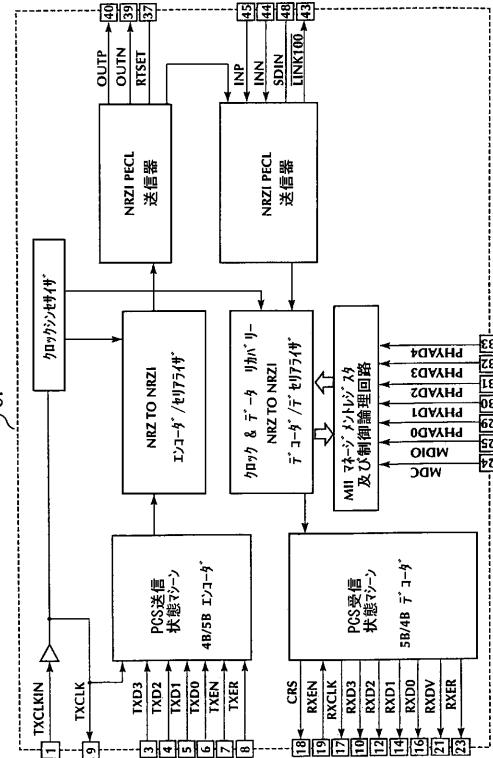


FIGURE 5

フロントページの続き

(72)発明者 レイバー、エドガード・エイ
アメリカ合衆国、カリフォルニア州 95132、サン・ホセ、プラマー・コート 1134

審査官 矢頭 尚之

(56)参考文献 特開平7-235949(JP,A)
特開平10-322381(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 12/44

H04L 12/46