

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-93247
(P2010-93247A)

(43) 公開日 平成22年4月22日(2010.4.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F O 4 8
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 Y	5 F 1 O 2
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 D	5 F 1 4 O
HO 1 L 27/092 (2006.01)	HO 1 L 29/06 6 O 1 W	5 F 1 5 2
HO 1 L 29/06 (2006.01)	HO 1 L 29/80 H	

審査請求 未請求 請求項の数 16 O L 外国語出願 (全 80 頁) 最終頁に続く

(21) 出願番号 特願2009-214521 (P2009-214521)
 (22) 出願日 平成21年9月16日 (2009.9.16)
 (31) 優先権主張番号 61/097, 431
 (32) 優先日 平成20年9月16日 (2008.9.16)
 (33) 優先権主張国 米国 (US)

(71) 出願人 591060898
 アイメック
 I M E C
 ベルギー、ペー-3001ルーヴァン、カ
 ペルドリーフ75番
 (74) 代理人 100101454
 弁理士 山田 卓二
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100100479
 弁理士 竹内 三喜夫
 (74) 代理人 100112911
 弁理士 中野 晴夫

最終頁に続く

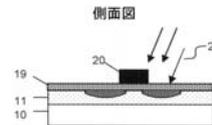
(54) 【発明の名称】 非シリコンチャネルMOSデバイス中のフェルミレベルピンニングの低減方法

(57) 【要約】 (修正有)

【課題】 金属酸化物半導体 (MOS) デバイス中の、GeやIII-V化合物 (例えばGaAsまたはInGaAs) のような高移動度半導体化合物チャネル中の、フェルミレベルピンニング (FLP) を低減 (回避) する方法の提供。

【解決手段】 半導体化合物11上のゲート誘電体19上にゲート電極20を形成し、水素アニール21を実施する。水素はゲート電極のPtやPdのような貴金属による触媒作用により原子状水素を形成しアニールを行い半導体化合物11とゲート誘電体19との界面を界面をパッシベートし、更には欠陥を回復する。

【選択図】 図2G



【特許請求の範囲】

【請求項 1】

金属酸化物半導体 (MOS) デバイスのゲルマニウム (Ge または SiGe) または III-V の高移動度化合物チャネル中のフェルミレベルピンニング (FLP) を低減する方法であって、少なくとも、

基板上に高移動度の Ge または III-V 化合物半導体を形成して、MOS デバイスのチャネルを形成する工程と、

化合物半導体の上にゲート誘電体を形成する工程と、

ゲート誘電体の上にゲート電極を形成して、MOS デバイスのゲートを形成する工程と、

少なくとも 5 分間、原子状の水素を用いてアニールする工程とを含む方法。

10

【請求項 2】

原子状の水素を用いるアニールは、触媒フォーミングガスアニール (C-FGA) を用いて、好適には Pt や Pd のような所定の貴金属の存在中で行われる請求項 1 に記載の方法。

【請求項 3】

水素アニールは、ゲート誘電体の上にゲート電極を堆積した後に行われる触媒フォーミングガスアニール (C-FGA) であり、ゲート電極は、Pt や Pd のような貴金属を含む請求項 1 または 2 に記載の方法。

20

【請求項 4】

水素アニールは、遠隔プラズマを用いた水素アニールであり、水素アニールは、好適にはゲート電極の堆積工程の前に行われる請求項 1 に記載の方法。

【請求項 5】

III-V 化合物は、InGaAs であり、好適には $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($x > 0.5$) であり、更に好適には $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ である請求項 1 ~ 4 のいずれかに記載の方法。

【請求項 6】

Ge 化合物は、Ge または $\text{Si}_x\text{Ge}_{1-x}$ ($x < 0.3$) である請求項 1 ~ 5 のいずれかに記載の方法。

30

【請求項 7】

高移動度化合物は、アニールされて GeO_x 上部表面層を達成する Ge から選択される請求項 6 に記載の方法。

【請求項 8】

更に、ゲート誘電体を形成する工程の前に、40 ~ 48 重量% $(\text{NH}_4)_2\text{S}$ の溶液中に少なくとも 5 ~ 10 分間基板を浸漬することにより、Ge (SiGe) または III-V 化合物半導体の表面から自然酸化物を除去する工程を含む請求項 1 ~ 7 のいずれかに記載の方法。

【請求項 9】

ゲート誘電体の形成工程は、原子層成長 (ALD) または分子線エピタキシ (MBE) を用いて Al_2O_3 または $\text{La}_x\text{Al}_{1-x}\text{O}_3$ (LaAlO_3) を形成する工程を含む請求項 1 ~ 8 のいずれかに記載の方法。

40

【請求項 10】

アニールは、200 から 500 までの範囲の温度で、好適には 300 から 400 までの範囲の温度で、少なくとも 5 ~ 30 分間行われる請求項 1 ~ 9 のいずれかに記載の方法。

【請求項 11】

高移動度の Ge (SiGe) または III-V 化合物半導体中に、第 1 領域および第 2 領域が形成され、n 型ドーパントがドープされて N-MOSFET デバイスのドレインおよびソースを形成することを特徴とする請求項 1 ~ 10 のいずれかに記載の方法。

【請求項 12】

50

高移動度の Ge (Si Ge) または III - V 化合物半導体中に、第 1 領域および第 2 領域が形成され、p 型ドーパントがドープされて P - MOSFET デバイスのドレインおよびソースを形成することを特徴とする請求項 1 ~ 11 のいずれかに記載の方法。

【請求項 13】

請求項 1 ~ 12 のいずれかの方法を用いた高移動度 MOS デバイスであって、高周波反転リフティング (HFIL) が 10 % から 20 % までの範囲内である高移動度 MOS デバイス。

【請求項 14】

MOS デバイスは、量子井戸を有する高移動度 N - MOSFET であり、 $In_{0.53}Ga_{0.47}As$ 半導体化合物中のソース領域およびドレイン領域は n 型ドーパントでドープされ、 $In_{0.53}Ga_{0.47}As$ 半導体化合物チャネルの上にゲート誘電体が形成された請求項 13 に記載の高移動度 MOS デバイス。

10

【請求項 15】

MOS デバイスは、量子井戸を有する高移動度 P - MOSFET であり、ソース領域およびドレイン領域は p 型ドーパントでドープされ、Ge 半導体化合物チャネルの上に原子層成長によりゲート誘電体が形成された請求項 13 に記載の高移動度 MOS デバイス。

【請求項 16】

請求項 15 の高移動度 P - MOSFET と、請求項 14 の高移動度 N - MOSFET を含む高移動度 CMOS デバイス。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、Ge や III - V 化合物 (例えば GaAs や InGaAs) のような高移動度材料を、金属酸化物半導体 (MOS) デバイスのチャネルとして用いて、シリコンと置き換えることに関する。

【0002】

特に、本発明は、MOS デバイスの、Ge や III - V 半導体化合物系 (semiconductor compound based) チャネル中のような、高移動度材料中でのフェルミレベルピンニング (FLP) を低減 (回避) する方法に関する。

【0003】

30

本発明は、更に、FLP を大幅に低減 (回避) するパッシベーション方法に関する。

【背景技術】

【0004】

主流のシリコン CMOS (相補型金属酸化物半導体) や MOSFET (金属酸化物半導体電界効果トランジスタ) 技術の連続した物理的縮小は、一般に、過去 40 年の間、シリコンデバイスの性能を押し上げてきた。しかしながら、近年導入された高誘電率 (high-k) 誘電体や金属ゲートのような新しい材料の利益も、より小型のデバイスに向かう競争が、22nm ノードを越える性能の拡張に関しても続くことは保証できない。

【0005】

可能な解決方法は、少なくとも次の技術ノードでは、より高いキャリア移動度を有する新しいチャネル材料の導入することである。高電子移動度を有するゲルマニウムや、 $InSb$ 、 $InAs$ 、Ge、および $InGaAs$ のような III - V 化合物は、22nm を越える CMOS デバイスにとって非常に将来性の有る材料であり、可能性のある解決方法である。

40

【0006】

III - V 化合物 CMOS デバイスの開発は、最近の 40 年間はフェルミレベルピンニング (FLP) の問題に悩まされてきた。ゲート誘電体との III - V 化合物界面の非常に高い界面トラップ密度に起因すると疑われる、FLP 問題は、従来の Si CMOS から III - V CMOS への置き換えをやめなければならない致命的問題の 1 つである。近年、カルコゲニドのパッシベーション、シリコンのパッシベーションを含む FLP を避ける

50

ための多くの方法が提案されている。最も評判の良い最新技術は、高移動度 III-V 化合物半導体とゲート誘電体層との間の、Si または Ge のような界面パッシベーション層 (IPL) の使用 (堆積) である。IPL の導入は、しかしながら、チャンネルの電子移動度の十分な低減のような多くの望まない影響を有する。界面パッシベーション層の物理的な膜厚は、ゲートスタックに追加の EOT を必然的に付加し、チャンネルの小型化の予定 (0.6 nm ノードで EOT < 0.8 nm) に負の影響を与える。更に、注入活性化アニール (> 650 °C) のような高温プロセスでの、Si または Ge の、III-V 化合物基板中への拡散は、基板のドーピングを大きく変える。最後に、数ナノメートルより大きい IPL 材料 (Si または Ge、電子移動度はそれぞれ $400 \text{ cm}^2 / \text{eV}$ と $1900 \text{ cm}^2 / \text{eV}$) の適用は、基板の高いキャリア移動度 ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ で $8000 \text{ cm}^2 / \text{eV}$) を低下させようである。

10

【0007】

III-V CMOS デバイスでの FLP の最適の除去はまだ達成されず、フェルミレベルピンニングを低減または回避し、同時にデバイス性能を向上させる方法がなお必要であることは、今までの産業界の合意である。

【目的】

【0008】

本発明は、MOS デバイスの Ge (SiGe) や III-V 化合物系チャンネル中のような、高移動度材料中のフェルミレベルピンニング (FPL) の低減を目的とする。

【0009】

特に、本発明は、FLP を低減すると共に、デバイス性能を大きく向上させることを目的とする。

20

【0010】

更に、本発明は、進歩的な EOT (等価酸化膜厚) の縮小に重きを置く、高性能 MOS デバイスのための $\text{InGaAs} / \text{Ge}$ の集積を目的とする。

【発明の概要】

【0011】

本発明は、MOS デバイスの Ge または III-V 化合物系チャンネルのようなより高いキャリア移動度を有する新しいチャンネル材料中で、フェルミレベルピンニング (FLP) の影響を回避するかまたは少なくとも大幅に低減し、これによりデバイス特性を大きく変えるための方法に関する。Ge (SiGe) や III-V 化合物系材料では、フェルミレベルピンニング (FPL) 効果は、Ge (SiGe) または III-V 化合物系半導体と、化合物半導体の上に配置されるゲート誘電体の界面における、非常に高い界面トラップ密度に起因する。

30

【0012】

ゲート誘電体 (酸化物) と Ge (GeSi) または InGaAs (例えば $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) のような III-V 化合物半導体との界面における FLP を低減 (回避) する本発明の方法を用いると、更に、電場誘起表面量子井戸 (field-induced surface quantum well) を有する MOS デバイスの達成が可能となる。

【0013】

ゲート誘電体 (酸化物) と、Ge (GeSi) または $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ のような III-V チャンネル材料との界面における FLP を低減 (回避) する本発明の方法を用いると、チャンネル界面が非常に低い欠陥と高移動度を有するため、CV カーブにおいて高周波反転リフト (HFIL) が観察される。

40

【0014】

本発明の好適な具体例では、Ge (SiGe) または III-V 半導体化合物の高移動度材料からなるチャンネルを有し、これにより FLP の問題を避けるデバイスを製造するための方法が開示されている。好適には、このデバイスは、Ge (SiGe) または代替りの III-V 化合物系のチャンネルを含む MOS デバイス、または換言すれば高移動度の Ge (SiGe) または III-V 材料 (例えば GaAs または InGaAs) をチャンネル

50

材料に用いて、これにより従来用いられたシリコン系のチャンネルを置き換えるデバイスを含む。FLP問題は、高移動度材料中の欠陥から、および/またはGe (SiGe)またはIII-V化合物半導体の表面上の自然酸化膜により起きると思われるため、III-V化合物半導体の表面をパッシベートすることは非常に重要である。この方法は、高移動度III-V化合物半導体とゲート誘電体層との間の界面パッシベーション層 (IPL) (例えばSiまたはGe)の使用 (堆積)を避ける。

【0015】

好適な具体例の方法では、FLPを低減 (除去) できるのみならず、デバイス特性を大きく増大させることができるパッシベーション技術を使用する。

【0016】

好適な具体例の方法では、ゲート誘電体とGeまたはIII-V化合物半導体との界面で高移動度材料をパッシベートすると同時に、界面で欠陥を修復することによりFLPの問題を解決する。この問題は、原子状水素アニールや、触媒フォーミングガスアニール (C-FGA) の形態のフォーミングガスアニールを行って、原子状の水素を得ることにより解決される。原子状水素アニールは、好適には遠隔プラズマを使用するような、ダメージの内プラズマ水素アニールである。C-FGAは、好適には、分子状の水素を原子状の水素に代える、PtやPdのような所定の貴金属の存在中で行われるFGAである。原子状水素アニール工程は、好適にはゲート電極の堆積前に行われる。代わりに、原子状水素アニール工程は、ゲート電極の堆積後に、換言すればMOS構造の形成後に行っても良い。

【0017】

好適な具体例では、金属酸化物半導体 (MOS) デバイスの、ゲルマニウム (Ge、SiGe) またはIII-V高移動度化合物チャンネル中でのフェルミレベルピンニングを低減 (回避) するための方法が記載される。この方法は、少なくとも、

基板上に高移動度のGeまたはIII-V化合物半導体を形成して、MOSデバイスのチャンネルを形成する工程と、

化合物半導体の上にゲート誘電体を形成する工程と、

ゲート誘電体の上にゲート電極を形成して、MOSデバイスのゲートを形成する工程と、

少なくとも5分間、原子状の水素を用いてアニールする工程とを含む。

【0018】

好適な具体例では、MOSデバイスは、表面チャンネルまたは埋め込みチャンネルとなる、高移動度Ge (SiGe) またはIII-V化合物半導体系のチャンネルを含むMOSCAP、MOSFET、HEMT等である。

【0019】

好適な具体例では、MOSデバイスは、高移動度Ge (SiGe) またはIII-V化合物半導体系のチャンネルを含むMOSFETであり、MOSFET中のFLPの影響を低減 (回避) するための方法が記載される。この方法は、少なくとも、

基板上に高移動度のGeまたはIII-V化合物半導体を形成して、MOSデバイスのチャンネルを形成する工程と、

化合物半導体の第1領域および第2領域に適当なドーパント型のドーパントをドーピングして、MOSFETのドレインおよびソースを形成する工程と、

半導体化合物の上にゲート誘電体を形成する工程と、

ゲート誘電体の上にゲート電極を形成して、MOSFETのゲート電極を形成する工程と、

少なくとも5分間、原子状の水素を用いてアニールする工程とを含む。

【0020】

好適な具体例では、基板は、基板の上に高移動度化合物半導体が転位無しで成長できるように選択される。

【0021】

10

20

30

40

50

好適な具体例では、基板はSi（例えばSiウエハ）、InP等であっても良い。

【0022】

好適な具体例では、III-V化合物半導体はInGaAsであり、好適には $In_xGa_{1-x}As$ ($x > 0.5$)であり、更に好適には $In_{0.53}Ga_{0.47}As$ である。III-V化合物半導体は、好適には下の基板に対して格子整合し、例えば最新技術を用いることにより、Si基板の上に、 $In_{0.53}Ga_{0.47}As$ が格子整合して形成できる。

【0023】

好適な具体例では、化合物半導体はGeまたは Si_xGe_{1-x} ($x < 0.3$)である。Ge化合物半導体は、好適には下の基板に対して転位無しで成長できる。基板は、Si、Ge等であっても良い。選択的に、Geまたは Si_xGe_{1-x} は、アニールされて GeO_x （最も好適には GeO_2 ）上部表面層を形成する。

10

【0024】

好適な具体例では、成長したGe(SiGe)化合物半導体または例えば $In_{0.53}Ga_{0.47}As$ のようなIII-V化合物半導体は、更に自然酸化物を除去するために、カルコゲニドパッシベーションプロセスが行われる。化合物半導体がGeの場合、 GeO_x （最も好適には GeO_2 ）上部表面層の形成は避けられる（必要ではない）。カルコゲニドパッシベーションを行うために、この方法は、更に、40～48重量% (NH_4)₂Sの溶液中に少なくとも5～10分間基板を浸漬し、脱イオン水でリンスし乾燥する工程を含む。代わりに、最先端の H_2S （ガス）処理が、カルコゲニドパッシベーションを行うために用いられても良い。カルコゲニドパッシベーション工程は、Ge(GeSi)またはIII-V化合物半導体の上にゲート誘電体17を形成する工程の前に行われる。

20

【0025】

好適な具体例では、Ge(GeSi)またはIII-V化合物半導体の上にゲート誘電体を形成する工程は、 Al_2O_3 、 HfO_2 、 ZrO_2 、 Ga_2O_3 、 Gd_2O_3 、 Y_2O_3 、 TiO_3 、 Ta_2O_3 、 La_2O_3 、 $HfAlO$ 、 $TiAlO$ 、および $La_xAl_{1-x}O_3$ ($LaAlO_3$)を含むグループから選択される酸化物を堆積する工程を含む。

【0026】

好適な具体例では、Ge(GeSi)またはIII-V化合物半導体の上にゲート誘電体を形成する工程は、原子層成長(ALD)または代わりに分子線エピタキシ(MBE)を用いて Al_2O_3 の層を堆積する工程を含む。堆積したゲート誘電体の厚みは、MOSCAPデバイスを形成するために5nmから20nmの範囲であり、MOSFETデバイスを形成するためにはEOT厚み<1nmの範囲内であっても良い。

30

【0027】

好適な具体例では、ゲート誘電体の上にゲート電極を形成する工程は、物理気相成長(PVD)、電子ビーム蒸着、およびRFスパッタ等のような堆積技術を用いて行われる。堆積されたゲート電極構造の厚さは、50nmから200nmの範囲内でも良い。ゲート電極(金属)層は、続いて、ゲート電極構造を形成するために最新のパターンニング技術を用いてパターンニングされて、好適なゲート構造が得られる。

40

【0028】

好適な具体例では、水素アニールを行う工程は、例えば不活性キャリアガス中で10%～100%の原子状水素を用いた遠隔プラズマのような、原子状水素アニールを用いて、好適には200 から500 までの温度で、より好適には300 から500 の温度で、少なくとも5から30分間行われる。この方法は、例えば、エネルギー衝突を含むプラズマ処理を用いるような、Ge(GeSi)またはIII-V化合物半導体をパッシベートするのに使用する最新技術に比較して非破壊的である。GeまたはIII-V化合物半導体チャンネルを有する最新のMOSデバイスに比較して、ここでは、初めて、異なった材料からなる外部の界面層を堆積させる必要の無い、装置外(ex-situ)「修復」法を用いて、FLPが低減されて殆ど除去される。

50

【0029】

好適な具体例では、水素アニールを行う工程は、PtまたはPdのような貴金属と組み合わせたC-FGAを用いて行われ、これにより、貴金属が、分子状の州遅を原子状の水素に代える触媒として働く。C-FGAは、好適には200 から500 までの温度で、更に好適には300 から500 までの温度で、少なくとも5～30分間行われる。

【0030】

好適な具体例では、水素アニールを行う工程は、ゲート誘電体の上にゲート電極を堆積した後に行われるC-FGAを用いて行われ、ゲート電極は、分子状の水素を原子状の水素に代えるPtまたはPdのような貴金属を含む。

【0031】

他の好適な具体例では、原子状水素アニールを行う工程は、重水素（例えば10%～100%）を用いて、好適には200 から500 までの温度で、より好適には300 から500 までの温度で、少なくとも5～30分間行われる。

【0032】

好適な具体例では、高移動度のGe(SiGe)またはIII-V化合物半導体系のチャンネルを含むMOSデバイスを形成する方法が記載され、これにより電場誘起表面量子井戸が、Ge(SiGe)またはIII-V化合物とゲート誘電体との界面に形成される。

【0033】

好適な具体例の方法を用いると、チャンネル界面が非常に低い欠陥と高い移動度を有するため、CVカーブにおいて高周波反転リフト(HFIL)が観察される。得られた高移動度MOSデバイスは、10%から20%までの範囲の高周波反転リフティング(HFIL)を有する。

【0034】

好適な具体例では、高移動度のIII-V化合物半導体系のチャンネルを含み、ゲート誘電体-半導体化合物系のチャンネル界面で、(表面)量子井戸が形成されて観察されたMOSデバイスが記載される。このデバイスは、少なくとも、

基板、

基板上に、(転位無しで)形成された $In_xGa_{1-x}As$ ($x > 0.5$)およびより好適には $In_{0.53}Ga_{0.47}As$ の半導体化合物チャンネル、

$In_xGa_{1-x}As$ 半導体化合物チャンネルの上に形成されたゲート誘電体、

ゲート誘電体の上に形成されたゲート電極を含む。

【0035】

好適な具体例では、MOSデバイスは、(表面)量子井戸を有する高移動度の $In_xGa_{1-x}As$ (好適には $In_{0.53}Ga_{0.47}As$)半導体化合物系のチャンネルを含み、更に、 $In_xGa_{1-x}As$ 半導体化合物中に、MOSデバイスのソースおよびドレインを形成するためにn型ドーパントがドーブされた第1および第2領域と、(表面)量子井戸を有するN-MOSデバイスを形成するためにp型ドーパントがドーブされた $In_xGa_{1-x}As$ 半導体化合物チャンネルを含む。

【0036】

代替りの好適な具体例では、高移動度のGe(SiGe)半導体化合物系のチャンネルを含み、ゲート酸化物-半導体化合物系のチャンネル界面で、(表面)量子井戸が形成されて観察されたMOSデバイスが記載される。このデバイスは、好適には、

基板、

基板上に形成され、任意的にアニールされて半導体化合物の上に薄い GeO_x 表面層を形成するGeまたはSiGe半導体化合物チャンネル、

Ge(SiGe)半導体化合物の上に形成されたゲート誘電体、

ゲート誘電体の上に形成されたゲート電極とを含む。

【0037】

好適な具体例では、MOSデバイスは、(表面)量子井戸を有する高移動度のGe(SiGe)半導体化合物系のチャンネルを含み、更に、Ge(SiGe)半導体化合物中に、

10

20

30

40

50

MOSデバイスのソースおよびドレインを形成するためにp型ドーパントがドーブされた第1および第2領域と、P-MOSデバイスを形成するためにn型ドーパントがドーブされたGe(SiGe)半導体化合物チャネルを含む。

【0038】

好適な具体例では、高移動度P-MOSFETおよび高移動度N-MOSFETを含む高移動度CMOSデバイスが記載されている。このCMOSデバイスは、好適には、ソース領域およびドレイン領域がp型ドーパントでドーブされたGe(SiGe)半導体化合物P-MOSFETを含む。このCMOSデバイスは、好適には、更に、ソース領域およびドレイン領域がn型ドーパントでドーブされた $In_xGa_{1-x}As$ (好適には $In_{0.53}Ga_{0.47}As$)半導体化合物N-MOSFETを含む。

10

【0039】

好適な具体例では、ゲート酸化物と半導体化合物との間の界面をパッシベートすることで、高移動度MOSデバイス中に、電場誘起表面量子井戸が形成される。このパッシベーションは、原子状の水素を用いたアニール工程を用いる好適な具体例の方法を用いて行われる。水素アニールは、貴金属と組み合わせたC-FGA(分子状の水素)でも良く、代わりに原子状の水素を用いても良い。水素アニールは、ゲート電極を堆積する工程の前または後に行っても良い。

【0040】

特定の好適な形態は、添付の独立請求項および従属請求項により詳しく述べられる。従属請求項の特徴は、必要に応じて独立請求項の特徴と組み合わせても良く、他の従属請求項の特徴と組み合わせても良く、単に請求項に記載された通りではない。

20

【0041】

この分野で、デバイスについて一定の改良、変更、および進化が行われるが、この概念は、従来の実施からの出発を含み、より効果的で、安定した、信頼性のあるこの性質のデバイスとなる、本質的に新しく新規の改良を表すと信じられる。

【0042】

本発明の、上述および他の特性、特徴、および長所は、好適な具体例の原理を例示する方法で示す添付の図面と共に、以下の詳細な説明から明らかになるであろう。この記載は、例示することを目的として、好適な具体例の範囲を制限するものではない。以下で引用される参照図面は、添付の図面をいう。

30

【図面の簡単な説明】

【0043】

例示の具体例は、図面の参照図面中に示される。ここに示される具体例と図面は、限定的よりむしろ例示的と考えられることを意図する。

【0044】

【図1】好適な具体例にかかる適当なMOSキャパシタスタックを示す。

【図2A】高移動度GeまたはIII-V化合物系チャネルを含む金属酸化物半導体電界効果トランジスタ(MOSFET)を作製し、これによりFLP効果を回避(低減)する、本発明の好適な具体例にかかるプロセスフローである。

【図2B】高移動度GeまたはIII-V化合物系チャネルを含む金属酸化物半導体電界効果トランジスタ(MOSFET)を作製し、これによりFLP効果を回避(低減)する、本発明の好適な具体例にかかるプロセスフローである。

40

【図2C】高移動度GeまたはIII-V化合物系チャネルを含む金属酸化物半導体電界効果トランジスタ(MOSFET)を作製し、これによりFLP効果を回避(低減)する、本発明の好適な具体例にかかるプロセスフローである。

【図2D】高移動度GeまたはIII-V化合物系チャネルを含む金属酸化物半導体電界効果トランジスタ(MOSFET)を作製し、これによりFLP効果を回避(低減)する、本発明の好適な具体例にかかるプロセスフローである。

【図2E】高移動度GeまたはIII-V化合物系チャネルを含む金属酸化物半導体電界効果トランジスタ(MOSFET)を作製し、これによりFLP効果を回避(低減)する

50

、本発明の好適な具体例にかかるプロセスフローである。

【図 2 F】高移動度 Ge または III-V 化合物系チャネルを含む金属酸化物半導体電界効果トランジスタ (MOSFET) を作製し、これにより FL P 効果を回避 (低減) する、本発明の好適な具体例にかかるプロセスフローである。

【図 2 G】高移動度 Ge または III-V 化合物系チャネルを含む金属酸化物半導体電界効果トランジスタ (MOSFET) を作製し、これにより FL P 効果を回避 (低減) する、本発明の好適な具体例にかかるプロセスフローである。

【図 2 H】高移動度 Ge または III-V 化合物系チャネルを含む金属酸化物半導体電界効果トランジスタ (MOSFET) を作製し、これにより FL P 効果を回避 (低減) する、本発明の好適な具体例にかかるプロセスフローである。

【図 3】 $10\text{ nm Al}_2\text{O}_3 / \text{p 型ドープ In}_{0.53}\text{Ga}_{0.47}\text{As}$ スタックを有し、原子状水素アニール (FGA) 処理を行わない MOS キャパシタ試料の、キャパシタンス - 電圧 (C - V) カーブを示す (従来技術)。

【図 4】本発明の好適な具体例にかかる、その上に Pd ゲートを備えた $10\text{ nm Al}_2\text{O}_3 / \text{p 型ドープ In}_{0.53}\text{Ga}_{0.47}\text{As}$ スタックを有し、原子状水素アニール (C - FGA) 後の MOS キャパシタ試料の、キャパシタンス - 電圧 (C - V) カーブを示す。HFIL は、図 4 中に示される。

【図 5】Martens らの適応を考慮しない、従来キャパシタンス / 電圧特性解釈にかかる、 $8\text{ nm Al}_2\text{O}_3 / \text{p 型ドープ In}_{0.53}\text{Ga}_{0.47}\text{As}$ スタックを有するデバイスの CV カーブを示す (従来技術)。

【図 6】実反転反応 (true inversion response) を示し、反転においてバイアス独立特性 (bias independent characteristic) を有する、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS キャパシタのための本発明の好適な具体例にかかる CV カーブを示す。MOS キャパシタは、 1 kHz から 1 MHz で、全体で 30 の周波数を用いて測定された。

【図 7】MOSFET 反転回路モデルを示す (従来技術)。抵抗素子 R は、多数キャリアバンドと少数キャリアバンドの間の「伝達経路」を形成する。

【図 8 A】本発明の好適な具体例にかかる、MOSFET スタックを含む III-V - MOS キャパシタ中の、ゲート誘電体 (酸化物) - InGaAs 電場誘起表面量子井戸 (field-induced surface quantum well) の形成を示す。

【図 8 B】本発明の好適な具体例にかかる、MOSFET スタックを含む III-V - MOS キャパシタ中の、ゲート誘電体 (酸化物) - InGaAs 電場誘起表面量子井戸の形成を示す。

【図 9 A】本発明の好適な具体例にかかる高移動度 Ge MOS キャパシタスタック中の、Ge 電場誘起表面量子井戸の形成を示す。図 9 A は C - FGA 無しの 1 MHz の挙動を示す。

【図 9 B】本発明の好適な具体例にかかる高移動度 Ge MOS キャパシタスタック中の、Ge 電場誘起表面量子井戸の形成を示す。図 9 B は好適な具体例にかかる C - FGA を行った後の 1 MHz の挙動を示し、これにより 1 MHz での実反転と、電場誘起量子井戸の形成を示す。

【図 10 A】Ge MOS キャパシタの CV カーブを示す。図 10 A は C - FGA 無しの Ge MOS キャパシタの CV カーブを示す。MOS キャパシタは、 1 kHz から 1 MHz で、全体で 30 の周波数を用いて測定された。

【図 10 B】Ge MOS キャパシタの CV カーブを示す。図 10 B は好適な具体例にかかる C - FGA を行った後の Ge MOS キャパシタの CV カーブを示し、実反転反応と反転におけるバイアス独立特性を示す。MOS キャパシタは、 1 kHz から 1 MHz で、全体で 30 の周波数を用いて測定された。

【図 11】本発明の好適な具体例にかかる Ge および InGaAs の MOSCAP の D_i 分布を示す。

【図 12】本発明の好適な具体例にかかる $1.5\text{ }\mu\text{m}$ の Ge の N - MOSFET および InGaAs の N - MOSFET の $I_d - V_d$ プロットを示す。

10

20

30

40

50

【図13A】本発明の好適な具体例にかかるGeおよびInGaAsのMOSCAPのC-Vカーブを示す。図13Aは、p型GeMOSCAPである。

【図13B】本発明の好適な具体例にかかるGeおよびInGaAsのMOSCAPのC-Vカーブを示す。図13Bは、n型GeMOSCAPである。

【図13C】本発明の好適な具体例にかかるGeおよびInGaAsのMOSCAPのC-Vカーブを示す。図13Cは、n型InGaAsMOSCAPである。

【図13D】本発明の好適な具体例にかかるGeおよびInGaAsのMOSCAPのC-Vカーブを示す。図13Dは、p型InGaAsMOSCAPである。

【発明を実施するための形態】

【0045】

10

本発明の具体例は、特定の具体例に関して、所定の図面を参照しながら記載されるが、それに限定されるものではなく、請求項によってのみ限定される。記載された図面は、単に概略であり、限定するものではない。図面において、図示目的で、いくつかの要素の大きさは拡張され、縮尺通りに記載されていない。寸法と相対寸法は、本発明の実施の実際の縮小には対応していない。

【0046】

更に、説明や請求項中の、第1、第2、第3等の用語は、類似の要素の間で区別するために使用され、時間的な順序を表す必要はない。そのように使用される用語は、適当な状況下で入替え可能であり、ここに記載された発明の具体例は、ここに記載や図示されたものと異なる順序によっても操作できることを理解すべきである。

20

【0047】

また、説明や請求の範囲中の、上、下、上に、下に等の用語は、記載目的のために使用され、相対的な位置を示すものではない。そのように使用される用語は、適当な状況下で入替え可能であり、ここに記載された発明の具体例は、ここに記載や図示されたものと異なる位置でも操作できることを理解すべきである。

【0048】

特定のドーパント型について以下で引用された場合、これは説明を容易にすることのみのために行われ、本発明を限定することは意図しない。以下で与えられる例において、材料およびドーパント型は、発明を変えること無しに、他の適当な材料やドーパント型により置き換えることができることが理解される。

30

【0049】

請求の範囲で使用される「含む (comprising)」の用語は、それ以降に示される手段に限定されるものと解釈すべきでなく、他の要素や工程を排除するものではない。このように、言及された特徴、数字、工程、または成分は、その存在を明記するものとして解釈され、1またはそれ以上の他の特徴、数字、工程、または成分、またはこれらの組み合わせの存在または追加を排除してはならない。このように、「手段AおよびBを含むデバイス」の表現の範囲は、構成要素AとBのみを含むデバイスに限定されるべきではない。本発明では、単にデバイスに関連した構成要素がAとBであることを意味する。

【0050】

距離を表すEOT (Equivalent Oxide Thickness: 等価酸化膜厚) の用語については、これは通常ナノメートル (nm) として与えられ、high-k材料が使用される場合と同じ効果を得るために、シリコン酸化膜をいかに薄くする必要があるかを示す。

40

【0051】

「高周波反転リフト (High frequency inversion lift: HFILと呼ばれる)」の現象に関しては、明細書を通して、これは、高周波においても、強い反転でCVが増加 (リフト) を示す現象をいう。HFILは、 C_{ox} に対して強い反転における C_{inv} 増加の比として定量される。即ち、

$$HFIL = (C_{inv} - C_{min}) / C_{ox}$$

であり、 C_{min} は、深い空乏で観察される最小キャパシタンスである。従来技術のSiのMOS-CAPでは、約100HzにおいてHFIL=0である。好適な具体例の方法

50

(C - FGA後)を用いると、高移動度InGaAsMOS - CAPでは1MHzにおいてHFILが約0.2となり、GeMOS - CAPでは1MHzにおいて約0.1となる。

【0052】

「触媒フォーミングガスアニール(Catalytic Forming Gas Anneal)」(C - FGAと呼ぶ)プロセスの適用について述べる。これは、(PdまたはPtを触媒に用いた)水素アニール処理技術で、上述のHFILを表すために用いられる。

【0053】

III/V族化合物半導体材料について述べると、この材料はIn、Ga、As、Sb、Al、P、B、N、およびInGaAsのようなその2元系、3元系、または4元系化合物を含む。

10

【0054】

更に、「量子井戸(quantum well)」の用語は、層表面に垂直な距離に(疑似)粒子(一般には電子または正孔)を閉じ込めることができ、他の距離への移動が制限される薄い表面層をいう。閉じ込め自身は、量子効果と呼ばれる。

【0055】

本発明は、好適な具体例の詳細な説明により記載される。好適な具体例の他の具体例が、当業者の知識に基づいて、好適な具体例の真実の精神や技術的な示唆から離れることなく行え、本発明は、添付された請求の範囲の用語によってのみ限定されることは明らかである。

20

【0056】

少なくとも幾つかの好適な具体例は、MOSFETデバイスのチャネルとして使用されるGe(SiGe)またはIII-V化合物のような高移動度材料中のフェルミレベルピンニング(FLP)の問題に関する。

【0057】

本発明は、MOSデバイスのGe(SiGe)またはIII-V化合物半導体2チャネルとゲート誘電体3との界面において、FLPを大幅に低減(回避)でき、欠陥を修復するパッシベーション方法を開示する(図1参照)。好適な具体例は、更に、好適な具体例のパッシベーション方法を用いた、高移動度Ge(SiGe)またはIII-V化合物半導体のチャネルを含むMOSデバイスについて開示する。

30

【0058】

好適な具体例は、 $In_{0.53}Ga_{0.47}As$ 化合物半導体チャネルを有する好適な具体例のパッシベーション方法を用いたMOSデバイスに関し、これにより高周波反転リフトが観察され、ゲート誘電体/ $In_{0.53}Ga_{0.47}As$ チャネルの界面において電場誘起表面量子井戸が形成される。

【0059】

好適な具体例は、n-Ge化合物半導体チャネルを有する好適な具体例のパッシベーション方法をMOSMOSデバイスに関し、これにより、高周波反転リフトが観察され、ゲート誘電体/Geチャネルの界面において電場誘起表面量子井戸が形成される。

【0060】

好適な具体例では、ゲート誘電体を有するGe(SiGe)またはIII-V化合物半導体系のチャネルの界面をパッシベーションすることにより、高移動度MOSデバイス中のフェルミレベルピンニング効果を大幅に低減(好適には回避)することを目的とする方法が提供される。好適な具体例の方法は、Ge(SiGe)または $In_{0.53}Ga_{0.47}As$ のようなIII-V化合物系のチャネル(特に、ゲート誘電体との界面)中のFLPを低減(回避)することができ、同時にデバイス特性を大きく増大させることができる。

40

【0061】

本発明にかかるパッシベーション方法は、Ge(SiGe)またはIII-V化合物系のチャネルと、ゲート誘電体との界面で行われる水素パッシベーション処理に基づく。水

50

素パッシベーションは、原子状の水素に基づく。

【0062】

フォーミングガスアニール (FGA) が用いられる場合、触媒 - FGA (C - FGA) が用いられる。C - FGAを達成するために、分子状水素を原子状水素に変えるための触媒が存在しなければならない。原子状水素はゲート誘電体を通り、続いてGe (SiGe) またはIII - V化合物系のチャンネルとゲート誘電体との界面で欠陥を回復させ、界面でGe (SiGe) またはIII - V化合物をパッシベーションする。原子状の水素が用いられると、触媒 (例えば、貴金属) を有する必要は無い。

【0063】

代替のそして好適な具体例では、原子状水素アニール工程は、重水素 (例えば10% ~ 100%) を用いて、好適には200 から500 までの温度で、より好適には300 から400 までの温度で、少なくとも5分から30分までの間行われる。水素に代えて重水素を使用するのは、水素とのその化学的な類似性による。加えて、重水素は、SiチャンネルCMOSで見られるような他の望まれるボンディング特性を有する。

10

【0064】

好適な具体例にかかるパッシベーション方法は、図2Aから図2Hに示される。方法は、図2Aに示すように、基板10の上にGe (SiGe) またはIII - V化合物半導体11を形成し、MOSデバイスのチャンネルを形成する工程から始まる。

【0065】

好適な具体例では、転位の無い化合物半導体の成長が可能のように基板が選択される。基板は、InP、Si等でも良い。

20

【0066】

好適な具体例では、III - V化合物半導体11はInGaAsであり、好適には $In_xGa_{1-x}As$ ($x > 0.5$) であり、より好適には $In_{0.53}Ga_{0.47}As$ である。III - V化合物半導体は、好適には、下層の基板に対して格子整合し、例えば $In_{0.53}Ga_{0.47}As$ は、基板上に格子整合して成長する (転位無し)。最新技術を用いると、Si基板上に $In_{0.53}Ga_{0.47}As$ を転位無しで成長できる。

【0067】

好適な具体例では、Ge化合物半導体11は、Geまたは Si_xGe_{1-x} ($x < 0.3$) である。

30

【0068】

好適な具体例では、例えば $In_{0.53}Ga_{0.47}As$ のような成長したGe (SiGe) またはIII - V半導体化合物11は、カルコゲニドパッシベーションプロセスが行われ、自然酸化物は除去される。カルコゲニドパッシベーションを行うために、基板を40 ~ 48重量%の $(NH_4)_2S$ 溶液に5 ~ 10分間浸漬する工程と、脱イオン水を用いたリンスと乾燥が行われる。代わりに、最新の H_2S (ガス) 処理が、カルコゲニドパッシベーションを行うために使用されても良い。カルコゲニドパッシベーション工程は、好適には、化合物半導体11の上でゲート誘電体15を形成する工程の前に行われる。

【0069】

代替の好適な具体例では、Ge半導体化合物11がアニールされ、 GeO_x (好適には GeO_2) からなる薄い表面 (上面) 層が形成される。(水分無しに) 空气中で自然に成長した、非常に悪く好ましくない。酸素プラズマまたはオゾンを用いて成長した GeO_x 上面が好ましい。 GeO_x からなる薄い表面 (上面) 層を成長させた場合、カルコゲニドパッシベーションプロセスは行わない。

40

【0070】

好適な具体例と次の工程では、図2Bおよび2Cに示すように、Ge (SiGe) またはIII - V化合物半導体上のパターンニングされたフォトリソ層15を用いる従来のパターンニング技術を用いて、半導体化合物の第1および第2の領域16が規定され、第2ドーパント型のドーパ14によりMOSFETのドレインおよびソース16を形成する。

【0071】

50

好適な具体例とN-MOSFETを形成する必要がある場合、Ge(SiGe)またはIII-V化合物半導体の第1および第2の領域は、n型ドーパント型でドーブされ、N-MOSFETのドレインおよびソース16を形成する。

【0072】

好適な具体例とP-MOSFETを形成する必要がある場合、Ge(SiGe)またはIII-V化合物半導体の第1および第2の領域は、p型ドーパント型でドーブされ、P-MOSFETのドレインおよびソース16を形成する。

【0073】

好適な具体例と次の工程では、図2Dに示すように、好適には原子層成長を用いて、Ge(SiGe)またはIII-V化合物の半導体化合物11の上にゲート誘電体層17が形成される。Ge(SiGe)またはIII-V化合物半導体の上にゲート誘電体層を形成する工程は、好適には、 Al_2O_3 、 HfO_2 、 ZrO_2 、 Ga_2O_3 、 Gd_2O_3 、 Y_2O_3 、 TiO_3 、 Ta_2O_3 、 La_2O_3 、 $HfAlO$ 、 $TiAlO$ 、および $La_xAl_{1-x}O_3$ ($LaAlO_3$)を含むグループから選択される酸化物を堆積する工程を含む。更に好適には、Ge(SiGe)またはIII-V化合物半導体11の上にゲート誘電体層17を形成する工程は、例えば $In_{0.53}Ga_{0.47}As$ のようなInGaAs化合物の上に原子層成長で、 Al_2O_3 層を形成する工程を含む。堆積したゲート誘電体層の膜厚は、10nmの範囲内でも良い。

10

【0074】

好適な具体例と次の工程では、図2Eに示すように、ゲート誘電体層17の上にゲート電極層18が堆積される。ゲート電極層は、好適には物理気相成長(PVD)、電子ビーム蒸着等のような堆積技術を用いて行われる。堆積させたゲート誘電体構造の膜厚は、50nmから200nmの範囲内であっても良い。

20

【0075】

好適な具体例と次の工程では、図2Fに示すように、ゲート電極層18は、最新のパターンニング技術を用いてパターンニングされ、MOSFETのゲート電極20が形成される。

【0076】

好適な具体例と次の工程では、原子状水素アニール21を用いたパッシベーション技術が行われる。水素アニール21は、好適には少なくとも5分間(例えば30分間)行われる。代わりに、原子状水素が用いられても良いが、これは複雑で高価な方法である。

30

【0077】

好適な具体例では、200 から500 の範囲の温度で、より好適には300 から500 の範囲の温度で、少なくとも5分から30分までの時間、原子状水素アニール21工程が行われる。この方法は、例えばエネルギー衝撃を含むパッシベーションプラズマ処理を使用する、Ge(SiGe)またはIII-V化合物半導体のパッシベーションに用いる最新技術に比較して非破壊的である。原子状水素アニール21工程は、好適には装置外(ex-situ)で行われ、ゲート酸化物の堆積工程から独立している。原子状水素の存在は本質的であり、ゲート酸化層(誘電体層)を通して移動(拡散)することにより、欠陥を修復させ、Ge(SiGe)またはIII-V半導体化合物とゲート酸化層との界面をパッシベートすることができる。

40

【0078】

代わりに好適な具体例では、FGAを行う工程が、好適には200 から500 の範囲の温度で、より好適には300 から500 の範囲の温度で、少なくとも5分から30分までの時間、重水素を用いて行われる。

【0079】

好適な具体例では、Ge(SiGe)またはIII-V化合物系のチャネルとゲート誘電体との界面をパッシベートする好適な具体例の方法を用いた、高移動度MOSデバイスの好適な具体例が記載されている(図1参照)。このデバイスは少なくとも、

基板1、

基板上に形成されたGe(SiGe)またはIII-V化合物半導体チャネル2、

50

Ge (Si Ge) または III - V 化合物半導体チャネルの上に形成されたとゲート誘電体 3、および

ゲート誘電体の上に形成されたゲート電極 4 を含み、

H F I L が、10% から 20% の範囲内であることを特徴とする。

【0080】

好適な具体例では、高移動度 MOS デバイスが、上述の好適な具体例の水素アニールを用いてパッシベートされたゲート誘電体 / Ge または III - V 半導体化合物界面を有する。水素アニールを用いることにより、10% から 20% の範囲の H F I L を達成できる。

【0081】

好適な具体例では、10% から 20% の範囲の H F I L が、高移動度 MOS F E T で達成され、この高移動度 MOS F E T は少なくとも、

基板、

基板上に形成された $In_{0.53}Ga_{0.47}As$ 半導体化合物、

$In_{0.53}Ga_{0.47}As$ 半導体化合物中に形成されたチャネル、

N - MOS F E T を形成するために、n 型ドーパントがドーブされて MOS F E T のドレインが形成された $In_{0.53}Ga_{0.47}As$ 半導体化合物中の第 1 領域、および n 型ドーパントがドーブされて MOS F E T のソースが形成された $In_{0.53}Ga_{0.47}As$ 半導体化合物中の第 2 領域、

$In_{0.53}Ga_{0.47}As$ 半導体化合物の上に形成された Al_2O_3 から選択されたゲート誘電体、および

ゲート誘電体の上に形成されたゲート電極を含み、

ゲート誘電体 / $In_{0.53}Ga_{0.47}As$ 半導体化合物の界面が、本発明の好適な具体例で述べられたように原子状水素を用いてアニールされる。

【0082】

図 4 は、好適な具体例にかかる水素アニール (C - F G A) 後の、その上に Pd ゲートを備えた $10\text{nm}Al_2O_3$ / p 型ドーブ $In_{0.53}Ga_{0.47}As$ スタックを有する MOS キャパシタ試料のキャパシタンス - 電圧 (C - V) カーブを示す。H F I L は、図 4 に示される。同様の結果は、MOS F E T デバイスに対しても期待される。

【0083】

10% の範囲内の H F I L が、高移動度 MOS F E T で達成され、この高移動度 MOS F E T は、少なくとも

基板、

基板上に形成された Ge (Si Ge) 半導体化合物、

Ge (Si Ge) 半導体化合物中に形成されたチャネル、

P - MOS F E T を形成するために、p 型ドーパントがドーブされて MOS F E T のドレインが形成された Ge (Si Ge) 半導体化合物中の第 1 領域、および p 型ドーパントがドーブされて MOS F E T のソースが形成された Ge (Si Ge) 半導体化合物中の第 2 領域、

Ge 半導体化合物の上に形成された Al_2O_3 から選択されたゲート誘電体、および

ゲート誘電体の上に形成されたゲート電極を含み、

ゲート誘電体 / 半導体化合物の界面が、本発明の好適な具体例で述べられたように原子状水素を用いてアニールされる。

【0084】

図 10 B は、好適な具体例にかかる水素アニール (C - F G A) 後の、その上に Pd ゲートを備えた $10\text{nm}Al_2O_3$ / p 型ドーブ Ge スタックを有する MOS キャパシタ試料のキャパシタンス - 電圧 (C - V) カーブを示す。H F I L は、図 10 B に示される。同様の結果は、MOS F E T デバイスに対しても期待される。

【0085】

好適な具体例では、ゲート誘電体を有する Ge または III - V 化合物系のチャネルの

10

20

30

40

50

界面をパッシベーションすることにより、高移動度MOSFET中のフェルミレベルピンニング効果を大幅に低減（回避）すると同時に、ゲート誘電体を有するGeまたはIII-V化合物系のチャネルの界面に（表面）量子井戸を形成することを目的とする方法が記載される。これは、界面におけるキャリア（電子）が、2次元電子ガス（2DEG）として働くことを意味する。III-V化合物半導体に基づくHEMT（High Electron Mobility Transistor：高電子移動度トランジスタ）構造と同様に、最新のMOSFETと比較して、酸化されたIII-V界面で電場誘起された表面量子井戸が形成され観察されたのは初めてである。酸化された高移動度チャネル界面での大きな半導体バンドの曲がりとは、自由電子（2DEG）を閉じ込める量子井戸構造を形成する。好適な具体例の処理方法は、例えばInGaAs（代わりにGe）バンドギャップの上半分を効果的にパッシベートし、InGaAs（Ge）表面フェルミレベルが伝導帯に達し、大きなバンドギャップの曲がりとは、続いて表面量子井戸とを形成する。

10

【0086】

GeまたはIII-V化合物表面を、原子状水素を用いてパッシベートする好適な具体例にかかる方法を用いることにより、フェルミレベルが伝導帯端の近傍まで動くことができる程度まで電子トラップ密度を減らすことができ、大きなバンドの曲がり（ $> 0.7 \text{ eV}$ ）を形成し、ゲート酸化物 - 高移動度チャネル界面（例えば、 $\text{Al}_2\text{O}_3 / \text{p-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 界面）で鋭い量子井戸を形成することができる。この場合、少数キャリアは表面量子井戸中に閉じ込められ、非常に大きな反転キャパシタンスを形成する。 $\text{Al}_2\text{O}_3 / \text{p-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 界面での半導体フェルミレベルは、ピンニングされず、バンドギャップの上半分（ $0.38 - 0.7 \text{ eV}$ ）を横切って移動できる。

20

【0087】

図1は、ゲート誘電体を備えたGeまたはIII-V化合物系のチャネルの表面において、表面量子井戸を有する高移動度MOSFETを作製するのに適したMOSスタックを示す。

【0088】

好適な具体例では、電場誘起表面量子井戸を有する高移動度MOSFETを作製するために適したスタックが、適当な基板1の上に形成される。スタックは好適には、 $1 \mu\text{m}$ 膜厚のInGaAs（ $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ）化合物半導体層2を含み、このInGaAs（ $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ）化合物半導体層の上には、 $10 \mu\text{m}$ のALDまたはMBEで堆積されたゲート誘電体層（ Al_2O_3 ）を有する。InGaAs（ $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ）化合物半導体層2は、任意的に（ NH_4 ）₂S溶液に浸漬されて前処理されても良い。 Al_2O_3 ゲート誘電体層の上にゲート電極4が形成され、ゲート電極は好適にはPtおよび/またはPdから選択される貴金属から形成される。

30

【0089】

好適な具体例では、ゲート誘電体 / 高移動度化合物半導体（GeまたはIII/V）界面において電場誘起表面量子井戸を含む高移動度MOSFETデバイスが、フェルミレベルのピンニング高価を避けるために、先の具体例で述べられた好適な具体例の水素アニール方法を用いて記載される。特定のゲート誘電体 - 高移動度化合物半導体スタック（GeまたはIII/V）との組み合わせでこの方法を用いることにより、ゲート誘電体 / 高移動度半導体の界面において、（表面）量子井戸の形成が可能となる。記載された金属酸化物半導体電界効果トランジスタ（MOSFET）は、好適には、Geまたは $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ から選択された高移動度化合物系のチャネルとゲート誘電体を含み、ゲート酸化物 - 半導体化合物系チャネルの界面において、（表面）量子井戸が形成され観察される。

40

【0090】

好適な具体例では、（表面）量子井戸を有する、高移動度III-V化合物系のチャネルを含むMOSFETデバイス（電場誘起表面量子井戸を有する高移動度MOSFETとも呼ばれる）が記載される。デバイスは好適には少なくとも、

50

基板、

基板上に形成された $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 半導体化合物、

$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 半導体化合物中に形成されたチャネル、

第2ドーパント型にドーブされてMOSFETのドレインが形成された $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 半導体化合物中の第1領域、および第2ドーパント型にドーブされてMOSFETのソースが形成された $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 半導体化合物中の第2領域、

原子層成長で $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 半導体化合物の上に形成されたゲート誘電体、および

ゲート誘電体の上に形成されたゲート電極を含む。

10

【0091】

好適な具体例では、電場誘起表面量子井戸を有する高移動度N-MOSFETが、基板と基板上に形成された InGaAs ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) 半導体化合物を有し、 InGaAs ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) 半導体化合物中の第1領域はn型ドーパントでドーブされてN-MOSFETのドレインを形成し、 InGaAs ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) 半導体化合物中の第2領域はn型ドーパントでドーブされてN-MOSFETのソースを形成する。

【0092】

代わりに好適な具体例では、(表面)量子井戸を有する、高移動度Ge(SiGe)化合物系のチャネルを含むMOSFETデバイス((電場誘起)表面量子井戸を有する高移動度MOSFETとも呼ばれる)が記載される。デバイスは好適には少なくとも、

20

基板、

基板上に形成されたGe半導体化合物、

Ge(SiGe)半導体化合物中に形成されたチャネル、

第2ドーパント型にドーブされてMOSFETのドレインが形成されたGe(SiGe)半導体化合物中の第1領域、および第2ドーパント型にドーブされてMOSFETのソースが形成されたGe半導体化合物中の第2領域、

原子層成長でGe半導体化合物の上に形成されたゲート誘電体、および

ゲート誘電体の上に形成されたゲート電極を含む。

【0093】

好適な具体例では、電場誘起表面量子井戸を有する高移動度P-MOSFETが、基板と基板上に形成されたGe(SiGe)半導体化合物を有し、Ge(SiGe)半導体化合物中の第1領域はp型ドーパントでドーブされてP-MOSFETのドレインを形成し、Ge(SiGe)半導体化合物中の第2領域はp型ドーパントでドーブされてP-MOSFETのソースを形成する。

30

【0094】

好適な具体例では、電場誘起表面量子井戸を有する高移動度MOSFET中のゲート電極は、貴金属から選択され、ゲート誘電体/高移動度化合物の界面は、先の具体例で述べたようにC-FGAを用いてパッシベートされる。

【0095】

好適な具体例では、電場誘起表面量子井戸を有する高移動度MOSFET中のゲート電極は、金属から選択され、ゲート誘電体/高移動度化合物の界面は、先の具体例で述べたように原子状水素を用いてパッシベートされる。

40

【0096】

好適な具体例では、ゲート酸化物と高移動度半導体化合物との間の界面をパッシベーションすることにより、高移動度MOSFETデバイス中で、表面量子井戸が達成できる。パッシベーションは、原子状水素を用いた好適な具体例の方法を用いて行われる。

【0097】

代わりに好適には、水素アニールが2回、即ち、ゲート電極の堆積前の第1水素アニール工程と、ゲート電極の堆積後、言い換えればMOSFET構造の作製後の第2水素アニ

50

ール工程とが行われる。代わりに、水素アニールが、ゲート電極の堆積前に行われても良い。

【実施例】

【0098】

実施例1：ゲート酸化物-InGaAs界面の電場誘起表面量子井戸の証拠

少数キャリア応答（発生-再結合または拡散）による測定された反転キャパシタンスは、ゲートバイアスがCVのD_{it}こぶ（バンプ）を過ぎて動くやいなや、ゲートバイアスから独立になる。この挙動は、高移動度p型In_{0.53}Ga_{0.47}As MOSキャパシタについて図6にプロットされた、測定されたCVトレース（1kHzから1MHz）中に示される。ゲートバイアスの独立性は、真のMOSキャパシタ反転挙動を示す。等価なMOSキャパシタ反転回路が図7に示され、図6に見られる反転CVトレースを説明する。図6は、p型In_{0.53}Ga_{0.47}As MOSキャパシタのCVトレースを示し、真の反転応答を示す。反転におけるバイアスの独立特性は注意すべきである。MOSキャパシタは、1kHzから1MHzの間で、全体で30の周波数を用いて測定された。

10

【0099】

図7の左側の回路に示すように、弱い反転では、InGaAs表面に引きつけられた少数キャリアは、界面トラップキャパシタンスC_{IT}や空乏キャパシタンスC_Dと平行に、有限の反転キャパシタンスC_{INV}を形成する。C_{INV}およびC_{IT}は、多数キャリアバンドやバックコンタクトとは直接影響しあわない。それらの多数キャリア特性のために、C_{INV}およびC_{IT}は、バンドギャップを横切る垂直な「伝達経路」を介して多数キャリアバンド（バックコンタクト）と影響しあう。即ち、バックコンタクトと多数キャリアバンドは、発生-再結合または拡散のプロセスを通して、少数キャリアバンドと通じる。この伝達経路は、抵抗要素Rを通る電流としてモデルされても良い。この抵抗要素Rは、少数キャリア拡散（室温におけるIn_{0.53}Ga_{0.47}AsやGeの場合）、および/または発生/再結合（室温におけるSiの場合）の集合的な効果を表す。

20

【0100】

1つの所定の周波数では、伝達経路（抵抗要素R）は、少数キャリアがゲートとバックコンタクトとの間のac信号に追従することがどれくらい容易かを表す、所定の導電性（または抵抗）値を有する。（低周波数でも高周波数でもない）遷移周波数と同様に、低周波数では、MOSキャパシタが完全な反転に向かって動く場合に、伝達経路（R）を通過して、反転キャパシタンスがチャージアップされる。これは、図6の、1kHz CVトレースの、0.5Vから1Vのゲートバイアスに対応する。1Vのゲートバイアスで強い反転に到達し、これは反転キャパシタンスC_{INV}が、ゲートバイアスとともにそのキャパシタンスの値が指数関数的に増加する点までチャージされ、C_{OX}を含む全ての他のキャパシタンスより十分に大きくなることを意味する。C_{INV}の大きなキャパシタンスは、C_{IT}およびC_{IT}の組み合わせ回路を短絡させ、図7の右側の示された等価回路とする。増加するゲートバイアスは、C_{INV}を増加させ続けるが、短絡形態には殆ど影響しない。一方、空乏キャパシタンスC_Dおよびそれに対応する空乏幅は、1Vのゲートバイアスを越えても変化しないままである。なぜならば、空乏領域は、殆ど無限のC_{INV}により、ゲートバイアスの変化と対応する電場の増加から完全に保護されるからである。これは、1Vゲートバイアス以上での平坦なキャパシタンス値を説明する。

30

40

【0101】

低周波数ac信号に対して、上述の状況は有効なままであり、少数キャリアがac信号も完全に追従できるため、伝達経路（R）が高い導電性を有する。これは、空乏キャパシタンスC_Dを短絡させC_{OX}において完全な反転キャパシタンスを達成する。高い周波数では、伝達経路（R）は高抵抗となる。なぜならば、少数キャリアはac信号に追従できず（拡散または発生-再結合のいずれか）、オープン回路となるからである。測定されたキャパシタンスは、次にC_Dと直列のC_{OX}となり、この結果、典型的な「高周波」またはC_{MIN}キャパシタンスとなる。

【0102】

50

実施例 2 : ゲート酸化物 - Ge 界面の電場誘起表面量子井戸の証拠

図 10 は、真の反転応答を表す好適な具体例にかかる、触媒 FGA を行う前 (図 10 A) と行った後 (図 10 B) の、n 型高移動度 Ge MOS キャパシタの室温における CV トレースを示す。使用された MOS - Cap スタックは、1 nm GeO_x 上部表面層、10 nm 膜厚の MBE 堆積 Al₂O₃ ゲート誘電体、およびゲート誘電体の上の Pt (Pd) ゲート電極を有する n 型ドーブの Ge 基板である。

【0103】

反転におけるバイアス独立特性は注意すべきである。MOS キャパシタは、100 kHz から 1 MHz で、全体で 30 の周波数を用いて測定された。C - FGA 前に n Ge / Al₂O₃ MOSCAP に対して行われた図 10 A 中の CV グラフは、高い D_{it} による少ない反転を示す (D_{it} ピーク > E^{1/2} であり、これは「V」型 D_{it} としてよく知られている)。C - FGA 後に n Ge / Al₂O₃ MOSCAP に対して行われた図 10 B 中の CV グラフは、非常に良好な反転、蓄積においての低い分散 (空乏の D_{it} (電子トラップ) が低い E^{1/4} 程度)、および高周波反転リフト (HFIL) の形成を示す。HFIL は、高周波においても強い反転で CV がステップアップを示す現象を反映する。

10

【0104】

図 9 A ~ 図 9 B は、好適な具体例にかかる高移動度 Ge MOS キャパシタスタック中での、Ge 表面量子井戸の形成を示す。図 9 A は、C - FGA を行わない 1 MHz における挙動を示す。図 9 B は好適な具体例にかかる C - FGA を行った後の 1 MHz における挙動であり、1 MHz における真の反転と量子井戸の形成を示す。図 9 B に見られる 1 MHz 反転は、温度に依存せず、殆どの多数キャリアの形成が抑制される 77 K でさえも起きる。1 MHz 反転はまた周波数にも依存しない。

20

【0105】

実施例 3 : Ge / InGaAs MOSCAP の二重性を示す測定

図 13 は、室温における Ge および InGaAs MOSCAP の、n および p 型の C - V トレースを、並べて比較する。図 13 は、p 型 Ge MOSCAP (図 13 A)、n 型 Ge MOACAP (図 13 B)、n 型 InGaAs MOSCAP (図 13 C)、および p 型 InGaAs MOSCAP (図 13 D) を示す。Ge および InGaAs MOSCAP の間の二重性が、C - V ペアのような鏡像として明らかに見られる。図 13 A および図 13 C の C - V 蓄積側で観察される、低周波数の分散および非常に小さいフラットバンド電圧シフトは、自由に動くフェルミレベルと比較的低い D_{it} を示す。

30

【0106】

図 11 は、CGS アプローチの下での Ge および InGaAs MOSCAP の、鏡像の D_{it} (E) 分布を示す。D_{it} (E) は、測定された C - V データから、コンダクタンス法およびチャージトラッピング特性により導き出される。Ge の荷電子帯端と In_{0.53}Ga_{0.47}As の伝導帯端の近くの比較的低い D_{it} レベルは、N および P の MOSFET の高い駆動電流と優秀な移動度性能を保証する。

【0107】

Ge および InGaAs の MOSFET は、非常に良好な性能を達成する。図 12 は、1.5 μm の Ge の P - MOSFET および InGaAs の N - MOSFET の I - V 特性を示す。大きな駆動電流が 1.5 μm トランジスタで得られ、一方、より長いチャネルのトランジスタでは、ピークの正孔および電子の電界効果移動度の値が、それぞれ 400 cm²/eV - s、1300 cm²/eV - s に達する。

40

【0108】

ここで引用された全ての参考資料は、参照されることによりその全体がここに組み込まれる。参照することにより組み込まれた刊行物、および特許または特許出願が、この明細書に含まれる記載に矛盾する場合は、明細書が、そのような矛盾する材料に対して置き換えおよび/または上位にあることを意図する。

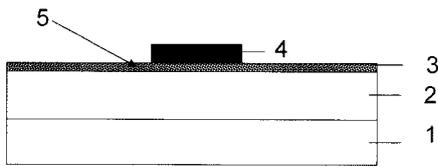
【0109】

上述の記載は、本発明の多くの方法および材料を開示する。この発明は、製造方法や装

50

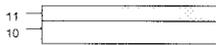
置の変更と同様に、方法や材料においても変形が可能である。そのような変形は、ここに記載された好適な具体例の記載や実施を考慮することにより、当業者にとって明らかになるであろう。このように、本発明はここに記載された特定の具体例に限定することを意図するものではなく、添付の請求の範囲で具体化されるような、好ましい具体例の真の範囲や精神の中で行われる全ての変形や置き換えを含む。

【図 1】



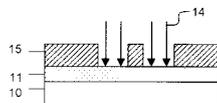
【図 2 A】

側面図



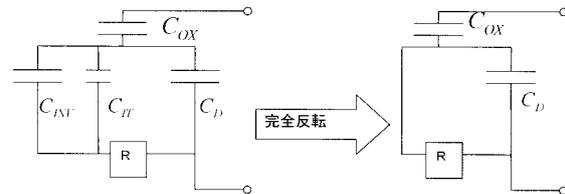
【図 2 B】

側面図

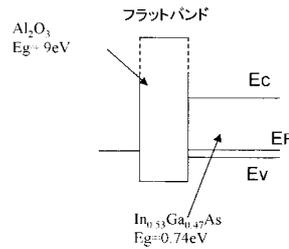


【図 7】

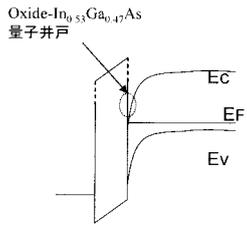
従来技術



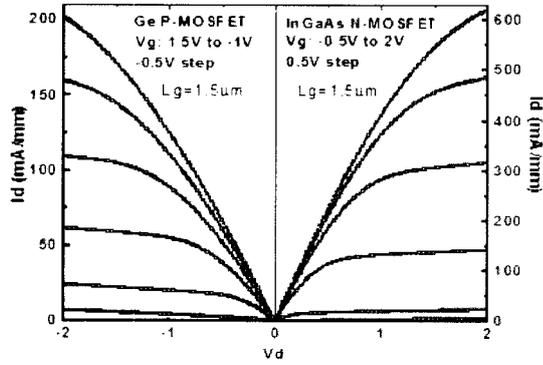
【図 8 A】



【 図 8 B 】

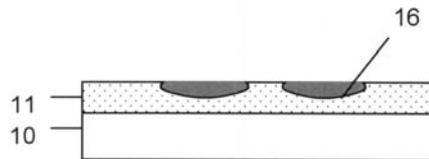


【 図 1 2 】



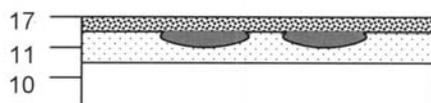
【 図 2 C 】

側面図



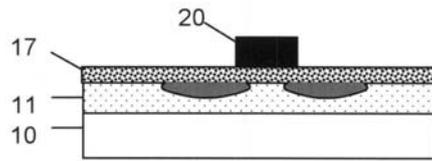
【 図 2 D 】

側面図



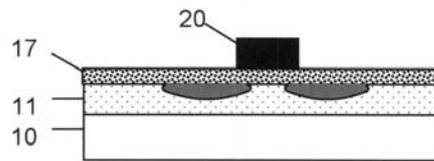
【図 2 E】

側面図



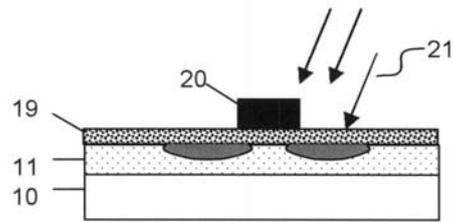
【図 2 F】

側面図



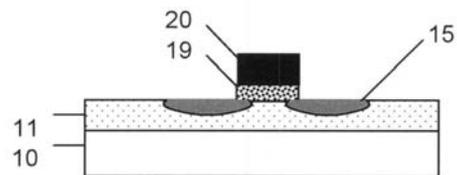
【図 2 G】

側面図



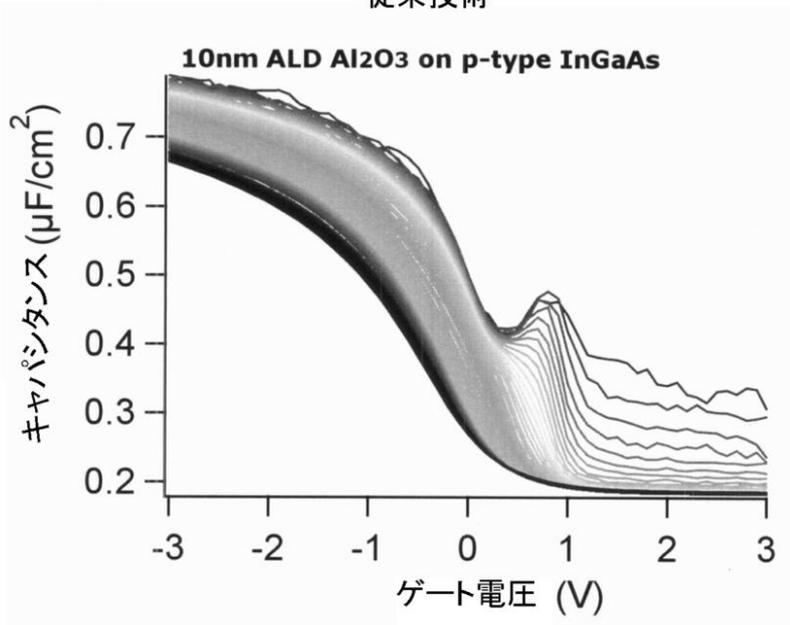
【図 2 H】

側面図

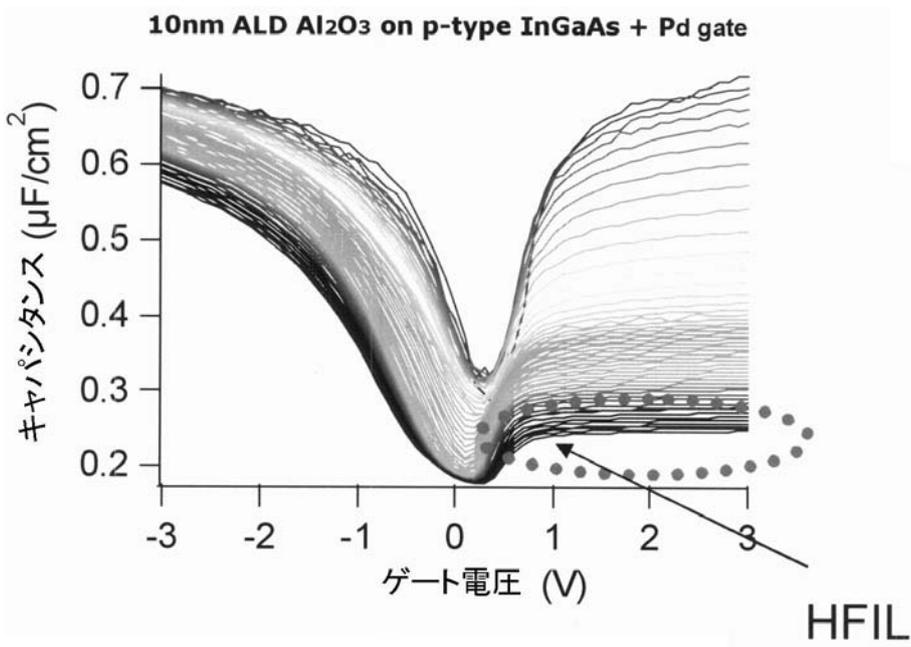


【 図 3 】

従来技術

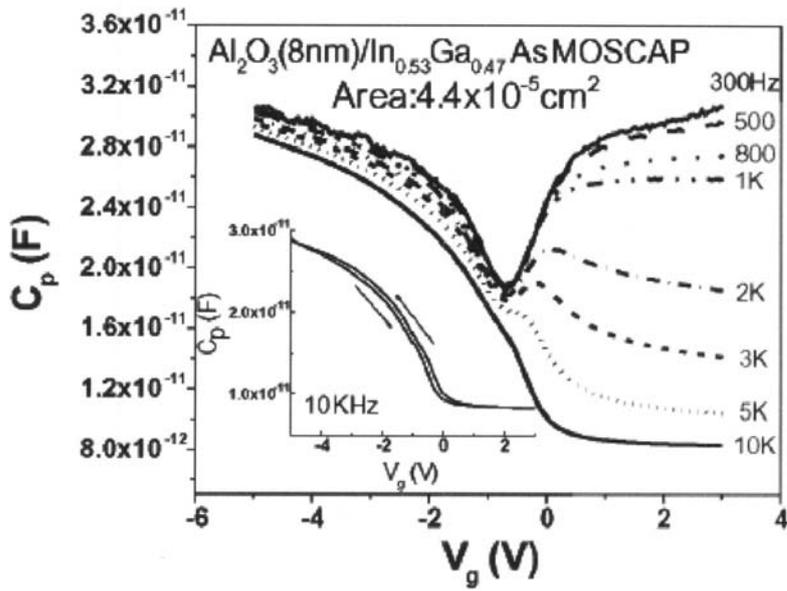


【 図 4 】

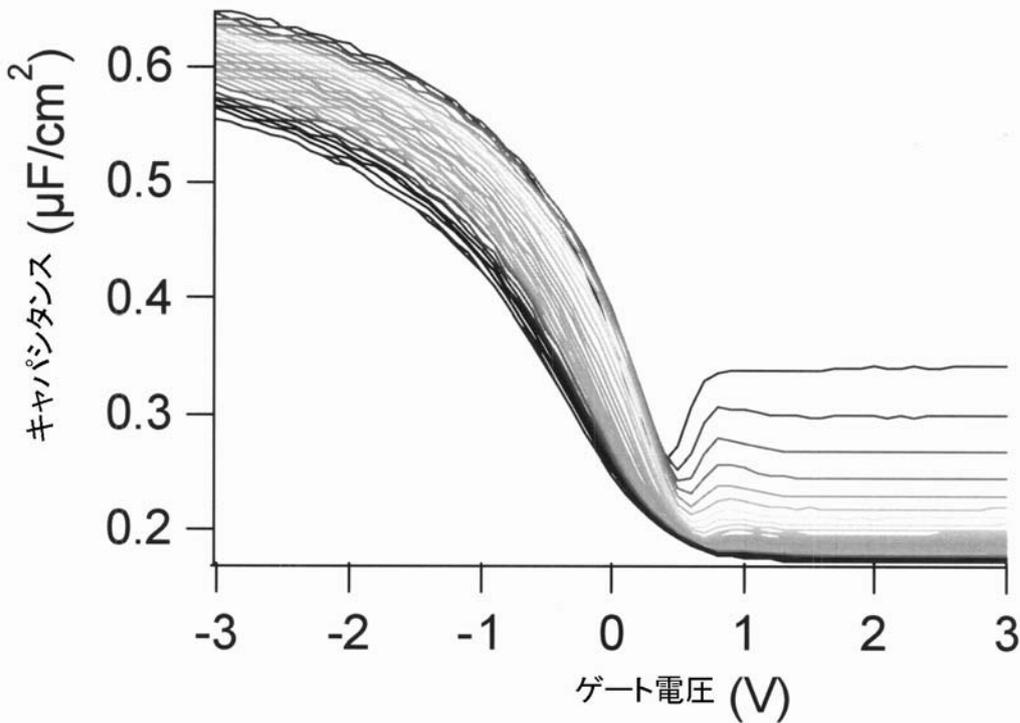


【 図 5 】

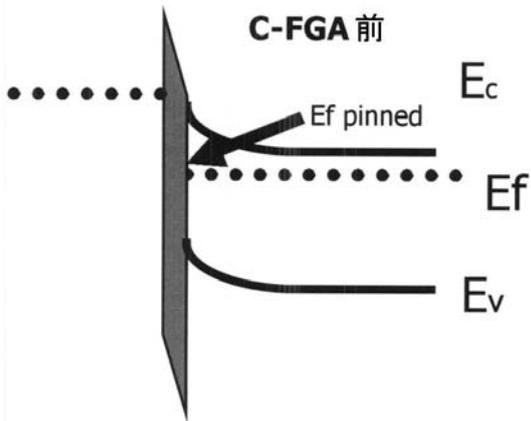
従来技術



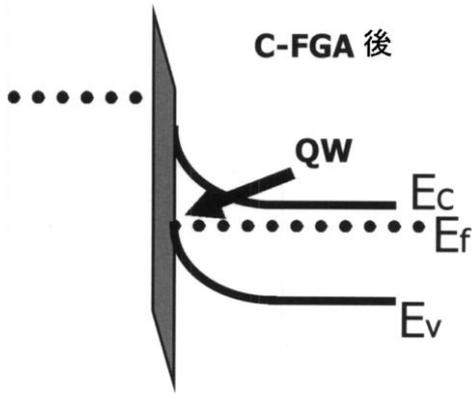
【 図 6 】



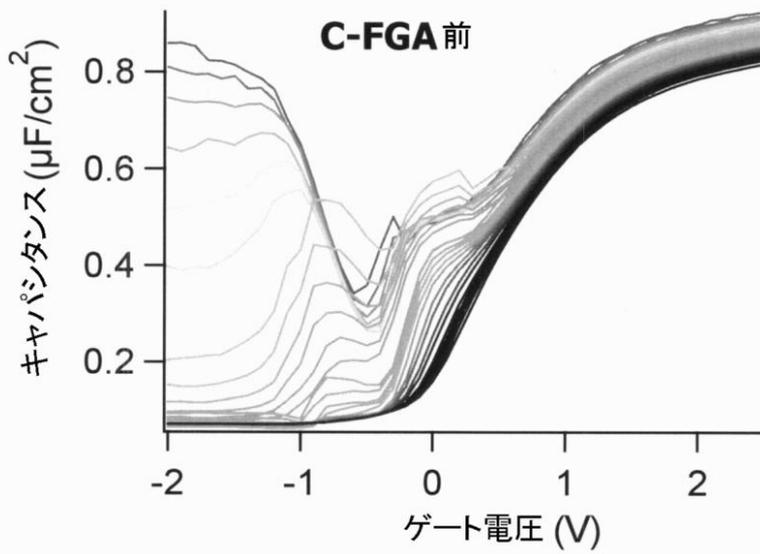
【図 9 A】



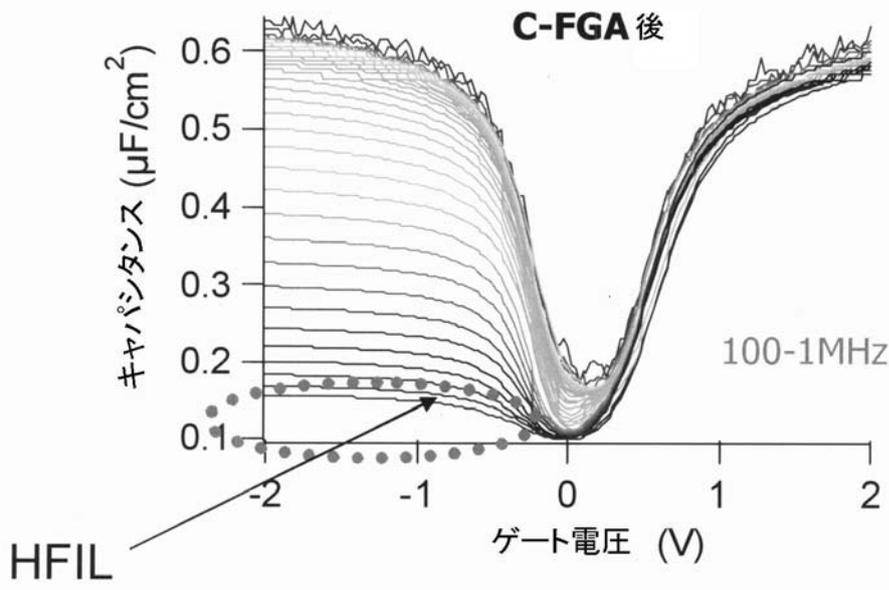
【図 9 B】



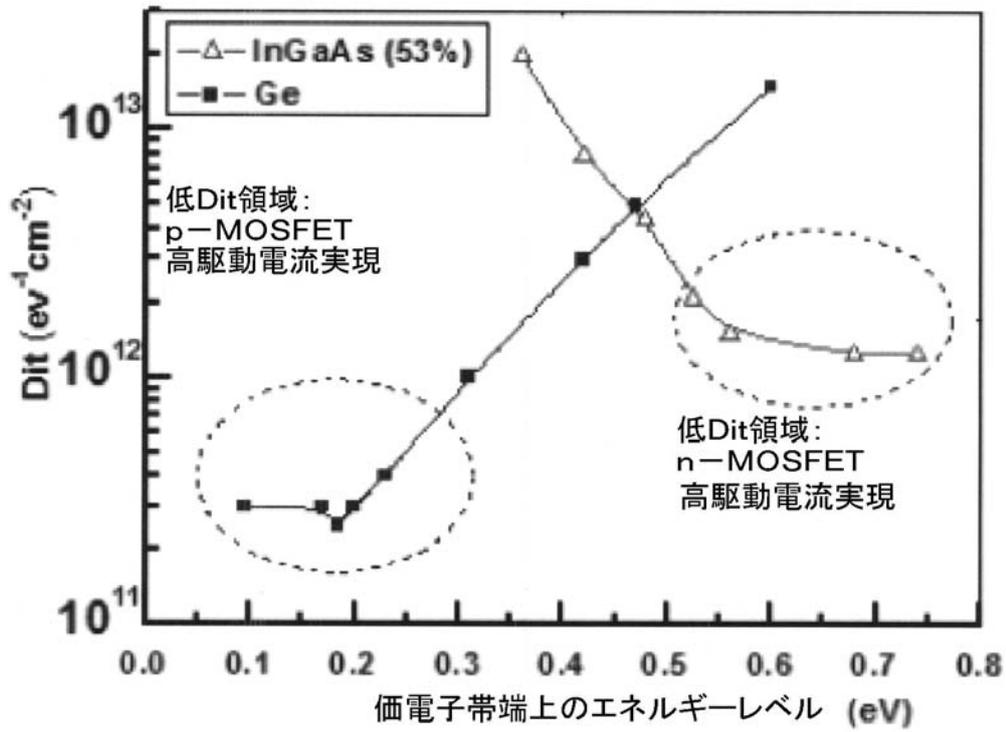
【図 10 A】



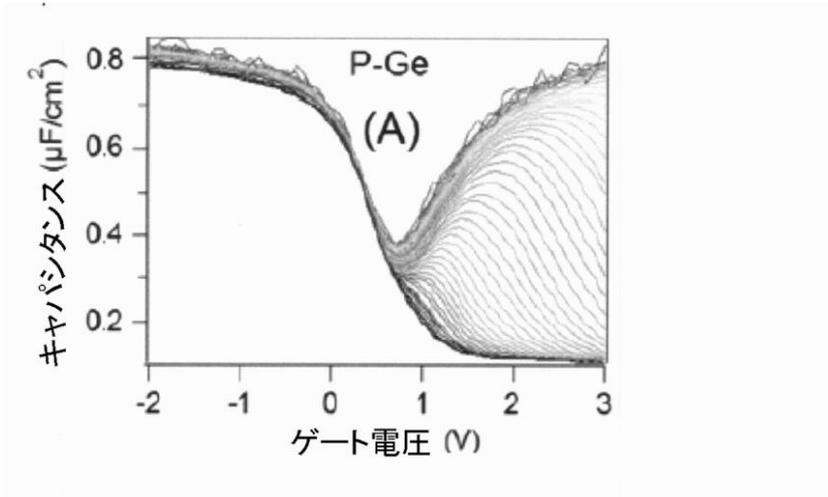
【図10B】



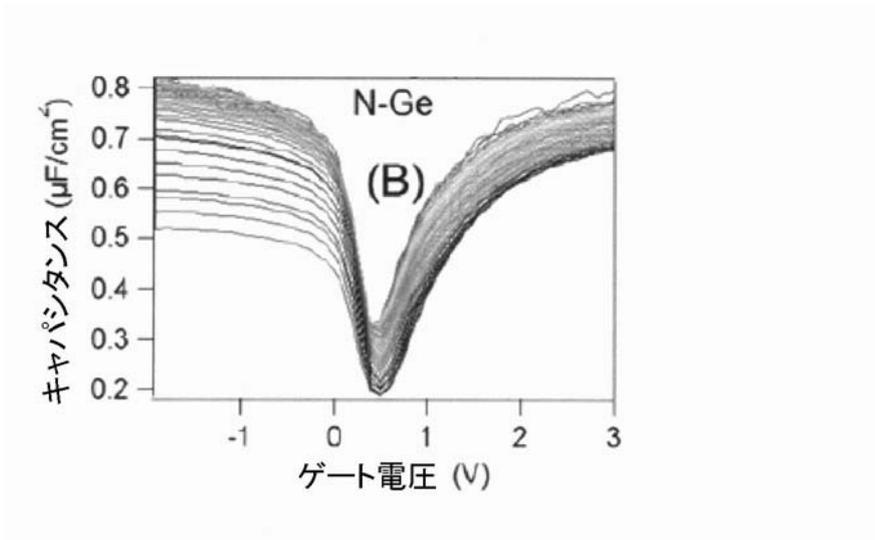
【図11】



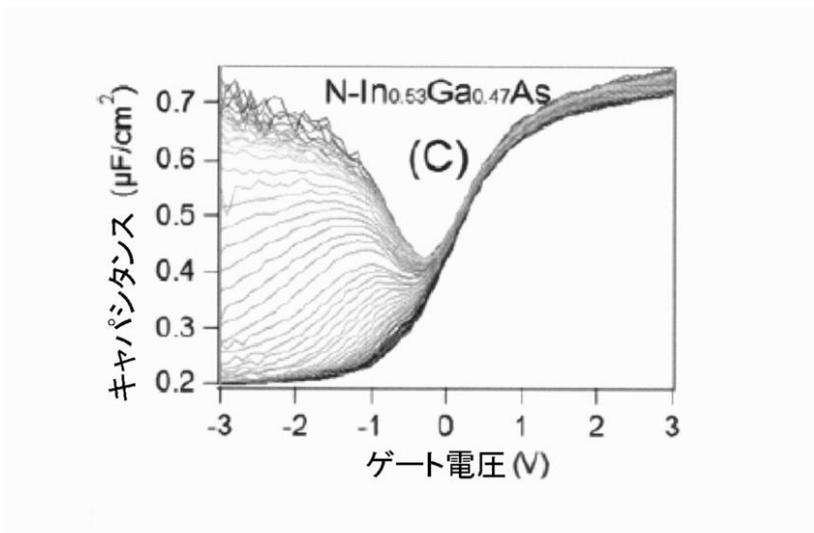
【図 1 3 A】



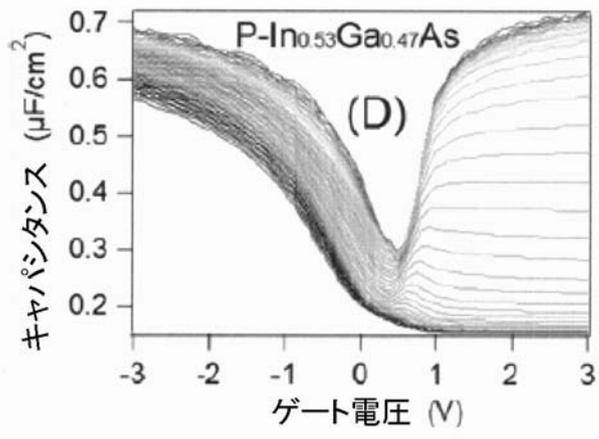
【図 1 3 B】



【図 1 3 C】



【図 13D】



フロントページの続き

(51)Int.Cl.		F I	テーマコード(参考)
H 0 1 L 21/338 (2006.01)		H 0 1 L 21/20	
H 0 1 L 29/778 (2006.01)			
H 0 1 L 29/812 (2006.01)			
H 0 1 L 21/20 (2006.01)			

(72)発明者 ウェイ - イー・ワン
ベルギー、ベ - 3 0 9 0 オーバーアイゼ、スホーヴェリングスボスラーン 8 番

(72)発明者 リン・ハン・チュン
ベルギー、ベ - 3 0 0 0 ルーヴァン、スハーベンストラート 6 6 番、アー 1

(72)発明者 マルク・メーリス
ベルギー、ベ - 3 1 4 0 ケールベルヘン、デー・リーケンスラーン 2 7 番

F ターム(参考) 5F048 AA07 AC03 BA14 BA15 BB04 BB11 BB14
5F102 GB01 GC01 GD10 GL02 GL04 GM04 HC21
5F140 AA00 AA01 AB03 BA01 BA05 BA08 BA09 BB18 BD11 BD12
BD13 BE01 BE09 BF01 BF05 BG30 BG44
5F152 LL09 LN03 LN21 MM01 MM04 MM05 MM16 NN03 NN08 NQ04
NQ06 NQ08

【外国語明細書】

1

IMEC Ref. 2008/109_JPreg1

5 A METHOD FOR REDUCING FERMI-LEVEL-PINNING IN A NON-SILICON
CHANNEL MOS DEVICE

Field

[0001] The present invention relates to the use of high mobility materials such as Ge and III-V compounds (e.g. 10 GaAs or InGaAs) as a channel in a Metal Oxide Semiconductor (MOS) device thereby replacing silicon.

[0002] More particular, the present invention relates to a method for reducing (avoiding) Fermi Level Pinning (FLP) in high mobility materials such as in a Ge or III-V 15 semiconductor compound based channel in a MOS device.

[0003] The present invention further relates to passivation methods which reduces drastically (avoiding) FLP.

State of the art

20 [0004] Continued physical scaling of mainstream silicon CMOS (Complementary Metal Oxide Semiconductor) and MOSFET (Metal Oxide Semiconductor Field effect transistor) technology in general has boosted the performance of the silicon devices in the last 40 years. However, even the 25 benefits of the recently introduced new materials like high-k dielectrics and metal gates cannot guarantee that the race towards smaller devices will still be sustainable in terms of performance enhancement beyond the 22nm node.

[0005] A possible solution, at least for the next 30 technology nodes, could be the introduction of new channel materials with higher carrier mobility. Germanium and III-V compounds such as InSb, InAs, Ge and InGaAs with high

electron mobility are very promising materials and possible solutions for CMOS devices beyond 22nm.

[0006] Development of the III-V compound CMOS devices have been suffering from the Fermi level pinning (FLP) issues for the last four decades. FLP issue, suspected arising from the very high interfacial trap density of III-V compound interface with the gate dielectric, is one of the key showstoppers to refrain III-V CMOS from replacing the conventional Si CMOS. Currently, there are many ways suggested to avoid FLP including chalcogenide passivation, and silicon passivation,... The most popular state of the art technique is the use (deposition) of an interfacial passivation layer (IPL) e.g. Si or Ge in between the high mobility III-V compound semiconductor and the gate dielectric layer. Introduction of an IPL has however many unwanted effects such as a significant reduction in electron mobility of the channel. The physical thickness of interfacial passivation layer inevitably adds extra EOT to the gate stack and has a negative impact to the channel scaling budget (EOT <0.8 nm at 16 nm node). Furthermore, the diffusion of Si or Ge into III-V substrate under high temperature process such as implant activation anneals (>650C) can alter the substrate doping significantly. Finally, the application of more than several nanometers of IPL material (Si or Ge, with 400cm²/eV and 1900cm²/eV electron mobility respectively) will likely degrade the high carrier mobility of the substrate (8000cm²/eV for In_{0.53}Ga_{0.47}As).

[0007] It is a consensus of the industry to date that the optimal removal of FLP in a III-V CMOS device has not yet been achieved and there is still a need for methods which reduce or avoid the Fermi level pinning and at the same time enhances the device performance.

Aims

[0008] The present invention aims to reduce Fermi Level Pinning (FLP) in a high mobility material such as a Ge
5 (SiGe) or III-V semiconductor compound based channel in a MOS device.

[0009] More specifically, the present invention aims to reduce FLP and in the mean time to enhance the device characteristics significantly.

10 [0010] The present invention furthermore aims to integrate InGaAs/Ge for high performance MOS devices with an emphasis on progressive EOT (Equivalent Oxide Thickness) scaling.

15 **Summary**

[0006] The present invention relates to a method for avoiding or at least reducing drastically the Fermi Level Pinning (FLP) effects in new channel materials with higher carrier mobility such as a Ge or III-V compound based
20 channel of a MOS device and thereby improving the device performance drastically. In Ge (SiGe) and III-V based materials said Fermi Level Pinning (FLP) effects are arising from the very high interfacial trap density at the Ge (SiGe) or III-V compound semiconductor interface with
25 the gate dielectric situated above said compound semiconductor.

[0007] Using the method of the invention for reducing (avoiding) the FLP at the interface of the gate dielectric (oxide) and the Ge (SiGe) or III-V semiconductor material
30 such as InGaAs (e.g. $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$), it is furthermore possible to achieve a MOS device with a field-induced surface quantum well.

[0008] Using the method of the invention for reducing (avoiding) the FLP at the interface of the gate dielectric (oxide) and the Ge (SiGe) or III-V channel material such as $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, a high frequency inversion lift (HFIL) is observed on the CV curve because the channel interface has a very low defectivity and high mobility.

[0009] According to preferred embodiments of the invention a method is disclosed to fabricate a device having a channel made of a Ge (SiGe) or III/V semiconductor compound high mobility material thereby avoiding the problem of FLP. Preferably said device is a MOS device comprising a Ge (SiGe) or alternatively a III-V compound based channel or in other words a device utilizing high mobility Ge (SiGe) or III-V materials (such as GaAs or InGaAs) as the channel material and thereby replacing conventionally used silicon based channels. Since the FLP issue is suspected arising from defects in the high mobility material and/or probably due to native oxides on the surface of the Ge (SiGe) or III-V compound semiconductor, it is extremely important to passivate the surface of the III-V compound semiconductor. The method avoids the use (deposition) of an interfacial passivation layer (IPL) (e.g., Si or Ge) in between the high mobility III-V compound semiconductor and the gate dielectric layer.

[0010] The method of the preferred embodiments uses a passivation technique which can not only reduce (eliminate) the FLP but also can enhance the device characteristics significantly.

[0011] The method of preferred embodiments solves the problem of FLP by passivating the high mobility material at the interface of the gate dielectric and the Ge or III-V compound semiconductor and at the same time repairing the defects at said interface. The problem is solved by

performing an atomic hydrogen anneal or a forming gas anneal in the form of a Catalytic Forming Gas Anneal (C-FGA) in order to achieve atomic hydrogen. Said atomic hydrogen anneal is preferably a non-damaging plasma hydrogen anneal such as the use of a remote plasma. Said C-FGA is preferably a FGA performed in the presence of certain noble metals such as Pt or Pd which transforms molecular hydrogen into atomic hydrogen. The atomic hydrogen anneal step is preferably performed before depositing the gate electrode. Alternatively said atomic hydrogen anneal step is performed after depositing the gate electrode or in other words after creation of the MOS structure.

[0012] According to preferred embodiments, a method is disclosed for reducing (avoiding) Fermi Level Pinning in a germanium (Ge, SiGe) or III-V high mobility compound channel of a metal oxide semiconductor (MOS) device, the method comprising at least the steps of:

- providing a high mobility Ge (SiGe) or III-V compound semiconductor on a substrate to form the channel of the MOS device,
- forming a gate dielectric on the compound semiconductor,
- providing a gate electrode onto the gate dielectric to form a gate of the MOS device, and
- performing an anneal with atomic hydrogen for at least 5 minutes.

[0013] According to preferred embodiments, said MOS device may be a MOSCAP, MOSFET, HEMT,... including a high mobility Ge (SiGe) or III-V compound semiconductor based channel which can be a surface channel or a buried channel.

6

[0014] According to preferred embodiments said MOS device is a MOSFET including a high mobility Ge (SiGe) or III-V compound based channel and the method for reducing (avoiding) the FLP effect in said MOSFET comprises at least
5 the steps of:

- forming a high mobility Ge (SiGe) or III-V compound semiconductor on a substrate to form a channel of the MOSFET device,
- 10 - doping a first and second region of the semiconductor compound with a suitable dopant type to form a drain and a source of the MOSFET,
- forming a gate dielectric on the semiconductor compound,
- 15 - providing a gate electrode onto the gate dielectric to form a gate electrode of the MOSFET, and
- perform an anneal using atomic hydrogen for at least 5 minutes..

20 [0015] According to preferred embodiments the substrate is chosen such that a dislocation free growth of the high mobility compound semiconductor onto the substrate is possible.

[0016] According to preferred embodiments the substrate
25 may be made of Si (e.g. a Si wafer), InP, or the like.

[0017] According to preferred embodiments the III-V compound semiconductor is InGaAs, preferably $\text{In}_x\text{Ga}_{1-x}\text{As}$ with $x > 0.5$ and more preferably $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$. The III-V compound semiconductor is preferably lattice matched towards the
30 underlying substrate, e.g. $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ can be grown lattice matched onto a Si substrate using state of the art techniques.

[0018] According to preferred embodiments the compound semiconductor is Ge or $\text{Si}_x\text{Ge}_{1-x}$ with $x < 0.3$. The Ge compound semiconductor is preferably deposited dislocation free onto the underlying substrate. Said substrate may be made of Si, Ge, or the like. Optionally said Ge or $\text{Si}_x\text{Ge}_{1-x}$ is being annealed to achieve a GeO_x (most preferably GeO_2) top surface layer.

[0019] According to preferred embodiments the grown Ge (SiGe) compound semiconductor or III-V compound semiconductor e.g. $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ further undergoes a chalcogenide passivation process in order to remove the native oxides. In case the compound semiconductor is Ge, the formation of a GeO_x (most preferably GeO_2) top surface layer is avoided (not needed). To achieve the chalcogenide passivation the method further includes the step of dipping the substrate in a solution of 40~48% wt%, $(\text{NH}_4)_2\text{S}$ for 5 to 10 minutes and rinse to dry with de-ionized water. Alternatively state of the art H_2S (gas) treatments may be used to perform the chalcogenide passivation. The chalcogenide passivation step is performed before the step of forming a gate dielectric 17 on the Ge (SiGe) or III-V compound semiconductor.

[0020] According to preferred embodiments the step of forming a gate dielectric onto the Ge (SiGe) or III-V compound semiconductor comprises depositing an oxide selected from a group consisting of Al_2O_3 , HfO_2 , ZrO_2 , Ga_2O_3 , Gd_2O_3 , Y_2O_3 , TiO_2 , Ta_2O_5 , La_2O_3 , HfAlO , TiAlO , and $\text{La}_x\text{Al}_{1-x}\text{O}_3$ (LaAlO_3)

[0021] According to preferred embodiments the step of forming a gate dielectric layer onto the Ge (SiGe) or III-V compound semiconductor comprises depositing a layer of Al_2O_3 through atomic layer deposition (ALD) or alternatively Molecular Beam Epitaxy (MBE). The thickness

of the deposited gate dielectric may be in the range of 5nm up to 20nm to fabricate a MOSCAP device and within an EOT thickness < 1nm to fabricate a MOSFET device.

[0022] According to preferred embodiments the step of
5 providing a gate electrode onto the gate dielectric is performed using deposition techniques such as Physical Vapor Deposition (PVD), e-beam evaporation and RF sputtering, or the like. The thickness of the deposited gate electrode structure may be in the range of 50nm up to
10 200nm. The gate electrode (metal) layer is subsequently patterned to form a gate electrode structure using state of the art patterning techniques to achieve the suitable gate structure.

[0023] According to preferred embodiments the step of
15 performing the hydrogen anneal is performed using atomic hydrogen anneal e.g. using a remote plasma with 10%-100% atomic hydrogen in an inert carrier gas, preferably at a temperature in the range of 200°C up to 500°C, more preferred in the range of 300 °C up to 500°C for about at
20 least 5 up to 30 minutes. This method is non-destructive compared to state of the art techniques used to passivate the Ge (SiGe) or III-V compound semiconductor e.g. using a plasma treatment involving energy bombardment. Compared to
25 state of the art MOS devices having a Ge or III-V compound semiconductor channel this is the first time the FLP is reduced and almost eliminated using an ex-situ "repair" method without the need to deposit an extra interfacial layer made of a different material.

[0024] According to preferred embodiments the step of
30 performing the hydrogen anneal is performed using C-FGA in combination with noble metals such as Pt and Pd, whereby said noble metals are acting as a catalyst to dissociate molecular hydrogen into atomic hydrogen. Said C-FGA is

preferably performed at a temperature in the range of 200°C up to 500°C, more preferred in the range of 300 °C up to 500°C for about at least 5 up to 30 minutes.

[0025] According to preferred embodiments the step of performing the hydrogen anneal is performed using C-FGA which is performed after depositing a gate electrode onto said gate dielectric and wherein said gate electrode is comprising a noble metal such as Pt or Pd which transforms molecular hydrogen into atomic hydrogen.

[0026] According to an alternative and also preferred embodiment the step of performing the atomic hydrogen anneal is performed using deuterium (e.g. 10%-100%), preferably at a temperature in the range of 200°C up to 500°C, more preferred between 300°C up to 400°C for about at least 5 up to 30 minutes.

[0027] According to preferred embodiments, a method is disclosed of forming a MOS device including a high mobility Ge (SiGe) or III-V compound semiconductor based channel whereby a field-induced surface quantum well is created at the interface between the Ge (SiGe) or III-V compound and the gate dielectric.

[0028] Using the method of the preferred embodiments a high frequency inversion lift (HFIL) is observed on the CV curve because the channel interface has a very low defectivity and high mobility. The obtained high mobility MOS device has a high frequency inversion lifting (HFIL) in the range of 10% up to 20%.

[0029] According to preferred embodiments a MOS device is disclosed comprising a high mobility III-V semiconductor compound based channel wherein a (surface) quantum well is created and observed at the gate dielectric - semiconductor compound based channel interface. Said device comprises at least:

10

- a substrate,
- an $\text{In}_x\text{Ga}_{1-x}\text{As}$ (with $x > 0.5$) and more preferably $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound channel formed (dislocation free) on the substrate, and
- 5 - a gate dielectric being formed on the $\text{In}_x\text{Ga}_{1-x}\text{As}$ semiconductor compound channel, and
- a gate electrode being deposited on the gate dielectric.

[0030] According to preferred embodiments said MOS
10 device comprising a high mobility $\text{In}_x\text{Ga}_{1-x}\text{As}$ (preferably $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) semiconductor compound based channel having a (surface) quantum well further comprises a first and second region within the $\text{In}_x\text{Ga}_{1-x}\text{As}$ semiconductor compound which is doped with an n-type dopant to form a source and drain of
15 the MOS device and an $\text{In}_x\text{Ga}_{1-x}\text{As}$ semiconductor compound channel which is being doped with a p-type dopant to form an N-MOS device with a (surface) quantum well.

[0031] According to an alternative and also preferred
20 embodiment a MOS device is disclosed comprising a high mobility Ge (SiGe) semiconductor compound based channel wherein a (surface) quantum well is created and observed at the gate oxide - semiconductor compound based channel interface. Said device preferably comprises:

- a substrate,
 - 25 - a Ge or SiGe semiconductor compound channel formed on the substrate optionally being annealed to form a thin GeO_x surface layer on top of the semiconductor compound, and
 - a gate dielectric being formed on the Ge (SiGe) semiconductor compound, and
 - 30 - a gate electrode being deposited on the gate dielectric.
-

[0032] According to preferred embodiments said MOS device comprising a high mobility Ge (SiGe) semiconductor compound based channel having a (surface) quantum well further comprises a first and second region within the Ge (SiGe) semiconductor compound which is doped with a p-type dopant to form a source and drain of a MOS device and a Ge (SiGe) semiconductor compound channel which is being doped with an n-type dopant to form a P-MOS device.

[0033] According to preferred embodiments a high mobility CMOS device is disclosed comprising a high mobility P-MOSFET and a high mobility N-MOSFET. Said CMOS device is preferably comprising a Ge (SiGe) semiconductor compound P-MOSFET wherein the source and drain regions are doped with a p-type dopant. Said CMOS device is preferably further comprising a $\text{In}_x\text{Ga}_{1-x}\text{As}$ (preferably $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) semiconductor compound N-MOSFET wherein the source and drain regions are doped with an n-type dopant.

[0034] According to preferred embodiments a field-induced surface quantum well is achieved within the high mobility MOS device by passivating the interface between the gate oxide and the semiconductor compound. Said passivation is performed using the method of the preferred embodiments making use of an anneal process with atomic hydrogen. Said hydrogen anneal may be C-FGA (molecular hydrogen) in combination with a noble metal, alternatively atomic hydrogen may be used. The hydrogen anneal may be performed before or after the step of depositing the gate electrode.

[0035] Particular and preferred aspects are set out in the accompanying independent and dependent claims. Features from the dependent claims may be combined with features of the independent claims and with features of other dependent

claims as appropriate and not merely as explicitly set out in the claims.

[0036] Although there has been constant improvement, change and evolution of devices in this field, the present
5 concepts are believed to represent substantial new and novel improvements, including departures from prior practices, resulting in the provision of more efficient, stable and reliable devices of this nature.

[0037] The above and other characteristics, features and
10 advantages of the present invention will become apparent from the following detailed description, taken in conjunction with the accompanying drawings, which illustrate, by way of example, the principles of the preferred embodiments. This description is given for the
15 sake of example only, without limiting the scope of the preferred embodiments. The reference figures quoted below refer to the attached drawings.

Brief description of the figures

20 [0038] Exemplary embodiments are illustrated in referenced figures of the drawings. It is intended that the embodiments and figures disclosed herein are to be considered illustrative rather than restrictive.

[0039] Figure 1 illustrates a suitable MOS capacitor
25 stacks according to preferred embodiments.

[0040] Figures 2A-2H illustrate the process flow according to preferred embodiments of invention to fabricate a metal oxide semiconductor field-effect transistor (MOSFET) including a high mobility Ge or III-V
30 compound based channel thereby avoiding (eliminating) the FLP effect.

[0041] Figure 3 illustrates the capacitance-voltage (C-V) curve for a MOS capacitor sample having a 10nm Al₂O₃/p-

13

type doped $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ stack without the atomic hydrogen anneal (FGA) treatment (PRIOR ART).

[0042] Figure 4 illustrates the capacitance-voltage (C-V) curve for a MOS capacitor sample having a 10nm Al_2O_3 /p-type doped $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ stack with a Pd gate on top of it after hydrogen anneal (C-FGA) according to preferred embodiments of the preferred embodiments of the invention. The HFIL is indicated in Figure 4.

[0043] Figure 5 (PRIOR ART) illustrates the CV curve of a device having an 8 nm Al_2O_3 /p-type doped $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ stack according to conventional capacitance/voltage characteristic interpretations without taking the adaptations according to Martens et al. into account.

[0044] Figure 6 illustrates a CV curve according to preferred embodiments of the invention for an $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS capacitor illustrating true inversion response and having a bias independent characteristic at inversion. The MOS capacitor was measured from 1KHz to 1MHz, with a total of 30 frequencies.

[0045] Figure 7 illustrates the MOSFET Inversion circuit model (PRIOR ART). The resistive element R models the 'communication path' between the majority carrier band and the minority carrier band.

[0046] Figures 8A-8B illustrate gate dielectric (oxide)-InGaAs field-induced surface quantum well formation in a III/V MOS capacitor comprising MOSFET stack according to preferred embodiments of invention.

[0047] Figures 9A-9B illustrate Ge field-induced surface quantum well formation in a high mobility Ge MOS capacitor stack according to preferred embodiments of invention. Figure 9A illustrates the behaviour at 1MHz without performing the C-FGA; Figure 9B illustrates the behaviour at 1MHz after performing the C-FGA according to preferred

embodiments of the preferred embodiments thereby illustrating a true inversion at 1MHz and formation of a field-induced surface quantum well.

[0048] Figure 10 illustrates a CV curve for a Ge MOS capacitor. Figure 10A illustrates the CV curve for a Ge MOS capacitor without performing a C-FGA and Figure 10B illustrates the CV curve for a Ge MOS capacitor after performing the C-FGA according to preferred embodiments of the preferred embodiments showing a true inversion response and a bias independent characteristic at inversion. The MOS capacitor was measured from 1KHz to 1MHz, with a total of 30 frequencies.

[0049] Figure 11 illustrates D_{it} distributions of the Ge and InGaAs MOSCAPs according to preferred embodiments of invention.

[0050] Figure 12 illustrates Id-Vd plots of a 1.5 μm Ge P-MOSFET and InGaAs N-MOSFET according to preferred embodiments of invention.

[0051] Figure 13 illustrates C-V curves of Ge and InGaAs MOSCAPs according to preferred embodiments of invention. Figure 13 illustrates a p-type Ge MOSCAP (Figure 13A), a n-type Ge MOSCAP (Figure 13B), an InGaAs n-type MOSCAP (Figure 13C) and an InGaAs n-type MOSCAP (Figure 13D).

25

Detailed description

[0052] Embodiments of the present invention will be described with respect to particular embodiments and with reference to certain drawings but the invention is not limited thereto but only by the claims. The drawings described are only schematic and are non-limiting. In the drawings, the size of some of the elements may be exaggerated and not drawn to scale for illustrative

purposes. The dimensions and the relative dimensions do not correspond to actual reductions to practice of the invention.

[0053] Furthermore, the terms first, second, third and
5 the like in the description and in the claims, are used for
distinguishing between similar elements and not necessarily
for describing a sequential or chronological order. It is
to be understood that the terms so used are interchangeable
under appropriate circumstances and that the embodiments of
10 the invention described herein are capable of operation in
other sequences than described or illustrated herein.

[0054] Moreover, the terms top, bottom, over, under and
the like in the description and the claims are used for
descriptive purposes and not necessarily for describing
15 relative positions. It is to be understood that the terms
so used are interchangeable under appropriate circumstances
and that the embodiments of the invention described herein
are capable of operation in other orientations than
described or illustrated herein.

20 [0055] Whenever reference is made hereinafter to a
particular dopant type, this is done for the ease of
explanation only and is not intended to limit the invention.
It is to be understood that in the examples given herein
below, materials and dopant types may be replaced by other
25 suitable materials and dopant types, without changing the
invention.

[0056] It is to be noticed that the term "comprising",
used in the claims, should not be interpreted as being
restricted to the means listed thereafter; it does not
30 exclude other elements or steps. It is thus to be
interpreted as specifying the presence of the stated
features, integers, steps or components as referred to, but
does not preclude the presence or addition of one or more

other features, integers, steps or components, or groups thereof. Thus, the scope of the expression "a device comprising components A and B" should not be limited to devices consisting only of components A and B. It means
5 that with respect to the present invention, the only relevant components of the device are A and B.

[0057] Reference is made through the application to the term EOT (Equivalent Oxide Thickness) which refers to a distance, usually given in nanometers (nm), which indicates
10 how thick a silicon oxide film would need to be to produce the same effect as when a high-k material is being used.

[0058] Reference is made through the application of the phenomenon "High frequency inversion lift" (referred to as HFIL) which is the phenomenon in which the CV reveals a
15 step up (lift) at the strong inversion even at high frequency. HFIL can be quantified as a ratio of C_{inv} increment at strong inversion with respect to C_{ox} , i.e., $HFIL = ((C_{inv} - C_{min}) / C_{ox})$, where C_{min} is the minimum capacitance observed at deep depletion. For a prior art Si MOS-CAP the
20 HFIL=0 at about 100 Hz. Using the method of the preferred embodiments (after C-FGA) on a high mobility InGaAs MOS-CAP the HFIL is ~0.2 at 1MHz and on a high mobility Ge MOS-CAP the HFIL~0.1 at 1MHz.

[0059] Reference is made through the application of
25 the process "Catalytic Forming Gas Anneal" (referred to as C-FGA). This is an hydrogen anneal treatment technique (using Pd or Pt as catalytic) used to reveal the above HFIL

[0060] Reference is made towards group III/V compound semiconductor materials, this refers to materials
30 comprising In, Ga, As, Sb, Al, P, B, N and the binary, tertiary or quaternary compounds thereof such as InGaAs.

[0061] It is further to be noticed that the term "quantum well" refers to a thin surface layer which can

confine (quasi-)particles (typically electrons or holes) in the dimension perpendicular to the layer surface, whereas the movement in the other dimensions is not restricted. The confinement itself is referred to as a quantum effect.

5 [0062] The invention will now be described by a detailed description of several embodiments of the preferred embodiments. It is clear that other embodiments of the preferred embodiments can be configured according to the knowledge of persons skilled in the art without
10 departing from the true spirit or technical teaching of the preferred embodiments, the invention being limited only by the terms of the appended claims.

[0063] At least some preferred embodiments are concerned with the problem of Fermi Level pinning (FLP) effects in high mobility materials (such as a Ge (SiGe) or
15 III-V compounds) which are used as a channel in a MOSFET device.

[0064] The invention discloses a passivation method to reduce drastically (avoiding) FLP and repair defects at the
20 interface of the Ge (SiGe) or III-V compound semiconductor channel and the gate dielectric 3 of a MOS device (see Figure 1). The preferred embodiments further discloses a MOS device comprising a high mobility Ge (SiGe) or III-V compound semiconductor channel using the passivation method
25 of the preferred embodiments.

[0065] Preferred embodiments relates to a MOS device using the passivation method of the preferred embodiments having a p-In_{0.53}Ga_{0.47}As compound semiconductor channel whereby high frequency inversion lift is observed and a
30 field-induced surface quantum well is created at the interface of the gate dielectric / In_{0.53}Ga_{0.47}As channel.

[0066] Preferred embodiments relates to a MOS device using the passivation method of the preferred embodiments

having a n- Ge compound semiconductor channel whereby high frequency inversion lift is observed and a field-induced surface quantum well is created at the interface of the gate dielectric / Ge channel.

5 [0067] According to preferred embodiments, a method is provided which aims at reducing drastically (preferably avoiding) Fermi Level pinning effects in a high mobility MOS device by passivating the interface of the Ge (SiGe) or
10 III-V compound semiconductor based channel with the gate dielectric. The method of the preferred embodiments is able to reduce (avoid) FLP in a Ge (SiGe) or III-V compound based channel (more specifically at the interface with the gate dielectric) such as e.g. $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ and in the mean
15 time is able to enhance the device characteristics significantly.

[0068] The passivation method according to the invention is based on a hydrogen passivation treatment performed on the interface of the Ge (SiGe) or III-V compound based channel with the gate dielectric. Said hydrogen
20 passivation is based on atomic hydrogen.

[0069] In case a Forming Gas Anneal (FGA) is used, Catalytic-FGA (C-FGA) is used. To achieve C-FGA a catalyst to convert molecular hydrogen into atomic hydrogen must be present. Said atomic hydrogen can penetrate through the
25 gate dielectric and subsequently repair defects at the interface of the Ge (SiGe) or III-V compound based channel with the gate dielectric and passivate the Ge (SiGe) or III-V compound at the interface. In case atomic hydrogen is used, there is no need to have a catalyst (e.g. noble
30 metal).

[0070] According to an alternative and also preferred embodiment the step of performing the atomic hydrogen anneal is performed using deuterium (e.g. 10%-100%),

preferably at a temperature in the range of 200°C up to 500°C, more preferred between 300°C up to 400°C for about at least 5 up to 30 minutes. The use of deuterium as an alternative for hydrogen is due to its chemical
5 similarities to hydrogen. In addition, deuterium may also have other desirable bonding properties, as seen in the Si channel CMOS.

[0071] The passivation method according to a preferred embodiment is illustrated in Figures 2A up to 2H. The
10 method starts with the step of forming a Ge (SiGe) or III-V compound semiconductor 11 onto a substrate 10 to form a channel of the MOS device as illustrated in Figure 2A.

[0072] According to preferred embodiments said substrate is chosen such that dislocation free growth of
15 the compound semiconductor is possible. Said substrate may be InP, Si, or the like.

[0073] According to preferred embodiments said III-V compound semiconductor 11 is InGaAs, preferably $\text{In}_x\text{Ga}_{1-x}\text{As}$ with $x > 0.5$ and more preferably $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$. The III-V
20 compound semiconductor is preferably lattice matched towards the underlying substrate, e.g. $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ can be grown lattice matched (dislocation free) onto the substrate. Using state of the art techniques it is also possible to grow $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ dislocation free onto a Si substrate.

25 [0074] According to preferred embodiments said Ge compound semiconductor 11 is Ge or $\text{Si}_x\text{Ge}_{1-x}$ with $x < 0.3$.

[0075] According to preferred embodiments said grown Ge (SiGe) or III-V semiconductor compound 11 e.g. $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ may undergo a chalcogenide passivation process
30 to remove the native oxides. To achieve the chalcogenide passivation a further step of dipping the substrate in a solution of 40~48% wt %, $(\text{NH}_4)_2\text{S}$ solution for 5 to 10 minutes and rinse to dry with de-ionized water is applied.

Alternatively state of the art H₂S (gas) treatments may be used to perform the chalcogenide passivation. The chalcogenide passivation step is preferably performed before the step of forming a gate dielectric 15 on the compound semiconductor 11.

[0076] According to alternative and also preferred embodiments the Ge semiconductor compound 11 is annealed to form a thin surface (top) layer made of GeOx (preferably GeO₂). GeOx grown naturally in air (with moisture) is very bad and not preferred. A GeOx top surface grown by using an oxygen plasma or ozone is preferred. In case a thin surface (top) layer made of GeOx is grown, no chalcogenide passivation process is performed.

[0077] According to preferred embodiments and in a next step a first and second region 16 of the semiconductor compound are defined using conventional state of the art patterning techniques making use of a patterned photosensitive layer 15 on top of the Ge (SiGe) or III-V compound semiconductor and doped 14 with a second dopant type to form a drain and a source 16 of the MOSFET as illustrated in Figures 2B and 2C.

[0078] According to preferred embodiments and in case an N-MOSFET needs to be formed, a first and second region of the Ge (SiGe) or III-V compound semiconductor are doped with a n-type dopant type to form a drain and a source 16 of the N-MOSFET.

[0079] According to preferred embodiments and in case a P-MOSFET needs to be formed, a first and second region of the Ge (SiGe) or III-V compound semiconductor are doped with a p-type dopant type to form a drain and a source 16 of the P-MOSFET.

[0080] According to preferred embodiments and in a next step, a gate dielectric layer 17 is formed on the Ge

21

(SiGe) or III-V compound semiconductor compound **11** using preferably atomic layer deposition as illustrated in Figure 2D. The step of forming a gate dielectric layer onto the Ge (SiGe) or III-V compound semiconductor preferably
5 comprises depositing an oxide selected from a group consisting of Al_2O_3 , HfO_2 , ZrO_2 , Ga_2O_3 , Gd_2O_3 , Y_2O_3 , TiO_2 , Ta_2O_5 , La_2O_3 , HfAlO , TiAlO , and $\text{La}_x\text{Al}_{1-x}\text{O}_3$ (LaAlO_3). More preferably the step of forming a gate dielectric layer **17** onto the Ge (SiGe) or III-V compound semiconductor **11**
10 comprises depositing a layer of Al_2O_3 on the InGaAs compound e.g. $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ through atomic layer deposition. The thickness of the deposited gate dielectric layer may be in the range of 10nm.

[0081] According to preferred embodiments and in a
15 next step, as illustrated in Figure 2E, a gate electrode layer **18** is deposited onto the gate dielectric layer **17**. Said gate electrode layer is preferably performed using deposition techniques such as Physical Vapour Deposition (PVD), e-beam evaporation, or the like. The thickness of
20 the deposited gate dielectric structure may be in the range of 50nm up to 200nm.

[0082] According to preferred embodiments and in a next step, as illustrated in Figure 2F, the gate electrode layer **18** is patterned using state of the art patterning
25 techniques to form a gate electrode **20** of the MOSFET.

[0083] According to preferred embodiments and in a next step, the passivating technique is performed using an atomic hydrogen anneal **21**. Said hydrogen anneal **21** is preferably performed for at least 5 minutes (e.g. 30
30 minutes). As an alternative, atomic hydrogen may be used but this is a more complicated and expensive method.

[0084] According to preferred embodiments the step of performing the atomic hydrogen anneal **21** is performed at a

22

temperature in the range of 200°C up to 500°C, more preferred in the range of 300 °C up to 500°C for about at least 5 up to 30 minutes. This method is non-destructive compared to state of the art techniques used to passivate the Ge (SiGe) or III-V compound semiconductor e.g. using a plasma treatment involving energy bombardment. The atomic hydrogen anneal 21 step is preferably performed ex-situ and independent of the gate oxide deposition step. The presence of atomic hydrogen is essential and makes it possible to migrate (diffuse) through the gate oxide (dielectric) layer such that it can repair the defects and passivate the interface of the Ge (SiGe) or III-V semiconductor compound with the gate oxide layer.

[0085] According to an alternative and also preferred embodiment the step of performing the FGA is performed using deuterium, preferably at a temperature in the range of 200°C up to 500°C, more preferred between 300°C up to 400°C for about at least 5 up to 30 minutes.

[0086] According to preferred embodiments a high mobility MOS device is disclosed using the method of the preferred embodiments to passivate the interface of a Ge (SiGe) or III-V compound based channel with the gate dielectric (see Figure 1). Said device comprises at least:

- a substrate 1,
- a Ge (SiGe) or III/V compound semiconductor channel 2 formed on the substrate, and
- a gate dielectric 3 formed on the Ge (SiGe) or III/V compound semiconductor channel, and
- a gate electrode 4 being formed on top of the gate dielectric,

Characterized in that the HFIL is in the range of 10% up to 20%.

[0087] According to preferred embodiments said high mobility MOS device is having a passivated gate dielectric / Ge or III/V semiconductor compound interface using the hydrogen anneal of the preferred embodiments as described
5 above. Using the hydrogen anneal makes it possible to achieve a HFIL in the range of 10% up to 20%.

[0088] According to preferred embodiments a HFIL in the range of 20% is achieved for a high mobility MOSFET comprising at least:

- 10 - a substrate,
- an $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound formed on the substrate
- a channel being formed in said $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound,
- 15 - a first region within the $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound doped with an n type dopant to form a drain of the MOSFET and a second region within the $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound doped with an n type
20 dopant to form a source of the MOSFET such that an N-MOSFET is formed, and
- a gate dielectric selected from Al_2O_3 formed on the $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound, and
- 25 - a gate electrode being formed on top of the gate dielectric,

provided that the interface of the gate dielectric/ $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound is annealed using atomic hydrogen as described in preferred embodiments of the invention.

30 [0089] Said Figure 4 illustrates the capacitance-voltage (C-V) curve for a MOS capacitor sample having a 10nm Al_2O_3 /p-type doped $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ stack with a Pd gate on

top of it after hydrogen anneal (C-FGA) according to preferred embodiments of the preferred embodiments. The HFIL is indicated in Figure 4. Similar results are expected for a MOSFET device.

5 [0090] A HFIL in the range of 10% is achieved for a high mobility MOSFET comprising at least

- a substrate,
 - a Ge (SiGe) semiconductor compound formed on the substrate,
 - 10 - a channel being formed in said Ge (SiGe) semiconductor compound,
 - a first region within the Ge (SiGe) semiconductor compound doped with a p type dopant to form a drain of the MOSFET and a
 - 15 second region within the Ge (SiGe) semiconductor compound doped with a p type dopant to form a source of the MOSFET such that an P-MOSFET is formed, and
 - a gate dielectric selected from Al_2O_3 formed on
 - 20 the Ge semiconductor compound, and
 - a gate electrode being formed on top of the gate dielectric,
- provided that the interface of the gate dielectric/ semiconductor compound is annealed using
- 25 atomic hydrogen as described in preferred embodiments of the invention.

[0091] Figure 10B illustrates the capacitance-voltage (C-V) curve for a MOS capacitor sample having a 10nm Al_2O_3 /p-type doped Ge stack with a Pd gate on top of it

30 after hydrogen anneal (C-FGA) according to preferred embodiments of the preferred embodiments. The HFIL is

indicated in Figure 10B. Similar results are expected for a MOSFET device

[0092] According to preferred embodiments a method is disclosed which aims at reducing (avoiding) Fermi Level pinning effects in a high mobility MOSFET by passivating the interface of a Ge or III-V compound based channel with the gate dielectric and in the meantime creating a (surface) quantum well at the interface of the Ge or III-V compound based channel with the gate dielectric. This means the carriers (electron) at the interface are acting as a 2 Dimensional electron gas (2 DEG). Compared to state of the art MOSFET as well as HEMT (high electron mobility transistor) structures based on III-V compound semiconductors it is the first time a field-induced surface quantum well is created and observed at the oxide-III-V interface. A large semiconductor band-bending at the oxide-high mobility channel interface forms a quantum well structure which confines free electrons (2DEG). The treatment method of the preferred embodiments has effectively passivated the upper-half of e.g. InGaAs (alternatively Ge) bandgap, which allows the InGaAs (Ge) surface Fermi-level to reach the conduction band edge resulting in large band-bending and the subsequent surface quantum well.

[0093] Using the method according to preferred embodiments to passivate the Ge or III-V compound interface using atomic hydrogen makes it possible to reduce electron trap densities to a level at which the Fermi-level could move very close to the conduction band edge, giving rise to large band bending ($> 0.7\text{eV}$) and sharp quantum well at the gate oxide - high mobility channel interface (e.g. $\text{Al}_2\text{O}_3/\text{p-In}_{0.53}\text{Ga}_{0.47}\text{As}$ interface). In this case, the minority carriers are confined in the surface quantum well and form

a very large inversion capacitance. The semi-conductor Fermi-Level at the $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ interface is not only unpinned, but can move across the upper half of the bandgap (0.38-0.7eV).

5 [0094] Figure 1 illustrates a MOS stack suitable for creating a high mobility MOSFET with a surface quantum well at the interface of the Ge or III-V compound based channel with the gate dielectric.

[0095] According to preferred embodiments, the stack
10 suitable for creating a high mobility MOSFET with a field-induced surface quantum well is formed onto a suitable substrate **1**. Said stack is preferably comprising a $1\mu\text{m}$ thick InGaAs ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) compound semiconductor layer **2** with a 10nm ALD or MBE deposited gate dielectric layer
15 (Al_2O_3) **3** on top of the InGaAs ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) compound semiconductor layer. Said InGaAs ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) compound semiconductor layer **2** may be optionally pretreated by dipping in a $(\text{NH}_4)_2\text{S}$ solution. On top of the Al_2O_3 gate dielectric layer a gate electrode **4** is provided, said gate
20 electrode is preferably made of a noble metal selected from Pt and/or Pd.

[0096] According to preferred embodiments, a high mobility MOSFET device comprising a field-induced surface quantum well at the gate dielectric / high mobility
25 compound semiconductor (Ge or III/V) interface is disclosed using the hydrogen annealing method of the preferred embodiments as described in previous embodiments to avoid Fermi level pinning effects. Using said method in combination with a specific gate dielectric - high mobility
30 compound semiconductor stack (Ge or III/V) it is possible to create a (surface) quantum well at the interface of the gate dielectric / compound semiconductor. The metal oxide semiconductor field-effect transistor (MOSFET) disclosed is

27

preferably comprising a high mobility compound based channel selected from Ge or $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, a gate dielectric wherein a (surface) quantum well is created and observed at the gate oxide- semiconductor compound based channel
5 interface.

[0097] According to preferred embodiments, a MOSFET device comprising a high mobility III-V compound based channel is disclosed having a (surface) quantum well (also referred to as a high mobility MOSFET having a field-
10 induced surface quantum well). Said device preferably comprises at least:

- a substrate,
- an $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound formed on the substrate
- 15 - a channel being formed in said $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound,
- a first region within the $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound doped with a second dopant type to form a drain of the MOSFET and a
20 second region within the $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound doped with the second dopant type to form a source of the MOSFET, and
- a gate dielectric being formed on the $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound through
25 atomic layer deposition, and
- a gate electrode being formed on top of the gate dielectric.

[0098] According to preferred embodiments the high
30 mobility N-MOSFET having a field-induced surface quantum well is having a substrate with an InGaAs ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) semiconductor compound formed on the substrate, a first

region within the InGaAs ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) semiconductor compound being doped with an n-type dopant to form the drain of the N-MOSFET and a second region within the InGaAs ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) semiconductor compound being doped with an n-type dopant to form the source of the N-MOSFET.

[0099] According to an alternative preferred embodiment, a MOSFET device comprising a high mobility Ge (SiGe) compound based channel is disclosed having a (surface) quantum well (also referred to as a high mobility MOSFET having a (field-induced) surface quantum well) Said device is preferably comprising at least:

- a substrate,
- a Ge semiconductor compound formed on the substrate,
- 15 - a channel being formed in said Ge (SiGe) semiconductor compound,
- a first region within the Ge (SiGe) semiconductor compound doped with a second dopant type to form a drain of the MOSFET and a second region within the Ge semiconductor compound doped with the second dopant type to form a source of the MOSFET, and
- 20 - a gate dielectric being formed on the Ge semiconductor compound through atomic layer deposition, and
- 25 - a gate electrode being formed on top of the gate dielectric.

[00100] According to preferred embodiments the high mobility P-MOSFET having a field-induced surface quantum well is having a substrate with Ge (SiGe) semiconductor compound formed on the substrate, a first region within the

Ge (SiGe) semiconductor compound being doped with an p-type dopant to form the drain of the P-MOSFET and a second region within the Ge (SiGe) semiconductor being doped with a p-type dopant to form the source of the P-MOSFET.

5 [00101] According to preferred embodiments, the gate electrode in the high mobility MOSFET having a field-induced surface quantum well is selected from a noble metal and the interface of the gate dielectric / high mobility compound is passivated using C-FGA as described in previous
10 embodiments.

[00102] According to preferred embodiments, the gate electrode in the high mobility MOSFET having field-induced surface quantum well is selected from a metal and the interface of the gate dielectric / high mobility compound
15 semiconductor is passivated using atomic hydrogen as described in previous embodiments.

[00103] According to preferred embodiments the surface quantum well is achieved within the high mobility MOSFET device by passivating the interface between the gate oxide
20 and the high mobility semiconductor compound. Said passivation is performed using the method of the preferred embodiments making use of atomic hydrogen.

[00104] Alternatively and also preferred, the hydrogen anneal is applied twice, a first hydrogen anneal step
25 before depositing the gate electrode and a second hydrogen anneal step after depositing the gate electrode or in other words after creation of the MOSFET structure. In yet another alternative the hydrogen anneal is applied before depositing the gate electrode.

30

EXAMPLES

Example 1: The proof of a field-induced surface quantum well at the gate oxide-InGaAs interface

[00105] The measured inversion capacitance due to minority carrier response (generation-recombination or diffusion) becomes independent of gate bias as soon as the gate bias moves past the CV D_{it} bump. This behaviour is illustrated in the measured CV traces (from 1KHz to 1MHz) plotted in Figure 6 for a high mobility p-type $In_{0.53}Ga_{0.47}As$ MOS capacitor. The gate bias independence is the signature of true MOS capacitor inversion behaviour. Equivalent MOS capacitor inversion circuits are shown in Figure 7 explaining the inversion CV traces seen in Figure 6. Figure 6 illustrates CV traces of a p-type $In_{0.53}Ga_{0.47}As$ MOS capacitor illustrating true inversion response. A bias independent characteristic at inversion has to be noticed. The MOS capacitor was measured from 1KHz to 1MHz, with a total of 30 frequencies.

[00106] At weak inversion, the minority carriers attracted to the InGaAs surface form finite inversion capacitance C_{INV} , in parallel with interface trap capacitance C_{IT} and depletion capacitance C_D as shown by the left-hand side circuit of Figure 7. Notice that C_{INV} and C_{IT} are not directly interacting with the majority carrier band and the back contact. Because of their minority carrier nature, C_{INV} and C_{IT} interact with the majority carrier band (back contact) via a virtual 'communication path' across the bandgap. That is, the back contact and the majority carrier band communicate with the minority carrier band through generation-recombination or diffusion processes. This communication path can be modelled as electrical current passing through a resistive element R . This resistive element R represents the collective effects of

31

minority carrier diffusion (as for $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ and Ge at room temperature) and/or generation/recombination (as the case for Si at room temperature). Notice that R is frequency, temperature and substrate dependent.

5 [00107] At one given frequency, the communication path (resistive element R) has certain conductivity (or resistivity) value indicating how easy (or how difficult) it is for minority carriers to follow the ac signal between the gate and back contact. At low frequency as well as
10 transition frequencies (neither low frequency nor high frequency), the inversion capacitance is being charged up through the communication path (R) as the MOS capacitor moves towards full inversion. This corresponds to the 0.5V to 1V gate bias of the 1KHz CV trace of Figure 6. Strong
15 inversion is reached at 1V gate bias, meaning that the inversion capacitance C_{INV} is being charged to a point that its capacitance value increases exponentially with gate bias, and becomes significantly larger than all the other capacitances, including C_{OX} . The large capacitance of C_{INV}
20 shorts the combined circuit of C_{INV} and C_{IT} , leading to the equivalent circuit illustrated on the right-hand side of Figure 7. Increasing gate bias will keep increasing C_{INV} , but that will have very little effect on the short circuit configuration. Meanwhile, the depletion capacitance C_{D} and
25 its corresponding depletion width remain unchanged beyond 1V gate bias because the depletion region is completely shielded by the now almost infinite C_{INV} from gate bias change and the corresponding electric field increase. This explains the flat capacitance value from 1V gate bias and
30 above.

[00108] For low frequency ac signal the above situation remains valid, with the condition that the communication path (R) is highly conductive because the

minority carriers can follow the ac signal completely. This results in shorting the depletion capacitance C_D and achieves full inversion capacitance at C_{OX} . For high frequencies, the communication path (R) becomes highly resistive because the minority carriers are unable to follow the ac signal (whether diffusion or generation-recombination) and results in an open circuit. The measured capacitance then becomes C_{OX} in series with C_D , resulting in the typical 'high frequency' or C_{MIN} capacitance.

Example 2: The proof of field-induced surface quantum well at the gate oxide-Ge interface

[00109] For Figure 10 illustrates CV traces at room temperature of an n-type high mobility Ge MOS capacitor before (Figure 10A) and after (Figure 10B) performing the catalytic FGA according to preferred embodiments of the preferred embodiments illustrating true inversion response. The MOS-Cap stack used is an n-type doped Ge substrate with 1nm GeOx top surface layer, a 10nm thick MBE deposited Al_2O_3 gate dielectric and a Pt (Pd) gate electrode on top of the gate dielectric.

[00110] A bias independent characteristic at inversion has to be noticed. The MOS capacitor was measured from 100KHz to 1MHz, with a total of 30 frequencies. The CV graph in Figure 10A performed on the nGe / Al_2O_3 MOS CAP before C-FGA illustrates poor inversion due to high D_{it} (D_{it} peak $> E^{12}$ which is well known as a "V" shape D_{it}). The CV graph in Figure 10B performed on the nGe/ Al_2O_3 MOS CAP after C-FGA illustrates very good inversion, low dispersion at accumulation (D_{it} (e-trap) in depletion is \sim low E^{11}) and formation of a High Frequency Inversion Lift (HFIL). The

HFIL reflects the phenomenon in which the CV reveals a step up at strong inversion even at high frequencies.

[00111] Figure 9A-9B illustrate Ge surface quantum well formation in a high mobility Ge MOS capacitor stack according to preferred embodiments of the preferred
5 embodiments. Figure 9A illustrates the behavior at 1MHz without performing the C-FGA; Figure 9B illustrates the behavior at 1MHz after performing the C-FGA according to preferred embodiments of the preferred embodiments thereby
10 illustrating a true inversion at 1MHz and formation of a quantum well. The 1 MHz inversion seen on Figure 9B is temperature-independent and even occurs at 77k where most minority carrier generation is suppressed. The 1 MHz inversion is also frequency independent.

15

Example 3: Measurements showing duality of the Ge/InGaAs MOSCAPs

[00112] Figure 13 compares side by side the n and p type C-V traces of the Ge and InGaAs MOSCAPs at room temperature. Figure 13 illustrates a p-type Ge MOSCAP (Figure 13A), a n-type Ge MOSCAP (Figure 13B), an InGaAs n-type MOSCAP (Figure 13C) and an InGaAs n-type MOSCAP (Figure 13D). The duality between the Ge and InGaAs
20 MOSCAPs is clearly visible through the mirror-image like C-V pairs. Low frequency dispersion and very small flat-band voltage shifts observed on the C-V accumulation sides of Figure 13(A) and 13(C) point to free-moving Fermi-levels and relatively low Dit.

30 [00113] Figure 11 shows the mirror-image like Dit(E) distributions of the Ge and the InGaAs MOSCAPs under the CGS approach. The Dit(E) is deduced from the measured G-V data via the conductance method and the charge trapping

characteristics. Relatively low Dit levels near the Ge valence band and the $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ conduction band edges warrant high drive current and excellent mobility performance of the N and P MOSFETs.

5 [00114] The Ge and InGaAs MOSFETs have achieved very encouraging performance. Figure 12 illustrates the I-V characteristics of a 1.5 μm Ge P-MOSFET and InGaAs N-MOSFET. Large drive currents were obtained on the 1.5 μm transistors while longer channel transistors exhibit peak hole and
10 electron field-effect mobility values up to 400 $\text{cm}^2/\text{eV}\cdot\text{s}$ and 1300 $\text{cm}^2/\text{eV}\cdot\text{s}$, respectively.

[00115] All references cited herein are incorporated herein by reference in their entirety. To the extent
15 publications and patents or patent applications incorporated by reference contradict the disclosure contained in the specification, the specification is intended to supersede and/or take precedence over any such contradictory material.

20 [00116] The above description discloses several methods and materials of the present invention. This invention is susceptible to modifications in the methods and materials, as well as alterations in the fabrication methods and equipment. Such modifications will become apparent to
25 those skilled in the art from a consideration of this disclosure or practice of the preferred embodiments disclosed herein. Consequently, it is not intended that this invention be limited to the specific embodiments disclosed herein, but that it cover all modifications and
30 alternatives coming within the true scope and spirit of the preferred embodiments as embodied in the attached claims.

CLAIMS

1. A method for reducing Fermi Level Pinning (FLP) in a germanium (Ge or SiGe) or III-V high mobility compound channel of a metal oxide semiconductor (MOS) device, the method comprising at least the steps of:
- providing a high mobility Ge or III-V compound semiconductor on a substrate to form the channel of the MOS device,
 - forming a gate dielectric on the compound semiconductor,
 - providing a gate electrode onto the gate dielectric to form a gate of the MOS device, and
 - performing an anneal with atomic hydrogen for at least 5 minutes.
2. The method of claim 1, wherein the anneal with atomic hydrogen is performed using a Catalytic Forming Gas Anneal (C-FGA), preferably in the presence of certain noble metals such as Pt or Pd.
3. The method of claim 1 and 2, wherein the hydrogen anneal is a Catalytic Forming Gas Anneal (C-FGA) which is performed after depositing a gate electrode onto said gate dielectric and wherein said gate electrode is comprising a noble metal such as Pt or Pd.
4. The method of claim 1, wherein the hydrogen Anneal is an atomic hydrogen anneal using a remote plasma, said hydrogen anneal is preferably performed before the step of depositing a gate electrode.
5. The method of any of foregoing claims wherein said III-V compound is InGaAs, preferably $\text{In}_x\text{Ga}_{1-x}\text{As}$ with $x > 0.5$ and more preferably $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$.
6. The method of any of foregoing claims wherein said Ge compound is Ge or $\text{Si}_x\text{Ge}_{1-x}$ with $x < 0.3$.
-

36

7. The method of claim 6, wherein the high mobility compound is selected from Ge being annealed to achieve a GeO_x top surface layer.

8. The method of any of claims 1 to 7, further comprising before the step of forming a gate dielectric the step of removing native oxides from the Ge (SiGe) or III/V compound semiconductor surface by dipping the substrate in a solution of 40~48% wt %, (NH₄)₂S for at least 5-10 minutes.

9. The method of any of foregoing claims, wherein the gate dielectric comprises forming Al₂O₃ or La_xAl_{1-x}O₃ (LaAlO₃) through atomic layer deposition (ALD) or Molecular Beam Epitaxy (MBE).

10. The method of any of foregoing claims wherein the anneal is performed for at least 5-30 minutes at a temperature in the range of 200°C up to 500°C, more preferably in the range of 300°C up to 400°C.

11. The method any of the foregoing claims wherein in said high mobility Ge (SiGe) or III-V compound semiconductor a first and second region are formed and doped with an n-type dopant to form a drain and a source of an N-MOSFET device.

12. The method any of the foregoing claims wherein in said high mobility Ge (SiGe) or III-V compound semiconductor a first and second region are formed and doped with a p-type dopant to form a drain and a source of a P-MOSFET device.

13. A high mobility MOS device using the method according to any of claims 1 to 12 wherein the high frequency inversion lifting (HFIL) is in the range of 10% up to 20%.

14. The high mobility MOS device according to claim 13 wherein said MOS device is a high mobility N-MOSFET having a quantum well and wherein the source and drain

37

regions within the $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound are doped with a n-type dopant and a gate dielectric being formed on the $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ semiconductor compound channel.

15 15. The high mobility MOS device according to according to claim 13 wherein said MOS device is a high mobility P-MOSFET having a quantum well and wherein the source and drain regions doped with a p-type dopant and a gate dielectric being formed on the Ge semiconductor compound channel through atomic layer deposition.

10 16. A high mobility CMOS device comprising the high mobility P-MOSFET of claim 15 and the high mobility N-MOSFET of claim 14

15

20

ABSTRACT

A method to reduce (avoid) Fermi Level Pinning (FLP) in high mobility semiconductor compound channel such as Ge and
5 III-V compounds (e.g. GaAs or InGaAs) in a Metal Oxide Semiconductor (MOS) device. The method is using atomic hydrogen which passivates the interface of the high mobility semiconductor compound with the gate dielectric and further repairs defects. The methods further improves
10 the MOS device characteristics such that a MOS device with a quantum well is created.

(Figure 14A-14D)

IMEC REF 2008/109_JPreg1

1/14

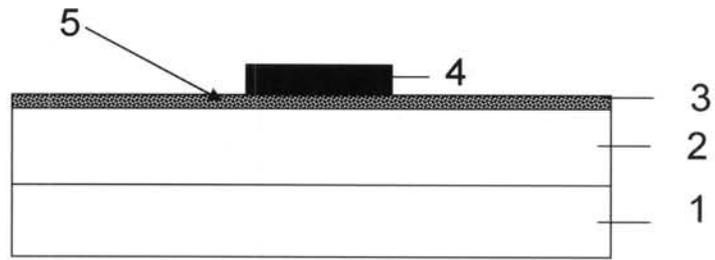
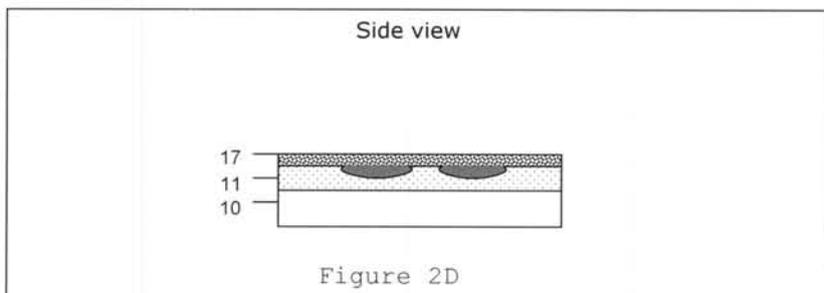
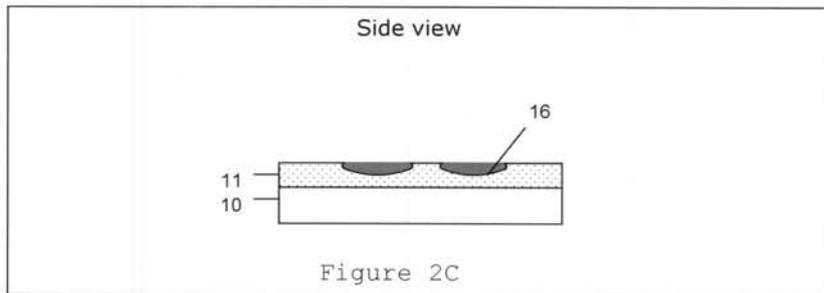
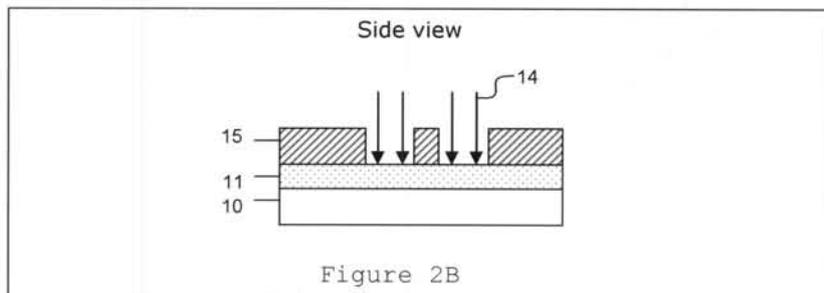
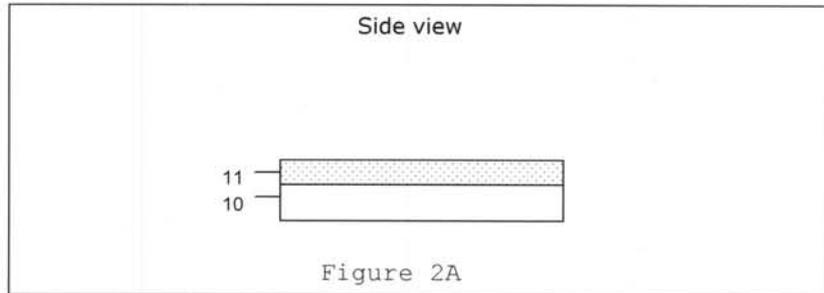
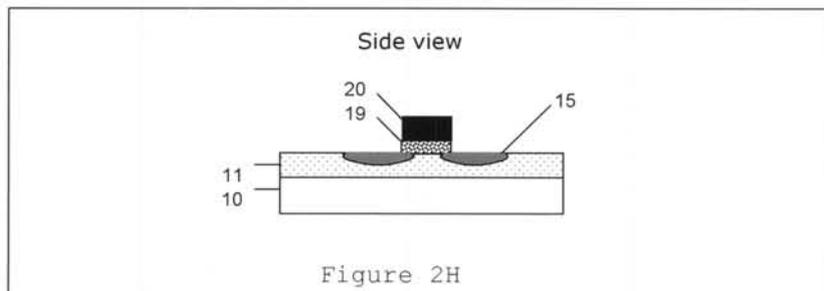
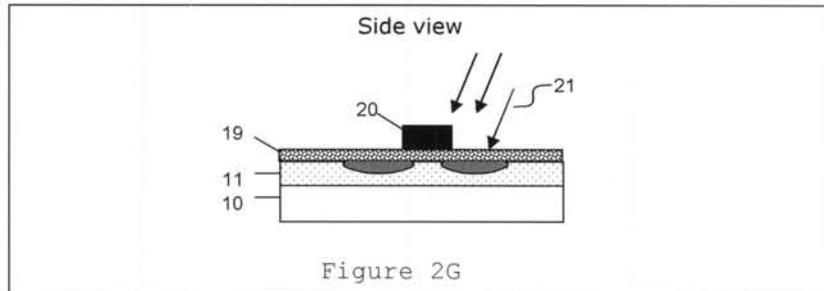
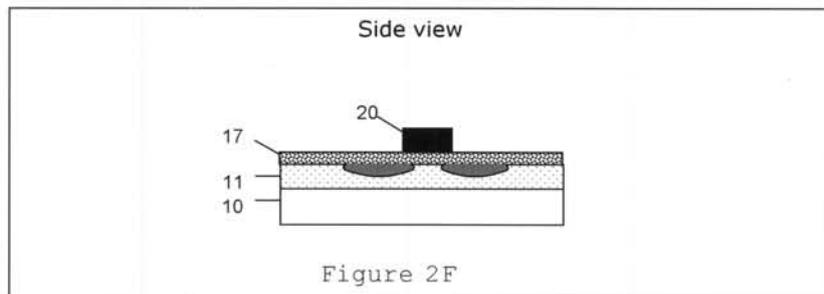
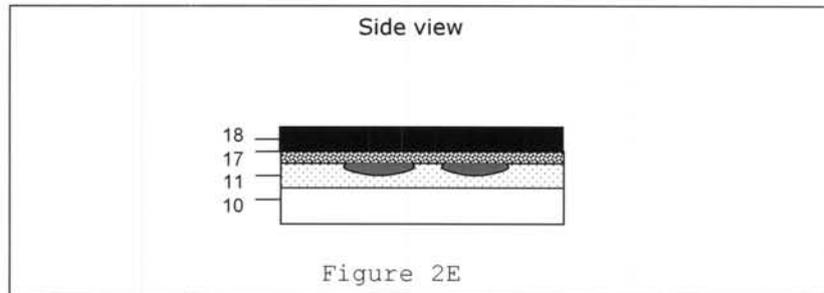


Figure 1

2/14



3/14



PRIOR ART

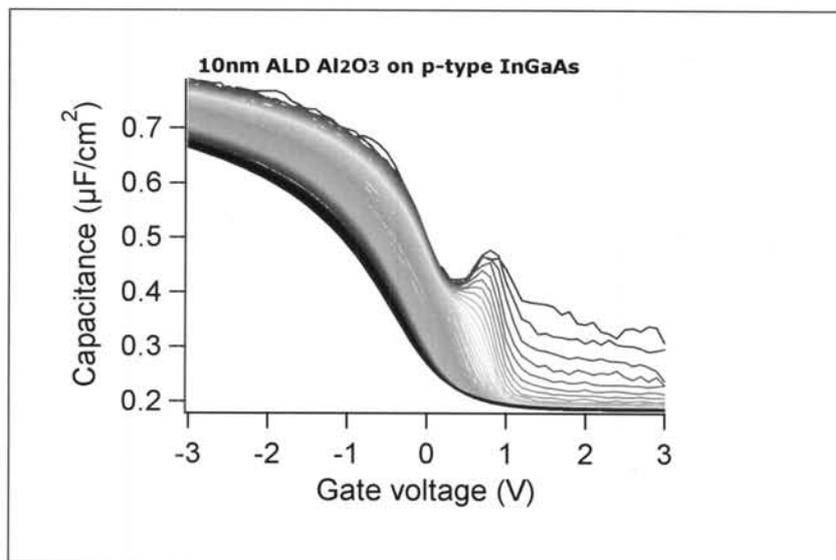


Figure 3

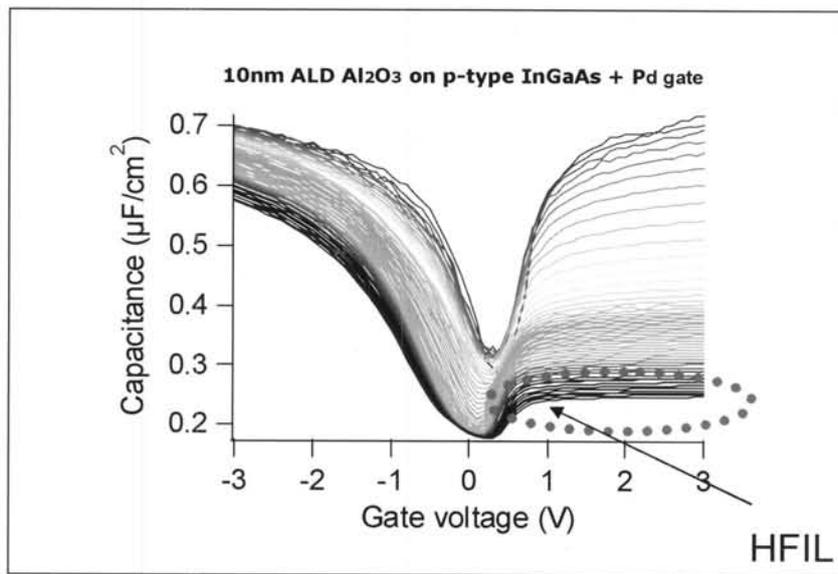


Figure 4

6/14

PRIOR ART

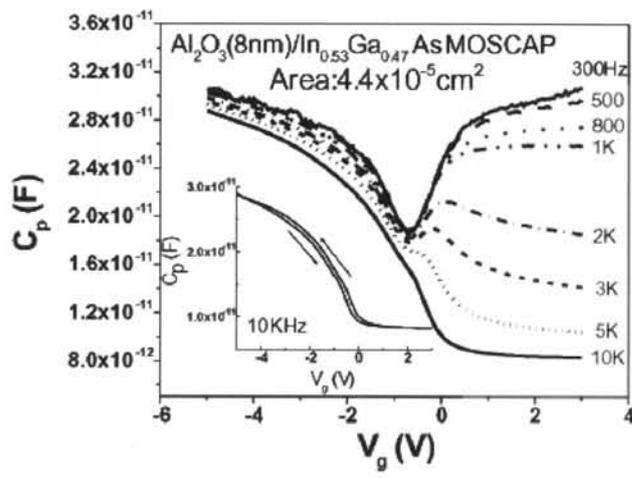


Figure 5

7/14

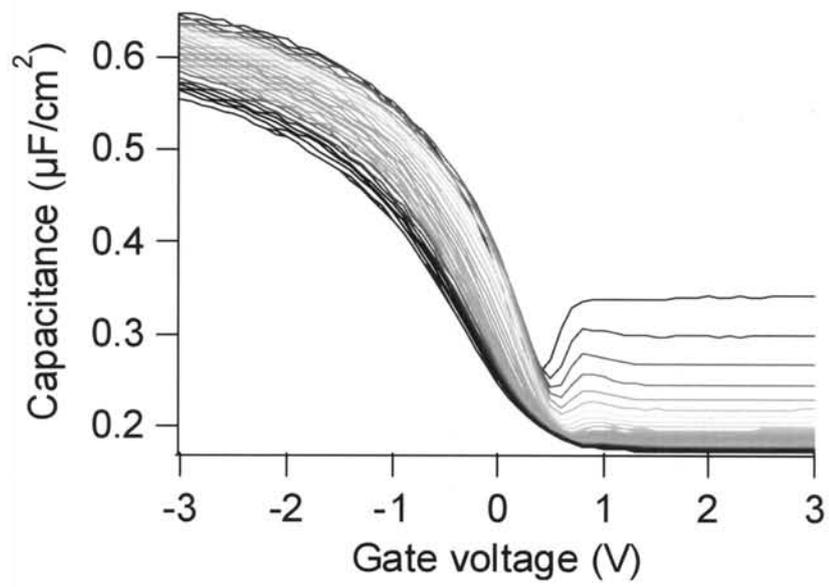


Figure 6

8/14

PRIOR ART

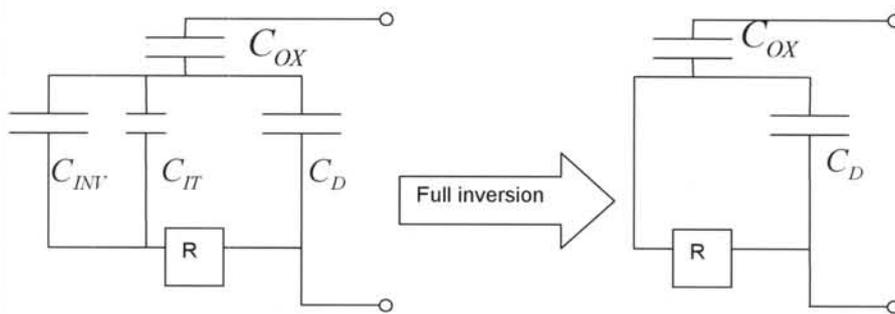


Figure 7

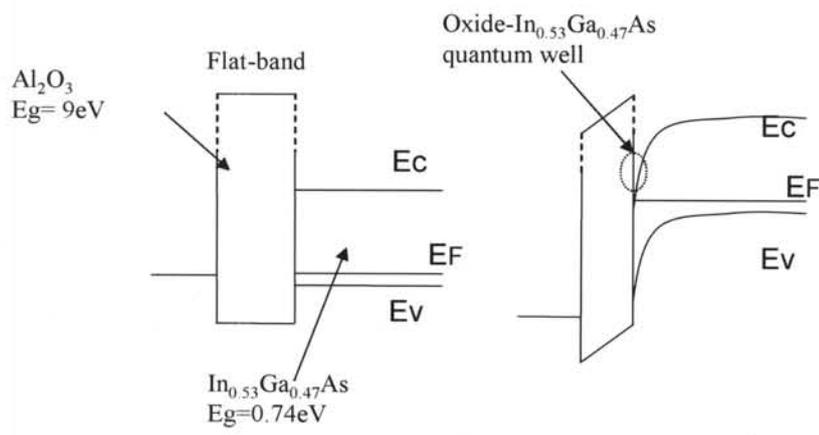


Figure 8A

Figure 8B

10/14

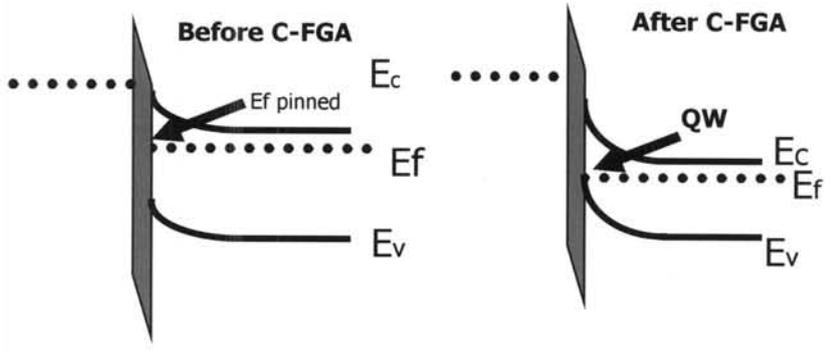


Figure 9A

Figure 9B

11/14

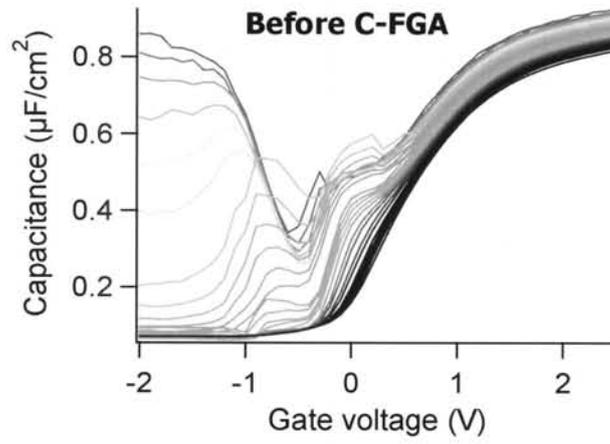


Figure 10A

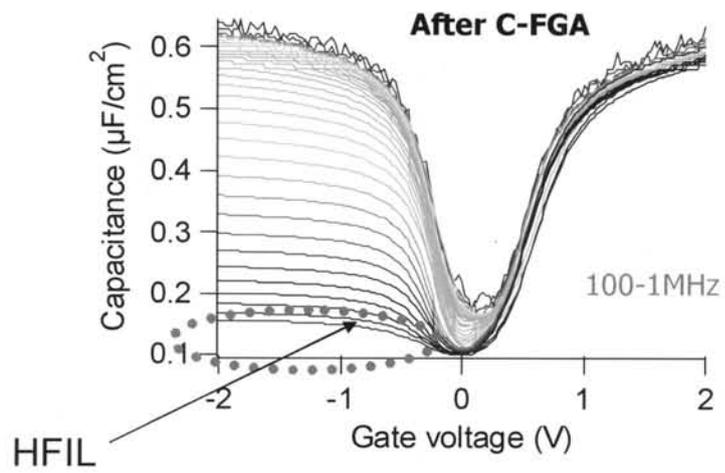


Figure 10B

12/14

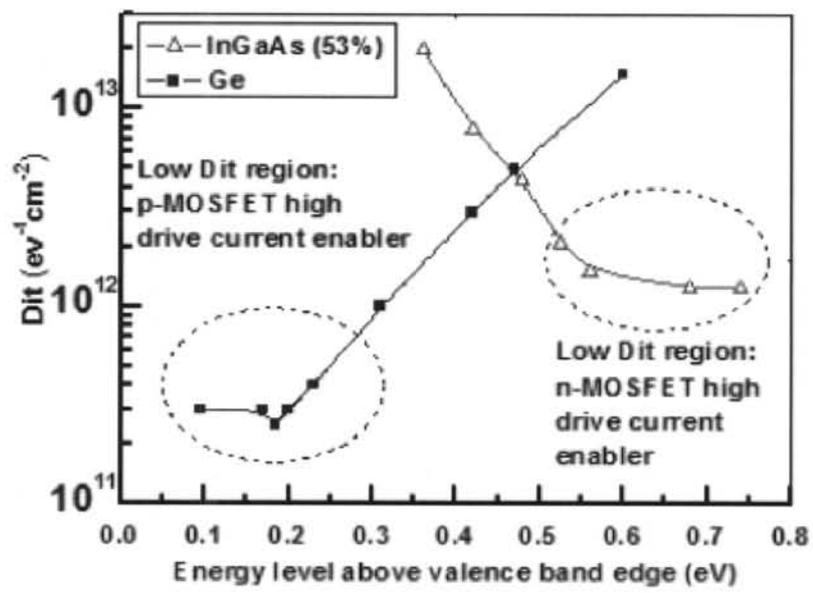


Figure 11

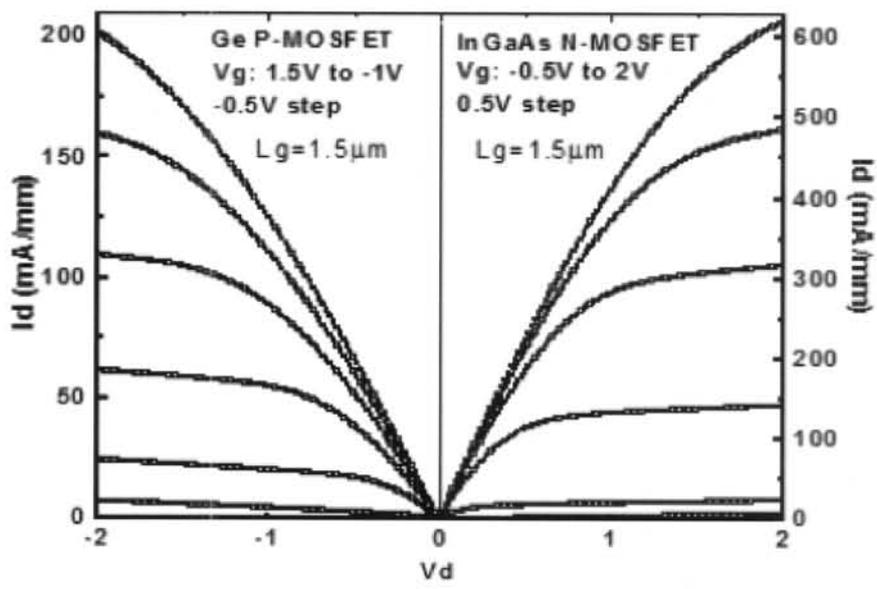


Figure 12

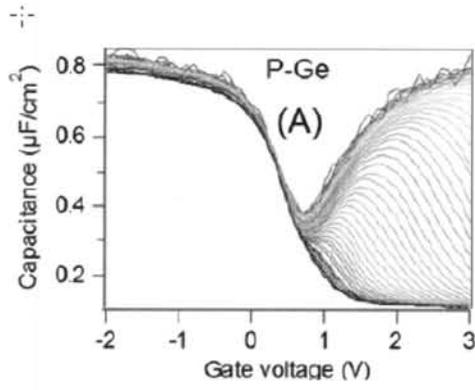


Figure 13A

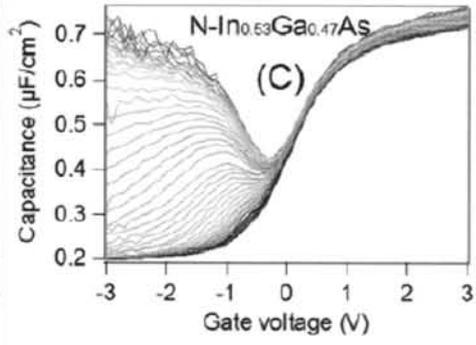


Figure 13C

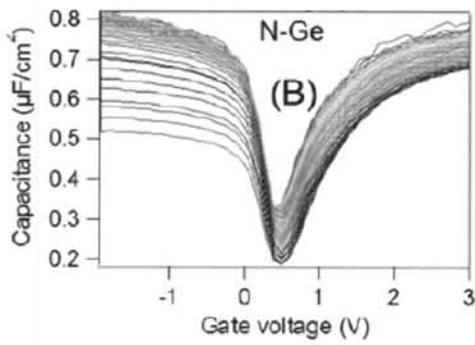


Figure 13B

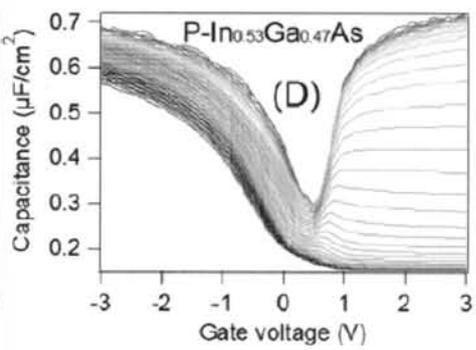


Figure 13D