

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月30日(30.09.2021)



(10) 国際公開番号

WO 2021/192542 A1

(51) 国際特許分類:

H01L 33/62 (2010.01) *G09F 9/30* (2006.01)
G09F 9/00 (2006.01) *G09F 9/33* (2006.01)

(21) 国際出願番号: PCT/JP2021/001597

(22) 国際出願日: 2021年1月19日(19.01.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-052849 2020年3月24日(24.03.2020) JP

(71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者: 武 政 健 一 (TAKEMASA, Kenichi); 〒1050003 東京都港区西新橋三丁目7番1号

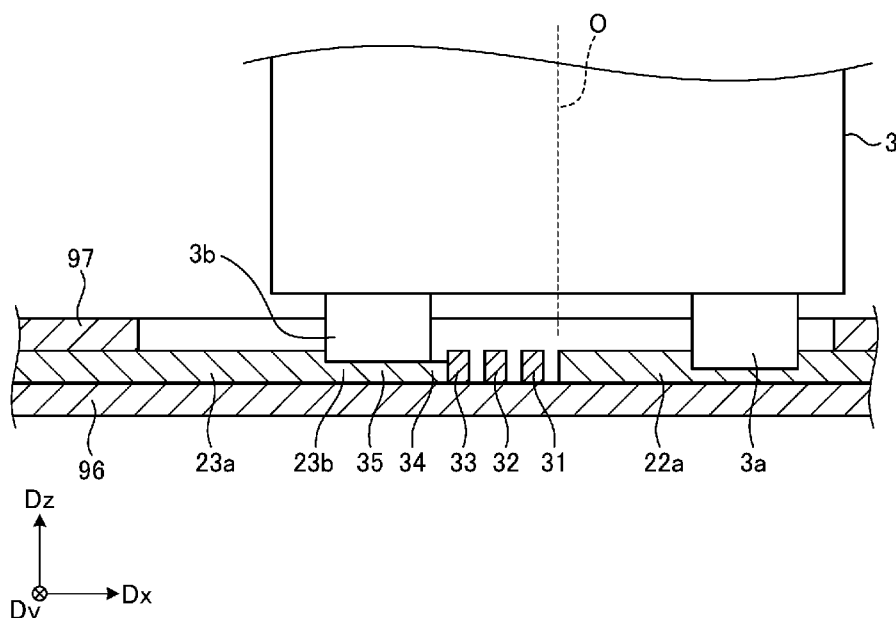
株式会社ジャパンディスプレイ内 Tokyo (JP).
中野 泰 (NAKANO, Yasushi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: WIRING BOARD AND DISPLAY APPARATUS

(54) 発明の名称: 配線基板及び表示装置



(57) Abstract: This wiring board comprises a substrate, an insulating film that is stacked on the substrate, an anode pad that is stacked on a first surface of the insulating film and is electrically connected to an anode of an inorganic light-emitting diode, a cathode pad that is stacked on the first surface of the insulating film and is electrically connected to a cathode of the inorganic light-emitting diode, and an auxiliary pad that is provided on the first surface of the insulating film and has conductivity, wherein the auxiliary pad is floatingly disposed in the vicinity of an edge of the anode pad or the cathode pad.

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：配線基板は、基板と、前記基板に積層される絶縁膜と、前記絶縁膜の第1面に積層され、無機発光ダイオードのアノードと電氣的に接続されるアノード用パッドと、前記絶縁膜の第1面に積層され、前記無機発光ダイオードのカソードと電氣的に接続されるカソード用パッドと、前記絶縁膜の第1面に設けられ、かつ導電性を有する補助パッドと、を備え、前記補助パッドは、前記アノード用パッド又は前記カソード用パッドの縁部の近傍にフローティング状態で配置されている。

明 細 書

発明の名称：配線基板及び表示装置

技術分野

[0001] 本発明は、配線基板及び表示装置に関する。

背景技術

[0002] 特許文献1に示すように、表示装置として、無機発光ダイオード（ミニLEDやマイクロLED（micro LED））を用いた無機ELディスプレイが挙げられる。また、無機ELディスプレイは、配線基板として、薄膜トランジスタ（TFT：Thin Film Transistor）がアレイ状に配列したアレイ基板を備える。特許文献2や特許文献3に示すように、アレイ基板は、無機発光ダイオードのアノードとカソードとを接合するためのパッド（電極）を有している。よって、アノードとカソードとパッドは、アレイ基板と無機発光ダイオードとを接続する接続部を構成している。

先行技術文献

特許文献

[0003] 特許文献1：特表2017-529557号公報

特許文献2：米国特許出願公開第2018/0145236号明細書

特許文献3：中国特許出願公開第110190085号明細書

発明の概要

発明が解決しようとする課題

[0004] 配線基板（アレイ基板）に対する無機発光ダイオードの搭載位置がずれてしまうと、パッドに対するアノード又はカソードの接触面積が低減する。この結果、接続部の抵抗値が増加し、好ましくない。特に、ミニLEDやマイクロLEDなど小型化した部品において、位置ずれの許容範囲が狭く、接続部の抵抗値の増加を招き易い。

[0005] 本発明は、無機発光ダイオードの搭載位置が所定の位置からずれても、接続部の抵抗値の増加を抑制できる配線基板及び表示装置を提供することを目

的とする。

課題を解決するための手段

[0006] 本発明の一態様の配線基板は、基板と、前記基板に積層される絶縁膜と、前記絶縁膜の第1面に積層され、無機発光ダイオードのアノードと電氣的に接続されるアノード用パッドと、前記絶縁膜の第1面に積層され、前記無機発光ダイオードのカソードと電氣的に接続されるカソード用パッドと、前記絶縁膜の第1面に設けられ、かつ導電性を有する補助パッドと、を備え、前記補助パッドは、前記アノード用パッド又は前記カソード用パッドの縁部の近傍にフローティング状態で配置されている。

[0007] 本発明の一態様の表示装置は、前記配線基板と、熔融した前記アノード用パッド及び前記カソード用パッドに前記アノード及び前記カソードが押し付けて接合した無機発光ダイオードと、を備える。前記補助パッドは、前記平面方向に隣り合う前記アノード用パッド又は前記カソード用パッドに接続する、若しくは前記平面方向に隣り合う他の前記補助パッドに接続する、膨出部を有する。

[0008] 本発明の一態様の表示装置は、前記配線基板と、複数の金属粒子を含み、前記アノード用パッド及び前記カソード用パッドと前記補助パッドに跨って積層された異方性導電フィルムと、熔融した前記異方性導電フィルムに前記アノードと前記カソードを押し付けて接合した無機発光ダイオードのアノードと、を備える。前記無機発光ダイオードは、複数の前記金属粒子を介して前記アノード用パッドと前記カソード用パッドと前記補助パッドと電氣的に接続している。前記補助パッドは、複数の前記金属粒子を介して前記アノード用パッドと前記カソード用パッドと電氣的に接続している。

図面の簡単な説明

[0009] [図1]図1は、実施形態1に係る表示装置を模式的に示す平面図である。

[図2]図2は、表示装置の画素回路を示す回路図である。

[図3]図3は、図1の「ⅠⅠⅠーⅠⅠⅠ'」線の矢視断面図である。

[図4]図4は、アレイ基板と発光素子との接続部を拡大した拡大図である。

[図5]図5は、図4の平面図である。

[図6]図6は、実施形態1の第5補助パッドがアノード3bに押し潰された状態を示す図である。

[図7]図7は、発光素子における第1方向の中心が第1パッド寄りに位置ずれて搭載された場合の図である。

[図8]図8は、発光素子における第1方向の中心が第2パッド寄りに位置ずれて搭載された場合の図である。

[図9]図9は、実施形態2に係る表示装置において、アレイ基板と発光素子との接続部を拡大した拡大図である。

[図10]図10は、実施形態3に係る表示装置において、アレイ基板に対して発光素子が接合する前の状態を示す拡大図である。

[図11]図11は、実施形態3に係る表示装置において、アレイ基板に対して発光素子が接合した状態を示す拡大図である。

[図12]図12は、変形例1に係る補助パッドを平面視した平面図である。

[図13]図13は、変形例2に係る補助パッドを平面視した平面図である。

[図14]図14は、変形例3に係る補助パッドを平面視した平面図である。

[図15]図15は、変形例4に係る補助パッドを平面視した平面図である。

[図16]図16は、変形例5に係る補助パッドを平面視した平面図である。

[図17]図17は、変形例6に係る補助パッドを平面視した平面図である。

発明を実施するための形態

[0010] 発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等に

ついて模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0011] (実施形態1)

図1は、実施形態1に係る表示装置を模式的に示す平面図である。図1に示すように、表示装置1は、アレイ基板2と、複数の画素 P_{ix} と、駆動回路12と、駆動IC(Integrated Circuit)200と、カソード配線26と、を含む。アレイ基板2は、各画素 P_{ix} を駆動するための配線基板である。アレイ基板2は、バックプレーン又はアクティブマトリックス基板とも呼ばれる。なお、本開示の配線基板は、アレイ基板2に限定されない。アレイ基板2は、基板21と、第1トランジスタ Tr_1 、第2トランジスタ Tr_2 等と、トランジスタ Tr_G (図4参照)と、各種配線等を含む。第1トランジスタ Tr_1 、第2トランジスタ Tr_2 等は、画素 P_{ix} 毎に設けられたスイッチング素子である。トランジスタ Tr_G は、駆動回路12に含まれるスイッチング素子である。

[0012] 図1に示すように、表示装置1は、表示領域AAと、周辺領域GAとを有する。表示領域AAは、複数の画素 P_{ix} と重なって配置され、画像を表示する領域である。周辺領域GAは、複数の画素 P_{ix} と重ならない領域であり、表示領域AAの外側に配置される。

[0013] 複数の画素 P_{ix} は、基板21の表示領域AAにおいて、第1方向 D_x 及び第2方向 D_y に配列される。なお、第1方向 D_x 及び第2方向 D_y は、基板21の表面に対して平行な方向である。第1方向 D_x と第2方向 D_y とを含む面と平行な方向を平面方向ということがある。第1方向 D_x は、第2方向 D_y と直交する。よって、第2方向 D_y を直交方向という場合がある。ただし、第1方向 D_x は、第2方向 D_y と直交しないで交差する場合を含む。第3方向 D_z は、第1方向 D_x 及び第2方向 D_y と直交する方向であり、積層方向という場合がある。

- [0014] 駆動回路12は、駆動IC200からの各種制御信号に基づいて複数のゲート線を駆動する回路である。複数のゲート線には、図2に示す第1ゲート線GCL1及び第2ゲート線GCL2が含まれる。駆動回路12は、複数のゲート線を順次又は同時に選択し、選択されたゲート線にゲート駆動信号を供給する。これにより、駆動回路12は、ゲート線に接続された複数の画素Pixを選択する。
- [0015] 駆動IC200は、表示装置1の表示を制御する回路である。駆動IC200は、基板21の周辺領域GAにCOG(Chip On Glass)として実装される。これに限定されず、駆動IC200は、基板21の周辺領域GAに接続されたフレキシブルプリント基板やリジット基板の上にCOF(Chip On Film)として実装されてもよい。
- [0016] カソード配線26は、基板21の周辺領域GAに設けられる。カソード配線26は、表示領域AAの複数の画素Pix及び周辺領域GAの駆動回路12を囲んで設けられる。複数の発光素子3のカソードは、共通のカソード配線26に接続され、例えば、グランド電位が供給される。
- [0017] 画素Pixは、発光素子3を有する。発光素子3は、画素Pixに対応して設けられ、異なる色の光を出射する第1発光素子3R、第2発光素子3G、及び第3発光素子3Bを含む。第1発光素子3Rは、赤色の光を出射する。第2発光素子3Gは、緑色の光を出射する。第3発光素子3Bは、青色の光を出射する。なお、以下の説明において、第1発光素子3R、第2発光素子3G及び第3発光素子3Bを区別して説明する必要がない場合には、単に発光素子3と表す。なお、画素Pixは、4つ以上の発光素子3を備え、4色以上の異なる光を出射してもよい。
- [0018] 画素Pixの配列は、第1発光素子3Rを有する画素Pix、第2発光素子3Gを有する画素Pix、第3発光素子3Bを有する画素Pix、の順で第1方向Dxに繰り返し配列される。つまり、第1発光素子3R、第2発光素子3G及び第3発光素子3Bは、この順で第1方向Dxに繰り返し配列される。また、第1発光素子3R、第2発光素子3G及び第3発光素子3Bは

、それぞれ第2方向D_yに複数配列される。

[0019] 発光素子3は、平面視で、3 μ m以上、300 μ m以下程度の大きさを有する無機発光ダイオード(LED: Light Emitting Diode)チップであり、マイクロLED(micro LED)と呼ばれる。各画素にマイクロLEDを備える表示装置は、マイクロLED表示装置とも呼ばれる。なお、マイクロLEDのマイクロは、無機発光ダイオードの大きさを限定するものではない。また、発光素子3は、ミニLEDであってもよい。

[0020] 図2は、表示装置の画素回路を示す回路図である。画素回路28は、発光素子3を駆動する駆動回路である。図2に示すように、画素回路28は、複数のスイッチング素子(第1トランジスタTr1、第2トランジスタTr2、第3トランジスタTr3及び第4トランジスタTr4)と、第1ゲート線GCL1、第2ゲート線GCL2、信号線SGL及び電源線LVddを有する。各トランジスタは、それぞれ薄膜トランジスタ(TFT: Thin Film Transistor)である。

[0021] 第1トランジスタTr1は駆動用TFTである。第2トランジスタTr2は、発光期間と、非発光期間とのスイッチング用TFTである。第3トランジスタTr3及び第4トランジスタTr4は、電流切替用TFTである。信号線SGLは、定電流源に接続されている。電源線LVddは、定電圧源に接続されている。

[0022] また、第2トランジスタTr2のドレインと、発光素子3のアノードとの間に保持容量CS1が形成される。また、発光素子3のアノードと電源線LVddとの間に保持容量CS2が形成される。画素回路28は、保持容量CS1と保持容量CS2により、第2トランジスタTr2の寄生容量とリーク電流とによるゲート電圧の変動を抑制する。

[0023] 非発光期間では、駆動回路12(図1参照)は、第1ゲート線GCL1の電位を高レベルとし、第2ゲート線GCL2の電位を低レベルとする。これにより、第2トランジスタTr2及び第3トランジスタTr3がオンとなり

、第4トランジスタ T_r4 がオフとなる。発光素子3のアノードには、信号線 SGL から電流 I_{data} が供給される。

[0024] 発光期間では、駆動回路12（図1参照）は、第1ゲート線 $GCL1$ の電位を低レベルとし、第2ゲート線 $GCL2$ の電位を高レベルとする。これにより、第2トランジスタ T_r2 及び第3トランジスタ T_r3 がオフとなり、第4トランジスタ T_r4 がオンとなる。発光素子3のアノードには、定電源線 $LVdd$ から電流 I_d が供給される。なお、図2は、あくまで一例であり、画素回路28の構成及び表示装置1の動作は適宜変更することができる。

[0025] 図3は、図1の $II-II'$ 線の矢視断面図である。図3に示すように、発光素子3は、アレイ基板2の上に設けられる。アレイ基板2は、基板21と、第1トランジスタ T_r1 、第2トランジスタ T_r2 等のスイッチング素子と、各種配線及び各種絶縁膜を有する。基板21の周辺領域 GA には、複数のトランジスタとして、駆動回路12に含まれるトランジスタ T_rG が設けられている。基板21は絶縁基板であり、例えば、ガラス基板、樹脂基板又は樹脂フィルム等が用いられる。

[0026] 本明細書において、基板21の表面に垂直な方向において、基板21から平坦化膜27の上面27aに向かう方向を「上側」とする。また、平坦化膜27の上面27aから基板21に向かう方向を「下側」とする。また、「平面視」とは、基板21の表面に垂直な方向から見た場合を示す。

[0027] 第1トランジスタ T_r1 、第2トランジスタ T_r2 、及びトランジスタ T_rG は、基板21の一方の面側に設けられる。第1トランジスタ T_r1 は、半導体61、ソース電極62、ドレイン電極63、第1ゲート電極64A及び第2ゲート電極64Bを含む。第1ゲート電極64Aは、第1絶縁膜91を介して基板21の上に設けられる。第1絶縁膜91等の絶縁膜は、シリコン酸化膜（ SiO ）、シリコン窒化膜（ SiN ）又はシリコン酸化窒化膜（ $SiON$ ）等の無機絶縁材料が用いられる。また、各無機絶縁膜は、単層に限定されず積層膜であってもよい。

[0028] 第2絶縁膜92は、第1ゲート電極64Aを覆って第1絶縁膜91の上に

設けられる。半導体 6 1 は、第 2 絶縁膜 9 2 の上に設けられる。第 3 絶縁膜 9 3 は、半導体 6 1 を覆って第 2 絶縁膜 9 2 の上に設けられる。第 2 ゲート電極 6 4 B は、第 3 絶縁膜 9 3 の上に設けられる。半導体 6 1 は、第 3 方向 D z において、第 1 ゲート電極 6 4 A と第 2 ゲート電極 6 4 B との間に設けられる。半導体 6 1 において、第 1 ゲート電極 6 4 A 及び第 2 ゲート電極 6 4 B で挟まれた部分にチャネル領域が形成される。

[0029] 図 3 に示す例では、第 1 トランジスタ T r 1 は、いわゆるデュアルゲート構造である。ただし、第 1 トランジスタ T r 1 は、第 1 ゲート電極 6 4 A が設けられ、第 2 ゲート電極 6 4 B が設けられないボトムゲート構造でもよく、第 1 ゲート電極 6 4 A が設けられず、第 2 ゲート電極 6 4 B のみが設けられるトップゲート構造でもよい。

[0030] 半導体 6 1 は、例えば、アモルファスシリコン、微結晶酸化物半導体、アモルファス酸化物半導体、ポリシリコン、低温ポリシリコン (L T P S : L o w T e m p e r a t u r e P o l y c r y s t a l l i n e S i l i c o n e) 又は窒化ガリウム (G a N) で構成される。酸化物半導体としては、I G Z O、酸化亜鉛 (Z n O)、I T Z O が例示される。I G Z O は、インジウムガリウム亜鉛酸化物である。I T Z O は、インジウムスズ亜鉛酸化物である。

[0031] 第 4 絶縁膜 9 4 は、第 2 ゲート電極 6 4 B を覆って第 3 絶縁膜 9 3 の上に設けられる。ソース電極 6 2 及びドレイン電極 6 3 は、第 4 絶縁膜 9 4 の上に設けられる。本実施形態では、ソース電極 6 2 は、コンタクトホール H 5 を介して半導体 6 1 と電氣的に接続される。ドレイン電極 6 3 は、コンタクトホール H 3 を介して半導体 6 1 と電氣的に接続される。

[0032] 第 5 絶縁膜 9 5 は、ソース電極 6 2 及びドレイン電極 6 3 を覆って、第 4 絶縁膜 9 4 の上に設けられる。第 5 絶縁膜 9 5 は、第 1 トランジスタ T r 1 や、各種配線で形成される凹凸を平坦化する平坦化膜である。

[0033] 第 2 トランジスタ T r 2 は、半導体 6 5、ソース電極 6 6、ドレイン電極 6 7、第 1 ゲート電極 6 8 A 及び第 2 ゲート電極 6 8 B を含む。第 2 トラン

ジスタ $T_r 2$ は第1トランジスタ $T_r 1$ と類似した層構成を有しており、詳細な説明は省略する。第2トランジスタ $T_r 2$ のドレイン電極67は、コンタクトホールH8を介して接続配線69に接続される。接続配線69は、第1トランジスタ $T_r 1$ の、第1ゲート電極64A及び第2ゲート電極64Bに接続される。

[0034] なお、半導体65、ソース電極66、ドレイン電極67、第1ゲート電極68A及び第2ゲート電極68Bは、それぞれ、第1トランジスタ $T_r 1$ の、半導体61、ソース電極62、ドレイン電極63、第1ゲート電極64A及び第2ゲート電極64Bと同層に設けられているが、異なる層に設けられていてもよい。

[0035] トランジスタ $T_r G$ は、半導体71、ソース電極72、ドレイン電極73、第1ゲート電極74A及び第2ゲート電極74Bを含む。トランジスタ $T_r G$ は、駆動回路12に含まれるスイッチング素子である。トランジスタ $T_r G$ も第1トランジスタ $T_r 1$ と類似した層構成を有しており、詳細な説明は省略する。また、第3トランジスタ $T_r 3$ 及び第4トランジスタ $T_r 4$ (図2参照) も第1トランジスタ $T_r 1$ と類似した層構成を有する。

[0036] 図4は、アレイ基板と発光素子との接続部を拡大した拡大図である。発光素子3は、n型クラッド層、活性層、p型クラッド層が順に積層された発光層を有し、例えば、窒化ガリウム(GaN)、アルミニウムインジウム燐(AlInP)等の化合物半導体が用いられる。図4に示すように、発光素子3は、n型クラッド層に接続するカソード3aと、p型クラッド層にアノード3bと、が下側に設けられた、いわゆるフェースダウン構造である。なお、発光素子3は公知のLEDチップを用いることができる。

[0037] 図3に示すように、アレイ基板2は、第1電極22、第2電極23、第3電極24、第4電極25、及び複数の補助パッド30を有する。

[0038] 第1電極22及び第2電極23は、基板21と発光素子3との間に設けられる。第1電極22は、第6絶縁膜96の第1面96aに設けられ、周辺領域GAに設けられたカソード配線26(図1参照)に電氣的に接続される。

また、図4に示すように、第1電極22は、発光素子3のカソード3aと接続される。第1電極22は、発光素子3のカソード3aと接合する電極として、第1パッド22aを有する。第1パッド22aは、発光素子3のカソード3aと溶着により接合している。つまり、接合時、第1パッド22aは、レーザ装置等により加熱されて熔融する。その後、熔融している第1パッド22aに発光素子3のカソード3aの端部が押し込まれて接合している。なお、第1パッド22aは、カソード用パッドと呼ばれることがある。

[0039] 第2電極23は、発光素子3のアノード3bと接続される。第2電極23は、発光素子3のアノード3bと接合する電極として、第2パッド23aを有する。第2パッド23aは、カソード3aと同様に、発光素子3のアノード3bと溶着により接合している。なお、第2パッド23aは、アノード用パッドと呼ばれることがある。また、第2電極23は、第6絶縁膜96の第1面96aに設けられる。第2電極23は、図3に示すように、コンタクトホールH7を介して第3電極24と接続される。

[0040] 第3電極24は、第5絶縁膜95の上に設けられ、コンタクトホールH2を介してドレイン電極63と接続される。このように、第2電極23及び第3電極24は、発光素子3のアノードと、第1トランジスタTr1のドレイン電極63とを接続する。また、第4電極25は第3電極24と同層に設けられ、コンタクトホールH4を介してソース電極62と接続される。

[0041] 第4電極25は、第5絶縁膜95の上で延在して、第3方向Dzにおいて第6絶縁膜96を介して第1電極22と対向する。これにより、第1電極22と第4電極25との間に容量が形成される。第1電極22と第4電極25との間に形成される容量は、画素回路28の保持容量CSとして用いられる。

[0042] 第7絶縁膜97は、第1電極22と、第2電極23と、第6絶縁膜96との上に設けられる。また、第7絶縁膜97は、第1電極22及び第2電極23と、発光素子3と、の接続を可能とするための開口97aを有している。

[0043] 第7絶縁膜97の上には、平坦化膜27が設けられている。平坦化膜27

は、表示領域A Aから周辺領域G Aに亘って設けられている。平坦化膜2 7は、透光性を有する有機絶縁膜であり、例えば、シリコン樹脂、エポキシ樹脂、アクリル樹脂、ポリイミド樹脂等の樹脂材料が用いられる。また、平坦化膜2 7の上には、例えばガラスなど、光を透過する部材で構成されるカバー部5が設けられている。

[0044] 図4に示すように、補助パッド3 0は、導電性材料により製造されており、導電性を有している。また、本実施形態では、補助パッド3 0は、レーザ装置等の加熱により熔融する金属材料により製造されている。補助パッド3 0は、第6絶縁膜9 6の第1面9 6 aに設けられている。補助パッド3 0は、第1パッド2 2 aと第2パッド2 3 aとの間に配置され、第1パッド2 2 a及び第2パッド2 3 aの縁部の近傍に配置されている。なお、第1パッド2 2 a及び第2パッド2 3 aの縁部の近傍とは、第7絶縁膜9 7の開口9 7 aから露出した範囲に配置され、かつ第1パッド2 2 a及び第2パッド2 3 aとの絶縁性を確保できる程度に第1パッド2 2 a及び第2パッド2 3 aの縁部から離隔している、という意味である。なお、補助パッド3 0が第7絶縁膜9 7の開口9 7 aから露出していないと、アレイ基板2に発光素子3を搭載する際、アノード3 b等が補助パッド3 0と電氣的に接続できないからである。

[0045] 図5は、図4の平面図である。図5に示すように、第1パッド2 2 aと第2パッド2 3 aとの間の距離W 1は、発光素子3のカソード3 a及びアノード3 bの第1方向D xの幅W 2よりも大きい。よって、仮に発光素子3の搭載位置が第1方向D xにずれしたとしても、カソード3 a又はアノード3 bが第1パッド2 2 aと第2パッド2 3 aとに跨って接続する、ということが回避されるようになっている。

[0046] 補助パッド3 0は、5つ設けられている。各補助パッド3 0は、第3方向D zから視た場合、第1方向D xよりも第2方向D yに長い長方形を成している。また、各補助パッド3 0は発光素子3が実装される前工程において、島状であり、電氣的にフローティングな状態である。5つの補助パッド3

0は、間隔W3を空けながら、第1方向Dxに配列している。以下、必要に応じて、5つの補助パッド30について、第1パッド22aから第2パッド23aに向かって順に、第1補助パッド31、第2補助パッド32、第3補助パッド33、第4補助パッド34、第5補助パッド35、と呼ぶ場合がある。また、第1補助パッド31、第2補助パッド32、第3補助パッド33、第4補助パッド34、及び第5補助パッド35において共通する性質を説明する場合には、総称して補助パッド30と呼ぶ。

[0047] 第1パッド22aと第1補助パッド31とは、第1方向Dxに離隔している。第1パッド22aと第1補助パッド31との間隔は、5つの補助パッド30の間隔と同じでW3となっている。同様に、第2パッド23aと第5補助パッド35とは、第1方向Dxに離隔している。第2パッド23aと第5補助パッド35との間隔はW3となっている。以上から、第1パッド22a、第1補助パッド31、第2補助パッド32、第3補助パッド33、第4補助パッド34、第5補助パッド35、及び第2パッド23aにおける第1方向Dxの間隔は、全てW3であり、等間隔となっている。

[0048] 図6は、実施形態1の第5補助パッドがアノード3bに押し潰された状態を示す図である。補助パッド30は、アレイ基板2に対し発光素子3を搭載する際、レーザ装置等により加熱されて溶融する。よって、図6に示すように、発光素子3の搭載位置が第1方向Dxにずれた場合、補助パッド30（図6の第5補助パッド35を参照）は、カソード3a又はアノード3bに押し潰される可能性がある。なお、図4、図5に示す発光素子3は位置ずれしていない。また、補助パッド30は、第1方向Dxに隙間があることから、カソード3a又はアノード3bによる押し潰された場合、第1方向Dxへ膨出する。以上から、補助パッド30は、発光素子3の位置ずれにより、第1方向Dxに膨出する膨出部30a（図6の膨出部35aを参照）が発生する。

[0049] また、膨出部30a（図6の膨出部35aを参照）は、第1方向Dxへの第1膨出量がW4となっている。なお、膨出量は、潰される前の補助パッド

30を基準として第1方向Dxの一方に膨らんだ量を示す。一方で、第1パッド22aと第2パッド23aと5つの補助パッド30のそれぞれの間隔W3は、第1膨出量W4よりも小さい。よって、補助パッド30は、膨出部30aが発生すると、第1方向Dxに隣り合う第1パッド22a又は第2パッド23a、或は他の補助パッド30と接触する。

[0050] なお、上記した表示装置1において、アレイ基板2は、基板21から第1電極22及び第2電極23を覆う第7絶縁膜97までを含む。アレイ基板2には、平坦化膜27、発光素子3、カバー部5は含まれない。

[0051] 図7は、発光素子における第1方向の中心が第1パッド寄りに位置ずれて搭載された場合の図である。図8は、発光素子における第1方向の中心が第2パッド寄りに位置ずれて搭載された場合の図である。次に、アレイ基板2に搭載する発光素子3が位置ずれた場合を説明する。図7に示すように、発光素子3の第1方向Dxの中心Oが第1パッド22a寄りとなった場合、発光素子3のアノード3bは、例えば、第4補助パッド34と第5補助パッド35を押し潰す。これにより、第4補助パッド34の膨出部（図6の膨出部30aを参照）は、隣り合う第3補助パッド33と第5補助パッド35と接触する。また、第5補助パッド35に発生した膨出部（図6参照）35aは、第1方向Dxに隣り合う第2パッド23aと接触する。さらに、図7に示すように、第2パッド23aもアノード3bに押し潰されている。よって、第2パッド23aは、第5補助パッド35に向かって膨出する膨出部23bが生じ、第5補助パッド35との接触が確実となっている。以上から、アノード3bにおいて第2パッド23aに接触していない部分は、第4補助パッド34及び第5補助パッド35を介して第2パッド23aと導通する。

[0052] 一方で、発光素子3の第1方向Dxの中心Oが第2パッド23a寄りとなった場合、発光素子3のカソード3aは、図8に示すように、例えば、第1補助パッド31、第2補助パッド32を押し潰す。これにより、第2補助パッド32の膨出部（図6の膨出部30aを参照）は、第1方向Dxに隣り合う

第1補助パッド31と第3補助パッド33と接触する。また、第1補助パッド31の膨出部（図6の膨出部30aを参照）は、第1方向Dxに隣り合う第1パッド22aと接触する。さらに、図8に示すように、第1パッド22aもカソード3aに押し潰されている。よって、第1パッド22aは、第1補助パッド31に向かって膨出する膨出部22bが生じ、第1補助パッド31との接触が確実となっている。以上から、カソード3aのうち第1パッド22aに接触していない部分は、第1補助パッド31及び第2補助パッド32を介して第1パッド22aと導通する。

[0053] 以上から、実施形態1の表示装置1及びアレイ基板（配線基板）2によれば、発光素子3の搭載位置にずれが生じて、カソード3aと第1パッド22aとから成る接続部の電気抵抗の増加が抑制される。また、アノード3bと第2パッド23aとから成る接続部の電気抵抗の増加が抑制される。

[0054] なお、実施形態1では、アノード3b及びカソード3aとパッド（第1パッド22a、第2パッド23a）との接合は溶着であったが、本開示の配線基板及び表示装置は、これに限定されない。次の実施形態2では、異方性導電フィルム（ACF: Anisotropic Conductive Film）を用いて接合した例を説明する。なお、以下の説明においては、上述した実施形態で説明したものと同一の構成要素には同一の符号を付して重複する説明は省略する。

[0055] （実施形態2）

図9は、実施形態2に係る表示装置において、アレイ基板と発光素子との接続部を拡大した拡大図である。図9に示すように、表示装置1Aは、異方性導電フィルム40を有している点で、実施形態1の表示装置1と異なる。異方性導電フィルム40は、第1パッド22aと、複数の補助パッド30と、第2パッド23aと、の上に跨って配置されている。なお、実施形態2において、第1パッド22aと複数の補助パッド30と第2パッド23aにおける第1方向Dxの各間隔は、W5であり、等間隔である。

[0056] 異方性導電フィルム40は、シート状の熱硬化性樹脂41の内部に複数の

金属粒子42を含んで成り、第3方向Dzに導電性を有している。異方性導電フィルム40は、硬化前に、第1パッド22aと複数の補助パッド30と第2パッド23aとの上に跨って配置され、第1パッド22aと複数の補助パッド30と第2パッド23aのそれぞれに溶着している。また、異方性導電フィルム40は、硬化前に、発光素子3のアノード3bとカソード3aとが押し込まれ、アノード3bとカソード3aとのそれぞれに溶着している。さらに、アノード3bとカソード3aとが押し込みにより、複数の金属粒子42のうち一部の金属粒子42は、第1パッド22a及び第2パッド23aの方に押し込まれている。なお、図9においては、明確化を図るため、アノード3b又はカソード3aに押し込まれている金属粒子42の内部にドットを付している。よって、実施形態2の表示装置1Aにおいて、アノード3b及びカソード3aにおいて第3方向Dzから視て第1パッド22a及び第2パッド23aと重なっている部分は、金属粒子42を介して第1パッド22a及び第2パッド23aと導通している。

[0057] また、実施形態2において、第1パッド22aと複数の補助パッド30と第2パッド23aにおける第1方向Dxの間隔W5は、金属粒子42の粒径よりも小さい。よって、発光素子3の第1方向Dxの中心が第1パッド22a寄りに位置ずれした場合、図9に示すように、金属粒子42は、アノード3bに押し込まれてアノード3bと第4補助パッド34との間や、アノード3bと第5補助パッド35との間に介在する。さらには、金属粒子42は、第4補助パッド34と第5補助パッド35との間や、第5補助パッド35と第2パッド23aとの間に介在する。よって、アノード3bのうち第3方向Dzから視て第2パッドと重なっていない部分は、金属粒子42を介して第4補助パッド34及び第5補助パッド35と電氣的に接続し、第2パッド23aと導通する。以上から、実施形態2によっても、接続部の電気抵抗の増加が抑えられる。

[0058] (実施形態3)

図10は、実施形態3に係る表示装置において、アレイ基板に対して発光

素子が接合する前の状態を示す拡大図である。図 11 は、実施形態 3 に係る表示装置において、アレイ基板に対して発光素子が接合した状態を示す拡大図である。図 16、図 17 に示すように、実施形態 3 の表示装置 1 B は、導電性材料 50 を有している点で実施形態 1 の表示装置 1 及び実施形態 2 の表示装置 1 B と異なる。導電性材料 50 は、例えば Sn などのはんだ材料である。導電性材料 50 は、発光素子 3 のアノード 3 b やカソード 3 a の端面に溶着している。また、発光素子 3 の実装時、導電性材料 50 は、加熱されて、溶融した状態でアノード 3 b やカソード 3 a の端面に付着する。そして、導電性材料 50 の溶融した状態を維持しながら、アノード 3 b 及びカソード 3 a を第 1 パッド 22 a 及び第 2 パッド 23 a に向かって押し付ける。導電性材料 50 が硬化すると、アノード 3 b 及びカソード 3 a は、第 1 パッド 22 a 及び第 2 パッド 23 a と接合する。

[0059] このような構成によれば、図 17 に示すように、発光素子 3 の第 1 方向 D_x の中心が第 1 パッド 22 a 寄りに位置ずれした場合、アノード 3 b に端面に付いている導電性材料 50 は、第 2 パッド 23 a と第 5 補助パッド 35 との間、第 5 補助パッド 35 と第 4 補助パッド 34 との間、及び第 4 補助パッド 34 と第 3 補助パッド 33 との間に進入し、硬化する。よって、アノード 3 b のうち第 3 方向 D_z から視て第 2 パッド 23 a と重なっていない部分は、導電性材料 50 を介して第 4 補助パッド 34 及び第 5 補助パッド 35 と電氣的に接続し、第 2 パッド 23 a と導通する。以上から、実施形態 3 によっても、接続部の電気抵抗の増加が抑えられる。

[0060] 以上、実施形態 1、実施形態 2、及び実施形態 3 では、等間隔で配置された複数の補助パッドを例に挙げたが、本開示の補助パッドは、これに限定されない。以下、補助パッドの配置例について説明する。

[0061] (変形例 1)

図 12 は、変形例 1 に係る補助パッドを平面視した平面図である。変形例 1 に係るアレイ基板 2 の補助パッド 30 A は、4 つ設けられている。言い換えると、補助パッド 30 A は、第 3 補助パッド 33 (図 5 参照) を備えてい

ない点で、実施形態1の補助パッド30と相違する。

[0062] 第2補助パッド32と第4補助パッド34との間の間隔W6は、第2補助パッド32と第4補助パッド34と跨ってアノード3b又はカソード3aに押し潰されても、互いに接触しない長さとなっている。言い換えると、第2補助パッド32に生じた膨出部30a（図6参照）と、第4補助パッド34に生じた膨出部30a（図6参照）とが、互いに接触しないような距離となっている。つまり、間隔W6は、膨出部30aの第1膨出量W4を2倍した長さよりも長い。これによれば、第2補助パッド32と第4補助パッド34とが電氣的に接続せず、第1パッド22aと第2パッド23aとのショートを実際に回避できる。なお、アノード3b等と第2パッド等との接合方法が溶着でなく、異方性導電フィルム40（図9参照）の場合、間隔W6は、金属粒子42の粒径よりも大きければ、絶縁性が確保される。

[0063] （変形例2）

図13は、変形例2に係る補助パッドを平面視した平面図である。変形例2に係るアレイ基板2の補助パッド30Bは、実施形態1と同様に5つ設けられている。一方で、第1パッド22aと第1補助パッド31との間隔と、第2パッド23aと第5補助パッド35との間隔は、共にW11である。第1補助パッド31と第2補助パッド32の間隔と、第4補助パッド34と第5補助パッド35との間隔は、共にW12である。第2補助パッド32と第3補助パッド33との間隔と、第3補助パッド33と第4補助パッド34との間隔は、共にW13である。そして、間隔W11、W12、W13の順で距離が長くなっている。よって、補助パッド30Bの配列する第1方向Dxの中央部に向かうにつれて間隔が大きくなっている。つまり、本開示の補助パッドは、隣り合う補助パッド30等との距離が一定でなくてもよい。

[0064] （変形例3）

図14は、変形例3に係る補助パッドを平面視した平面図である。変形例3に係るアレイ基板2の補助パッド30Cは、5つ設けられている。第1補助パッド31C、第2補助パッド32C、第3補助パッド33C、第4補助

パッド34C、及び第5補助パッド35Cは、それぞれ、第2方向D_yの一端から他端に向かって第1方向D_xの一方と他方に交互に突出する波状となっている。よって、本開示の補助パッドは、長形状のものに限定されず、第1パッド22aや第2パッド23aの縁部の形状に対応したものであってもよい。

[0065] (変形例4)

図15は、変形例4に係る補助パッドを平面視した平面図である。変形例4に係るアレイ基板2の補助パッド30Dは、平面視で正方形を成す正方形補助パッド36である。正方形補助パッド36は、複数設けられており、第1方向D_x及び第2方向D_yに等間隔で配置されている。この正方形補助パッド36によれば、アノード3bやカソード3aに押し潰された場合、第1方向D_xや第2方向D_yに膨出するようになる。

[0066] (変形例5)

図16は、変形例5に係る補助パッドを平面視した平面図である。変形例5に係るアレイ基板2の補助パッド30Eは、第1パッド22aと第2パッド23aの周囲を囲む複数の周辺補助パッド37a、37b、37c、37d、38a、38b、38c、38dから構成される。周辺補助パッド37a、37cは、第1パッド22aから離隔しつつ、第1パッド22aを第1方向D_xから挟んでいる。周辺補助パッド37b、37dは、第1パッド22aから離隔しつつ、第1パッド22aを第2方向D_yから挟んでいる。周辺補助パッド38a、38cは、第2パッド23aから離隔しつつ、第2パッド23aを第1方向D_xから挟んでいる。周辺補助パッド38b、38dは、第2パッド23aから離隔しつつ、第2パッド23aを第2方向D_yから挟んでいる。実施形態や他の変形例によれば、アノード3b及びカソード3aが、第1パッド22aと第2パッド23aとの間に位置ずれした場合、補助パッドと接触するようになっているが、この変形例5によれば、第1パッド22aと第2パッド23aとの間に以外の個所に、アノード3b及びカソード3aが位置ずれしても、第1パッド22aや第2パッド23aとの導

通が可能となる。

[0067] (変形例6)

図17は、変形例6に係る補助パッドを平面視した平面図である。変形例6に係るアレイ基板2の補助パッド30Fは、第1パッド22aと第2パッド23aの周囲を囲む矩形枠状の枠状補助パッド39である。この枠状補助パッド39であっても、変形例5と同様な効果を得ることができる。

[0068] 以上、実施形態と変形例に係る配線基板、表示装置について説明したが、本開示の補助パッドは少なくとも1つ有していれば、接続部の電気抵抗の増加を抑制できる。よって、第1パッド22a（カソード用パッド）又は第2パッド23a（アノード用パッド）の縁部の近傍に補助パッドが一つの配置されているものも本開示の配線基板、表示装置に含まれる。

符号の説明

- [0069] 1、1A、1B 表示装置
- 2 アレイ基板（配線基板）
- 3 発光素子
- 3a カソード
- 3b アノード
- 21 基板
- 22 第1電極
- 22a 第1パッド（カソード用パッド）
- 23 第2電極
- 23a 第2パッド（アノード用パッド）
- 30、30A、30B、30C、30D、30E、30F 補助パッド
- 30a、35a 膨出部
- 31、31C 第1補助パッド
- 32、32C 第2補助パッド
- 33、33C 第3補助パッド
- 34、34C 第4補助パッド

35、35C 第5補助パッド

36 正方形補助パッド

37a、37b、37c、37d、38a、38b、38c、38d 周
辺補助パッド

39 枠状補助パッド

50 導電性材料

96 第6絶縁膜（絶縁膜）

96a 第1面

97 第7絶縁膜

請求の範囲

- [請求項1] 基板と、
 前記基板に積層される絶縁膜と、
 前記絶縁膜の第1面に積層され、無機発光ダイオードのアノードと電気的に接続されるアノード用パッドと、
 前記絶縁膜の第1面に積層され、前記無機発光ダイオードのカソードと電気的に接続されるカソード用パッドと、
 前記絶縁膜の第1面に設けられ、かつ導電性を有する補助パッドと、
 を備え、
 前記補助パッドは、前記アノード用パッド又は前記カソード用パッドの縁部の近傍にフローティング状態で配置されている
 配線基板。
- [請求項2] 前記補助パッドは、熔融された場合、前記アノード又は前記カソードに押し潰されて前記絶縁膜の第1面と平行な平面方向に膨出し、かつ前記平面方向に膨出したときの量が第1膨出量を有しており、
 前記補助パッドは、前記平面方向に隣り合う前記アノード用パッド又は前記カソード用パッドとの距離と、前記平面方向に隣り合う他の前記補助パッドとの距離と、が前記第1膨出量よりも小さい
 請求項1に記載の配線基板。
- [請求項3] 前記補助パッドは、前記絶縁膜の第1面と平行な平面方向に隣り合う前記アノード用パッド又は前記カソード用パッドとの距離と、前記平面方向に隣り合う他の前記補助パッドとの距離と、が異方性導電フィルムに含まれる金属粒子の粒径よりも小さい
 請求項1に記載の配線基板。
- [請求項4] 前記補助パッドは、前記絶縁膜の第1面に前記アノード用パッドが積層される積層方向から視て、前記アノード用パッドと前記カソード用パッドとが配置される方向と直交する直交方向に長く、

前記補助パッドは、前記アノード用パッドと前記カソード用パッドとの間に、複数配列している

請求項 1 から請求項 3 のいずれか 1 項に記載の配線基板。

[請求項5] 複数の前記補助パッドは、前記アノード用パッドと前記カソード用パッドとが配置される方向に等間隔で配置されている

請求項 4 に記載の配線基板。

[請求項6] 請求項 2 に記載の配線基板と、
溶融した前記アノード用パッド及び前記カソード用パッドに前記アノード及び前記カソードが押し付けて接合した無機発光ダイオードと、
、

を備え、

前記補助パッドは、前記平面方向に隣り合う前記アノード用パッド又は前記カソード用パッドに接続する、若しくは前記平面方向に隣り合う他の前記補助パッドに接続する、膨出部を有する

表示装置。

[請求項7] 請求項 3 に記載の配線基板と、
複数の金属粒子を含み、前記アノード用パッド及び前記カソード用パッドと前記補助パッドに跨って積層された異方性導電フィルムと、
溶融した前記異方性導電フィルムに前記アノードと前記カソードを押し付けて接合した無機発光ダイオードのアノードと、

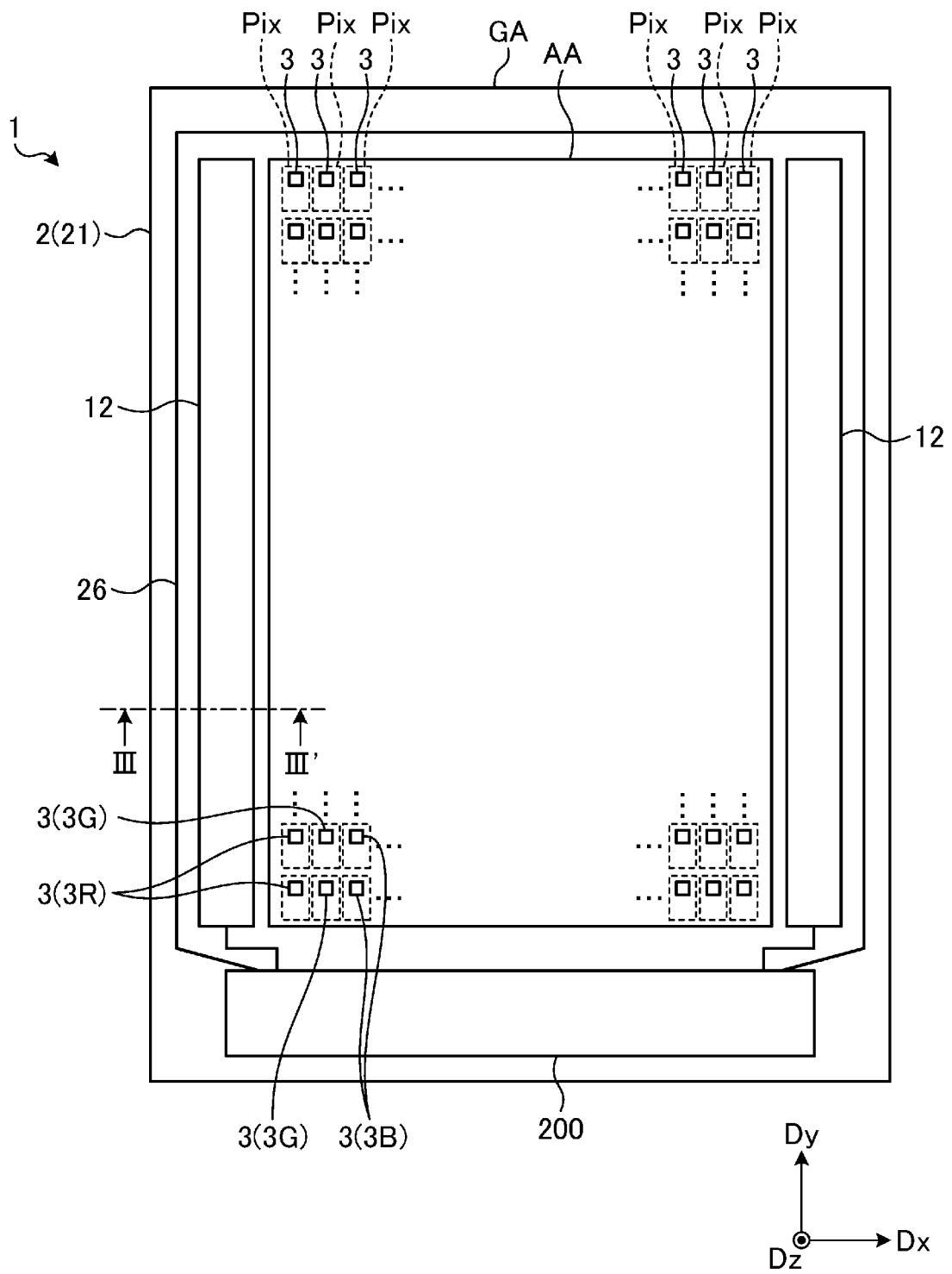
を備え、

前記無機発光ダイオードは、複数の前記金属粒子を介して前記アノード用パッドと前記カソード用パッドと前記補助パッドと電氣的に接続し、

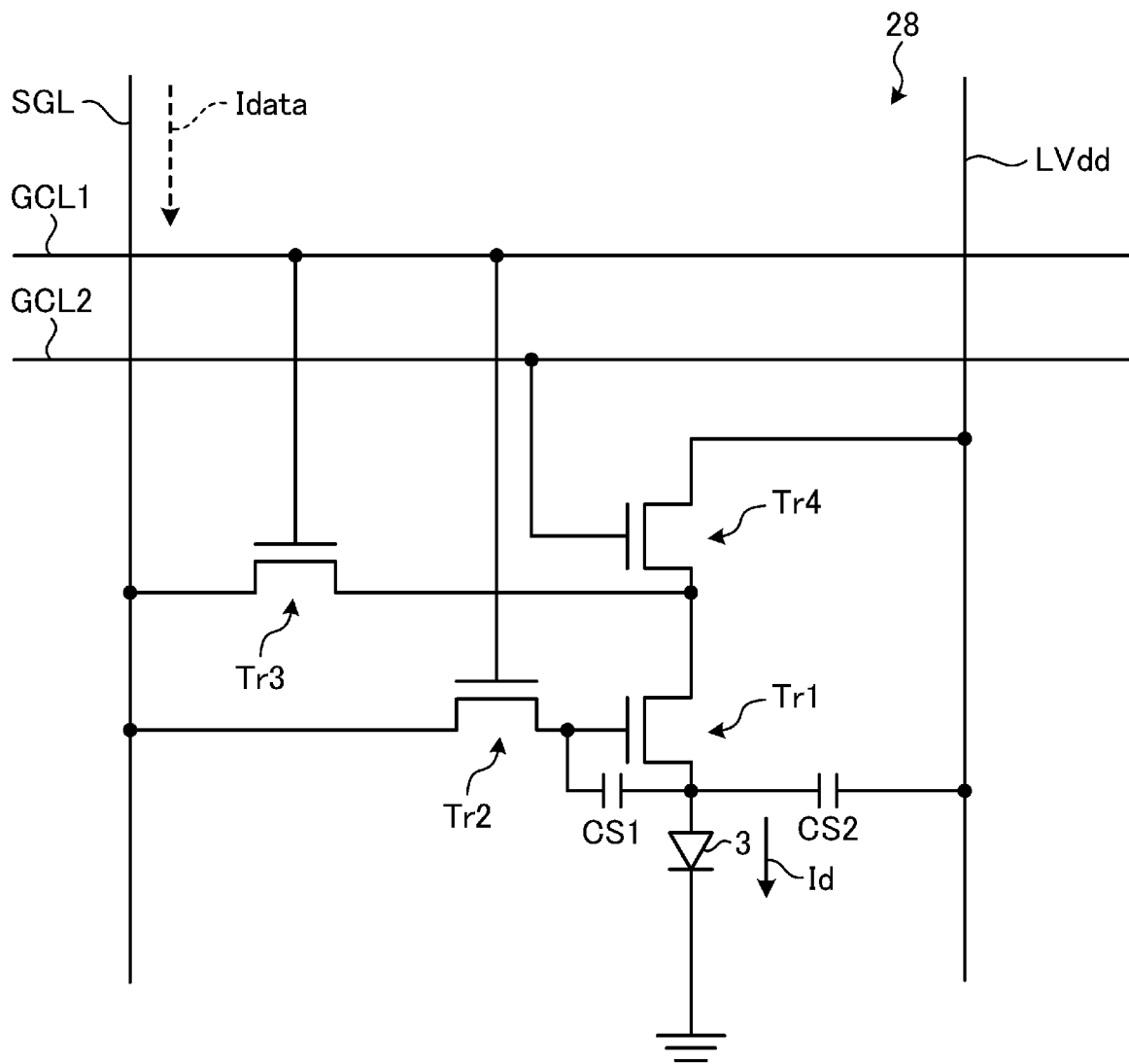
前記補助パッドは、複数の前記金属粒子を介して前記アノード用パッドと前記カソード用パッドと電氣的に接続している

表示装置。

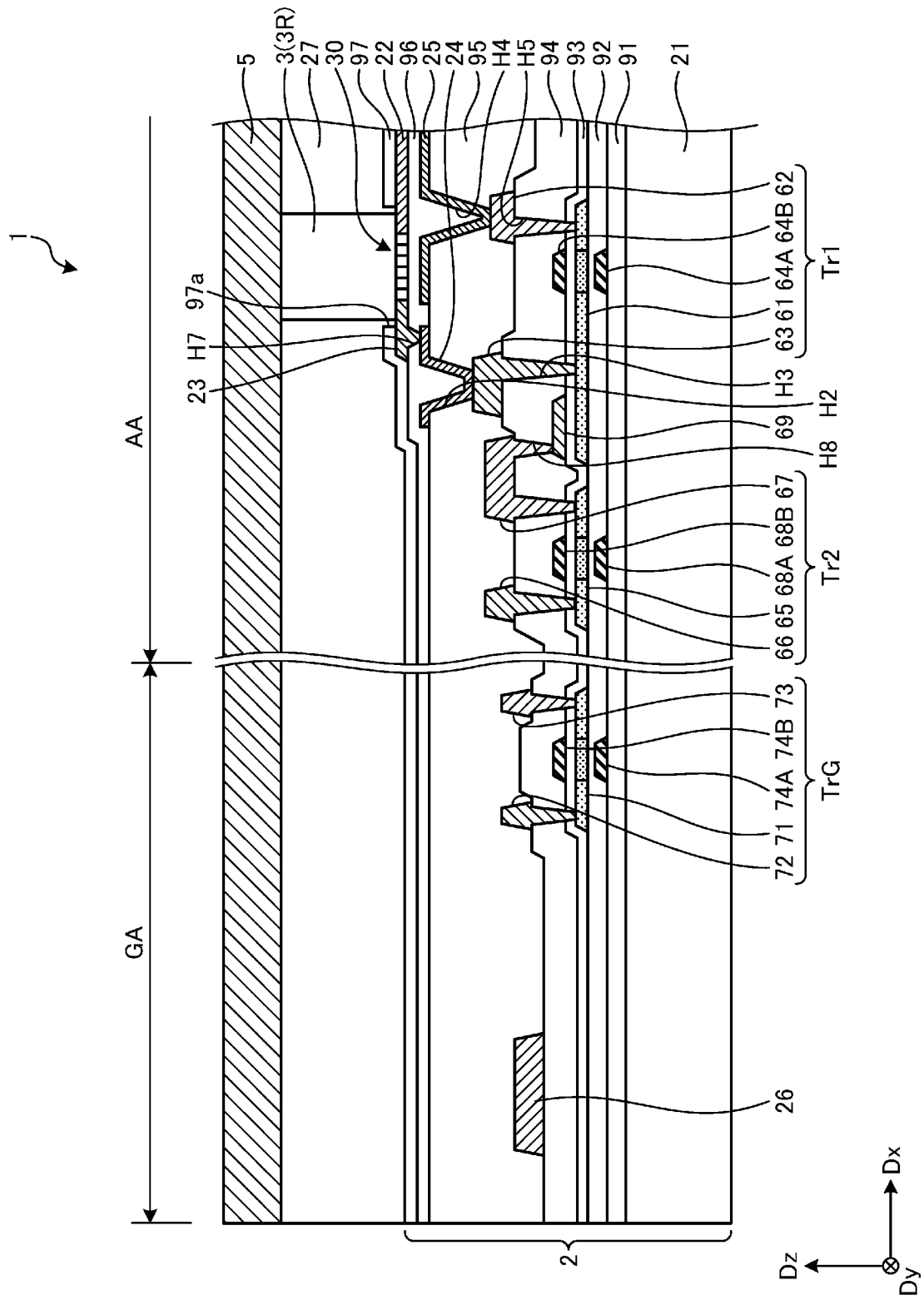
[図1]



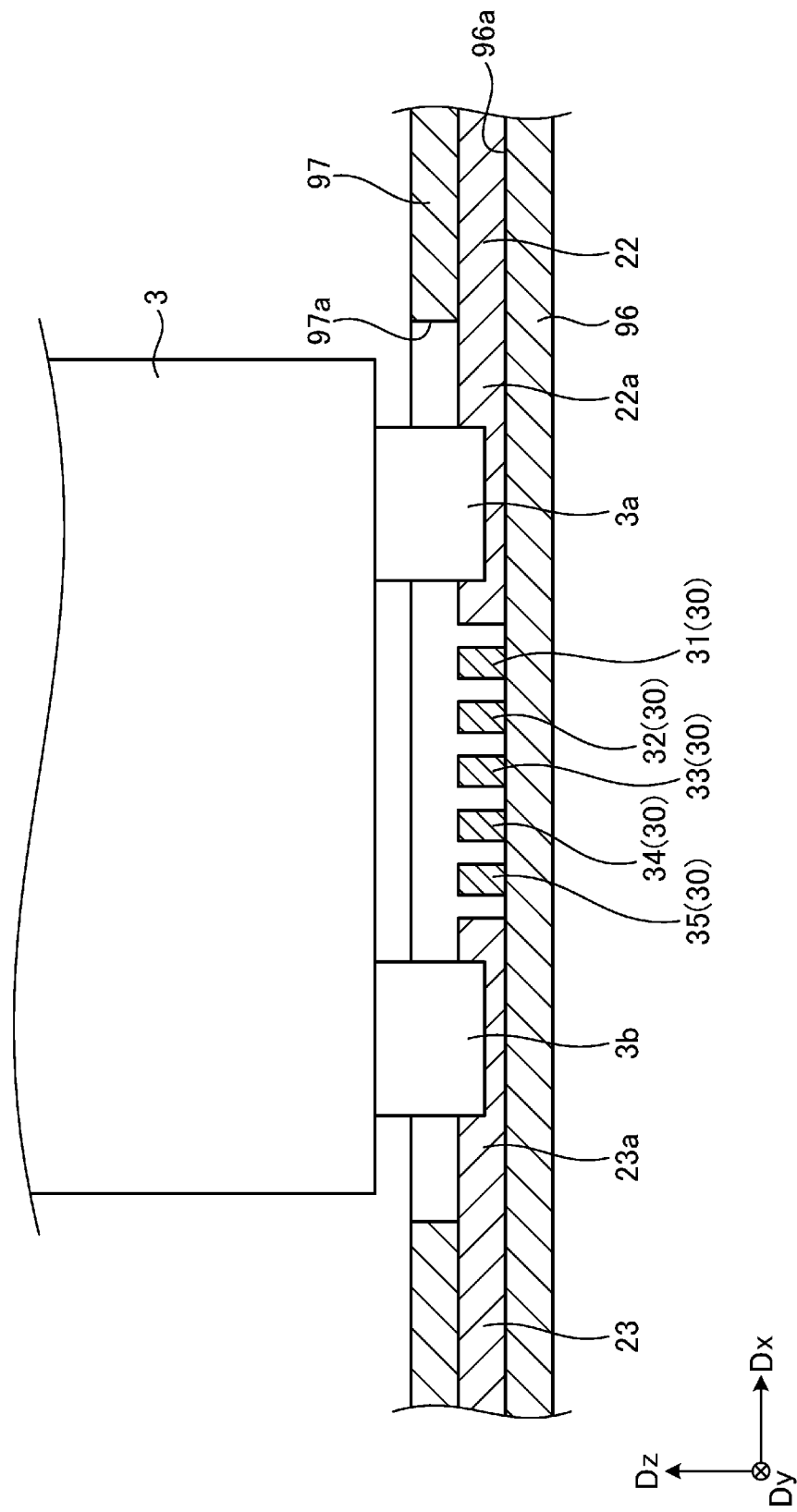
[図2]



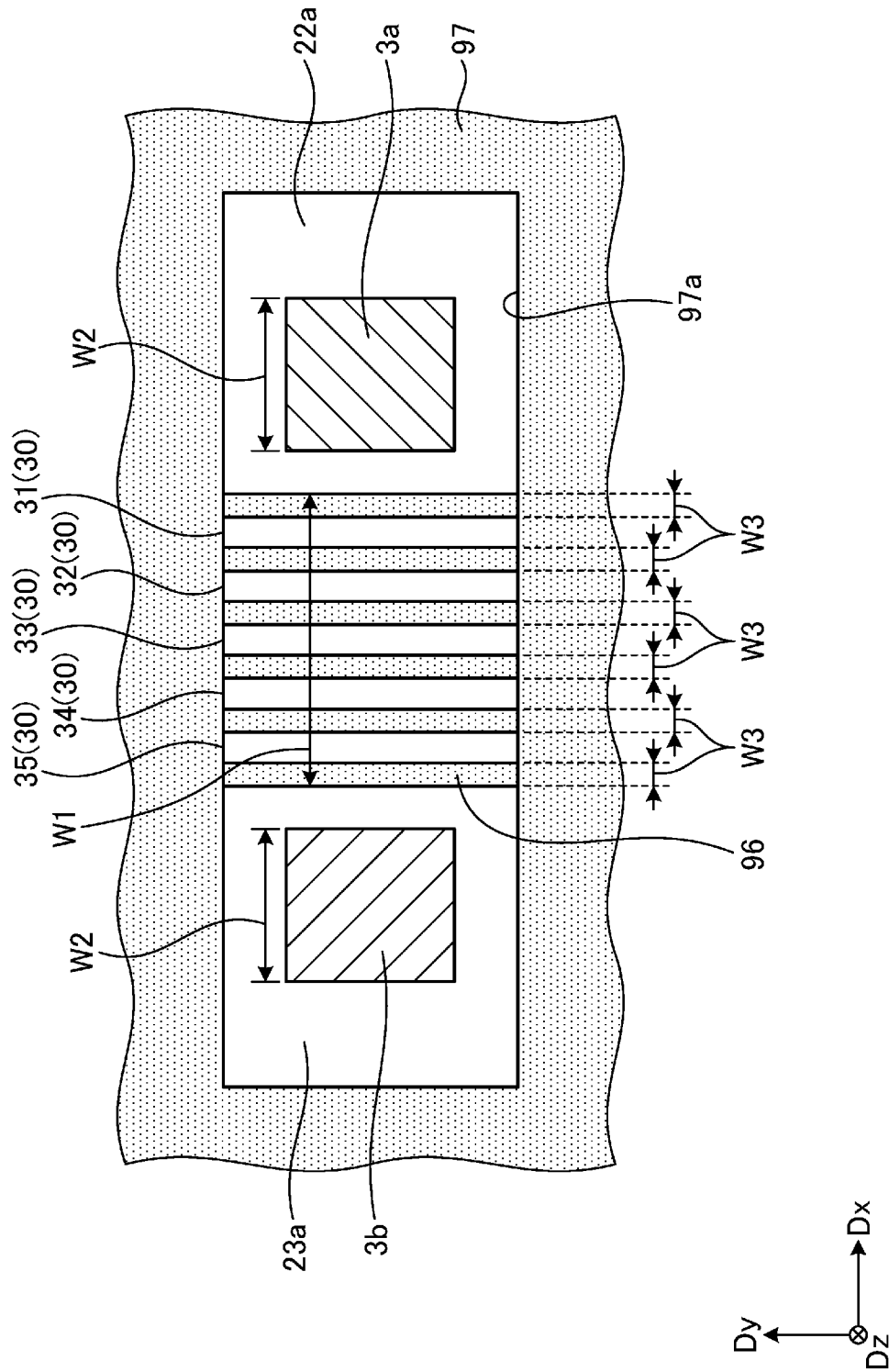
[図3]



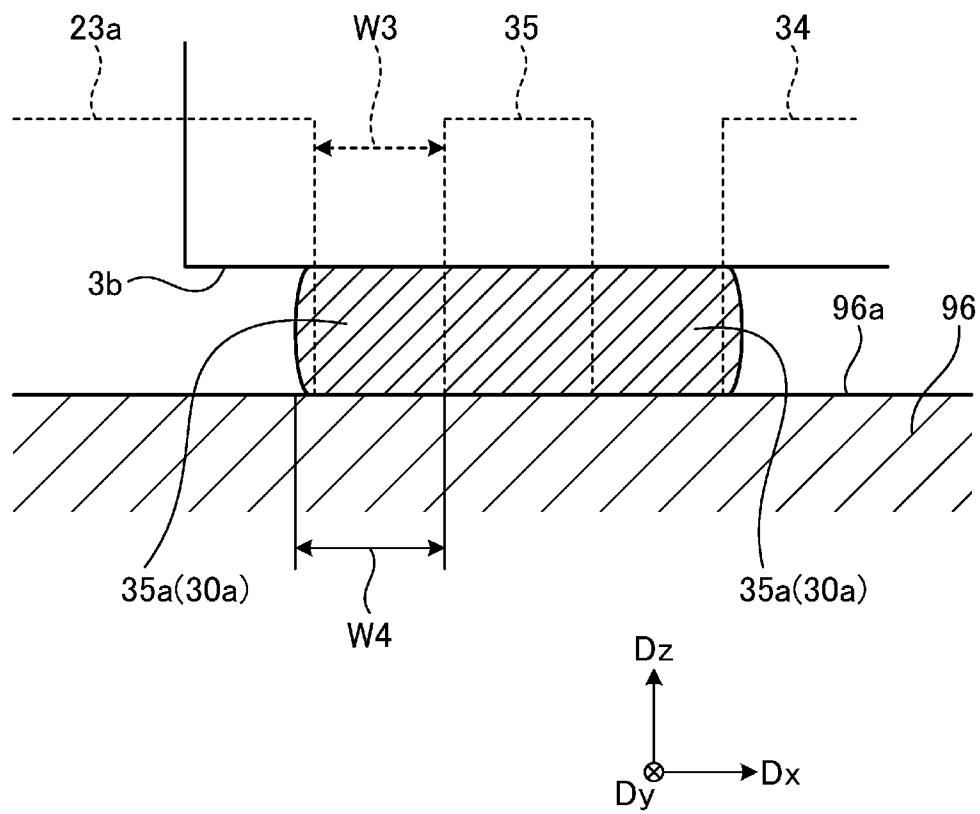
[図4]



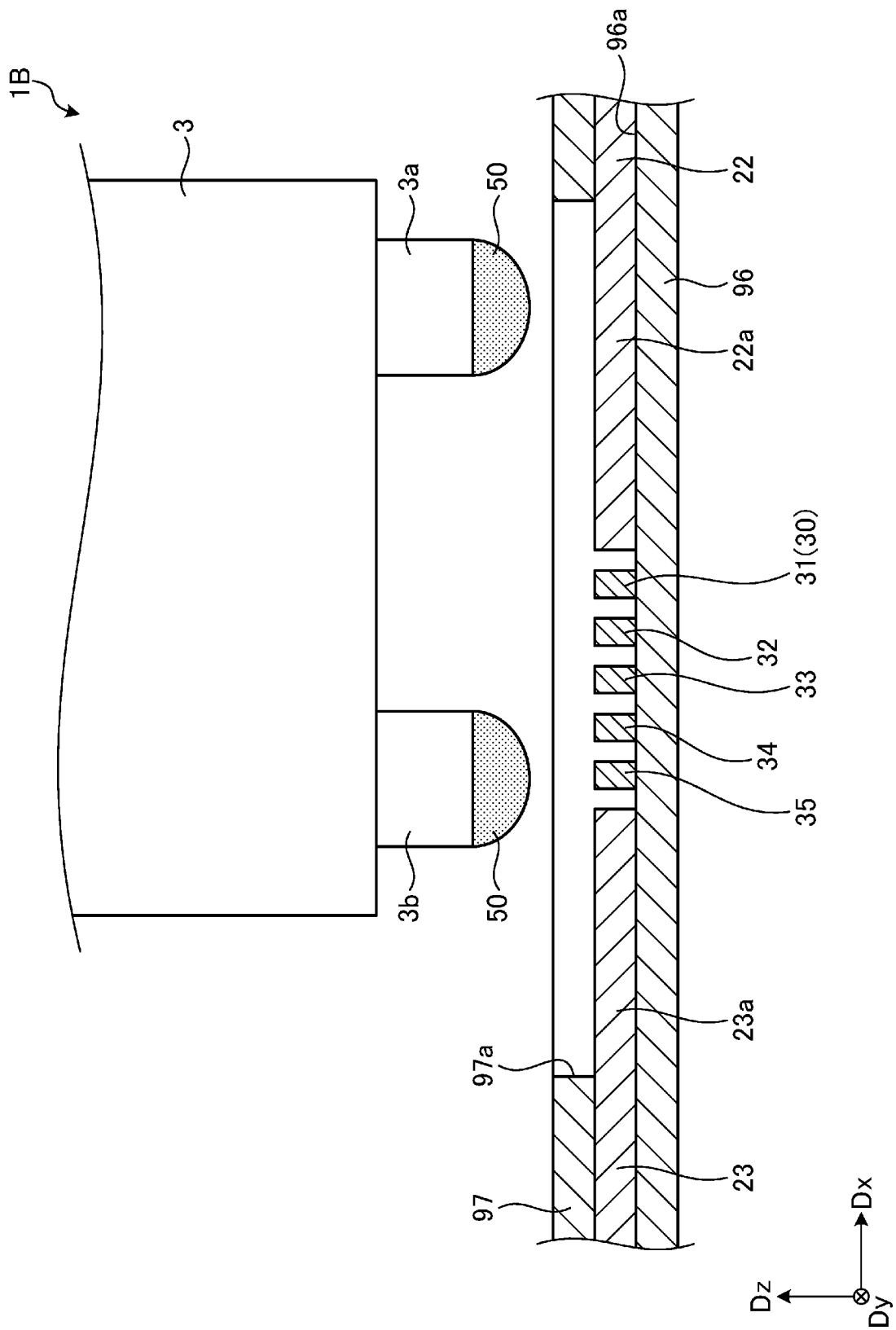
[図5]



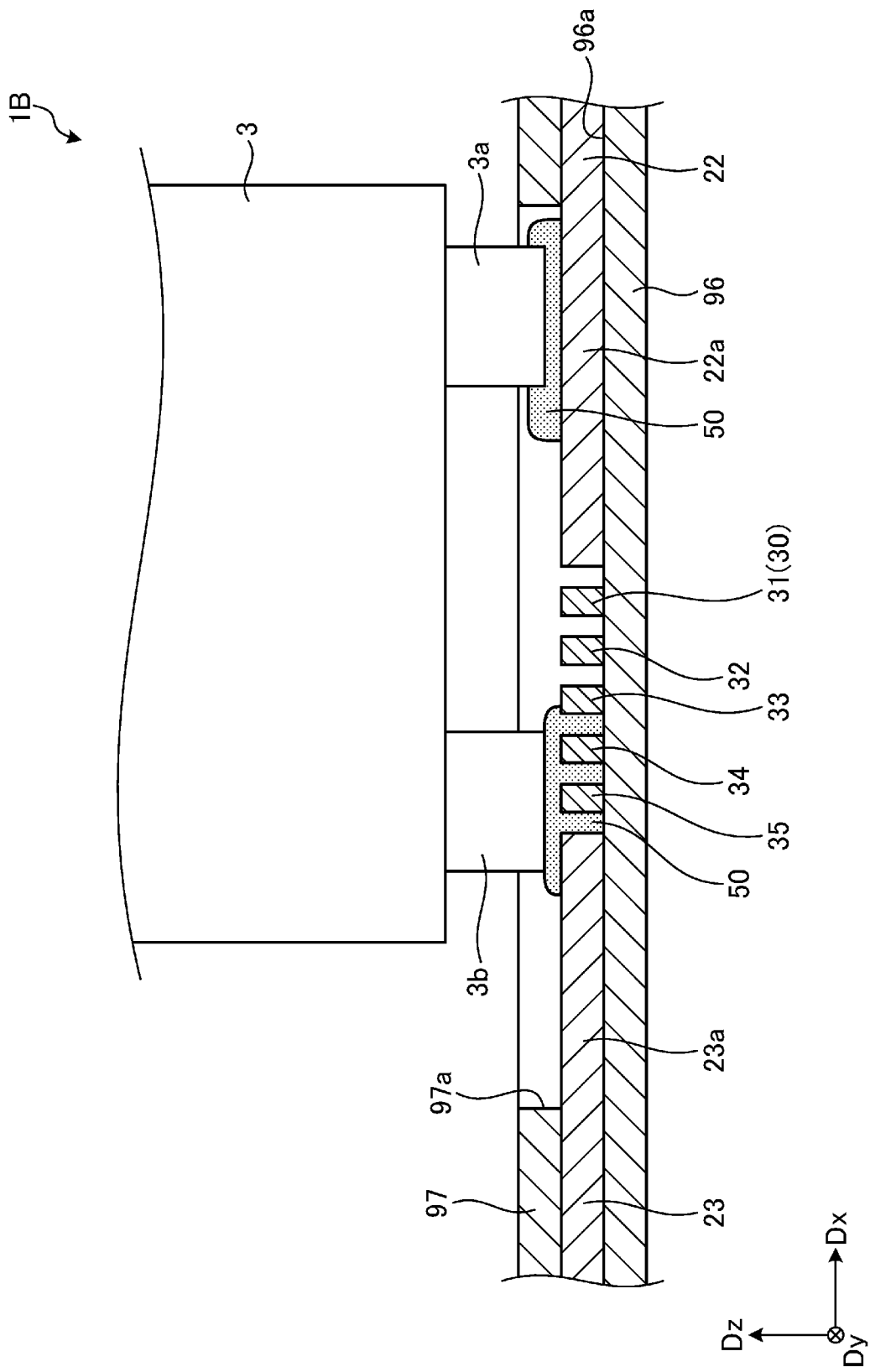
[図6]



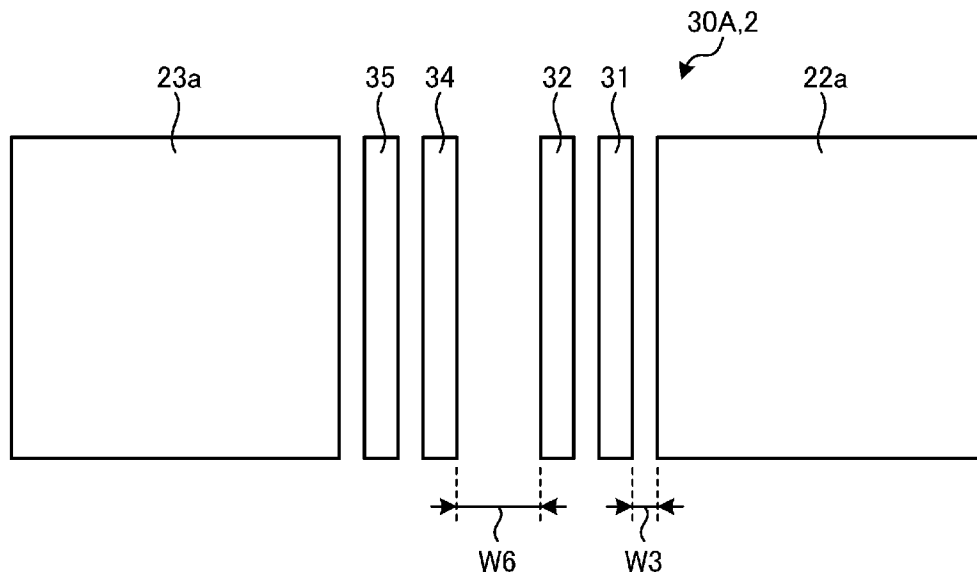
[図10]



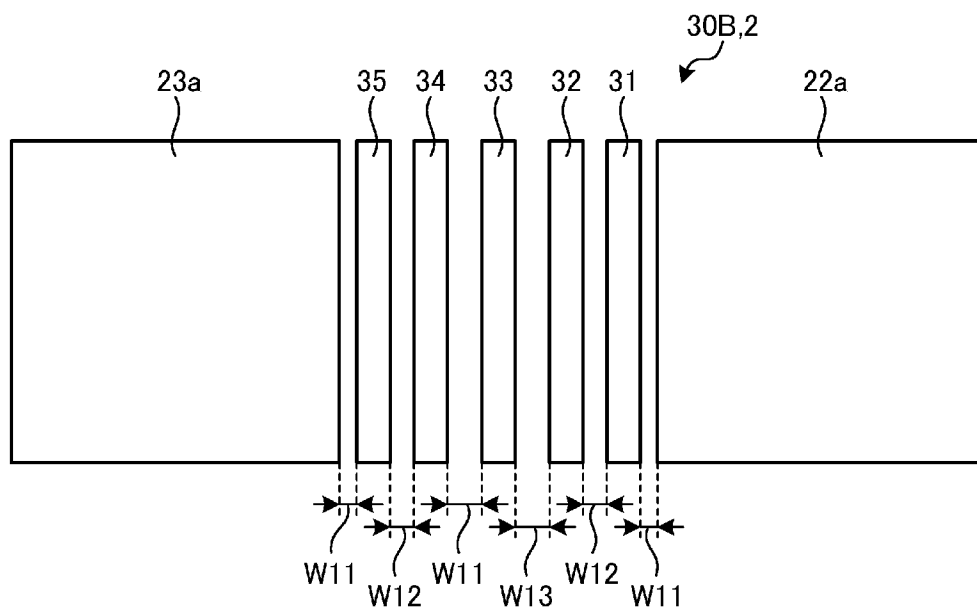
[図11]



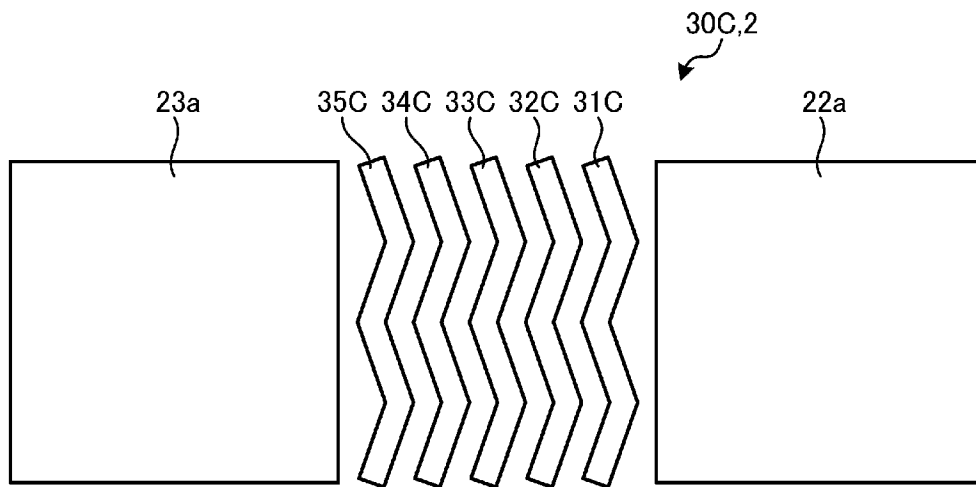
[図12]



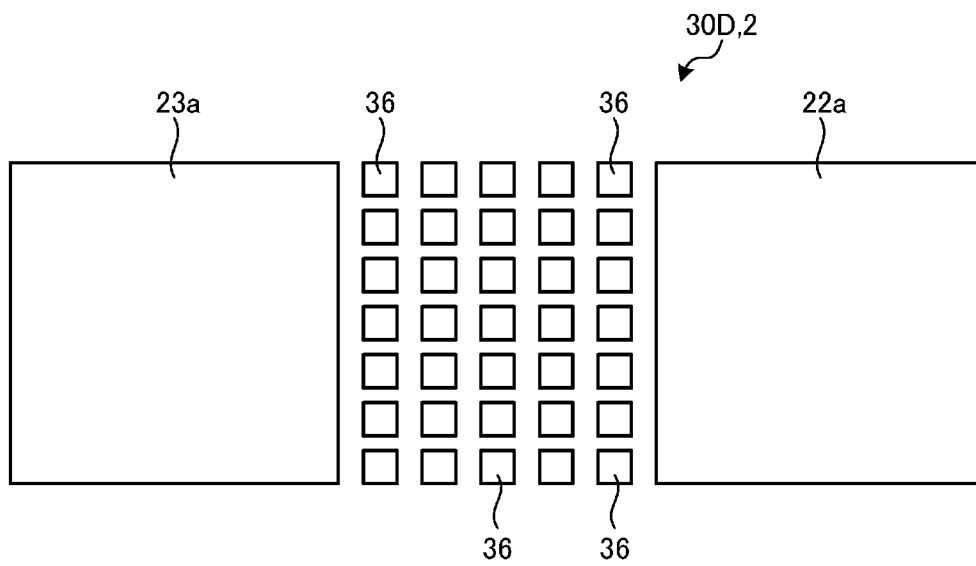
[図13]



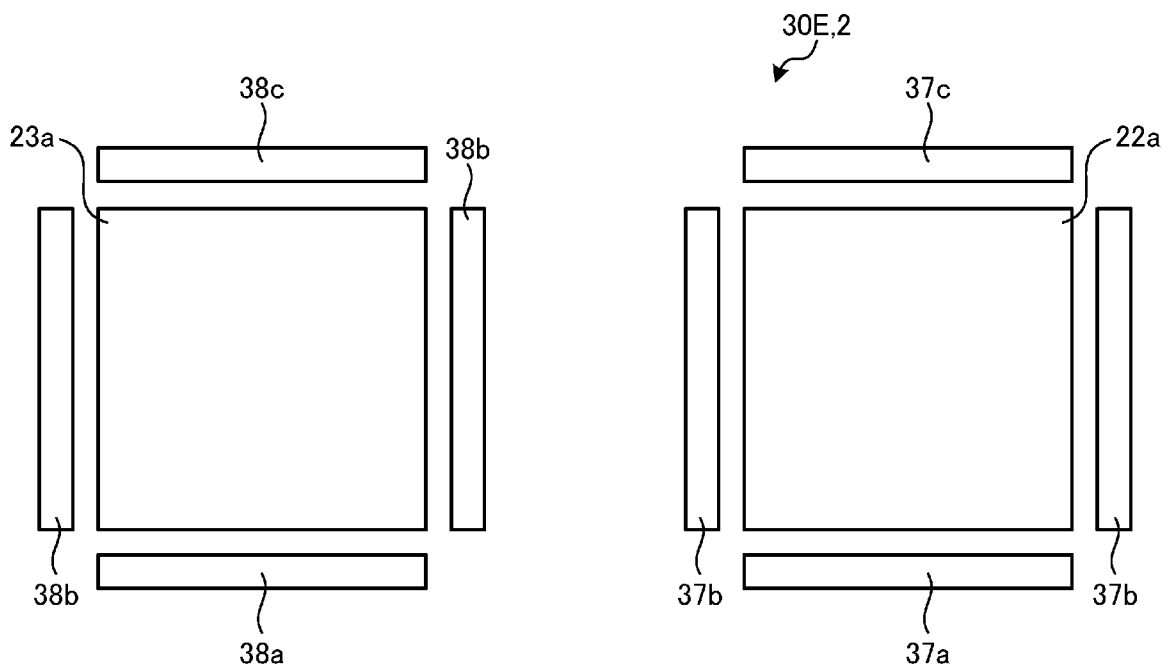
[図14]



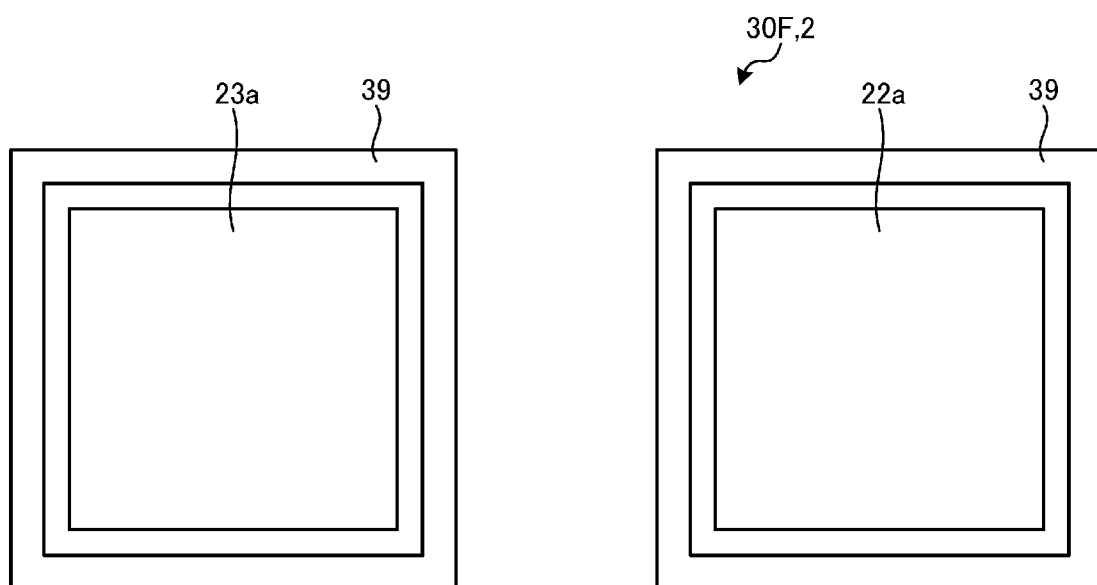
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/001597

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L33/62 (2010.01) i, G09F9/00 (2006.01) i, G09F9/30 (2006.01) i, G09F9/33 (2006.01) i

FI: H01L33/62, G09F9/33, G09F9/30 365, G09F9/30 337, G09F9/00 348Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2019/230260 A1 (JAPAN DISPLAY INC.) 05 December	1
A	2019, paragraphs [0034]-[0038], fig. 4, 5	2-7
Y	JP 2013-225646 A (TOYODA GOSEI CO., LTD.) 31	1
	October 2013, paragraphs [0022], [0086]-[0094],	
	fig. 14	
A	WO 2011/129313 A1 (SONY CHEMICAL & INFORMATION	1-7
	DEVICE CORPORATION) 20 October 2011, entire text,	
	all drawings	
A	US 2020/0083415 A1 (LG ELECTRONICS INC.) 12 March	1-7
	2020, entire text, all drawings	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22.03.2021

Date of mailing of the international search report
06.04.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/001597

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2019/230260 A1	05.12.2019	(Family: none)	
JP 2013-225646 A	31.10.2013	US 2013/0248916 A1 paragraphs [0029], [0111]-[0119], fig. 14	
WO 2011/129313 A1	20.10.2011	CN 102823084 A KR 10-2012-0135006 A TW 201145620 A	
US 2020/0083415 A1	12.03.2020	WO 2017/142315 A1 KR 10-2017-0096471 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 33/62(2010.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i FI: H01L33/62; G09F9/33; G09F9/30 365; G09F9/30 337; G09F9/00 348Z										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01L33/00-33/64										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2021年									
日本国実用新案登録公報	1996-2021年									
日本国登録実用新案公報	1994-2021年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y	WO 2019/230260 A1（株式会社ジャパンディスプレイ）05.12.2019（2019-12-05） 段落0034-0038, 図4-5	1								
A		2-7								
Y	JP 2013-225646 A（豊田合成株式会社）31.10.2013（2013-10-31） 段落0022, 0086-0094, 図14	1								
A	WO 2011/129313 A1（ソニーケミカル&インフォメーションデバイス株式会社） 20.10.2011（2011-10-20） 全文, 全図	1-7								
A	US 2020/0083415 A1（LG ELECTRONICS INC.）12.03.2020（2020-03-12） 全文, 全図	1-7								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 22.03.2021		国際調査報告の発送日 06.04.2021								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 高 棕 健 司 2K 3715 電話番号 03-3581-1101 内線 3255								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/001597

引用文献			公表日	パテントファミリー文献	公表日
WO	2019/230260	A1	05.12.2019	(ファミリーなし)	
JP	2013-225646	A	31.10.2013	US 2013/0248916 A1	
				段落0029, 0111-0119, 図14	
WO	2011/129313	A1	20.10.2011	CN 102823084 A	
				KR 10-2012-0135006 A	
				TW 201145620 A	
US	2020/0083415	A1	12.03.2020	WO 2017/142315 A1	
				KR 10-2017-0096471 A	