

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年4月5日(2007.4.5)

【公開番号】特開2006-156608(P2006-156608A)

【公開日】平成18年6月15日(2006.6.15)

【年通号数】公開・登録公報2006-023

【出願番号】特願2004-343274(P2004-343274)

【国際特許分類】

H 01 L 21/8246 (2006.01)

H 01 L 27/105 (2006.01)

H 01 L 43/08 (2006.01)

【F I】

H 01 L 27/10 4 4 7

H 01 L 43/08 Z

【手続補正書】

【提出日】平成19年2月1日(2007.2.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリ層にTMR素子を用いる磁気メモリにおいて、前記メモリ層の素子を構成する強磁性層が引張ひずみ状態となっており、前記強磁性層はFe, Co, Niのいずれかを含み、前記強磁性層に隣接する配線層はRu, W, Ir, Os, Moのいずれかを含むことを特徴とする磁気メモリ。

【請求項2】

メモリ層にTMR素子を用いる磁気メモリの製造方法において、前記メモリ層の素子を構成する強磁性層をFe, Co, Niのいずれかを含む材料で製膜し、前記強磁性層に隣接する配線層をRu, W, Ir, Os, Moのいずれかを含む材料で製膜し、前記配線層をスパッタリングにより製膜することを特徴とする磁気メモリの製造方法。

【請求項3】

メモリ層にTMR素子を用いる磁気メモリの製造方法において、前記メモリ層の素子を構成する強磁性層を製膜し、前記強磁性層と隣接する配線層がTiN, TaN, RuO₂のいずれかのバリアメタルを有し、前記バリアメタルをスパッタリングすることにより製膜し、前記配線層をRu, W, Ir, Os, Moのいずれかを含む材料でスパッタリングにより製膜することを特徴とする磁気メモリの製造方法。

【請求項4】

メモリ層にTMR素子を用いる磁気メモリの製造方法において、前記メモリ層の素子を構成する強磁性層を製膜し、前記強磁性層と隣接する配線層がTiN, TaN, RuO₂のいずれかのバリアメタルを有し、前記バリアメタルをTi, Ta, Ruのいずれかをスパッタリングで堆積した後、窒化、あるいは酸化を行うことにより製膜し、前記配線層をRu, W, Ir, Os, Moのいずれかを含む材料でスパッタリングにより製膜することを特徴とする磁気メモリの製造方法。

【請求項5】

メモリ層にTMR素子を用い、前記メモリ層が上部および下部配線層の交点に配置される磁気メモリにおいて、前記メモリ層の素子を構成する強磁性層が引張ひずみ状態となって

おり，前記強磁性層はFe，Co，Niのいずれかを材料として含み，前記配線層を構成する材料として，前記強磁性層に接する部分に関してはRu，W，Ir，Os，Moのいずれかを含み，その他の配線部分にはAl，Cu，Ag，Auのいずれかを含むことを特徴とする磁気メモリ。

【請求項 6】

メモリ層にTMR素子を用い，前記メモリ層が上部および下部配線層の交点に配置される磁気メモリの製造方法において，前記メモリ層の素子を構成する強磁性層を製膜し，前記配線層を構成する材料として，前記強磁性層に接する部分に関してはRu，W，Ir，Os，Moのいずれかを含み，前記配線層をスパッタリングにより製膜することを特徴とする磁気メモリの製造方法。