(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0081398
(43) 공개일자 2024년06월07일

(51) 국제특허분류(Int. Cl.)
H03M 1/10 (2006.01) *H03M 1/06* (2006.01)
H03M 1/46 (2006.01) *H03M 7/16* (2006.01)
(52) CPC특허분류
H03M 1/1033 (2013.01)
H03M 1/0612 (2013.01)
(21) 출원번호 10-2023-0168253
(22) 출원일자 2023년11월28일
심사청구일자 2023년11월28일
(30) 우선권주장
1020220164934 2022년11월30일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
김창주
서울특별시 양천구 목동서로 400(신정동, 목동신시가지아파트10단지)
(뒷면에 계속)
(74) 대리인
특허법인주연케이알피

전체 청구항 수 : 총 8 항

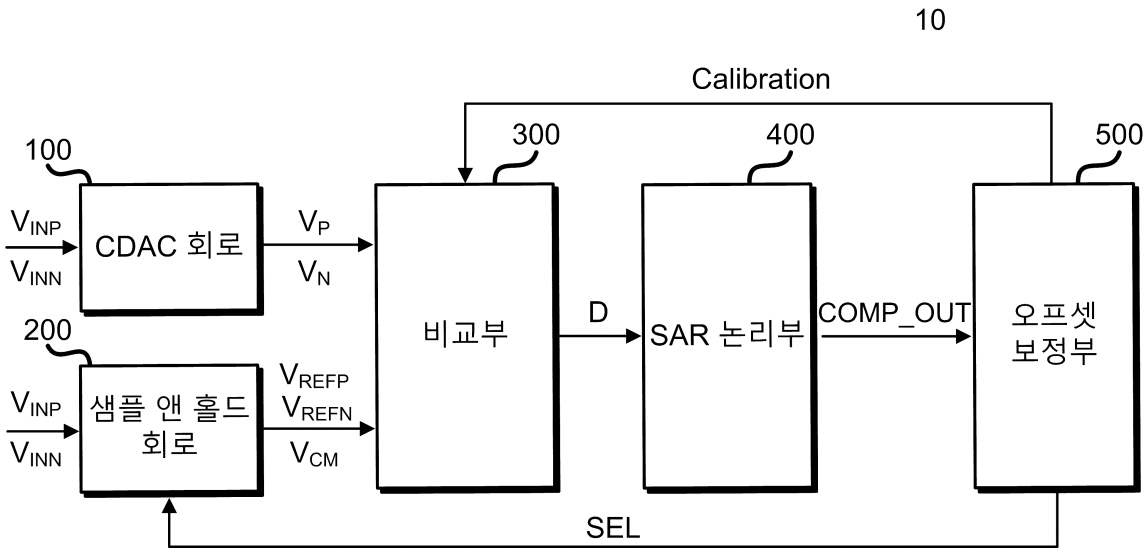
(54) 발명의 명칭 **비교기의 오프셋을 보정하는 SAR 아날로그-디지털 변환기 및 그 동작 방법**

(57) 요 약

본 발명은 SAR 아날로그-디지털 변환기에 관한 발명이다. 본 발명의 일 실시 예에 있어서 SAR 아날로그-디지털 변환기는 차동 입력 전압을 수신하고, 상기 차동 입력 전압을 비교 입력 전압으로 컨버팅하는 CDAC(Capacitor Digital-to-Analog Converter) 회로; 상기 차동 입력 전압을 수신하고, 상기 차동 입력 전압을 공통 모드 전압

(뒷면에 계속)

대 표 도 - 도1



또는 기준 전압으로 샘플링하는 샘플 앤 홀드(Sample and Hold) 회로; 각각 4개의 입력을 가지는 제1 내지 제3 비교기를 포함하고, 상기 비교 입력 전압, 상기 공통 모드 전압 또는 상기 기준 전압을 수신하여 클럭 사이클에 기초하여 제1 내지 제3 디지털 값을 출력하는 비교부; 상기 제1 내지 제3 디지털 값에 기초하여 N비트의 제1 내지 제3 디지털 신호를 출력하는 SAR(Successive Approximation Register) 논리부; 및 상기 제1 내지 제3 디지털 신호에 기초하여 상기 제1 내지 제3 비교기의 오프셋을 보정하는 오프셋 보정부를 포함하고, 상기 비교부는, 제1 클럭 사이클 동안 상기 제1 내지 제3 비교기 중 어느 하나로부터 최상위 비트를 분해하고, 상기 제1 내지 제3 비교기 중 나머지로부터 오프셋을 감지할 수 있다.

(52) CPC특허분류
H03M 1/468 (2013.01)
H03M 7/165 (2013.01)

(72) 발명자
박수호
서울특별시 성북구 고려대로17가길 64(안암동1가, 래미안 안암)
최요한
서울특별시 성북구 화랑로37길 7(장위동, 모아 뉴캐슬)
장석원
경기도 파주시 송학길 42-24(야당동, 자연애가)
이우진
경기도 성남시 분당구 정자일로 100(정자동, 미켈란쉐르빌)
정현도
경기도 고양시 일산서구 하이파크2로59번길 7(덕이동, 하이파크시티일산파밀리에3단지)

명 세 서

청구범위

청구항 1

차동 입력 전압을 수신하고, 상기 차동 입력 전압을 비교 입력 전압으로 컨버팅하는 CDAC(Capacitor Digital-to-Analog Converter) 회로;

상기 차동 입력 전압을 수신하고, 상기 차동 입력 전압을 공통 모드 전압 또는 기준 전압으로 샘플링하는 샘플 앤 홀드(Sample and Hold) 회로;

각각 4개의 입력을 가지는 제1 내지 제3 비교기를 포함하고, 상기 비교 입력 전압, 상기 공통 모드 전압 또는 상기 기준 전압을 수신하여 클럭 사이클에 기초하여 제1 내지 제3 디지털 값을 출력하는 비교부;

상기 제1 내지 제3 디지털 값에 기초하여 N비트의 제1 내지 제3 디지털 신호를 출력하는 SAR(Successive Approximation Register) 논리부; 및

상기 제1 내지 제3 디지털 신호에 기초하여 상기 제1 내지 제3 비교기의 오프셋을 보정하는 오프셋 보정부를 포함하고,

상기 비교부는,

제1 클럭 사이클 동안 상기 제1 내지 제3 비교기 중 어느 하나로부터 최상위 비트를 분해하고, 상기 제1 내지 제3 비교기 중 나머지로부터 오프셋을 감지하는 SAR 아날로그-디지털 변환기.

청구항 2

제1항에 있어서,

상기 비교부는,

제2 내지 제4 클럭 사이클 동안 상기 제1 내지 제3 비교기로부터 클럭 사이클 당 2-비트를 분해하는 SAR 아날로그-디지털 변환기.

청구항 3

제2항에 있어서,

상기 비교부는,

양의 비교 입력 전압과 상기 공통 모드 전압을 합한 제1 결과값과 음의 비교 입력 전압과 상기 공통 모드 전압을 합한 제2 결과값을 비교하여 상기 최상위 비트를 분해하고,

양의 비교 입력 전압과 음의 기준 전압을 합한 제3 결과값과 음의 비교 입력 전압과 양의 기준 전압을 합한 제4 결과값을 비교하여 상기 오프셋을 감지하는 SAR 아날로그-디지털 변환기.

청구항 4

제1항에 있어서,

상기 SAR 아날로그-디지털 변환기는:

상기 제1 내지 제3 디지털 신호를 수신하여 온도계-이진(Thermometer to Binary) 코드로 출력 신호를 출력하는 디코더; 및

상기 제1 내지 제3 디지털 신호를 수신하여 클럭 사이클 당 2-비트를 분해하기 위한 상기 CDAC 회로의 스위치를 제어하는 스위칭 로직부를 더 포함하는 SAR 아날로그-디지털 변환기.

청구항 5

SAR 아날로그-디지털 변환기의 동작 방법에 있어서,

차동 입력 전압을 수신하고, 상기 차동 입력 전압을 비교 입력 전압으로 컨버팅하는 단계;

상기 차동 입력 전압을 수신하고, 상기 차동 입력 전압을 공통 모드 전압 또는 기준 전압으로 샘플링하는 단계;

각각 4개의 입력을 가지는 제1 내지 제3 비교기를 포함하고, 상기 비교 입력 전압, 상기 공통 모드 전압 또는 상기 기준 전압을 수신하여 클럭 사이클에 기초하여 제1 내지 제3 디지털 값을 출력하는 단계;

상기 제1 내지 제3 디지털 값에 기초하여 N비트의 제1 내지 제3 디지털 신호를 출력하는 단계; 및

상기 제1 내지 제3 디지털 신호에 기초하여 상기 제1 내지 제3 비교기의 오프셋을 보정하는 단계를 포함하고,

상기 제1 내지 제3 디지털 값을 출력하는 단계는;

제1 클럭 사이클 동안 상기 제1 내지 제3 비교기 중 어느 하나로부터 최상위 비트를 분해하고, 상기 제1 내지 제3 비교기 중 나머지로부터 오프셋을 감지하는 SAR 아날로그-디지털 변환기의 동작 방법.

청구항 6

제5항에 있어서,

상기 제1 내지 제3 디지털 값을 출력하는 단계는;

제2 내지 제4 클럭 사이클 동안 상기 제1 내지 제3 비교기로부터 클럭 사이클 당 2-비트를 분해하는 SAR 아날로그-디지털 변환기의 동작 방법.

청구항 7

제6항에 있어서,

상기 제1 내지 제3 디지털 값을 출력하는 단계는;

양의 비교 입력 전압과 상기 공통 모드 전압을 합한 제1 결과값과 음의 비교 입력 전압과 상기 공통 모드 전압을 합한 제2 결과값을 비교하여 상기 최상위 비트를 분해하고,

양의 비교 입력 전압과 음의 기준 전압을 합한 제3 결과값과 음의 비교 입력 전압과 양의 기준 전압을 합한 제4 결과값을 비교하여 상기 오프셋을 감지하는 SAR 아날로그-디지털 변환기의 동작 방법.

청구항 8

제5항에 있어서,

상기 SAR 아날로그-디지털 변환기의 동작 방법은:

상기 제1 내지 제3 디지털 신호를 수신하여 온도계-이진(Thermometer to Binary) 코드로 출력 신호를 출력하는 단계; 및

상기 제1 내지 제3 디지털 신호를 수신하여 클럭 사이클 당 2-비트를 분해하기 위한 CDAC 회로의 스위치를 제어하는 단계를 더 포함하는 SAR 아날로그-디지털 변환기의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 비교기의 오프셋을 보정하는 SAR 아날로그-디지털 변환기 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0002] 유선 또는 무선 통신 시스템 분야에서 흔히 사용되는 고속 아날로그-디지털 변환기 중 하나인 SAR(Successive Approximation Register) 방식의 아날로그-디지털 변환기는 아날로그 입력 신호를 한 클럭 단위로 축차 비교하여 디지털 비트를 생성하는 방법으로서, 최상위 비트부터 아날로그 입력 신호의 디지털 비트를 구할 수 있다.

[0003] 다만, 이러한 SAR 방식의 아날로그-디지털 변환기는 최상위 비트를 분해함과 동시에 비교기의 오프셋을 보정할 수 있지만, 입력 전압이 비교기의 오프셋 전압 범위 밖에 존재한다면, 비교기의 오프셋을 감지하지 못하고 동일한 출력을 도출하게 된다는 문제점이 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 대한민국 등록특허 제 10-1844555호

발명의 내용

해결하려는 과제

[0005] 본 발명은 상술한 과제를 해결하기 위한 것으로서, 본 발명의 목적은 비교기의 오프셋을 보정하는 SAR 아날로그-디지털 변환기 및 그 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명은 차동 입력 전압을 수신하고, 상기 차동 입력 전압을 비교 입력 전압으로 컨버팅하는 CDAC(Capacitor Digital-to-Analog Converter) 회로; 상기 차동 입력 전압을 수신하고, 상기 차동 입력 전압을 공통 모드 전압 또는 기준 전압으로 샘플링하는 샘플 앤 홀드(Sample and Hold) 회로; 각각 4개의 입력을 가지는 제1 내지 제3 비교기를 포함하고, 상기 비교 입력 전압, 상기 공통 모드 전압 또는 상기 기준 전압을 수신하여 클럭 사이클에 기초하여 제1 내지 제3 디지털 값을 출력하는 비교부; 상기 제1 내지 제3 디지털 값에 기초하여 N비트의 제1 내지 제3 디지털 신호를 출력하는 SAR(Successive Approximation Register) 논리부; 및 상기 제1 내지 제3 디지털 신호에 기초하여 상기 제1 내지 제3 비교기의 오프셋을 보정하는 오프셋 보정부를 포함하고, 상기 비교부는, 제1 클럭 사이클 동안 상기 제1 내지 제3 비교기 중 어느 하나로부터 최상위 비트를 분해하고, 상기 제1 내지 제3 비교기 중 나머지로부터 오프셋을 감지할 수 있다.

[0007] 본 발명의 일 실시 예에 있어서, 상기 비교부는, 제2 내지 제4 클럭 사이클 동안 상기 제1 내지 제3 비교기로부터 클럭 사이클 당 2-비트를 분해할 수 있다.

[0008] 본 발명의 일 실시 예에 있어서, 상기 비교부는, 양의 비교 입력 전압과 상기 공통 모드 전압을 합한 제1 결과값과 음의 비교 입력 전압과 상기 공통 모드 전압을 합한 제2 결과값을 비교하여 상기 최상위 비트를 분해하고, 양의 비교 입력 전압과 음의 기준 전압을 합한 제3 결과값과 음의 비교 입력 전압과 양의 기준 전압을 합한 제4 결과값을 비교하여 상기 오프셋을 감지할 수 있다.

[0009] 본 발명의 일 실시 예에 있어서, 상기 SAR 아날로그-디지털 변환기는: 상기 제1 내지 제3 디지털 신호를 수신하여 온도계-이진(Thermometer to Binary) 코드로 출력 신호를 출력하는 디코더; 및 상기 제1 내지 제3 디지털 신호를 수신하여 클럭 사이클 당 2-비트를 분해하기 위한 상기 CDAC 회로의 스위치를 제어하는 스위칭 로직부를 더 포함할 수 있다.

[0010] 본 발명은 SAR 아날로그-디지털 변환기의 동작 방법에 있어서, 차동 입력 전압을 수신하고, 상기 차동 입력 전압을 비교 입력 전압으로 컨버팅하는 단계; 상기 차동 입력 전압을 수신하고, 상기 차동 입력 전압을 공통 모드 전압 또는 기준 전압으로 샘플링하는 단계; 각각 4개의 입력을 가지는 제1 내지 제3 비교기를 포함하고, 상기 비교 입력 전압, 상기 공통 모드 전압 또는 상기 기준 전압을 수신하여 클럭 사이클에 기초하여 제1 내지 제3 디지털 값을 출력하는 단계; 상기 제1 내지 제3 디지털 값에 기초하여 N비트의 제1 내지 제3 디지털 신호를 출력하는 단계; 및 상기 제1 내지 제3 디지털 신호에 기초하여 상기 제1 내지 제3 비교기의 오프셋을 보정하는 단계를 포함하고, 상기 제1 내지 제3 디지털 값을 출력하는 단계는; 제1 클럭 사이클 동안 상기 제1 내지 제3 비교기 중 어느 하나로부터 최상위 비트를 분해하고, 상기 제1 내지 제3 비교기 중 나머지로부터 오프셋을 감지할 수 있다.

[0011] 본 발명의 일 실시 예에 있어서, 상기 제1 내지 제3 디지털 값을 출력하는 단계는; 제2 내지 제4 클럭 사이클 동안 상기 제1 내지 제3 비교기로부터 클럭 사이클 당 2-비트를 분해할 수 있다.

[0012] 본 발명의 일 실시 예에 있어서, 상기 제1 내지 제3 디지털 값을 출력하는 단계는; 양의 비교 입력 전압과 상기

공통 모드 전압을 합한 제1 결과값과 음의 비교 입력 전압과 상기 공통 모드 전압을 합한 제2 결과값을 비교하여 상기 최상위 비트를 분해하고, 양의 비교 입력 전압과 음의 기준 전압을 합한 제3 결과값과 음의 비교 입력 전압과 양의 기준 전압을 합한 제4 결과값을 비교하여 상기 오프셋을 감지할 수 있다.

[0013] 본 발명의 일 실시 예에 있어서, 상기 SAR 아날로그-디지털 변환기의 동작 방법은: 상기 제1 내지 제3 디지털 신호를 수신하여 온도계-이진(Thermometer to Binary) 코드로 출력 신호를 출력하는 단계; 및 상기 제1 내지 제3 디지털 신호를 수신하여 클럭 사이클 당 2-비트를 분해하기 위한 CDAC 회로의 스위치를 제어하는 단계를 더 포함할 수 있다.

발명의 효과

[0014] 본 발명에 따른 비교기의 오프셋을 보정하는 SAR 아날로그-디지털 변환기는 최상위 비트를 분해함과 동시에 비교기의 오프셋을 보정할 수 있으며, 비교기의 오프셋 보정이 입력 전압 범위에 제한되지 않고 모든 입력 전압에 대해 보정을 수행할 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 실시 예에 따른 SAR 아날로그-디지털 변환기의 블록도이다.

도 2는 본 발명의 실시 예에 따른 4 입력 비교기를 간단히 나타내는 도면이다.

도 3a 내지 도 3c는 본 발명의 실시 예에 따른 비교부 동작 일 예를 보여주는 도면이다.

도 4는 본 발명의 실시 예에 따른 SAR 아날로그-디지털 변환기의 시뮬레이션 결과를 나타내는 도면이다.

도 5는 SAR 아날로그-디지털 변환기의 다른 실시 예를 보여주는 블록도이다.

도 6은 본 발명의 실시 예에 따른 SAR 아날로그-디지털 변환기의 동작 순서도이다.

도 7은 본 발명의 실시 예에 따른 비교부의 동작 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0017] 도 1은 본 발명의 실시 예에 따른 SAR 아날로그-디지털 변환기의 블록도이다.

[0018] 도 1을 참조하면, SAR(Successive Approximation Register) 아날로그-디지털 변환기(Analog-to-Digital Converter, 10)는 CDAC(Capacitor Digital-to-Analog Converter) 회로(100), 샘플 앤 홀드(Sample and Hold,) 회로(200), 비교부(300), SAR 논리부(400), 오프셋 보정부(500)를 포함한다.

[0019] 본 발명의 실시예들은 반도체 제조 공정에서 유용하게 이용될 수 있다. 특히 본 발명의 실시예들은 메모리 카드, 솔리드 스테이트 드라이브(Solid State Drive; SSD), 임베디드 멀티미디어 카드(eMMC, embedded multimedia card), 유니버셜 플래시 스토리지(UFS, universal flash storage), 컴퓨터(computer), 노트북(laptop), 핸드폰(cellular phone), 스마트폰(smart phone), MP3 플레이어, 피디에이(Personal DigitalAssistants; PDA), 피엠피(Portable Multimedia Player; PMP), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console), 네비게이션(navigation) 기기, 웨어러블(wearable) 기기, IoT(internet of things;) 기기, IoE(internet of everything:) 기기, e-북(e-book), VR(virtual reality) 기기, AR(augmented reality) 기기 등과 같은 전자 기기에 필요한 반도체 제조 공정에 더욱 유용하게 적용될 수 있다.

[0020] CDAC 회로(100)는 복수의 커패시터와 복수의 스위치로 구성된 커패시터 어레이를 포함하여 구성될 수 있다. CDAC 회로(100)는 차동 입력 전압(V_{INN}, V_{INP})을 수신하고 저장할 수 있으며, 차동 입력 전압(V_{INN}, V_{INP})을 비교 입력 전압(V_N, V_P)으로 컨버팅할 수 있다.

[0021] 샘플 앤 홀드 회로(200)는 차동 입력 전압(V_{INN}, V_{INP})을 수신하고, 차동 입력 전압(V_{INN}, V_{INP})을 클럭 사이클 기초하여 공통 모드 전압(V_{CM}) 또는 기준 전압(V_{REFP}, V_{REFN})으로 샘플링할 수 있다. 또한, 샘플 앤 홀드 회로(200)는 후술할 비교부(300)의 제1 내지 제3 비교기(310, 320, 330)에 각각 샘플링된 공통 모드 전압(V_{CM}) 또는 기준

전압(V_{REFP}, V_{REFN})을 입력할 수 있다. 이하에서는, 설명의 편의상 4클럭 사이클로 설명하지만 이는 예시적인 것일 뿐 이에 한정되지 않는다.

[0022] 일 실시 예에 있어서, 제1 클럭 사이클인 경우, 샘플 앤 홀드 회로(200)는 제1 내지 제3 비교기(310, 320, 330) 중 어느 하나에 공통 모드 전압(V_{CM})을 입력하고, 나머지에 기준 전압(V_{REFP}, V_{REFN})을 입력할 수 있다. 또한, 제2 내지 제4 클럭 사이클인 경우, 샘플 앤 홀드 회로(200)는 제1 내지 제3 비교기(310, 320, 330)에 공통 모드 전압(V_{CM})을 입력할 수 있다.

[0023] 비교부(300)는 CDAC 회로(100) 및 샘플 앤 홀드 회로(200)와 연결되고, 비교 입력 전압(V_N, V_P), 공통 모드 전압(V_{CM}) 및 기준 전압(V_{REFP}, V_{REFN})을 수신할 수 있다. 예를 들어, 비교부(300)는 메인 입력단으로 비교 입력 전압(V_N, V_P)을 수신하고, 서브 입력단으로 공통 모드 전압(V_{CM}) 또는 기준 전압(V_{REFP}, V_{REFN})을 수신할 수 있다. 이를 위해, 비교부(300)는 각각 4개의 입력을 가지는 제1 내지 제3 비교기(310, 320, 330)를 포함할 수 있다.

[0024] 제1 내지 제3 비교기(310, 320, 330)는 메인 입력단으로 입력 받은 비교 입력 전압(V_N, V_P)과 서브 입력단으로 입력 받은 공통 모드 전압(V_{CM}) 또는 기준 전압(V_{REFP}, V_{REFN})을 비교하여 제1 내지 제4 클럭 사이클에 따른 1 또는 0인 제1 내지 제3 디지털 값(D1, D2, D3)을 출력할 수 있다.

[0025] 일 실시 예에 있어서, 제1 클럭 사이클에 기초하여 제1 내지 제3 비교기(310, 320, 330) 중 어느 하나에 공통 모드 전압(V_{CM})이 입력될 경우, 어느 하나의 비교기는 비교 입력 전압(V_N, V_P)과 공통 모드 전압(V_{CM})을 비교하여 최상위 비트(Most Significant Bit, MSB)에 대한 디지털 값(D)을 출력할 수 있다. 또한, 나머지 비교기는 비교 입력 전압(V_N, V_P)과 기준 전압(V_{REFP}, V_{REFN})을 비교하여 나머지 비교기의 오프셋(Offset)에 대한 디지털 값(D)을 출력할 수 있다.

[0026] 일 실시 예에 있어서, 제2 내지 제4 클럭 사이클에 기초하여 제1 내지 제3 비교기(310, 320, 330)에 공통 모드 전압(V_{CM})이 입력될 경우, 제1 내지 제3 비교기(310, 320, 330)는 각 클럭 사이클 당 2-비트인 제1 내지 제3 디지털 값(D1, D2, D3)를 출력할 수 있다.

[0027] SAR 논리부(400)는 SAR 아날로그-디지털 변환기(10)의 디지털 비트를 결정하기 위한 기본적인 구성으로서, 비교기(300)의 제1 내지 제3 디지털 값(D1, D2, D3)에 기초하여 N비트의 제1 내지 제3 디지털 신호(COMP_OUT1, COMP_OUT2, COMP_OUT3)를 출력할 수 있다.

[0028] 오프셋 보정부(500)는 제1 내지 제3 디지털 신호(COMP_OUT1, COMP_OUT2, COMP_OUT3)에 기초하여 비교부(300)의 오프셋을 보정할 수 있다. 또한, 오프셋 보정부(500)는 제1 클럭 사이클에 기초하여 최상위 비트에 대한 디지털 값(D)을 출력하는 제1 내지 제3 비교기(310, 320, 330)가 순환되도록 샘플링 앤 홀드 회로(200)에 선택 신호(SEL)를 출력할 수 있다.

[0029] 이상에서 상술한 바와 같이, SAR 아날로그-디지털 변환기(10)는 클럭 사이클에 기초하여 제1 내지 제3 비교기(310, 320, 330) 중 어느 하나만으로 최상위 비트를 분해함과 동시에 비교기의 오프셋을 보정할 수 있다. 또한, SAR 아날로그-디지털 변환기(10)는 최상위 비트를 분해하는 비교기를 순환시켜 차동 입력 전압(V_{INN}, V_{INP})에 관계없이 비교기의 오프셋을 감지할 수 있다.

[0031] 도 2는 본 발명의 실시 예에 따른 4 입력 비교기를 간단히 나타내는 도면이다.

[0032] 도 2를 참조하면, 비교부(300)는 CDAC 회로(100) 및 샘플 앤 홀드 회로(200)에서 컨버팅 또는 샘플링된 신호를 입력 받을 수 있다. 또한, 비교부(300)는 클럭 사이클에 기초하여 비교 입력 전압(V_N, V_P), 공통 모드 전압(V_{CM}) 또는 기준 전압(V_{REFP}, V_{REFN})을 합하여 비교하고, 비교한 결과 값을 디지털 값(D)으로 출력할 수 있다.

[0033] 일 실시 예에 따르면, 비교부(300)의 서브 입력단에 공통 모드 전압(V_{CM})이 입력될 경우, 비교부(300)는 메인 입력단에 입력되는 양의 비교 입력 전압(V_P)과 공통 모드 전압(V_{CM})을 합하여 제1 결과값을 생성하고, 메인 입력단에 입력되는 음의 비교 입력 전압(V_N)과 공통 모드 전압(V_{CM})을 합하여 제2 결과값을 생성할 수 있다. 이에 따라, 비교부(300)는 제1 결과값과 제2 결과값을 비교하여 비교 결과를 디지털 값(D)으로 출력할 수 있다.

[0034] 또한, 비교부(300)의 서브 입력단에 기준 전압(V_{REFP}, V_{REFN})이 입력될 경우, 비교부(300)는 메인 입력단에 입력되는 양의 비교 입력 전압(V_P)과 음의 기준 전압(V_{REFN})을 합하여 제3 결과값을 생성하고, 메인 입력단에 입력되는 음의 비교 입력 전압(V_N)과 양의 기준 전압(V_{REFP})을 합하여 제4 결과값을 생성할 수 있다. 이에 따라, 비교기(300)는 제3 및 제4 결과값을 비교하여 비교 결과를 디지털 값(D)으로 출력할 수 있다

[0035] 이상에서 상술한 바와 같이, 비교부(300)는 4 입력을 구현함으로써 최상위 비트를 분해함과 동시에 비교기의 오프셋을 감시할 수 있다.

[0037] 도 3a 내지 도 3c는 본 발명의 실시 예에 따른 비교부 동작 일 예를 보여주는 도면이다. 보다 상세하게, 도 3a는 제1 클럭 사이클에 기초하여 제3 비교기(330)의 서브 입력단에만 공통 모드 전압(V_{CM})이 입력되는 경우이고, 도 3b는 제2 내지 제4 클럭 사이클에 기초하여 제1 내지 제3 비교기(310, 320, 330)의 서브 입력단에 공통 모드 전압(V_{CM})이 입력되는 경우이고, 도 3c는 제1 클럭 사이클에 기초하여 제1 비교기(310)의 서브 입력단에만 공통 모드 전압(V_{CM})이 입력되는 경우를 나타낸다.

[0038] 도 3a를 참조하면, 제1 클럭 사이클에 따라 제3 비교기(330)에만 공통 모드 전압(V_{CM})이 입력될 경우, 제3 비교기(330)는 비교 입력 전압(V_N, V_P)과 공통 모드 전압(V_{CM})을 비교하여 최상위 비트에 대한 디지털 값(D3)을 출력할 수 있다. 또한, 제1 및 제2 비교기(310, 320)는 비교 입력 전압(V_N, V_P)과 기준 전압(V_{REFP}, V_{REFN})을 비교하여 제1 및 제2 비교기(310, 320)의 오프셋에 대한 디지털 값(D1, D2)을 출력할 수 있다.

[0039] 도 3b를 참조하면, 제2 내지 제4 클럭 사이클에 따라, 제1 내지 제3 비교기(310, 320, 330)에 공통 모드 전압(V_{CM})이 입력될 경우, 제1 내지 제3 비교기(310, 320, 330)는 각 클럭 사이클 당 2-비트인 제1 내지 제3 디지털 값(D1, D2, D3)을 출력할 수 있다.

[0040] 도 3c를 참조하면, 비교기(300)는 제1 내지 제4 클럭 사이클 이후 새로운 샘플링 사이클에 따라 제1 클럭 사이클을 진행될 수 있다. 다만, 선택 신호(SEL)에 기초하여 제1 및 제2 비교기(310, 320) 중 어느 하나에 공통 모드 전압(V_{CM})이 입력될 수 있다.

[0041] 일 실시 예에 있어서, 제1 클럭 사이클에 따라 제1 비교기(310)에만 공통 모드 전압(V_{CM})이 입력될 경우, 제1 비교기(310)는 비교 입력 전압(V_N, V_P)과 공통 모드 전압(V_{CM})을 비교하여 최상위 비트에 대한 디지털 값(D1)을 출력할 수 있다. 또한, 제2 및 제3 비교기(320, 330)는 비교 입력 전압(V_N, V_P)과 기준 전압(V_{REFP}, V_{REFN})을 비교하여 제2 및 제3 비교기(320, 330)의 오프셋에 대한 디지털 값(D2, D3)을 출력할 수 있다.

[0042] 이상에서 상술한 바와 같이, SAR 아날로그-디지털 변환기(10)는 최상위 비트를 분해하는 비교기를 순환시켜 제1 내지 제3 비교기(310, 320, 330)의 오프셋을 감지할 수 있다.

[0044] 도 4는 본 발명의 실시 예에 따른 SAR 아날로그-디지털 변환기의 시뮬레이션 결과를 나타내는 도면이다.

[0045] 도 4를 참조하면, SAR 아날로그-디지털 변환기(10)는 입력을 샘플링하는 클럭이 인가된 후 비교기 동작 클럭이 4번 인가되는 것을 확인할 수 있다. 또한, 메인 입력단에 항상 차동 입력 전압(V_{INN}, V_{INP})이 인가되고, 제1 클럭 사이클에서 서브 입력단에 메인 입력단과 동일한 크기의 전압이 반대 위치에 인가되는 것을 확인할 수 있다. 이에 따라, SAR 아날로그-디지털 변환기(10)는 제1 내지 제3 비교기(310, 320, 330) 중 어느 하나의 비교기 만으로 최상위 비트를 분해하고, 나머지 비교기의 오프셋을 감지할 수 있다.

[0046] 또한, 제2 내지 제4 클럭 사이클에서 공통 모드 전압(V_{CM}) 이 인가되는 것을 확인할 수 있다. 이에 따라, SAR 아날로그-디지털 변환기(10)는 최상위 비트 분해 및 비교기의 오프셋 감지 후 각 클럭 사이클 당 2-비트를 분해하는 동작을 수행할 수 있다.

[0048] 도 5는 SAR 아날로그-디지털 변환기의 다른 실시 예를 보여주는 블록도이다.

[0049] 구체적으로, 도 5에서는 디코더(600) 및 스위칭 로직부(700)을 더 포함하는 일 예가 도시되어 있다. 상술한 구성 이외의 도 5의 구성은 도 1과 유사하다. 따라서, 동일하거나 유사한 구성 요소는 동일하거나 유사한 참조 부호로 표시되며, 중복되는 설명은 이하 생략될 것이다.

[0050] 도 5를 참조하면, SAR 아날로그-디지털 변환기(10A)는 디코더(600) 및 스위칭 로직부(700)를 더 포함할 수 있다.

[0051] 디코더(600)는 SAR 논리부(400)의 제1 내지 제3 디지털 신호(COMP_OUT1, COMP_OUT2, COMP_OUT3)를 수신하여 출력 신호(D_{OUT})를 생성할 수 있다. 디코더(600)는 온도계-이진 디코더(Thermometer to Binary Decoder)로 구현될 수 있으나 이에 한정되는 것은 아니다.

[0052] 스위칭 로직부(700)는 SAR 논리부(400)의 제1 내지 제3 디지털 신호(COMP_OUT1, COMP_OUT2, COMP_OUT3)를 수신하여 CDAC 회로(100)의 스위칭 동작을 제어할 수 있다. 예를 들어, 스위칭 로직부(700)는 제1 내지 제3 비교기(310, 320, 330)의 비교 결과에 대응하여 다음 사이클에 클럭 사이클 당 2-비트를 분해할 수 있도록 CDAC 회로(100)의 스위치를 제어할 수 있다.

[0054] 도 6은 본 발명의 실시 예에 따른 SAR 아날로그-디지털 변환기의 동작 순서도이다.

[0055] 도 6을 참조하면, S110 단계에서, CDAC 회로(100)는 차동 입력 전압(V_{INN}, V_{INP})을 수신하고 저장할 수 있으며, 차동 입력 전압(V_{INN}, V_{INP})을 비교 입력 전압(V_N, V_P)으로 컨버팅할 수 있다.

[0056] S120 단계에서, 샘플 앤 홀드 회로(200)는 차동 입력 전압(V_{INN}, V_{INP})을 수신하고, 차동 입력 전압(V_{INN}, V_{INP})을 클럭 사이클 기초하여 공통 모드 전압(V_{CM}) 또는 기준 전압(V_{REFP}, V_{REFN})으로 샘플링할 수 있다.

[0057] S130 단계에서, 비교부(300)는 제1 내지 제3 비교기(310, 320, 330)를 포함하며, 비교 입력 전압(V_N, V_P), 공통 모드 전압(V_{CM}) 및 기준 전압(V_{REFP}, V_{REFN})을 수신할 수 있다. 또한, 수신한 전압을 기초하여 클럭 사이클 당 비트를 분해할 수 있다.

[0058] S140 단계에서, SAR 논리부(400)는 비교기(300)로부터 제1 내지 제3 디지털 값(D1, D2, D3)을 수신하여 N비트의 제1 내지 제3 디지털 신호(COMP_OUT1, COMP_OUT2, COMP_OUT3)를 출력할 수 있다.

[0059] S150 단계에서, 오프셋 보정부(500)는 제1 내지 제3 디지털 신호(COMP_OUT1, COMP_OUT2, COMP_OUT3)에 기초하여 비교부(300)의 오프셋을 보정할 수 있다. 또한, 오프셋 보정부(500)는 최상위 비트를 분해하는 제1 내지 제3 비교기(310, 320, 330)가 순환되도록 샘플링 앤 홀드 회로(200)에 선택 신호(SEL)를 출력할 수 있다.

[0061] 도 7은 본 발명의 실시 예에 따른 비교부의 동작 순서도이다.

[0062] 도 7을 참조하면, S131 단계에서, 제1 내지 제3 비교기(310, 320, 330) 중 어느 하나의 비교기는 제1 클럭 사이클 동안 최상위 비트를 분해할 수 있다. 일 실시 예에 따르면, 제1 내지 제3 비교기(310, 320, 330) 중 어느 하나의 비교기 양의 비교 입력 전압(V_P)과 공통 모드 전압을 합한 제1 결과값과 음의 비교 입력 전압(V_N)과 공통 모드 전압(V_{CM})을 합한 제2 결과값을 비교하여 최상위 비트를 분해할 수 있다.

[0063] S132 단계에서, 제1 내지 제3 비교기(310, 320, 330) 중 나머지 비교기는 제1 클럭 사이클 동안 오프셋을 감지할 수 있다. 일 실시 예에 따르면, 제1 내지 제3 비교기(310, 320, 330) 중 나머지 비교기는 양의 비교 입력 전압(V_P)과 음의 기준 전압(V_{REFN})을 합한 제3 결과값과 음의 비교 입력 전압(V_N)과 양의 기준 전압(V_{REFP})을 합한 제4 결과값을 비교하여 상기 오프셋을 감지

[0064] S133 단계에서, 비교부(300)는 제2 내지 제4 클럭 사이클 동안 제1 내지 제3 비교기(310, 320, 330)로부터 클럭 사이클 당 2-비트를 분해할 수 있다.

[0065] 상술한 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술한 실시 예들 이외에도, 단순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술한 실시 예들

에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

[0066] 10 : SAR 아날로그-디지털 변환기

100 : CDAC 회로

200 : 샘플 앤 홀드 회로

300 : 비교부

400 : SAR 논리부

500 : 오프셋 보정부

600 : 디코더

700 : 스위칭 로직부

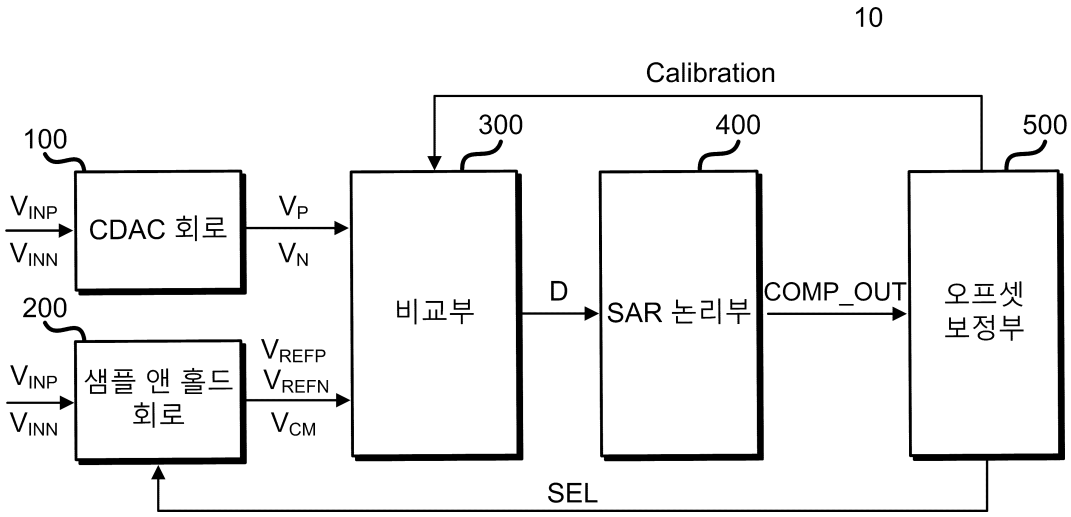
310 : 제1 비교기

320 : 제2 비교기

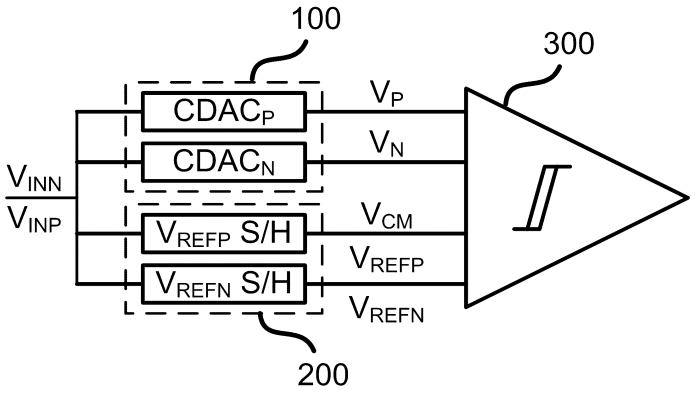
330 : 제3 비교기

도면

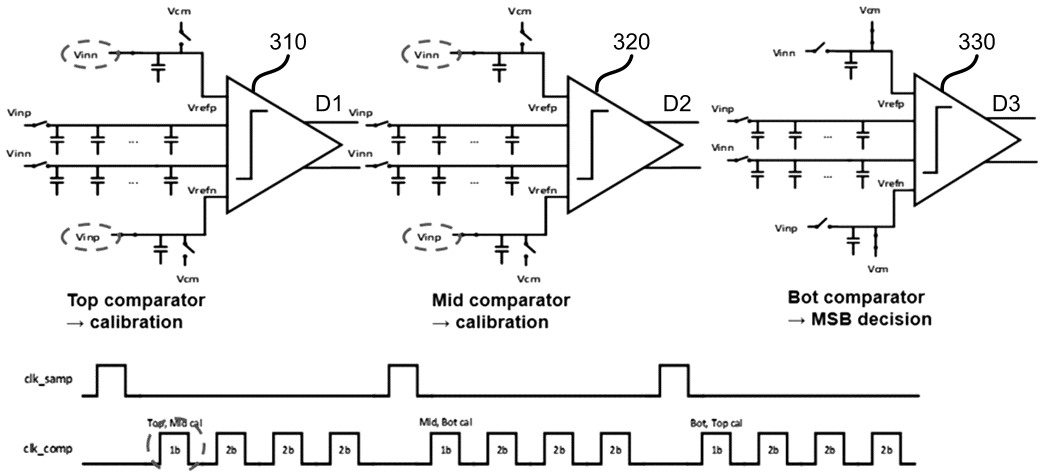
도면1



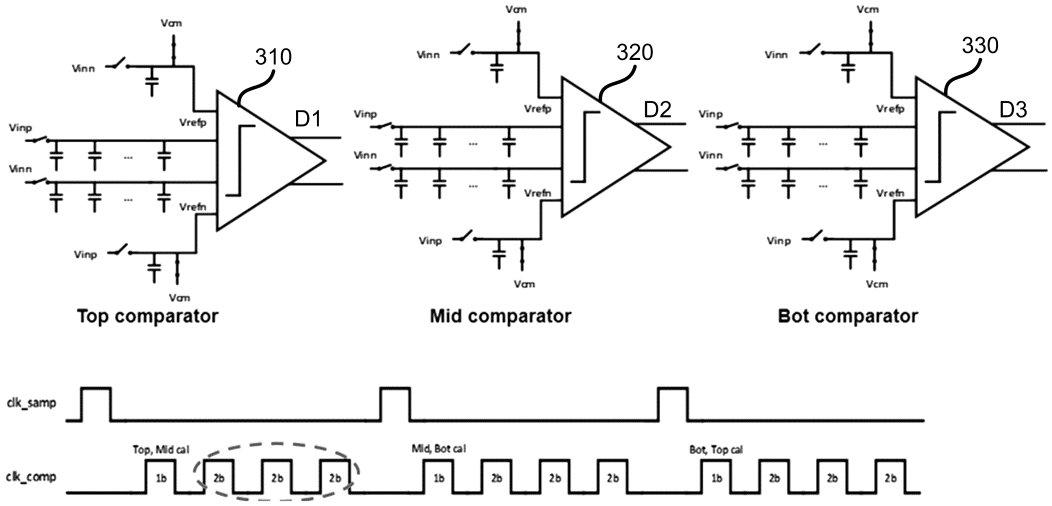
도면2



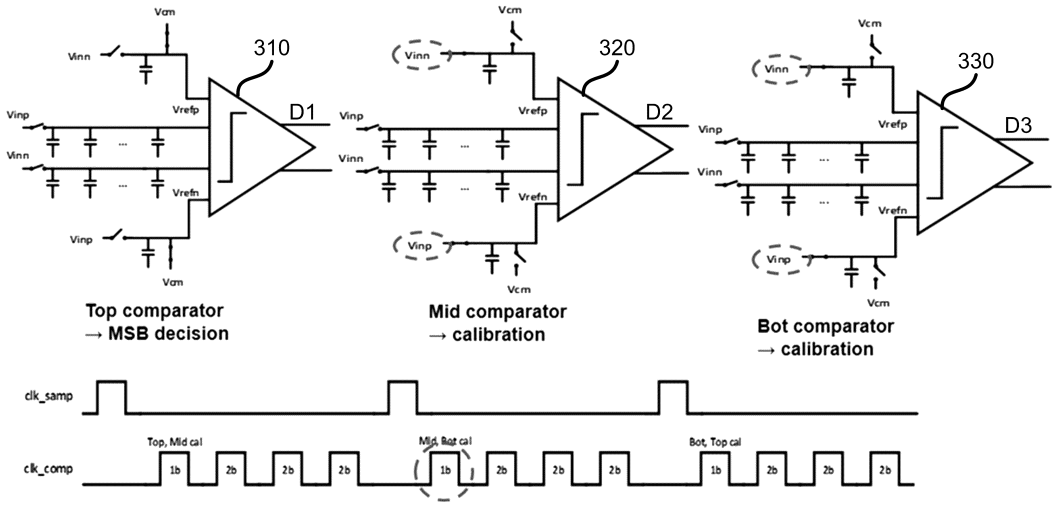
도면3a



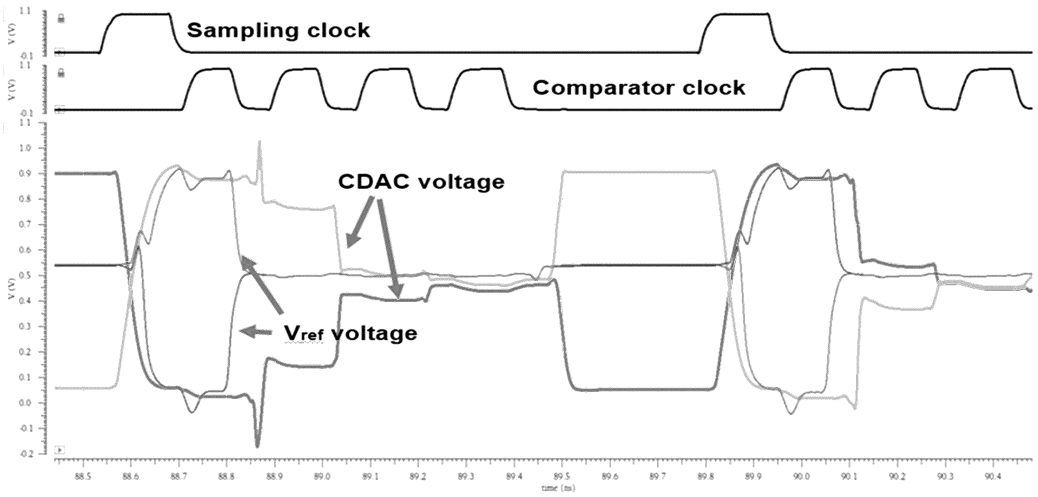
도면3b



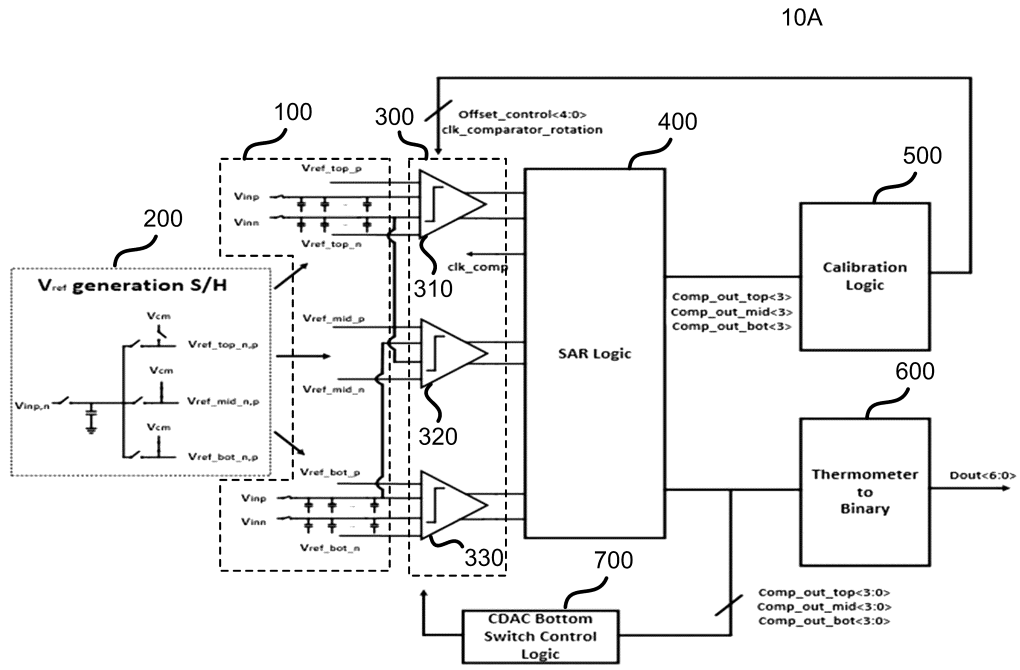
도면3c


Vcm
Vinn
Vinp
Vrefp
Vrefn
310
D1
320
D2
330
D3
Top comparator
→ MSB decision
Mid comparator
→ calibration
Bot comparator
→ calibration
clk_samp
clk_comp
Top, Mid cal
Mid, Bot cal
Bot, Top cal
1b
2b

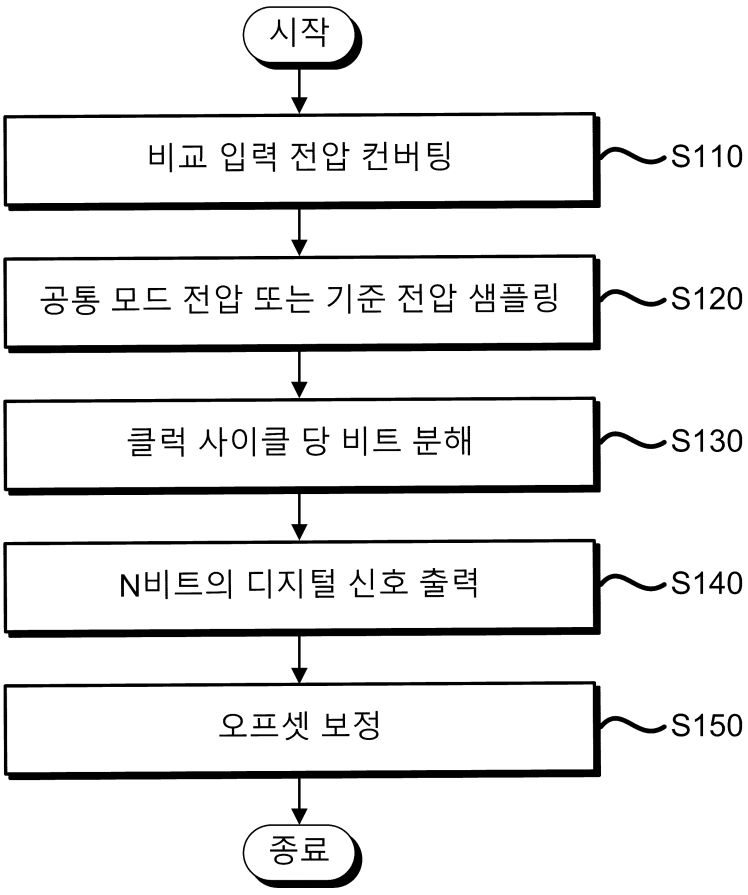
도면4


Sampling clock
Comparator clock
CDAC voltage
Vref voltage
time (ns)

도면5


10A
100
300
Offset_control<4:0>
clk_comparator_rotation
400
500
200
Vref generation S/H
Vref_top_p
Vinp
Vinn
Vref_top_n
clk_comp
310
Vcm
Vref_top_n,p
Vref_mid_p
Vinp,n
Vref_mid_n,p
Vref_mid_n
320
Vref_bot_n,p
Vref_bot_p
Vref_bot_n
330
SAR Logic
Comp_out_top<3>
Comp_out_mid<3>
Comp_out_bot<3>
Calibration Logic
600
Thermometer to Binary
Dout<6:0>
700
CDAC Bottom Switch Control Logic
Comp_out_top<3:0>
Comp_out_mid<3:0>
Comp_out_bot<3:0>

도면6


시작
비교 입력 전압 컨버팅
S110
공통 모드 전압 또는 기준 전압 샘플링
S120
클럭 사이클 당 비트 분해
S130
N비트의 디지털 신호 출력
S140
오프셋 보정
S150
종료

도면7

