

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6076097号
(P6076097)

(45) 発行日 平成29年2月8日 (2017.2.8)

(24) 登録日 平成29年1月20日 (2017.1.20)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 2 6 C

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 B

H O 1 L 27/115 (2017.01)

H O 1 L 27/10 4 3 4

H O 1 L 21/8242 (2006.01)

H O 1 L 27/10 6 2 1 Z

H O 1 L 27/108 (2006.01)

H O 1 L 27/10 6 7 1 C

請求項の数 5 (全 34 頁) 最終頁に続く

(21) 出願番号 特願2013-2202 (P2013-2202)
 (22) 出願日 平成25年1月10日 (2013.1.10)
 (65) 公開番号 特開2013-165260 (P2013-165260A)
 (43) 公開日 平成25年8月22日 (2013.8.22)
 審査請求日 平成27年12月23日 (2015.12.23)
 (31) 優先権主張番号 特願2012-2321 (P2012-2321)
 (32) 優先日 平成24年1月10日 (2012.1.10)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 野田 耕生
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 遠藤 佑太
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 竹口 泰裕

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面上の、フィン型の絶縁体と、
 前記絶縁表面および前記フィン型の絶縁体と接し、前記フィン型の絶縁体を乗り越えるように設けられた酸化物半導体膜と、
 前記酸化物半導体膜上のゲート絶縁膜と、
 前記ゲート絶縁膜を介して、前記酸化物半導体膜と重畳し、前記フィン型の絶縁体を乗り越えるように設けられているゲート電極と、を有し、
 前記ゲート電極が前記フィン型の絶縁体を乗り越える方向において、
 前記ゲート電極は前記酸化物半導体膜より長く、
 また前記酸化物半導体膜は前記フィン型の絶縁体より長いことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記乗り越える方向と直交する方向において、

前記フィン型の絶縁体は前記ゲート電極より長く、

前記フィン型の絶縁体は前記酸化物半導体膜より長いことを特徴とする半導体装置。

【請求項 3】

請求項 1 において、

前記乗り越える方向と直交する方向において、

前記フィン型の絶縁体は前記ゲート電極より長く、

前記酸化物半導体膜は前記フィン型の絶縁体より長いことを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記フィン型の絶縁体は、過剰酸素を含む絶縁体であることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記絶縁表面は、フィン型の絶縁体よりも酸素の拡散係数が小さい絶縁体の表面であることを特徴とする半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明の一態様は、半導体装置および半導体装置の作製方法に関する。

【背景技術】

【0002】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタともいう）を構成する技術が注目されている。

【0003】

例えば、特許文献 1 にはトランジスタのチャネル形成領域に、インジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）を含む非晶質酸化物半導体を用いたトランジスタが開示されている。酸化物半導体はバンドギャップが広く、酸化物半導体をチャネル形成領域に用いたトランジスタは非晶質シリコンを用いたトランジスタと比較して、電界効果移動度を高くできる、オフ電流を低くできる等の多くの利点がある。

20

【0004】

ところで、半導体装置の動作の高速化、低消費電力化、高集積化を達成するためにはトランジスタの微細化が必須である。

【0005】

しかし、トランジスタの微細化に伴って、チャネル幅も縮小されるため、オン電流が低下してしまう。これらの問題に対し、フィンのように形成された単結晶シリコンを包み込むようにゲート電極を形成することでチャネル形成領域が三次元構造を有するフィン型トランジスタが開発されている。

30

【0006】

フィン型トランジスタでは、単結晶シリコンの上面だけでなく両側面にもゲート電極を設け、チャネル形成領域としている。これによりトランジスタを微細化して半導体装置を高集積化した場合でも、トランジスタのオン電流を高めることが可能となる。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2006 - 165528 号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0008】

しかしながら、酸化物半導体をフィンのように形成して一部をチャネル形成領域とし、フィン型トランジスタに適用する場合、いくつかの重大な技術的問題が懸念される。

【0009】

そこで本発明の一態様は、酸化物半導体をチャネル形成領域に用いたトランジスタを微細化することを目的の一とする。また、微細化しても電気特性に優れ、かつ信頼性が高い酸化物半導体トランジスタを提供することを目的の一とする。

【課題を解決するための手段】

【0010】

50

上記の目的を解決するために本発明の一態様は、絶縁体をフィン型に形成して、それを持ち越えるように酸化物半導体の薄膜を設けることとした。

【0011】

本明細書等において、フィンとは、基板平面に対して隆起した部分をいう。例えばフィン型の絶縁体の断面は、長方形、半円または逆さU字状等になる。また本明細書等において、「乗り越える」と記載した場合、覆う、跨ぐ、または横切ると言い換えてもよい。

【0012】

本発明の一態様は、絶縁表面上の、フィン型の絶縁体と、絶縁表面およびフィン型の絶縁体と接し、フィン型の絶縁体を持ち越えるように設けられた酸化物半導体膜と、酸化物半導体膜上のゲート絶縁膜と、ゲート絶縁膜上で、酸化物半導体膜と重畳し、フィン型の絶縁体を持ち越えるように設けられているゲート電極と、を有し、フィン型の絶縁体の一方

10

向において、ゲート電極は酸化物半導体膜より長く、また酸化物半導体膜はフィン型の絶縁体より長い、半導体装置である。

【0013】

また、前述の一方方向と直交する方向において、フィン型の絶縁体はゲート電極より長く、フィン型の絶縁体は酸化物半導体膜より長くしてもよい。または、前述の一方方向と直交する方向において、フィン型の絶縁体はゲート電極より長く、酸化物半導体膜はフィン型の絶縁体より長くしてもよい。

【0014】

酸化物半導体をフィン型トランジスタに適用する場合に懸念される問題の一つとして、チャンネル形成領域となる酸化物半導体層の厚さが、通常の薄膜トランジスタ、即ち、チャンネル形成領域が二次元平面に限られている場合と比較してはるかに大きくなるため、酸化物半導体層中の酸素欠損を補償させることが難しくなることが挙げられる。

20

【0015】

酸化物半導体膜を酸素放出可能な絶縁膜と接して形成することで、絶縁膜から放出された酸素により、酸化物半導体膜中の酸素欠損を補償させることができる。特に酸化物半導体が薄膜の場合は、酸化物半導体中の酸素の拡散係数が小さくとも、絶縁膜から十分に酸素を供給することができる。

【0016】

しかしフィン型トランジスタの場合は、酸化物半導体層の厚さが大きくなるため、絶縁膜から十分に酸素が供給されない恐れがある。酸素が十分に供給されず、酸素欠損が残ったままの酸化物半導体をチャンネル領域に用いると、トランジスタのオフ電流が増大する恐れがある。

30

【0017】

そこで、本発明の一態様のフィン型の絶縁体は、過剰酸素を含む絶縁体であることが好ましい。

【0018】

また、絶縁表面は、フィン型の絶縁体よりも酸素の拡散係数が小さい絶縁体の表面であることが好ましい。また、フィン型の絶縁体は、フィン型の絶縁体の上面と側面の間に曲面を有することが好ましい。

40

【0019】

また、酸化物半導体をフィン型トランジスタに適用する場合に懸念される問題の他の一つとして、酸化物半導体層の厚さが通常の薄膜トランジスタと比較して大きく、また、チャンネル形成領域が三次元構造を有しているため、不純物をドーピングして均一に抵抗値を下げるのが難しくなることが挙げられる。

【0020】

薄膜トランジスタの半導体中に形成されるソース領域およびドレイン領域の抵抗値を下げる手法として、半導体に不純物をドーピングする方法がある。

【0021】

しかしフィン型酸化物半導体トランジスタのS値（サブスレッショルドスイング値）を小

50

さくするためにソース領域およびドレイン領域に不純物をドーピングする場合、ドーピングによる不純物は表面に偏在しやすいため、酸化物半導体の深さ方向に均一に抵抗を低下させるのが難しい。

【0022】

また、フィン型の絶縁体は、高さ(H)とチャネル長と垂直な方向の長さ、即ち幅(W)の比H/Wが、0.5以上であることが好ましい。

【0023】

また、本発明の別の一態様は、絶縁表面上に、フィン型の絶縁体を形成し、絶縁表面の上面、ならびにフィン型の絶縁体の上面および側面と接する、酸化物半導体膜を形成し、酸化物半導体膜上に、ゲート絶縁膜を形成し、ゲート絶縁膜上に、酸化物半導体膜と重畳し、フィン型の絶縁体の上面および側面と重畳するゲート電極を形成する、半導体装置の作製方法である。

10

【0024】

また、絶縁表面上に、フィン型の絶縁体を形成した後、フィン型の絶縁体に対して加酸素化処理を行うことで、フィン型の絶縁体に対して酸素を供給すると共に、フィン型の絶縁体の上面と側面の間に曲面を有した形状に加工することが好ましい。

【発明の効果】

【0025】

本発明の一態様により、酸化物半導体をチャネル形成領域に用いたトランジスタを微細化することができる。また、微細化した場合でも電気特性に優れ、かつ信頼性が高い酸化物半導体トランジスタを提供することができる。

20

【図面の簡単な説明】

【0026】

【図1】トランジスタの一例を示す斜視図、上面図および断面図。

【図2】トランジスタの一例を示す斜視図、上面図および断面図。

【図3】トランジスタの一例を示す斜視図、上面図および断面図。

【図4】トランジスタの一例を示す斜視図、上面図および断面図。

【図5】トランジスタの一例を示す上面図および断面図。

【図6】トランジスタの一例を示す上面図および断面図。

【図7】トランジスタの一例を示す上面図および断面図。

30

【図8】トランジスタの一例を示す上面図および断面図。

【図9】トランジスタの作製工程の一例を示す断面図。

【図10】トランジスタの作製工程の一例を示す断面図。

【図11】トランジスタの作製工程の一例を示す断面図。

【図12】半導体装置の一例を示す断面図及び回路図。

【図13】半導体装置の一例を示す回路図および概念図。

【図14】半導体装置の一例を示す断面図及び回路図。

【図15】電子機器の例を示す図。

【発明を実施するための形態】

【0027】

40

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0028】

本明細書において、トランジスタのソースとドレインは、一方をドレインと呼ぶとき他方をソースとする。すなわち、電位の高低によってそれらを区別しない。したがって、ソースとされている部分をドレインと読み替えることもできる。

50

【 0 0 2 9 】

なお、図面において、明示的にはソース電極層やドレイン電極層を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極層やドレイン電極層と表現することがある。つまり、本明細書において、ソース電極層やドレイン電極層との記載には、ソース領域やドレイン領域が含まれる。

【 0 0 3 0 】

なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

10

【 0 0 3 1 】

(実施の形態 1)

本実施の形態では、本発明の一態様に係るトランジスタの例について、図 1 乃至図 4 を用いて説明する。

【 0 0 3 2 】

図 1 (A) は本発明の一態様に係るトランジスタの一例である、トランジスタ 201 の斜視図である。図 1 (B) はトランジスタ 201 の上面図である。図 1 (C) は図 1 (A) および (B) の一点鎖線 A - B に対応する断面図である。図 1 (D) は図 1 (A) および (B) の一点鎖線 C - D に対応する断面図である。

20

【 0 0 3 3 】

トランジスタ 201 は、基板 100 上の絶縁膜 102 と、絶縁膜 102 上のフィン型の絶縁体 104 と、絶縁膜 102 およびフィン型の絶縁体 104 に接し、フィン型の絶縁体 104 を乗り越えるように設けられた酸化物半導体膜 106 を有する。さらに酸化物半導体膜 106 上のゲート絶縁膜 108 と、ゲート絶縁膜 108 上で酸化物半導体膜 106 と重畳し、フィン型の絶縁体 104 を図中に矢印 X で示す方向 (即ち、チャネル長方向に対して垂直な方向) に乗り越えるように設けられたゲート電極 110 を有する。また図中に矢印 X で示す方向において、ゲート電極 110 は酸化物半導体膜 106 より長く、また酸化物半導体膜 106 はフィン型の絶縁体 104 より長い。また矢印 X と直交する矢印 Y で示す方向 (即ち、チャネル長方向) において、フィン型の絶縁体 104 はゲート電極 110 より長く、フィン型の絶縁体 104 は酸化物半導体膜 106 より長い。

30

【 0 0 3 4 】

また酸化物半導体膜 106 は、チャネル形成領域 106 a と、一対の低抵抗領域 106 b を有する。低抵抗領域 106 b は、トランジスタ 201 のソース領域およびドレイン領域として機能する。

【 0 0 3 5 】

なお、図 1 (A) および図 1 (B) では簡単のため、トランジスタ 201 の一部 (ゲート絶縁膜 108、チャネル形成領域 106 a 等) を省略している。

【 0 0 3 6 】

また図 1 (A)、図 1 (C) および図 1 (D) ではフィン型の絶縁体 104、酸化物半導体膜 106、ゲート電極 110 等の端部に傾斜をつけてもよい。言い換えれば、フィン型の絶縁体 104、酸化物半導体膜 106、ゲート電極 110 等の端部はテーパ角を有してもよい。フィン型の絶縁体 104、酸化物半導体膜 106、ゲート電極 110 等の端部がテーパ角を有することで、これらに積層して形成される膜の段切れを防止することができる。

40

【 0 0 3 7 】

基板 100 として使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することもできる。また、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア

50

基板などを用いることができる。また基板 100 として、可撓性基板を用いてもよい。

【0038】

絶縁膜 102 としては、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウムなどの酸化物絶縁体、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁体、又はこれらの混合材料を用いて形成することができる。特にフィン型の絶縁体 104 よりも酸素の拡散係数が小さい膜が好ましい。中でも酸化アルミニウム膜は酸素の拡散係数が小さく、また水素、水分などの不純物に対して膜を透過させない遮断効果（ブロック効果）が高いため好ましい。また、これらの化合物を単層構造または 2 層以上の積層構造で形成して用いることができる。

10

【0039】

なお、基板 100 からの不純物の影響を無視できる場合は、絶縁膜 102 を形成しなくてもよい。

【0040】

フィン型の絶縁体 104 には、過剰酸素を含む材料を用いる。過剰酸素を含む材料とは、化学量論的組成よりも酸素が多い材料をいう。具体的には、酸化シリコン、酸化ガリウム、酸化アルミニウム、酸化窒化シリコン、酸化窒化アルミニウム、等を用いることができる。また、多くの過剰酸素をフィン型の絶縁体 104 に含ませたい場合には、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加する。

【0041】

または、過剰酸素を含む材料とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて、基板を 520 °C まで加熱した際の酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18} \text{ cm}^{-2}$ 以上、または $1.0 \times 10^{20} \text{ cm}^{-2}$ 以上である材料をいう。

20

【0042】

ここで、TDS 分析にて、酸素の放出量の測定方法について、以下に説明する。

【0043】

TDS 分析したときの気体の放出量は、イオン強度の積分値に比例する。このため、測定したイオン強度の積分値と、標準試料の基準値との比により、気体の放出量を計算することができる。標準試料の基準値とは、所定の密度の原子を含む試料において、当該原子に相当するイオン強度の積分値に対する当該原子の密度の割合である。

30

【0044】

例えば、標準試料である所定の密度の水素を含むシリコンウェハの TDS 分析結果、および絶縁膜の TDS 分析結果から、絶縁膜の酸素分子の放出量 (N_{O_2}) は、数式 1 で求めることができる。ここで、TDS 分析で得られる質量数 32 で検出されるガスの全てが酸素分子由来と仮定する。質量数 32 のものとしてほかに CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数 17 の酸素原子および質量数 18 の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0045】

$$\text{N}_{\text{O}_2} = \text{N}_{\text{H}_2} / \text{S}_{\text{H}_2} \times \text{S}_{\text{O}_2} \times \quad (\text{数式 1})$$

40

【0046】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料を TDS 分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 $\text{N}_{\text{H}_2} / \text{S}_{\text{H}_2}$ とする。 S_{O_2} は、絶縁膜を TDS 分析したときのイオン強度の積分値である。 \times は、TDS 分析におけるイオン強度に影響する係数である。数式 1 の詳細に関しては、特開平 6 - 275697 公報を参照する。なお、上記絶縁膜の酸素の放出量は、例えば電子科学株式会社製の昇温脱離分析装置 EMD - WA1000S / W を用い、標準試料として $1 \times 10^{16} \text{ atoms / cm}^2$ の水素原子を含むシリコンウェハを用いることで測定できる。

50

【0047】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量について見積もることができる。

【0048】

なお、 N_2 は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0049】

または、過剰酸素を含む材料とは、電子スピン共鳴 (ESR: Electron Spin Resonance) にてg値が2.01に信号が現れる材料をいう。

10

【0050】

過剰酸素を含む材料の水素濃度が、 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 以上である場合には、トランジスタの初期特性のバラツキの増大、トランジスタの電気特性に関するチャネル長依存性の増大、さらにBTストレス試験などの外部環境によって大きく劣化するため、過剰酸素を含む材料の水素濃度は、 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 未満とする。即ち、酸化物半導体膜の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、且つ、過剰酸素を含む材料の水素濃度は、 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 未満とすることが好ましい。

【0051】

20

過剰酸素を含む材料からなるフィン型の絶縁体104に接して薄膜の酸化物半導体膜106が設けられているため、厚いチャネル形成領域が要求される一般的なフィン型トランジスタと比較して、酸化物半導体膜106に十分に供給することができる。これにより、酸化物半導体膜106において化学量論的組成とほぼ一致するような状態、または化学量論的組成より酸素が多い状態とすることができる。例えば、酸化物半導体膜106がIn-Ga-Zn系酸化物である場合、化学量論的組成の一例はIn:Ga:Zn:O=1:1:1:4 [原子数比] であるため、酸素の原子数比が4以上含む状態となる。過剰酸素により酸化物半導体膜106中の酸素欠損を補償し、トランジスタの信頼性を向上させることができる。

【0052】

30

さらにフィン型の絶縁体104を乗り越えるように酸化物半導体膜106およびゲート電極110が設けられているため、酸化物半導体膜106およびゲート電極110を平面状に設けた場合よりも、占有面積を増大させなくても、チャネル幅を大きくすることができる。さらに、フィン型の絶縁体104が設けられているためチャネル形成領域を薄く形成することができる。このため、チャネル形成領域が厚い一般的なフィン型トランジスタの場合よりも完全空乏化しやすい。そのためトランジスタのS値を小さくすることができ、またオフ電流を低減することができる。

【0053】

またフィン型の絶縁体104は、図1(D)に示す高さ(H)と、チャネル長方向と垂直な方向の長さ、即ち幅(W)の比H/Wを、0.5以上とすることが好ましく、より好ましくは1以上、さらに好ましくは2以上とする。Wに対してHを大きくすることで、トランジスタ201のチャネル幅をより大きくすることができ、トランジスタ201の占有面積をより縮小することができる。

40

【0054】

酸化物半導体膜106としては、例えば、In-M-Zn系酸化物材料を用いればよい。ここで、金属元素Mは酸素との結合エネルギーがInおよびZnよりも高い元素である。または、In-M-Zn系酸化物材料から酸素が脱離することを抑制する機能を有する元素である。金属元素M的作用によって、酸化物半導体膜の酸素欠損の生成がある程度抑制される。そのため、酸素欠損に起因するトランジスタの電気特性の変動を低減することができ、信頼性の高いトランジスタを得ることができる。

50

【0055】

金属元素Mは、具体的にはAl、Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Ge、Y、Zr、Nb、Mo、Sn、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、TaまたはWとすればよく、好ましくはAl、Ti、Ga、Y、Zr、CeまたはHfとする。金属元素Mは、前述の元素から一種または二種以上選択すればよい。また、金属元素Mの代わりにGaまたはSiを用いても構わない。

【0056】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0057】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0058】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素又は複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0059】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ 、あるいは $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ あるいは $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0060】

しかし、インジウムを含む酸化物半導体は、これらに限られず、必要とするトランジスタの電気特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする電気特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0061】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

【0062】

なお、例えば、In、Ga、Znの原子数比が $\text{In}:\text{Ga}:\text{Zn}=a:b:c$ ($a+b+c=1$)である酸化物の組成が、原子数比が $\text{In}:\text{Ga}:\text{Zn}=A:B:C$ ($A+B+C=1$)の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ を満たすことをいい、 r は、例えば、0.05とすればよい。他の酸化物でも同様である。

10

20

30

40

50

【0063】

酸化物半導体膜106は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0064】

好ましくは、酸化物半導体膜106は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とする。

【0065】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

10

【0066】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

20

【0067】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0068】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜時に、または成膜後に熱処理などの結晶化処理を行うことにより形成される。

30

【0069】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0070】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

40

【0071】

また、CAAC-OSのように結晶部を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0072】

なお、Raは、JIS B0601:2001(ISO4287:1997)で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準

50

面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義される。

【0073】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0074】

ここで指定面とは、粗さ計測の対象となる面であり、座標 $(x_1, y_1, f(x_1, y_1))$ 、 $(x_1, y_2, f(x_1, y_2))$ 、 $(x_2, y_1, f(x_2, y_1))$ 、 $(x_2, y_2, f(x_2, y_2))$ の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積を S_0 、基準面の高さ(指定面の平均の高さ)を Z_0 とする。 Ra は原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。

10

【0075】

酸化物半導体膜106の膜厚は、1nm以上30nm以下(特に5nm以上10nm以下)とすることが好ましい。

【0076】

ゲート絶縁膜108は、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。

20

【0077】

また、ゲート絶縁膜108の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_yN_z$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、ハフニウムアルミネート($HfAl_xO_y$ ($x > 0$ 、 $y > 0$))、酸化ランタンなどのhigh-k材料を用いることで、ゲートリーク電流を低減できる。さらにゲート絶縁膜108は、単層構造としても良いし、積層構造としても良い。

【0078】

また、ゲート絶縁膜108は、過剰酸素を含む絶縁層で構成されることが好ましい。ゲート絶縁膜108が酸素を過剰に含むことで、酸化物半導体膜106に酸素を供給することができる。

30

【0079】

ゲート絶縁膜108の膜厚は、フィン型の絶縁体104の高さ(H)よりも小さいことが好ましい。より好ましくはHの二分の一以下、さらに好ましくはHの三分の一以下とする。ゲート絶縁膜108の膜厚をHよりも小さくすることで、フィン型の絶縁体104の側面に接する部分の酸化物半導体膜106にも十分に電界をかけることができる。

【0080】

ゲート電極110は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極110としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極110は、単層構造としてもよいし、積層構造としてもよい。

40

【0081】

また、ゲート電極110は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を用いて形成してもよい。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0082】

50

また、ゲート電極 110 として、窒素を含む金属酸化物、具体的には、窒素を含む In - Ga - Zn 系酸化物膜や、窒素を含む In - Sn 系酸化物膜や、窒素を含む In - Ga 系酸化物膜や、窒素を含む In - Zn 系酸化物膜や、窒素を含む Sn 系酸化物膜や、窒素を含む In 系酸化物膜や、金属窒化膜 (InN、SnN など) を用いることができる。これらの膜は 5 eV 以上、好ましくは 5.5 eV 以上の仕事関数を有し、ゲート電極として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

【0083】

なお、フィン型の絶縁体 104 を乗り越えるように設けられた酸化物半導体膜 106 は、フィン型の絶縁体 104 の段差を乗り越えるように設けられた酸化物半導体膜 106 と言い換えてもよい。同様にフィン型の絶縁体 104 の上面および側面と接する酸化物半導体膜 106 と言い換えてもよい。

10

【0084】

さらに、フィン型の絶縁体 104 を乗り越えるように設けられたゲート電極 110 は、フィン型の絶縁体 104 の段差を乗り越えるように設けられたゲート電極 110 と言い換えてもよい。同様にフィン型の絶縁体 104 の上面および側面と対向して設けられたゲート電極 110 と言い換えてもよい。同様にフィン型の絶縁体 104 の上面および側面と重畳するゲート電極 110 と言い換えてもよい。

【0085】

上記構成のトランジスタ 201 とすることで、小面積でもオン特性の高いトランジスタとすることができる。また、酸化物半導体膜の酸素欠損を補償することで、信頼性の向上したトランジスタとすることができる。また、酸化物半導体をフィンのように形成して一部をチャネル形成領域とするよりも、酸化物半導体膜を十分薄く形成できるため、トランジスタのチャネル形成領域を完全空乏化しやすい。そのため、S 値が低く、オフ電流の低いトランジスタとすることができる。

20

【0086】

また、図 1 では 1 つのトランジスタ 201 を示したが、複数のトランジスタ 201 を連続して作製してもよい。たとえば複数のトランジスタ 201 のゲート電極 110 を同一の導電層で形成してもよい。または、あるトランジスタ 201 の一対の低抵抗領域 106b を、隣り合うもう一つのトランジスタ 201 の低抵抗領域 106b と兼ねて用いてもよい。

30

【0087】

さらに、複数のトランジスタ 201 を積層させてもよい。たとえばあるトランジスタ 201 の上に層間膜を設け、層間膜の上にもう一つのトランジスタ 201 を形成してもよい。

【0088】

図 2 (A) は本発明の一態様に係るトランジスタの別の一例である、トランジスタ 202 の斜視図である。図 2 (B) はトランジスタ 202 の上面図である。図 2 (C) は図 2 (A) および (B) の一点鎖線 A - B に対応する断面図である。図 2 (D) は図 2 (A) および (B) の一点鎖線 C - D に対応する断面図である。

【0089】

図 1 のトランジスタ 201 と、図 2 のトランジスタ 202 の主な相違点は、フィン型の絶縁体 104 の上部の形状である。トランジスタ 202 のフィン型の絶縁体 104 は、上面と側面の間に曲面を有している。これはトランジスタ 202 のフィン型の絶縁体 104 は稜が曲線状である、断面形状が逆 U 字状または逆 V 字状である、上部側端が丸みを帯びている、または上部が角丸の直方体である等と言換えてもよい。

40

【0090】

フィン型の絶縁体 104 を、上面と側面の間に曲面を有した形状とすることで、酸化物半導体膜 106、ゲート絶縁膜 108 およびゲート電極 110 の段切れを防止することができる。また、電界集中を抑制することができるため、トランジスタ 202 の劣化を抑制できる。

【0091】

50

トランジスタ 202 の他の構成要素は、図 1 およびトランジスタ 201 の記載を参酌することができる。

【0092】

図 3 (A) は本発明の一態様に係るトランジスタの別の一例である、トランジスタ 203 の斜視図である。図 3 (B) はトランジスタ 203 の上面図である。図 3 (C) は図 3 (A) および (B) の一点鎖線 A - B に対応する断面図である。図 3 (D) は図 3 (A) および (B) の一点鎖線 C - D に対応する断面図である。

【0093】

図 1 のトランジスタ 201 と、図 3 のトランジスタ 203 の主な相違点は、フィン型の絶縁体 104 の矢印 Y の方向の長さである。トランジスタ 201 のフィン型の絶縁体 104 は、酸化物半導体膜 106 よりも矢印 Y の方向 (即ち、チャンネル長方向) について長いものに対して、トランジスタ 203 のフィン型の絶縁体 104 は、酸化物半導体膜 106 よりも矢印 Y の方向について短い。これは、トランジスタ 203 のフィン型の絶縁体 104 は、酸化物半導体膜 106 よりもチャンネル長方向について短いと言い換えてもよい。さらにフィン型の絶縁体 104 を完全に覆うように酸化物半導体膜 106 が設けられていると言い換えてもよい。

10

【0094】

このようなフィン型の絶縁体 104 とすることで、フィン型の絶縁体 104 から放出された酸素をより効果的に酸化物半導体膜 106 に供給することができる。

【0095】

20

トランジスタ 203 の他の構成要素は、図 1 およびトランジスタ 201 の記載を参酌することができる。

【0096】

図 4 (A) は本発明の一態様に係るトランジスタの別の一例である、トランジスタ 204 の斜視図である。図 4 (B) はトランジスタ 204 の上面図である。図 4 (C) は図 4 (A) および (B) の一点鎖線 A - B に対応する断面図である。図 4 (D) は図 4 (A) および (B) の一点鎖線 C - D に対応する断面図である。

【0097】

図 1 のトランジスタ 201 と、図 4 のトランジスタ 204 の主な相違点は、フィン型の絶縁体 104 の上部の形状および矢印 Y の方向の長さである。トランジスタ 204 のフィン型の絶縁体 104 は、上面と側面の間に曲面を有した形状となっている。さらにトランジスタ 201 のフィン型の絶縁体 104 は、酸化物半導体膜 106 よりも矢印 Y の方向 (即ち、チャンネル長方向) について長いものに対して、トランジスタ 204 のフィン型の絶縁体 104 は、酸化物半導体膜 106 よりも矢印 Y の方向について短い。これは、トランジスタ 204 のフィン型の絶縁体 104 は、酸化物半導体膜 106 よりもチャンネル長方向について短いと言い換えてもよい。さらにフィン型の絶縁体 104 を完全に覆うように酸化物半導体膜 106 が設けられていると言い換えてもよい。

30

【0098】

このような形状のフィン型の絶縁体 104 とすることで、酸化物半導体膜 106、ゲート絶縁膜 108 およびゲート電極 110 の段切れを防止することが容易となる。さらにフィン型の絶縁体 104 から放出された酸素をより効果的に酸化物半導体膜 106 に供給することができる。

40

【0099】

トランジスタ 204 の他の構成要素は、図 1 およびトランジスタ 201 の記載を参酌することができる。

【0100】

(実施の形態 2)

本実施の形態では、本発明の一態様に係るトランジスタの別の一例について、図 5 乃至図 8 を用いて説明する。

【0101】

50

図 5 (A) は本発明の一態様に係るトランジスタの別の一例である、トランジスタ 2 0 5 の上面図である。図 5 (B) は図 5 (A) の一点鎖線 A - B に対応する断面図である。図 5 (C) は図 5 (A) の一点鎖線 C - D に対応する断面図である。

【 0 1 0 2 】

トランジスタ 2 0 5 は、基板 1 0 0 上の絶縁膜 1 0 2 と、絶縁膜 1 0 2 上のフィン型の絶縁体 1 0 4 と、絶縁膜 1 0 2 およびフィン型の絶縁体 1 0 4 に接し、フィン型の絶縁体 1 0 4 を乗り越えるように設けられた酸化物半導体膜 1 0 6 を有する。さらに酸化物半導体膜 1 0 6 上で電氣的に接続されるソース電極またはドレイン電極 1 1 2 およびドレイン電極またはソース電極 1 1 3 を有する。さらに酸化物半導体膜 1 0 6 上のゲート絶縁膜 1 0 8 と、ゲート絶縁膜 1 0 8 上で酸化物半導体膜と重畳し、フィン型の絶縁体 1 0 4 を乗り越えるように設けられたゲート電極 1 1 0 を有する。

10

【 0 1 0 3 】

トランジスタ 2 0 5 ではゲート電極 1 1 0 がソース電極またはドレイン電極 1 1 2 およびドレイン電極またはソース電極 1 1 3 と重畳している。これによりソース抵抗およびドレイン抵抗を低減することができ、オン電流を大きくすることが可能となる。

【 0 1 0 4 】

なお、図 5 (A) では簡単のため、トランジスタ 2 0 5 の一部 (ゲート絶縁膜 1 0 8 、チャネル形成領域 1 0 6 a 等) を省略している。

【 0 1 0 5 】

トランジスタ 2 0 5 の他の構成要素は、図 1 およびトランジスタ 2 0 1 の記載を参酌することができる。

20

【 0 1 0 6 】

図 6 (A) は本発明の一態様に係るトランジスタの別の一例である、トランジスタ 2 0 6 の上面図である。図 6 (B) は図 6 (A) の一点鎖線 A - B に対応する断面図である。図 6 (C) は図 6 (A) の一点鎖線 C - D に対応する断面図である。

【 0 1 0 7 】

図 5 のトランジスタ 2 0 5 と図 6 のトランジスタ 2 0 6 の主な相違点の一つは、ゲート電極 1 1 0 の形状である。トランジスタ 2 0 6 ではゲート電極 1 1 0 と、ソース電極またはドレイン電極 1 1 2 およびドレイン電極またはソース電極 1 1 3 は重畳していない。

【 0 1 0 8 】

またトランジスタ 2 0 6 の酸化物半導体膜 1 0 6 は、チャネル形成領域 1 0 6 a を挟むように一対の低抵抗領域 1 0 6 c を有する。一対の低抵抗領域 1 0 6 c は、ゲート電極 1 1 0、ソース電極またはドレイン電極 1 1 2 およびドレイン電極またはソース電極 1 1 3 をマスクとして、ゲート絶縁膜 1 0 8 を介して不純物を酸化物半導体膜 1 0 6 に添加することで形成することができる。なお図示しないが、酸化物半導体膜 1 0 6 は一対の低抵抗領域 1 0 6 c を有さなくてもよい。

30

【 0 1 0 9 】

ゲート電極 1 1 0 と、ソース電極またはドレイン電極 1 1 2 およびドレイン電極またはソース電極 1 1 3 は重畳せず、また一対の低抵抗領域 1 0 6 c を有する構造とすることで、チャネル形成領域 1 0 6 a の端の電界集中を防ぎ、チャネル形成領域 1 0 6 a がホットキャリアにより劣化することを防ぐことができる。そのためトランジスタ 2 0 6 の信頼性を向上させることができる。

40

【 0 1 1 0 】

トランジスタ 2 0 6 の他の構成要素は、図 5 およびトランジスタ 2 0 5 の記載を参酌することができる。

【 0 1 1 1 】

図 7 (A) は本発明の一態様に係るトランジスタの別の一例である、トランジスタ 2 0 7 の上面図である。図 7 (B) は図 7 (A) の一点鎖線 A - B に対応する断面図である。図 7 (C) は図 7 (A) の一点鎖線 C - D に対応する断面図である。

【 0 1 1 2 】

50

トランジスタ 207 は、基板 100 上の絶縁膜 102 と、絶縁膜 102 上のフィン型の絶縁体 104 と、ソース電極またはドレイン電極 112 およびドレイン電極またはソース電極 113 を有する。さらに絶縁膜 102 およびフィン型の絶縁体 104 に接し、フィン型の絶縁体 104 を乗り越えるように設けられ、ソース電極またはドレイン電極 112 およびドレイン電極またはソース電極 113 上で電氣的に接続された酸化物半導体膜 106 を有する。さらに酸化物半導体膜 106 上のゲート絶縁膜 108 と、ゲート絶縁膜 108 上で酸化物半導体膜 106 と重畳し、フィン型の絶縁体 104 を乗り越えるように設けられたゲート電極 110 を有する。

【0113】

トランジスタ 207 ではゲート電極 110 がソース電極またはドレイン電極 112 およびドレイン電極またはソース電極 113 と重畳している。これにより酸化物半導体膜 106 の広い領域をチャネル形成領域とすることができ、オン電流を大きくすることが可能となる。

【0114】

なお、図 7 (A) では簡単のため、トランジスタ 207 の一部 (ゲート絶縁膜 108、チャネル形成領域 106a 等) を省略している。

【0115】

トランジスタ 207 の他の構成要素は、図 5 およびトランジスタ 205 の記載を参酌することができる。

【0116】

図 8 (A) は本発明の一態様に係るトランジスタの別の一例である、トランジスタ 208 の上面図である。図 8 (B) は図 8 (A) の一点鎖線 A - B に対応する断面図である。図 8 (C) は図 8 (A) の一点鎖線 C - D に対応する断面図である。

【0117】

図 7 のトランジスタ 207 と図 8 のトランジスタ 208 の主な相違点の一つは、ゲート電極 110 の形状である。トランジスタ 208 ではゲート電極 110 と、ソース電極またはドレイン電極 112 およびドレイン電極またはソース電極 113 は重畳していない。

【0118】

また酸化物半導体膜 106 は、チャネル形成領域 106a を挟むように一对の低抵抗領域 106c を有していてもよい。一对の低抵抗領域 106c は、ゲート電極 110 をマスクとして、ゲート絶縁膜 108 を介して不純物を酸化物半導体膜 106 に添加することで形成することができる。

【0119】

ゲート電極 110 と、ソース電極またはドレイン電極 112 およびドレイン電極またはソース電極 113 は重畳せず、また一对の低抵抗領域 106c を有する構造とすることで、チャネル形成領域 106a の端の電界集中を防ぎ、チャネル形成領域 106a がホットキャリアにより劣化することを防ぐことができる。そのためトランジスタ 208 の信頼性を向上させることができる。

【0120】

トランジスタ 208 の他の構成要素は、図 6 およびトランジスタ 206 の記載を参酌することができる。

【0121】

本実施の形態は、他の実施の形態と組み合わせて用いることができる。

【0122】

(実施の形態 3)

本実施の形態では、本発明の一態様に係るトランジスタの作製方法の例について、図 9 乃至図 11 を用いて説明する。

【0123】

まず、図 1 に示すトランジスタ 201 の作製方法について、図 9 および図 10 を用いて説明する。図 9 および図 10 では、左に図 1 (B) の一点鎖線 A - B に対応する断面図、右

10

20

30

40

50

に図1(B)の一点鎖線C-Dに対応する断面図を示す。

【0124】

まず基板100を用意する。可撓性を有する半導体装置を作製する場合は、可撓性基板上にトランジスタ201を直接作製してもよいし、他の作製基板にトランジスタ201を作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板とトランジスタ201との間に剥離層を設けるとよい。

【0125】

基板100(又は基板100及び絶縁膜102等)に熱処理を行ってもよい。例えば、高温のガスを用いて熱処理を行うGRTA(Gas Rapid Thermal Anneal)装置により、650、1分~5分間、熱処理を行えばよい。なお、GRTAにおける高温のガスには、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。また、電気炉により、500、30分~1時間、熱処理を行ってもよい。

【0126】

次に、基板100上に絶縁膜102を形成する(図9(A)参照)。絶縁膜102の膜厚は、10nm以上300nm以下とし、スパッタリング法、CVD法、塗布法などで形成することができる。なお、基板100からの不純物の影響を無視できる場合などは、絶縁膜102を形成しなくてもよい。

【0127】

本実施の形態では、絶縁膜102として、スパッタリング法により膜厚50nmの酸化アルミニウム膜を形成することとする。

【0128】

なお、基板100および絶縁膜102に熱処理による脱水化又は脱水素化処理を行うことが好ましい。

【0129】

熱処理の温度は、300以上700以下、または基板の歪み点未満とする。熱処理の温度は、絶縁膜102の成膜温度より高い方が、脱水化または脱水素化の効果が高いため好ましい。例えば、熱処理装置の一つである電気炉に基板を導入し、基板100および絶縁膜102に対して減圧下450において1時間の熱処理を行う。なお本明細書において、減圧とは10Pa以下をいう。

【0130】

なお、熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA装置、LRTA(Lamp Rapid Thermal Annealing)装置等のRTA(Rapid Thermal Annealing)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。

【0131】

例えば、熱処理として、650~700の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

【0132】

熱処理は、減圧下、窒素雰囲気下、又は希ガス雰囲気下で行えばよい。また、上記窒素、または希ガス等の雰囲気中に水、水素などが含まれないことが好ましい。また、熱処理装置に導入する窒素、または希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0133】

次に、絶縁膜102上に絶縁層103を形成する(図9(B)参照)。絶縁層103の膜厚は、10nm以上1000nm以下とし、成膜ガスを用いたCVD法を用いることがで

10

20

30

40

50

きる。CVD法としては、LPCVD法、プラズマCVD法などを用いることができ、また他の方法としては、スパッタリング法、塗布法なども用いることができる。

【0134】

次に、絶縁層103をエッチングにより加工してフィン型の絶縁体104を形成する(図9(C)参照)。

【0135】

次に、フィン型の絶縁体104に熱処理による脱水化又は脱水素化処理を行ってもよい。フィン型の絶縁体104に行う熱処理による脱水化又は脱水素化処理の方法は、基板100および絶縁膜102に行う同処理を参酌することができる。

【0136】

熱処理によって、フィン型の絶縁体104の脱水化または脱水素化を行うことができ、トランジスタの特性変動を引き起こす水素、又は水などの不純物が排除されたフィン型の絶縁体104を形成することができる。

【0137】

また、フィン型の絶縁体104に形成する前の絶縁層103に、熱処理による脱水化又は脱水素化処理を行っても良い。

【0138】

次に、絶縁膜102およびフィン型の絶縁体104上に、酸化物半導体膜105を形成する(図9(D)参照)。なお、本実施の形態では、酸化物半導体膜105は島状に形成される前の酸化物半導体膜であり、完成したトランジスタ201に含まれる酸化物半導体膜106は島状に形成された酸化物半導体膜である。

【0139】

なお、酸化物半導体膜105は、成膜時に酸素が多く含まれるような条件(例えば、酸素100%の雰囲気下でスパッタリング法により成膜を行うなど)で成膜して、酸素を多く含む(好ましくは酸化物半導体が結晶状態における化学量論的組成に対し、酸素の含有量が過剰な領域が含まれている)膜とすることが好ましい。

【0140】

なお、本実施の形態において、酸化物半導体膜105として、AC電源装置を有するスパッタリング装置を用いたスパッタリング法を用い、膜厚35nmのIn-Ga-Zn系酸化物膜(IGZO膜)を成膜する。本実施の形態において、In:Ga:Zn=1:1:1の原子比のIn-Ga-Zn系酸化物ターゲットを用いる。なお、成膜条件は、酸素及びアルゴン雰囲気下(酸素流量比率50%)、圧力0.6Pa、電源電力5kW、基板温度170℃とする。この成膜条件での成膜速度は、16nm/minである。

【0141】

酸化物半導体膜105を、成膜する際に用いるスパッタリングガスは水素、水、水酸基を有する化合物、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0142】

減圧状態に保持された成膜室内に基板を保持する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板100上に酸化物半導体膜105を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素(水素原子)、水(H₂O)など水素(水素原子)を含む化合物(より好ましくは炭素原子を含む化合物も)等が効率的に排気されるため、当該成膜室で成膜した酸化物半導体膜105に含まれる不純物の濃度を低減できる。

【0143】

また、フィン型の絶縁体104を大気に解放せずにフィン型の絶縁体104と酸化物半導体膜105を連続的に形成することが好ましい。フィン型の絶縁体104を大気に曝露せ

10

20

30

40

50

ずにフィン型の絶縁体 104 と酸化物半導体膜 105 を連続して形成すると、フィン型の絶縁体 104 表面に水素や水分などの不純物が吸着することを防止することができる。

【0144】

続いて、酸化物半導体膜 105 及びフィン型の絶縁体 104 に酸素添加処理を行い、酸素を過剰に含む酸化物半導体膜 105 及びフィン型の絶縁体 104 を形成することが好ましい。酸素添加処理を行うことにより、酸化物半導体膜 105 及びフィン型の絶縁体 104 中、および / 又は該界面近傍に酸素を含有させることができる。

【0145】

添加される酸素（酸素ラジカル、酸素原子、酸素分子、オゾン、酸素イオン（酸素分子イオン）、及び / 又は酸素クラスティオン）は、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。また、イオン注入法にはガスクラスティオンビームを用いてもよい。酸素の添加処理は、全面を一度に行ってもよいし、線状のイオンビーム等を用いて移動（スキャン）させ行ってもよい。

10

【0146】

例えば、添加される酸素（酸素ラジカル、酸素原子、酸素分子、オゾン、酸素イオン（酸素分子イオン）、及び / 又は酸素クラスティオン）は、酸素を含むガスを用いてプラズマ発生装置により供給されてもよいし、又はオゾン発生装置により供給されてもよい。より具体的には、例えば、半導体装置に対してエッチング処理を行うための装置や、レジストマスクに対してアッシングを行うための装置などを用いて酸素を発生させ、酸化物半導体膜 105 及びフィン型の絶縁体 104 を処理することができる。

20

【0147】

酸素添加処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、酸素、一酸化二窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素添加処理は、希ガス存在下で行ってもよい。

【0148】

酸素添加処理は、例えば、イオン注入法で酸素イオンの注入を行う場合、ドーズ量を $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0149】

酸化物半導体膜 105 と接するフィン型の絶縁体 104 が、酸素の供給源となる酸素を多く（過剰に）含むので、該フィン型の絶縁体 104 から酸化物半導体膜 105 へ酸素を供給することができる。

30

【0150】

フィン型の絶縁体 104 から酸化物半導体膜 105 へ酸素を供給する方法としては、酸化物半導体膜 105 とフィン型の絶縁体 104 とを接した状態で熱処理を行う。熱処理によってフィン型の絶縁体 104 から酸化物半導体膜 105 への酸素の供給を効果的に行うことができる。

【0151】

なお、フィン型の絶縁体 104 から酸化物半導体膜 105 への酸素の供給のための熱処理を、酸化物半導体膜 105 が島状に加工される前に行うことで、フィン型の絶縁体 104 に含まれる酸素が効果的に酸化物半導体膜 105 に供給されるため好ましい。

40

【0152】

酸化物半導体膜 105 へ酸素を供給することにより、酸化物半導体膜 105 中の酸素欠損を補填することができる。

【0153】

次に、酸化物半導体膜 105 をエッチングにより島状に加工して酸化物半導体膜 106 を形成する（図 10（A）参照）。なお、酸化物半導体膜 105 のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜 105 のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO-07N（関東化学社製）を用いてもよ

50

い。また、ICP (Inductively Coupled Plasma : 誘導結合型プラズマ) エッチング法によるドライエッチングによってエッチング加工してもよい。

【0154】

次に、酸化物半導体膜106上にゲート絶縁膜108を形成する(図10(B)参照)。ゲート絶縁膜108の膜厚は0.5nm以上100nm以下とする。ゲート絶縁膜108の形成方法は絶縁層103の形成方法を参酌することができる。

【0155】

なお、ゲート絶縁膜108に熱処理による脱水化又は脱水素化処理を行うことが好ましい。熱処理によって、ゲート絶縁膜108の脱水化または脱水素化を行うことができ、ランジスタの特性変動を引き起こす水素、又は水などの不純物が排除されたゲート絶縁膜108を形成することができる。

【0156】

ゲート絶縁膜108に行う熱処理による脱水化又は脱水素化処理の方法は、基板100および絶縁膜102に行う同処理を参酌することができる。

【0157】

ゲート絶縁膜108に熱処理による脱水化又は脱水素化処理を行ってから、さらに、ゲート絶縁膜108に酸素添加処理を行った後、熱処理を行ってゲート絶縁膜108から酸化物半導体膜106に酸素を供給することが好ましい。酸化物半導体膜106へ酸素を供給することにより、酸化物半導体膜106中の酸素欠損を補填することができる。

【0158】

ゲート絶縁膜108に行う酸素添加処理および熱処理の方法は、フィン型の絶縁体104から酸化物半導体膜105に行う同処理を参酌することができる。

【0159】

次に、ゲート絶縁膜108上に、フィン型の絶縁体104を乗り越えるようにゲート電極110を設ける(図10(C)参照)。ゲート電極110は、ゲート絶縁膜108上に導電層を形成し、該導電層をエッチングにより加工することで形成することができる。

【0160】

なお、ゲート絶縁膜108に行う酸素添加処理および熱処理は、ゲート電極110形成後に行っても良い。

【0161】

次に、ゲート電極110をマスクとして酸化物半導体膜106にドーパントを導入し、酸化物半導体膜106に一对の低抵抗領域106bを形成する(図10(D)参照)。図10(D)図中の矢印はドーパントを示す。

【0162】

ドーパントは、酸化物半導体膜106の導電率を変化させる不純物である。ドーパントとしては、15族元素(代表的には窒素(N)、リン(P)、砒素(As)、およびアンチモン(Sb))、ホウ素(B)、アルミニウム(Al)、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)、インジウム(In)、フッ素(F)、塩素(Cl)、チタン(Ti)、及び亜鉛(Zn)のいずれかから選択される一以上を用いることができる。

【0163】

ドーパントは、注入法により、他の膜(例えばゲート絶縁膜108)を通過して、酸化物半導体膜106に導入することができる。ドーパントの導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。その際には、ドーパントの単体のイオンあるいはフッ化物、塩化物のイオンを用いると好ましい。

【0164】

ドーパントの導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。たとえばドーパントのドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすることができる。

【0165】

低抵抗領域におけるドーパントの濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

【0166】

本実施の形態では、イオン注入法により酸化物半導体膜106に、リンイオンを注入することとする。またリンイオンの注入条件は加速電圧30kV、ドーズ量を $1.0 \times 10^{15} \text{ ions} / \text{cm}^2$ とする。

【0167】

ドーパントを導入する際に、基板100を加熱しながら行ってもよい。

【0168】

なお、酸化物半導体膜106にドーパントを導入する処理は、複数回行ってもよく、ドーパントの種類も複数種用いてもよい。

10

【0169】

また、ドーパントの導入処理後、熱処理を行ってもよい。加熱条件としては、温度300以上700以下、好ましくは300以上450以下で1時間、酸素雰囲気下で行うことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥エア）下で熱処理を行ってもよい。またドーパント導入処理後の熱処理は、図10（A）および図10（B）において行うことのできる酸素添加処理後の熱処理と兼ねて行ってもよい。

【0170】

酸化物半導体膜106をCAAC-OS膜とした場合、ドーパントの導入により、一部非晶質化する場合がある。この場合、ドーパントの導入後に加熱処理を行うことによって、酸化物半導体膜106の結晶性を回復することができる。

20

【0171】

このようにして酸化物半導体膜106に、チャネル形成領域106aを挟んだ一対の低抵抗領域106bを形成することができる。

【0172】

次に、図2乃至図4に示すトランジスタ202乃至トランジスタ204の作製方法について、図11を用いて説明する。

【0173】

図11（A）では、左に図2（B）のトランジスタ202の一点鎖線A-Bに対応する断面図を示し、右に一点鎖線C-Dに対応する断面図を示す。

30

【0174】

トランジスタ201の作製方法と、トランジスタ202の作製方法の主な相違点は、トランジスタ202では、フィン型の絶縁体104の上面と側面の間に曲面を有した形状に形成している点である。

【0175】

トランジスタ202の作製方法としてはまず、トランジスタ201と同様に、基板100上に絶縁膜102、絶縁層103を形成し、絶縁層103をエッチングにより加工してフィン型の絶縁体104を形成する。

【0176】

次に、フィン型の絶縁体104に酸素添加処理を行う。該酸素添加処理としては、酸素プラズマ処理、酸素イオンインプランテーション処理、酸素ドーピング処理、アッシング処理等により行うことができる。

40

【0177】

酸素添加処理を行うことで、フィン型の絶縁体104の上面と側面の間に曲面を有した形状とすると共に、フィン型の絶縁体104に酸素を添加することができる。

【0178】

フィン型の絶縁体104の上面と側面の間に曲面を有した形状とすることで、酸化物半導体膜106、ゲート絶縁膜108およびゲート電極110の段切れを防止することが容易となる。またフィン型の絶縁体104に酸素を添加することで、フィン型の絶縁体104から酸化物半導体膜105へ酸素を供給することができる。

50

【 0 1 7 9 】

トランジスタ 2 0 2 の他の要素の作製方法は、図 9 および図 1 0 ならびにトランジスタ 2 0 1 の作製方法の記載を参酌することができる。

【 0 1 8 0 】

図 1 1 (B) では、左に図 3 (B) のトランジスタ 2 0 3 の一点鎖線 A - B に対応する断面図を示し、右に一点鎖線 C - D に対応する断面図を示す。

【 0 1 8 1 】

トランジスタ 2 0 1 の作製方法と、トランジスタ 2 0 3 の作製方法の主な相違点は、トランジスタ 2 0 3 では、フィン型の絶縁体 1 0 4 を、酸化物半導体膜 1 0 6 よりも矢印 Y の方向（即ち、チャネル長方向）について短く形成している点である。

10

【 0 1 8 2 】

これはフィン型の絶縁体 1 0 4 を形成する際のマスクを変更することで、上記のような形状に絶縁層 1 0 3 を加工することができる。

【 0 1 8 3 】

フィン型の絶縁体 1 0 4 を、酸化物半導体膜 1 0 6 よりも矢印 Y の方向について短く形成することで、フィン型の絶縁体 1 0 4 から放出される酸素を効率的に酸化物半導体膜 1 0 6 に供給することができる。

【 0 1 8 4 】

トランジスタ 2 0 3 の他の要素の作製方法は、図 9 および図 1 0 ならびにトランジスタ 2 0 1 の作製方法の記載を参酌することができる。

20

【 0 1 8 5 】

図 1 1 (C) では、左に図 4 (B) のトランジスタ 2 0 4 一点鎖線 A - B に対応する断面図を示し、右に一点鎖線 C - D に対応する断面図を示す。

【 0 1 8 6 】

トランジスタ 2 0 1 の作製方法と、トランジスタ 2 0 4 の作製方法の主な相違点は、トランジスタ 2 0 4 では、フィン型の絶縁体 1 0 4 を、酸化物半導体膜 1 0 6 よりも矢印 Y の方向（即ち、チャネル長方向）について短く形成し、かつ上面と側面の間に曲面を有した形状に形成している点である。

【 0 1 8 7 】

これはトランジスタ 2 0 2 およびトランジスタ 2 0 3 と同様に、フィン型の絶縁体 1 0 4 に酸素添加処理を行い、かつフィン型の絶縁体 1 0 4 を形成する際のマスクを変更することで、上記のような形状に絶縁層 1 0 3 を加工することができる。

30

【 0 1 8 8 】

フィン型の絶縁体 1 0 4 の上面と側面の間に曲面を有した形状とすることで、酸化物半導体膜 1 0 6、ゲート絶縁膜 1 0 8 およびゲート電極 1 1 0 の段切れを防止することができる。またフィン型の絶縁体 1 0 4 に酸素を添加することで、フィン型の絶縁体 1 0 4 から酸化物半導体膜 1 0 5 へ酸素を供給することができる。

【 0 1 8 9 】

またフィン型の絶縁体 1 0 4 を、酸化物半導体膜 1 0 6 よりも矢印 Y の方向について短く形成することで、フィン型の絶縁体 1 0 4 から放出される酸素を効果的に酸化物半導体膜 1 0 6 に供給することができる。

40

【 0 1 9 0 】

トランジスタ 2 0 4 の他の要素の作製方法は、図 9 および図 1 0 ならびにトランジスタ 2 0 1 の作製方法の記載を参酌することができる。

【 0 1 9 1 】

図 5 乃至図 8 に示すトランジスタ 2 0 5 乃至トランジスタ 2 0 8 の作製方法は、トランジスタ 2 0 1 の作製方法を参酌することができる。

【 0 1 9 2 】

（実施の形態 4）

本実施の形態では、本明細書に示すトランジスタを使用し、電力が供給されない状況でも

50

記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を、図面を用いて説明する。

【0193】

図12は、半導体装置の構成の一例である。図12（A）に、半導体装置の断面図を、図12（B）に半導体装置の回路図をそれぞれ示す。

【0194】

図12（A）及び図12（B）に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ3200を有し、上部に第2の半導体材料を用いたトランジスタ3202を有するものである。トランジスタ3202としては、実施の形態1で示すトランジスタ201の構造を適用する例である。

10

【0195】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第2の半導体材料を酸化物半導体とすることができ。酸化物半導体以外の材料を用いたトランジスタは、高速動作が可能である。一方で、実施の形態1または実施の形態2で示した酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0196】

なお、上記トランジスタは、nチャネル型トランジスタとpチャネル型トランジスタのどちらを用いても構わない。また、情報を保持するために酸化物半導体を用いた実施の形態1および実施の形態2に示すようなトランジスタを用いる他は、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

20

【0197】

図12（A）におけるトランジスタ3200は、半導体材料（例えば、シリコンなど）を含む基板3000に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物元素領域と、不純物元素領域に接する金属間化合物領域と、チャネル形成領域上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられたゲート電極層と、を有する。

【0198】

基板3000上にはトランジスタ3200を囲むように素子分離絶縁層3106が設けられており、トランジスタ3200を覆うように絶縁層3220が設けられている。

30

【0199】

単結晶半導体基板を用いたトランジスタ3200は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ3202および容量素子3204の形成前の処理として、トランジスタ3200を覆う絶縁層3220にCMP処理を施して、絶縁層3220を平坦化すると同時にトランジスタ3200のゲート電極層の上面を露出させる。

【0200】

図12（A）に示すトランジスタ3202は、酸化物半導体をチャネル形成領域に用いたボトムゲート型トランジスタである。ここで、トランジスタ3202に含まれる酸化物半導体膜は、高純度化されたものであることが望ましい。即ち、実施の形態3で示したように、酸化物半導体膜は不純物を可能な限り含まず、且つ酸素欠損が極めて少ないことが望ましい。高純度化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ3202を得ることができる。

40

【0201】

トランジスタ3202は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体装置とすることが可能となるため、消費電力を十分に低減することができる。

50

【0202】

トランジスタ3202のソース電極層又はドレイン電極層の一方は、トランジスタ3200のゲート電極層と電氣的に接続されている。

【0203】

また、電極3208と、トランジスタ3202のソース電極層またはドレイン電極層の一方とによって、容量素子3204が構成される。すなわち、電極3208は容量素子3204の一方の電極として機能し、トランジスタ3202のソース電極層またはドレイン電極層の一方は容量素子3204の他方の電極として機能する。なお、容量が不要の場合には、容量素子3204を設けない構成とすることもできる。また、容量素子3204は、別途、トランジスタ3202の上方に設けてもよい。

10

【0204】

図12(A)において、トランジスタ3202及び容量素子3204が、トランジスタ3200の少なくとも一部と重畳するように設けられている。例えば、容量素子3204の電極3208は、トランジスタ3200のゲート電極層と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0205】

図12(A)に対応する回路構成の一例を図12(B)に示す。

【0206】

図12(B)において、第1の配線(1st Line)とトランジスタ3200のソース電極層とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ3200のドレイン電極層とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ3202のソース電極層またはドレイン電極層の他方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ3202のゲート電極層とは、電氣的に接続されている。そして、トランジスタ3200のゲート電極層と、トランジスタ3202のソース電極層またはドレイン電極層の一方は、容量素子3204の電極の他方と電氣的に接続され、第5の配線(5th Line)と、容量素子3204の電極の一方は電氣的に接続されている。

20

【0207】

図12(B)に示す半導体装置では、トランジスタ3200のゲート電極層の電位が長時間に渡って保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

30

【0208】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ3202がオン状態となる電位にして、トランジスタ3202をオン状態とする。これにより、第3の配線の電位が、トランジスタ3200のゲート電極層、および容量素子3204に与えられる。すなわち、トランジスタ3200のゲート電極層には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ3202がオフ状態となる電位にして、トランジスタ3202をオフ状態とすることにより、トランジスタ3200のゲート電極層に与えられた電荷が保持される(保持)。

40

【0209】

トランジスタ3202のオフ電流は極めて小さいため、トランジスタ3200のゲート電極層の電荷は長時間にわたって保持される。

【0210】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ3200のゲート電極層に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ3200をpチャネル型とすると、トランジスタ3200のゲート電極層にHigh

50

h レベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ 3200 のゲート電極層に Low レベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ 3200 を「オン状態」とするために必要な第 5 の配線の電位をいうものとする。したがって、第 5 の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ 3200 のゲート電極層に与えられた電荷を判別できる。例えば、書き込みにおいて、High レベル電荷が与えられていた場合には、第 5 の配線の電位が V_0 ($< V_{th_L}$) となれば、トランジスタ 3200 は「オフ状態」となる。Low レベル電荷が与えられていた場合には、第 5 の配線の電位が V_0 ($> V_{th_H}$) となっても、トランジスタ 3200 は「オン状態」のままである。このため、第 2 の配線の電位を見ることで、保持されている情報を読み出すことができる。

10

【0211】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極層の状態にかかわらずトランジスタ 3200 が「オフ状態」となるような電位、つまり、 V_{th_L} より高い電位を第 5 の配線に与えればよい。または、ゲート電極層の状態にかかわらずトランジスタ 3200 が「オン状態」となるような電位、つまり、 V_{th_H} より低い電位を第 5 の配線に与えればよい。

【0212】

本実施の形態に示す半導体装置では、チャンネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、少なくとも第 4 の配線の電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

20

【0213】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

30

【0214】

以上のように、微細化及び高集積化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0215】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0216】

（実施の形態 5）

本実施の形態においては、実施の形態 1 または実施の形態 2 に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、図 13 及び図 14 を用いて説明を行う。

40

【0217】

図 13 (A) は、半導体装置の回路構成の一例を示し、図 13 (B) は半導体装置の一例を示す概念図である。まず、図 13 (A) に示す装置について説明を行い、続けて図 13 (B) に示す半導体装置について、以下説明を行う。

【0218】

図 13 に示す半導体装置は、 n 本のビット線 BL と、 m 本のワード線 WL と、メモリセル

50

403が縦m個(行)×横n個(列)のマトリクス状に配置されたメモリセルアレイと、n本のビット線BLに接続する第1の駆動回路410と、m本のワード線WLに接続する第2の駆動回路411と、を有する。

【0219】

メモリセル403は、トランジスタ401及び容量素子402を有する。ビット線BLは、トランジスタ401のソース電極又はドレイン電極の一方と電気的に接続され、ワード線WLは、トランジスタ401のゲート電極と電気的に接続され、トランジスタ401のソース電極又はドレイン電極の他方と容量素子402の第1の端子とは電気的に接続されている。

【0220】

次に、図13(A)に示す半導体装置(メモリセル403)に、情報の書き込みおよび保持を行う場合について説明する。

【0221】

まず、容量線CLを接地電位とし、ワード線WLの電位を、トランジスタ401がオン状態となる電位として、トランジスタ401をオン状態とする。これにより、ビット線BLの電位が、容量素子402の第1の端子に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ401がオフ状態となる電位として、トランジスタ401をオフ状態とすることにより、容量素子402の第1の端子の電位が保持される(保持)。

【0222】

酸化物半導体を用いたトランジスタ401は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ401をオフ状態とすることで、容量素子402の第1の端子の電位(あるいは、容量素子402に蓄積された電荷)を極めて長時間にわたって保持することが可能である。

【0223】

次に、情報の読み出しについて説明する。トランジスタ401がオン状態となると、浮遊状態であるビット線BLと、容量素子402とが導通し、ビット線BLと容量素子402の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子402の第1の端子の電位(あるいは容量素子402に蓄積された電荷)によって、異なる値をとる。

【0224】

例えば、容量素子402の第1の端子の電位をV、容量素子402の容量をC、ビット線BLが有する容量成分(以下、ビット線容量とも呼ぶ)をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。従って、メモリセル403の状態として、容量素子402の第1の端子の電位がV1とV0($V1 > V0$)の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位($= (CB \times VB0 + C \times V1) / (CB + C)$)は、電位V0を保持している場合のビット線BLの電位($= (CB \times VB0 + C \times V0) / (CB + C)$)よりも高くなることがわかる。

【0225】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0226】

このように、図13(A)に示す半導体装置は、トランジスタ401のオフ電流が極めて小さいという特徴から、容量素子402に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0227】

次に、図13(B)に示す半導体装置について、説明を行う。

10

20

30

40

50

【 0 2 2 8 】

図 1 3 (B) に示す半導体装置は、上部に記憶回路として図 1 3 (A) に示したメモリセル 4 0 3 を複数有するメモリセルアレイ 4 2 0 a 及び 4 2 0 b を有し、下部に、メモリセルアレイ 4 3 0 (メモリセルアレイ 4 2 0 a 及び 4 2 0 b) を動作させるために必要な周辺回路 4 3 1 を有する。なお、周辺回路 4 3 1 は、メモリセルアレイ 4 2 0 a、メモリセルアレイ 4 2 0 b とそれぞれ電氣的に接続されている。

【 0 2 2 9 】

図 1 3 (B) に示した構成とすることにより、周辺回路 4 3 1 をメモリセルアレイ 4 3 0 (メモリセルアレイ 4 2 0 a 及び 4 2 0 b) の真下に設けることができるため半導体装置の小型化を図ることができる。

10

【 0 2 3 0 】

周辺回路 4 3 1 に設けられるトランジスタは、トランジスタ 4 0 1 とは異なる半導体材料を用いることがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路 (論理回路、駆動回路など) を好適に実現することが可能である。他に、有機半導体材料などを用いてもよい。トランジスタ 4 0 1 については、実施の形態 1 および実施の形態 2 におけるトランジスタ 2 0 1 乃至トランジスタ 2 0 8 の記載を参酌できる。

【 0 2 3 1 】

なお、図 1 3 (B) に示した半導体装置では、メモリセルアレイ 4 3 0 (メモリセルアレイ 4 2 0 a と、メモリセルアレイ 4 2 0 b) が積層された構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3 つ以上のメモリセルアレイを積層する構成としても良い。

20

【 0 2 3 2 】

次に図 1 4 (A) および図 1 4 (B) を用いて、メモリセル 4 0 3 の具体的な構成について説明する。

【 0 2 3 3 】

図 1 4 は、メモリセル 4 0 3 の構成の一例である。図 1 4 (A) に、メモリセル 4 0 3 の断面図を、図 1 4 (B) にメモリセル 4 0 3 回路図を示す。

30

【 0 2 3 4 】

図 1 4 (A) 及び図 1 4 (B) に示すトランジスタ 4 0 1 は、実施の形態 1 および実施の形態 2 で示したトランジスタ 2 0 1 乃至トランジスタ 2 0 8 と同様の構成とすることができるため、詳細な説明は省略する。

【 0 2 3 5 】

また、容量素子 4 0 2 は、絶縁膜 4 0 4 上に、電極 4 0 5 を形成することにより、形成される。電極 4 0 5 の材料や方法については、トランジスタ 2 0 1 乃至トランジスタ 2 0 8 のゲート電極 1 1 0 の記載を参酌することができる。図 1 4 に示す容量素子 4 0 2 では、電極 4 0 5 が絶縁膜 4 0 4 およびソース電極またはドレイン電極 4 0 6 の一方を介してフィン型の絶縁体 4 0 7 を乗り越えている。このような構成の容量素子 4 0 2 とすることで、平面状に容量素子を形成する場合よりも小さな面積で必要な容量を得ることができ、高集積な半導体装置とすることができる。

40

【 0 2 3 6 】

なお、メモリセルアレイを積層構造とする場合には、絶縁膜 4 0 4 上にさらに絶縁膜を形成し、該絶縁膜上にトランジスタ 4 0 1 と同様の酸化物半導体を用いたトランジスタを形成すればよい。

【 0 2 3 7 】

以上のように、多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、

50

リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【 0 2 3 8 】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた半導体装置とを一体に備えた半導体装置を実現することができる。

【 0 2 3 9 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

10

【 0 2 4 0 】

（実施の形態 6）

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図 15 を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラなどのカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

【 0 2 4 1 】

図 15（A）は、ノート型のパーソナルコンピュータであり、筐体 501、筐体 502、表示部 503、キーボード 504 などによって構成されている。筐体 501 と筐体 502 の内部には、電子回路が設けられており、電子回路には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の演算、書き込みおよび読み出しが高速で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

20

【 0 2 4 2 】

図 15（B）は、タブレット型端末 510 である。タブレット型端末 510 は、表示部 512 を有する筐体 511 と、表示部 514 を有する筐体 513 と、操作ボタン 515 と、外部インターフェイス 516 を有する。また、タブレット型端末 510 を操作するスタイラス 517などを備えている。筐体 511 と筐体 513 の内部には、電子回路が設けられており、電子回路には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の演算、書き込みおよび読み出しが高速で、且つ消費電力が十分に低減された携帯情報端末が実現される。

30

【 0 2 4 3 】

図 15（C）は、電子ペーパーを実装した電子書籍 520 であり、筐体 521 と筐体 523 の 2 つの筐体で構成されている。筐体 521 および筐体 523 には、それぞれ表示部 525 および表示部 527 が設けられている。筐体 521 と筐体 523 は、軸部 537 により接続されており、該軸部 537 を軸として開閉動作を行うことができる。また、筐体 521 は、電源 531、操作キー 533、スピーカー 535などを備えている。筐体 521、筐体 523 の少なくとも一つの内部には、メモリ回路が設けられており、メモリ回路には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の演算、書き込みおよび読み出しが高速で、且つ消費電力が十分に低減された電子書籍が実現される。

40

【 0 2 4 4 】

図 15（D）は、携帯電話機であり、筐体 540 と筐体 541 の 2 つの筐体で構成されている。さらに、筐体 540 と筐体 541 は、スライドし、図 15（D）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体 541 は、表示パネル 542、スピーカー 543、マイクロフォン 544、操作キー 545、ポインティングデバイス 546、カメラ用レンズ 547、外部接続端子 548などを備えている。また、筐体 540 は、携帯電話機の充電を行う太陽電池セル 549、外部メモリスロット 550などを備えている。また、アンテナは、筐体 541 に内蔵されている。筐体 540 と筐体 541 の少なくとも一つの内部には、電子回路が設けられて

50

おり、電子回路には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の演算、書き込みおよび読み出しが高速で、且つ消費電力が十分に低減された携帯電話機が実現される。

【 0 2 4 5 】

図 1 5 (E) は、デジタルカメラであり、本体 5 6 1、表示部 5 6 7、接眼部 5 6 3、操作スイッチ 5 6 4、表示部 5 6 5、バッテリー 5 6 6 などによって構成されている。本体 5 6 1 内部には、電子回路が設けられており、電子回路には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の演算、書き込みおよび読み出しが高速で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

【 0 2 4 6 】

図 1 5 (F) は、テレビジョン装置 5 7 0 であり、筐体 5 7 1、表示部 5 7 3、スタンド 5 7 5 などで構成されている。テレビジョン装置 5 7 0 の操作は、筐体 5 7 1 が備えるスイッチや、リモコン操作機 5 8 0 により行うことができる。筐体 5 7 1 およびリモコン操作機 5 8 0 のいずれか一方の内部には、電子回路が設けられており、電子回路には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の演算、書き込みおよび読み出しが高速で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【 0 2 4 7 】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【 符号の説明 】

【 0 2 4 8 】

1 0 0	基板
1 0 2	絶縁膜
1 0 3	絶縁層
1 0 4	フィン型の絶縁体
1 0 5	酸化物半導体膜
1 0 6	酸化物半導体膜
1 0 6 a	チャネル形成領域
1 0 6 b	低抵抗領域
1 0 6 c	低抵抗領域
1 0 8	ゲート絶縁膜
1 1 0	ゲート電極
1 1 2	ソース電極またはドレイン電極
1 1 3	ドレイン電極またはソース電極
2 0 1	トランジスタ
2 0 2	トランジスタ
2 0 3	トランジスタ
2 0 4	トランジスタ
2 0 5	トランジスタ
2 0 6	トランジスタ
2 0 7	トランジスタ
2 0 8	トランジスタ
4 0 1	トランジスタ
4 0 2	容量素子
4 0 3	メモリセル
4 0 4	絶縁膜
4 0 5	電極
4 0 6	ソース電極またはドレイン電極
4 0 7	フィン型の絶縁体
4 1 0	駆動回路

10

20

30

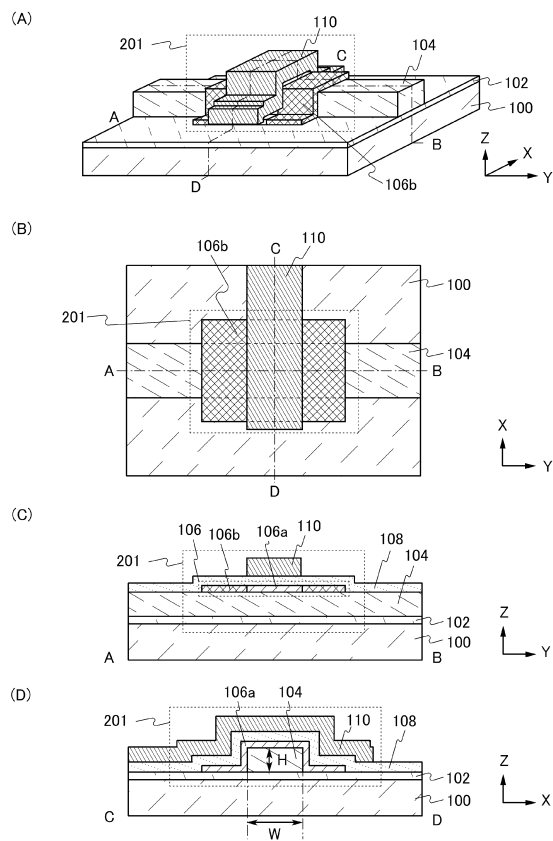
40

50

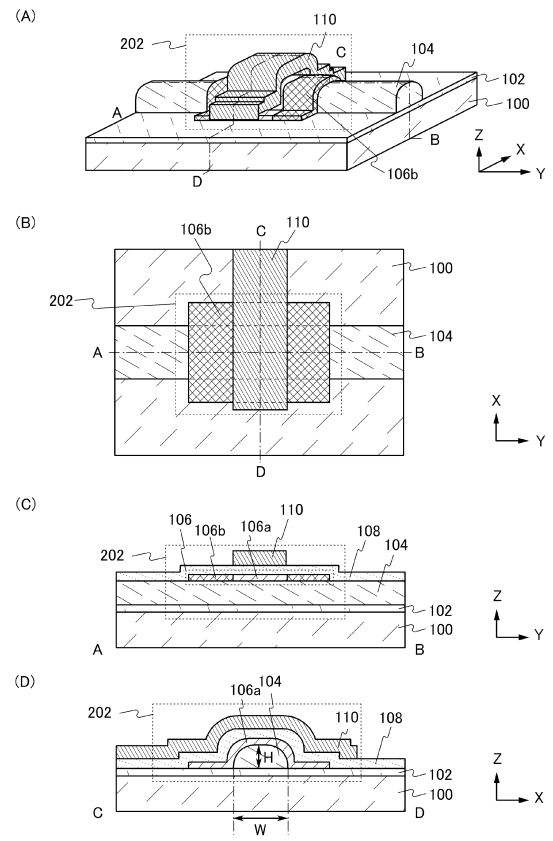
4 1 1	駆動回路	
4 2 0 a	メモリセルアレイ	
4 2 0 b	メモリセルアレイ	
4 3 0	メモリセルアレイ	
4 3 1	周辺回路	
5 0 1	筐体	
5 0 2	筐体	
5 0 3	表示部	
5 0 4	キーボード	
5 1 0	タブレット型端末	10
5 1 1	筐体	
5 1 2	表示部	
5 1 3	筐体	
5 1 4	表示部	
5 1 5	操作ボタン	
5 1 6	外部インターフェイス	
5 1 7	スタイラス	
5 2 0	電子書籍	
5 2 1	筐体	
5 2 3	筐体	20
5 2 5	表示部	
5 2 7	表示部	
5 3 1	電源	
5 3 3	操作キー	
5 3 5	スピーカー	
5 3 7	軸部	
5 4 0	筐体	
5 4 1	筐体	
5 4 2	表示パネル	
5 4 3	スピーカー	30
5 4 4	マイクロフォン	
5 4 5	操作キー	
5 4 6	ポインティングデバイス	
5 4 7	カメラ用レンズ	
5 4 8	外部接続端子	
5 4 9	太陽電池セル	
5 5 0	外部メモリスロット	
5 6 1	本体	
5 6 3	接眼部	
5 6 4	操作スイッチ	40
5 6 5	表示部	
5 6 6	バッテリー	
5 6 7	表示部	
5 7 0	テレビジョン装置	
5 7 1	筐体	
5 7 3	表示部	
5 7 5	スタンド	
5 8 0	リモコン操作機	
3 0 0 0	基板	
3 1 0 6	素子分離絶縁層	50

3 2 0 0 トランジスタ
 3 2 0 2 トランジスタ
 3 2 0 4 容量素子
 3 2 0 8 電極
 3 2 2 0 絶縁層

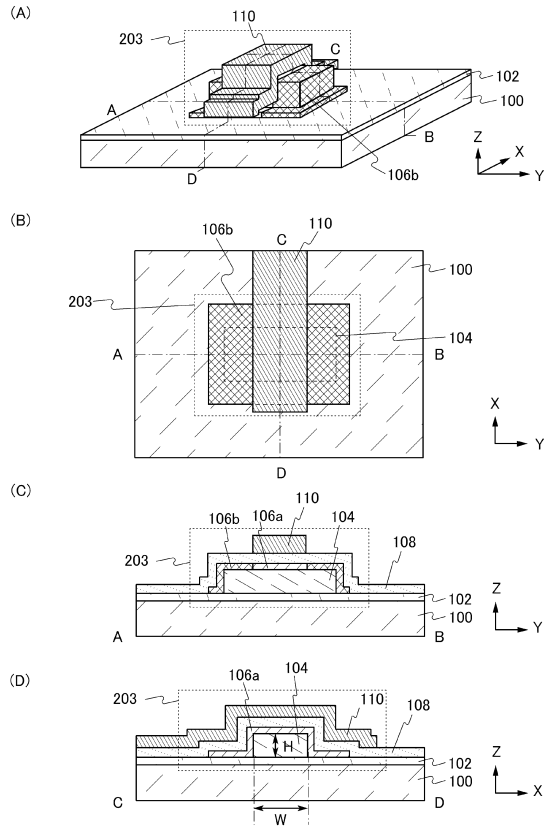
【図 1】



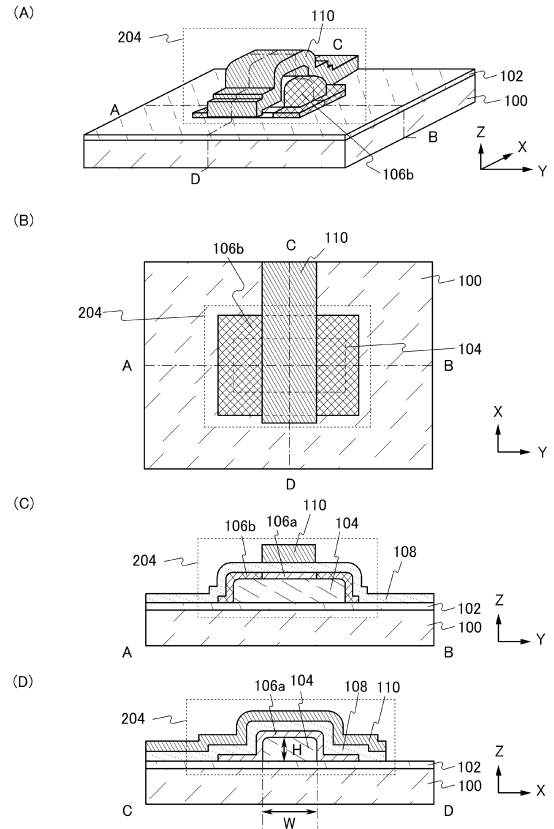
【図 2】



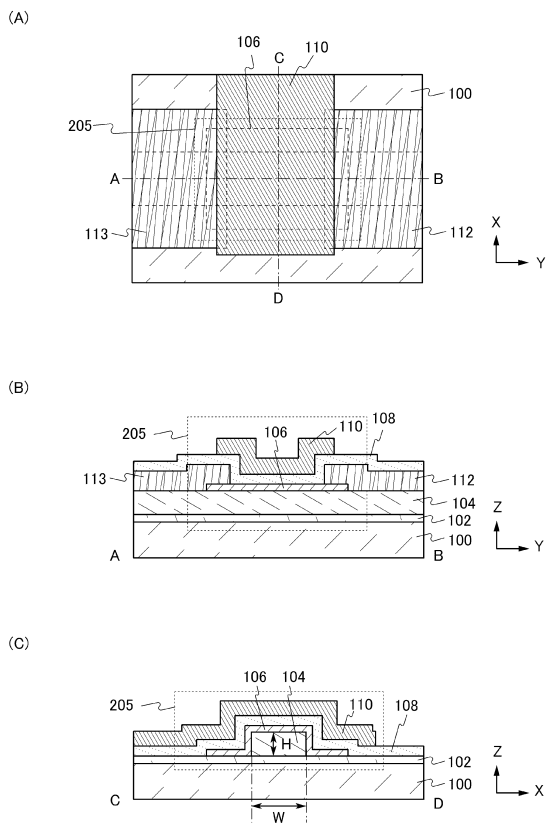
【図 3】



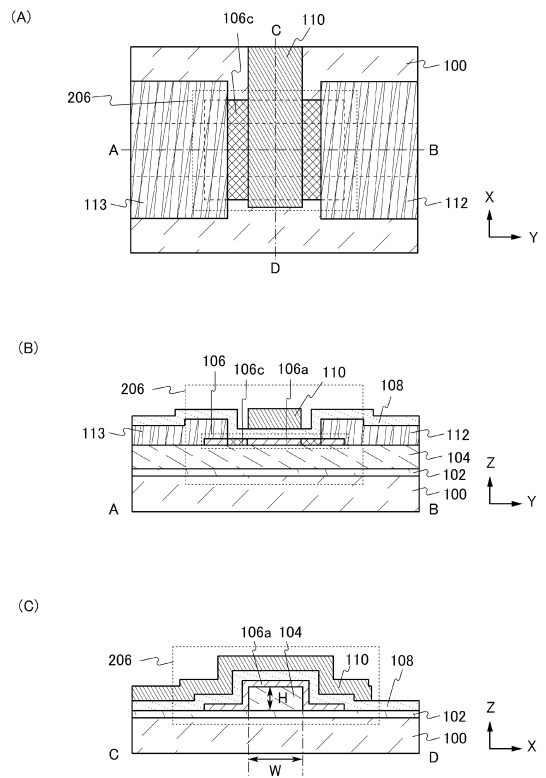
【図 4】



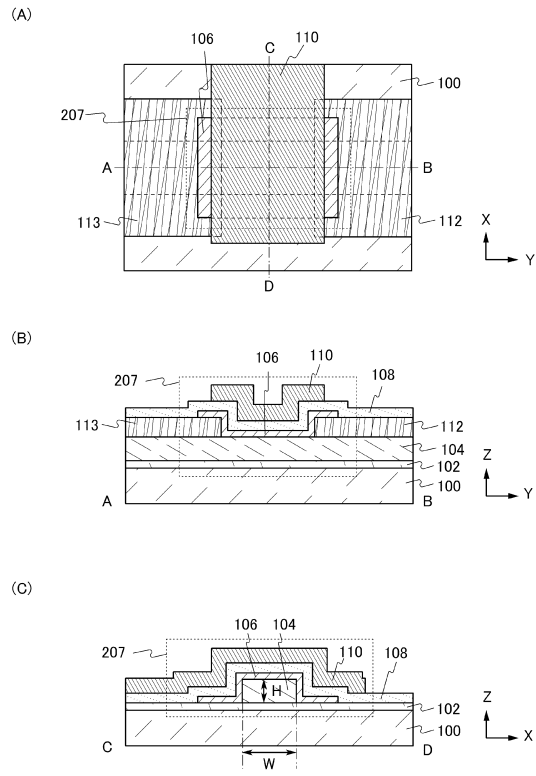
【図 5】



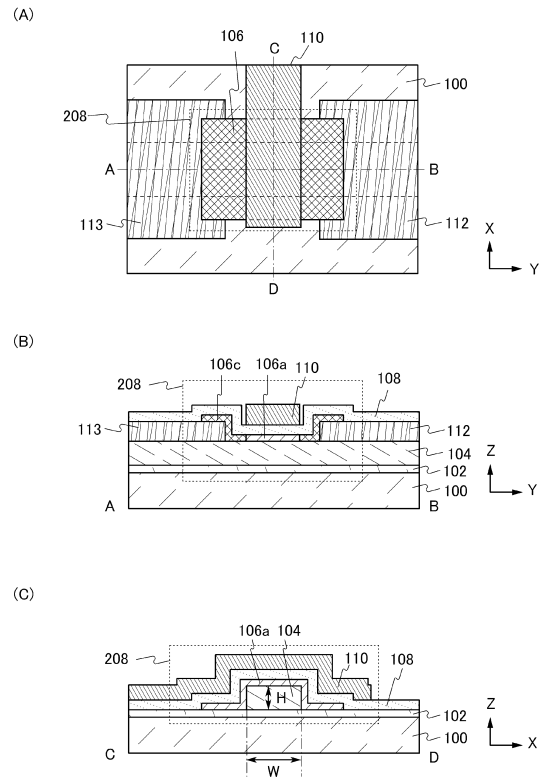
【図 6】



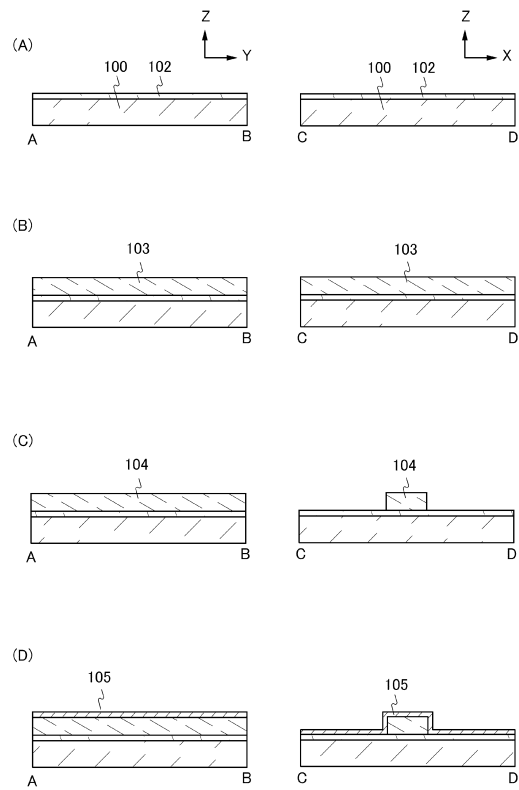
【図 7】



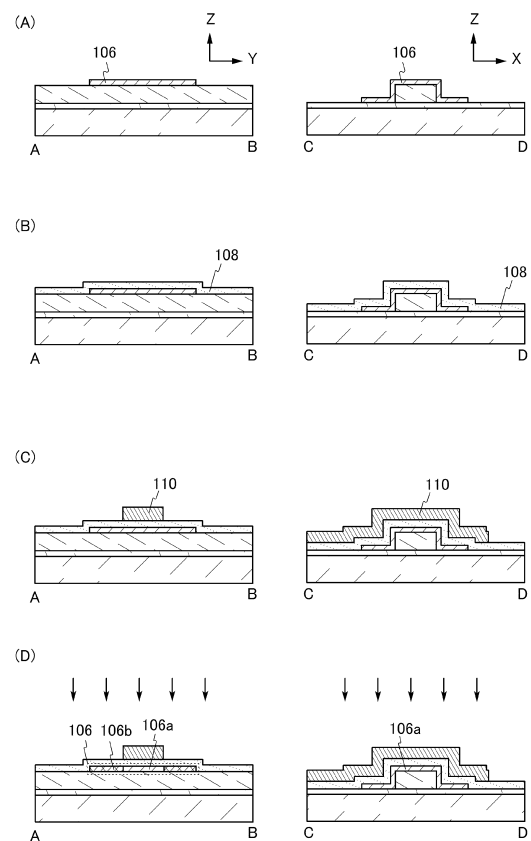
【図 8】



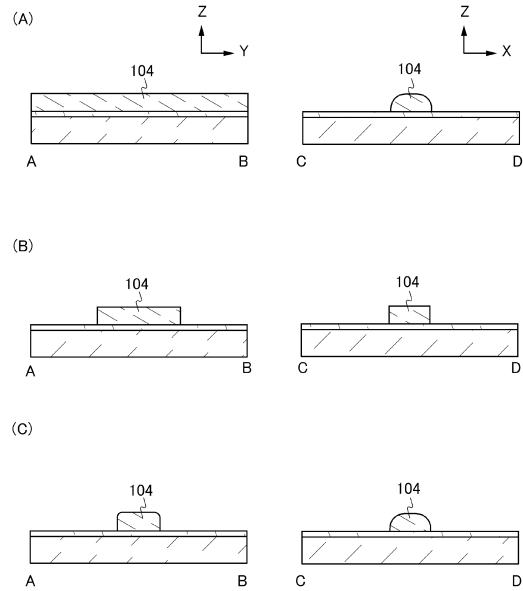
【図 9】



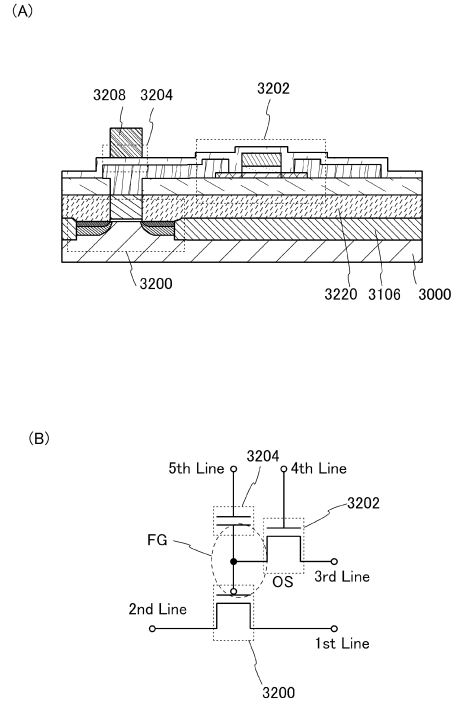
【図 10】



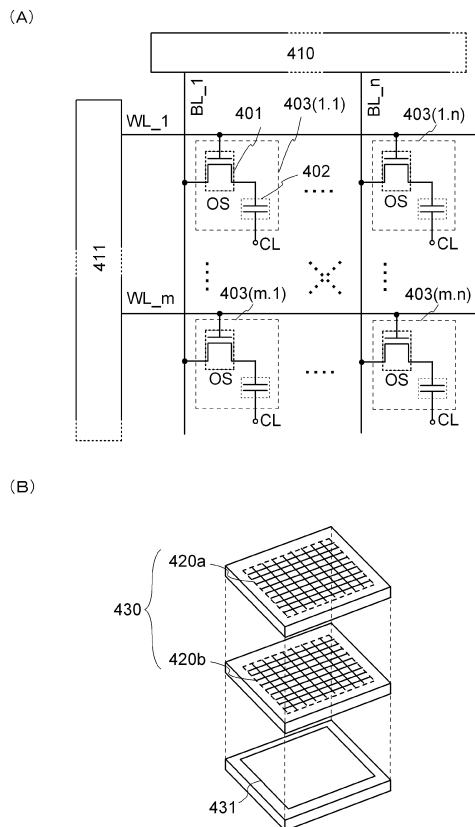
【図 1 1】



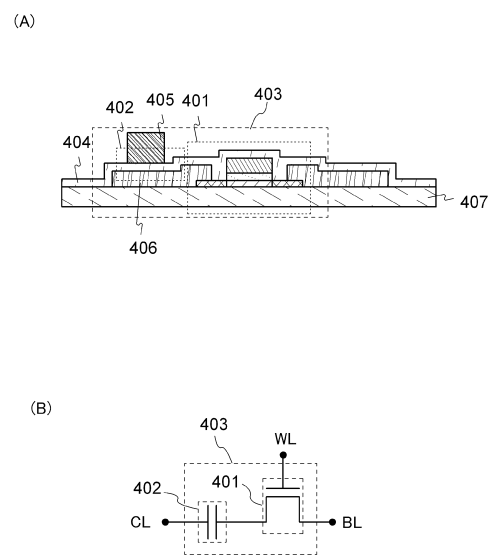
【図 1 2】



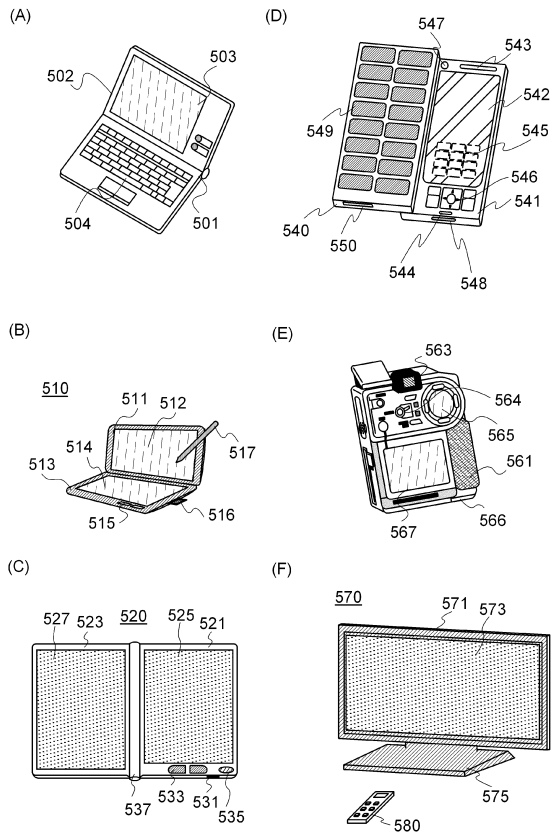
【図 1 3】



【図 1 4】



【図 15】



 フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 1 L</i>	<i>29/788</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i>	<i>3 7 1</i>
<i>H 0 1 L</i>	<i>29/792</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/08</i>	<i>3 2 1 C</i>
<i>H 0 1 L</i>	<i>21/8238</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/08</i>	<i>3 3 1 E</i>
<i>H 0 1 L</i>	<i>27/092</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/08</i>	<i>3 2 1 D</i>
<i>H 0 1 L</i>	<i>27/08</i>	<i>(2006.01)</i>			

- (56)参考文献 特開 2 0 1 1 - 2 3 3 8 7 3 (J P , A)
 特開 2 0 0 9 - 0 3 3 1 3 4 (J P , A)
 特開 2 0 0 3 - 2 9 7 7 5 1 (J P , A)
 特開平 0 5 - 2 8 3 7 0 0 (J P , A)
 特開 2 0 0 8 - 2 7 7 6 6 5 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
 H 0 1 L 2 1 / 3 3 6、2 9 / 7 8 6