

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-507118
(P2004-507118A)

(43) 公表日 平成16年3月4日(2004.3.4)

(51) Int. Cl. ⁷ H03B 5/12	F I H03B 5/12 H03B 5/12	B G	テーマコード (参考) 5J081
--	-------------------------------	--------	----------------------

審査請求 未請求 予備審査請求 有 (全 35 頁)

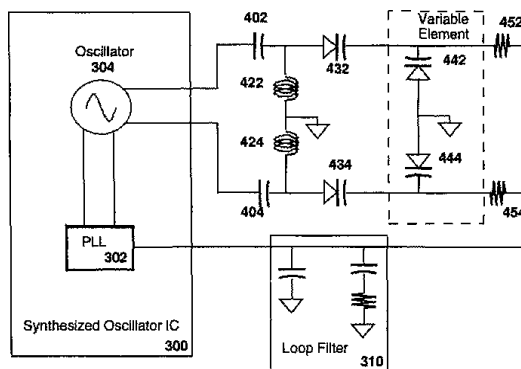
(21) 出願番号 特願2001-520935 (P2001-520935)	(71) 出願人 595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775
(86) (22) 出願日 平成12年8月31日 (2000.8.31)	(74) 代理人 100058479 弁理士 鈴江 武彦
(85) 翻訳文提出日 平成14年3月1日 (2002.3.1)	(74) 代理人 100084618 弁理士 村松 貞男
(86) 国際出願番号 PCT/US2000/023924	(74) 代理人 100092196 弁理士 橋本 良郎
(87) 国際公開番号 W02001/017100	(74) 代理人 100095441 弁理士 白根 俊郎
(87) 国際公開日 平成13年3月8日 (2001.3.8)	
(31) 優先権主張番号 60/152, 258	
(32) 優先日 平成11年9月1日 (1999.9.1)	
(33) 優先権主張国 米国 (US)	
(31) 優先権主張番号 09/465, 219	
(32) 優先日 平成11年12月15日 (1999.12.15)	
(33) 優先権主張国 米国 (US)	

最終頁に続く

(54) 【発明の名称】 良好な雑音耐性を有する広帯域電圧制御発振器

(57) 【要約】

【解決手段】 制限された制御電圧レンジを使用して広いレンジに対してその動作周波数を同調させる能力を有する電圧制御発振器 (VCO)。VCOは新規な共振回路を実現し、これは広い周波数同調レンジを提供し、同時に、誘導された低周波数雑音に対する増強された耐性も提供する。共振回路は、共振回路への各入力上のハイパスフィルタ (402、422および404、424) を含む素子構成を利用する。可変容量ダイオード (432、434) が使用されて、通常と同調回路を共振回路の残りの部分に結合させる。この構成により、制限された制御電圧レンジを使用して広いレンジに対して共振周波数を同調させることができる。



【特許請求の範囲】

【請求項 1】

雑音の影響を受けない広帯域共振回路において、
共振回路に対する入力としての第 1 のフィルタ素子と、
第 1 の可変コンデンサと、
フィルタ素子の出力を第 1 の可変コンデンサに結合させる第 1 の同調コンデンサとを具備し、
同調コンデンサと可変コンデンサとのキャパシタンスが制御電圧の印加により調整され、
共振回路の共振周波数はフィルタ素子、第 1 の同調コンデンサ、第 1 の可変コンデンサにより決定される共振回路。

10

【請求項 2】

フィルタ素子はハイパスフィルタである請求項 1 記載の共振回路。

【請求項 3】

フィルタ素子は、
結合コンデンサと、
結合コンデンサから信号グランドに接続するコイルとを備え、
それにより結合コンデンサとコイルは共振回路への入力から見たときに 2 極ハイパスフィルタを構成する請求項 1 記載の共振回路。

【請求項 4】

第 1 の同調コンデンサと第 1 の可変コンデンサは可変容量ダイオードである請求項 1 記載の共振回路。

20

【請求項 5】

両可変容量ダイオードのカソードは共通ノードを共有する請求項 4 記載の共振回路。

【請求項 6】

雑音の影響を受けない広帯域平衡共振回路において、
共振回路に対する第 1 の平衡入力としての第 1 のフィルタ素子と、
第 1 の可変コンデンサと、
第 1 のフィルタ素子の出力を第 1 の可変コンデンサに結合させる第 1 の同調コンデンサと、
共振回路に対する第 2 の平衡入力としての第 2 のフィルタ素子と、
第 2 の可変コンデンサと、
第 2 のフィルタ素子の出力を第 2 の可変コンデンサに結合させる第 2 の同調コンデンサとを具備し、
第 1 および第 2 の同調コンデンサと第 1 および第 2 の可変コンデンサとのキャパシタンスが制御電圧の印加により調整され、共振回路の共振周波数は第 1 および第 2 のフィルタ素子、第 1 および第 2 の同調コンデンサ、第 1 および第 2 の可変コンデンサにより決定される平衡共振回路。

30

【請求項 7】

雑音の影響を受けず、広い同調レンジを有する電圧制御発振器 (VCO) において、
増幅器と、
共振回路とを具備し、
共振回路は、
共振回路への入力としてのフィルタ素子と、
第 1 の可変コンデンサと、
フィルタ素子の出力を第 1 の可変コンデンサに結合させる第 1 の同調コンデンサとを備え、
増幅器は共振回路に接続されて発振器を構成し、同調コンデンサと可変コンデンサとのキャパシタンスは制御電圧の印加により調整され、共振回路の共振周波数はフィルタ素子、第 1 の同調コンデンサ、第 1 の可変コンデンサにより決定される電圧制御発振器。

40

【請求項 8】

50

雑音の影響を受けず、広い同調レンジを有する電圧制御発振器（VCO）において、増幅器と、平衡共振回路とを具備し、平衡共振回路は、平衡共振回路に対する第1の平衡入力としての第1のフィルタ素子と、第1の可変コンデンサと、第1のフィルタ素子の出力を第1の可変コンデンサに結合させる第1の同調コンデンサと、平衡共振回路に対する第2の平衡入力としての第2のフィルタ素子と、第2の可変コンデンサと、第2のフィルタ素子の出力を第2の可変コンデンサに結合させる第2の同調コンデンサとを具備し、増幅器は平衡共振回路に接続されて発振器を構成し、第1および第2の同調コンデンサと第1および第2の可変コンデンサとのキャパシタンスは制御電圧の印加により調整され、平衡共振回路の共振周波数は第1および第2のフィルタ素子、第1および第2の同調コンデンサ、第1および第2の可変コンデンサにより決定される電圧制御発振器。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子回路に関する。特に本発明は良好な雑音耐性特性を有する新規で改良された広帯域電圧制御発振器（VCO）に関する。

20

【0002】

【従来技術】

ワイヤレス通信システムはエアー無線周波数（RF）リンクに対する予測可能な性能に依存する。ワイヤレス電話システムは多数のRFリンクを同時に監視および制御することが要求される。

【0003】

移動ユニットまたはワイヤレス電話機は多数の複雑な回路を統合する。RFトランシーバを使用して基地局とのワイヤレス通信リンクを提供する。RFトランシーバは受信機と送信機とから構成される。受信機は移動ユニットにインターフェイスされたアンテナを通して基地局からのRF送信を受信する。受信機は受信信号を増幅し、フィルタし、ベースバンド信号にダウンコンバートする。ベースバンド信号はその後ベースバンド処理回路にルーティングされる。ベースバンド処理回路は信号を復調して、スピーカを通してユーザにブロードキャストするためにその復調信号を調整する。

30

【0004】

周波数シンセサイザを使用して、受信機におけるダウンコンバートと送信機におけるアップコンバートを実行するのに必要とされる局部発振器信号を発生させる。周波数合成を使用して局部発振器信号を発生させる。その理由はシンセサイザ周波数の安定性、結果的に得られる信号のスペクトル純度、デジタル制御に対する能力によるものである。

【0005】

周波数シンセサイザは直接または間接に区分される。直接では、デジタル合成論理回路は所要信号のデジタル表示を発生させ、D/Aコンバータが使用されて、このデジタル表示をアナログ波形にコンバートする。DDSを実現する1つの通常の方法は波形位相のテーブルをメモリに記憶させることである。位相がメモリからクロックアウトされるレートは出力信号の周波数に正比例する。DDSはサイン波のかなり正確な表示を発生させることができるが、出力周波数はクロックレートにより限定される。

40

【0006】

間接合成は発振器の出力にロックされた位相ロックループを利用する。間接周波数合成は高い周波数設計に対してさらに人気がある。その理由は高周波数発振器の出力は位相ロックループの動作レンジ内の周波数に分周して落とすことができるからである。

50

【0007】

図1は位相ロックループを利用する間接周波数シンセサイザのブロック図を示している。所要の周波数レンジに対して同調することができるVCO110を使用してLO出力112を提供する。VCO110の出力は、 $\div N$ として示されている周波数分周器回路120の入力にも送られる。ここでNは分周比を表す。分周された出力は第1の入力として位相検出器130に提供される。位相検出器130に対する第2の入力は基準発振器140の出力である。位相ロックループは、周波数分周器120の周波数出力が基準発振器140の出力と同一となるようにVCO110の出力を同調させるように動作する。位相検出器130は2つの入力信号間の位相エラーに対応する出力信号を提供する。位相検出器130出力はVCO110の周波数制御入力に提供される前にローパスフィルタ(LPF)を通して調整される。したがって、VCO110は基準発振器140との位相ロックを維持するように制御される。分周比の値Nをインクリメントまたはデクリメントすると基準発振器140の周波数と等しい、LO出力112における周波数の変化となることはブロック図から容易に推測することができる。基準発振器140の周波数はLOの周波数ステップサイズを決定する。

10

【0008】

VCO110出力における周波数変動は周波数変動のレートがループ帯域幅よりも小さい場合に、位相ロックループにより補正できるだけである。位相ロックループはループ帯域幅よりも広いレートで発生するVCO周波数変動に対して補正することはできない。位相ロックループの整定時間は初期周波数オフセットとループ帯域幅に依存する。より広いループ帯域幅の場合には整定時間はより早くなる。良好な雑音耐性を有するVCOは周波数変動を減少させ、それにより位相ロックループの整定時間を減少させる。したがって、周波数同調特性を維持しながら、良好な雑音耐性を有するVCOを設計することが重要である。

20

【0009】

VCOは単なる同調可能な発振器である。典型的な発振器回路は増幅器と一般的に共振タンクと呼ばれる共振回路とからなる。結果的な発振器は、利得が1よりも大きく、位相が0に等しい周波数出力を有する。共振回路はこの発振周波数を設定する。この関係はボード線図上でより簡単に見ることができる。図2(A)は典型的な発振器に対するボード線図を図示している。曲線210は左の垂直軸に対して参照される発振器の利得をデシベルで表している。曲線220は右の垂直軸に対して参照される位相を度で表している。ポイント230により示されているように、発振器利得がほぼ14dBであり、位相が0のときに発振が生じ、ほぼ124MHzでの発振を生じさせる。

30

【0010】

VCOを生成するために、共振回路は少なくとも1つの可変成分からなり、可変成分のリアクタンスは制御信号、一般的には電圧レベルの関数であるので、0位相の周波数、結果として発振周波数も可変である。VCOは大きな周波数レンジに対して同調するように要求されるとき、可変成分はその大きな周波数レンジに対して共振回路を同調できなければならない。大きな周波数レンジをカバーすることができる可変共振回路に対する可能性ある回路構成には、高感度の可変成分を組み込んだ共振回路や、拡張された制御電圧レンジを必要とする共振回路が含まれる。第1の代替形態はいくつかの問題を表す。その理由はMHz/Voltに関して測定されたVCO利得が非常に高くなるからである。これは比較的小さい制御電圧変化に対して大きな周波数変化となり、同調ライン上に誘導される雑音に対する影響をVCOがさらに受けるようにする。要求される制御電圧レンジが非常に大きいことから第2の代替形態も欠点を持つ。大きな制御電圧は制限された利用可能な供給電圧レンジを持つ移動バッテリー駆動電子回路において問題を表すことがある。

40

【0011】

共振回路が発振器を所要の動作周波数に同調させるだけでは不十分である。共振回路のQは所定の制御電圧レベルで特定出力周波数を維持する際に重要である。図2(B)は異なるQ値を持つ2つの共振回路の位相応答を図示している。低い方の回路Qはさらに緩やか

50

な位相応答を発生させる一方、高い方の回路Qはよりシャープな位相応答を発生させる。高い方の回路Qは出力周波数における小さい位相変動の影響を最小にすることが望ましい。比較的低い回路Qを有する回路の位相応答は曲線240で示されている。曲線250は高い方の回路Qを有する回路を図示している。所定の位相変動に対して、周波数における変化は低い方の回路Qを有する回路でさらにはっきりしていることが分かる。所定の位相変動に対する低Q回路での周波数変化である f_2 の大きさは、同じ位相変動に対する高Q回路での周波数変化である f_1 の大きさよりも大きい。

【0012】

周波数シンセサイザICが利用可能であり、これは要求されるシンセサイザ回路のほぼすべてを1つのチップ上に集積する。一般的に、これらのICに対する1人のユーザは、合成LOを生成するために、ICに加えて、共振回路、ループフィルタ、基準発振器を提供する必要があるだけである。シンセサイザの残りの素子、VCOの増幅器部分、周波数分周器、位相検出器は、1つのIC上に集積される。ユーザは所要出力周波数を発生されるのに要求される共振回路を提供する。ユーザは所要のループ帯域幅を発生させるローパスフィルタ設計も提供する。

10

【0013】

特定用途向けICはワイヤレス電話機中のLOの構成を簡単にするが、ワイヤレス電話機の動作環境は考慮しなければならない付加的な雑音源を表す。ワイヤレス電話機中の費用および空間制限は利用可能な雑音フィルタ解法をさらに制約する。

【0014】

移動電話機設計はサポートしている特定の移動システムに大きく依存して異なっている。移動電話機設計を概説している仕様書には、電気工業協会(TIA)/電子工業協会(EIA)IS-95-Bのデュアルモードスペクトル拡散システム用の移動局-基地局互換性標準規格とともに、TIA/EIA IS-95-Bのデュアルモードスペクトル拡散セルラ移動局用の推奨最小性能標準規格が含まれる。パーソナル通信システム(PCS)帯域におけるCDMAシステムの動作をカバーする仕様書は、米国国内標準規格協会(ANSI)J-STD-008の、1.8から2.0GHzコード分割多元接続(CDMA)パーソナル通信システム用のパーソナル局-基地局互換性要求である。同様に、電話機、すなわちパーソナル局は、ANSI J-STD-018の、1.8から2.0GHzコード分割多元接続(CDMA)パーソナル局用の推奨最小性能要求で規定されている。さらに、移動電話機仕様書は電話機のハードウェア中で実現されるときに電話機内の雑音源を増加させる特徴を規定している。

20

30

【0015】

IS-95およびJ-STD-008で規定されているようなCDMA電話システムで利用される1つの有効な特徴は複数データレートセットである。ワイヤレス電話通信リンクの可変的な性質を利用するために、CDMA仕様書は減少されたレートでのデータ送信を提供する。人が電話会話しているときに、1人の当事者のみが話している多くの期間が存在している。減少したスピーチアクティビティの期間中、電話機は送信のデータレートを減少させることができ、これはより平均送信電力レベルが低くなる。

【0016】

ワイヤレス電話機から基地局に戻る通信リンクはリバーリンクと呼ばれる。リバーリンクでは、平均送信電力の減少はアクティビティが低い期間中のわずかな時間に対して送信機をターンオフさせることにより達成される。CDMAリバーリンクでは、電話機は常にフルデータレートで送信しているが、内部構造が減少されたデータレートでの動作を可能にするときには、データは多数回反復される。例として、電話機がフルデータレートの半分で動作できるときには、情報は2回反復されて、送信されるデータレートをフルデータレートまで上げる。同様に、4分の1レートデータは4回反復されてフルデータレートを達成させる。

40

【0017】

リバーリンク上の電力を節約するために、各20m秒データフレームは16の1.25

50

m秒時間グループに再分割される。電話機がフルデータレートで動作しているとき、フレーム内の16すべてのグループが送信される。しかしながら、電話機が減少されたデータレートで動作しているとき、16のグループの何分の1かのみが送信される。送信されるグループの部分はデータレートの減少に等しい。電話機がフルデータレートの半分で動作しているときは、グループの半分が送信される。しかしながら、データレートの減少に反比例してデータが反復されることからデータは失われないことに留意すべきである。ハーフレートデータは2回反復されるが、データの半分のみが送信される。データの冗長部分は送信されない。同様に8分の1レートデータは8回反復されるが、データの8分の1のみが送信される。

【0018】

10

電話機が減少されたデータレートで動作しているとき、DC電力はゲートされて送信パス上のアクティブ回路を選択する。回路へのDC電力はデータが送信されていないときにゲートオフされる。DC電力は所要のデータグループを送信する前に回路に対してゲートバックされる。電力ゲーティングはワイヤレス電話機内の電力を節約するように機能する。これはかなり好ましく、バッテリー寿命を延長させる。

【0019】

電力ゲーティングの悪影響は電話機の電源に対して加えられる突然の負荷変動である。スイッチオンおよびオフされるRF送信パスの位置は電源に最大の負荷をもたらす。したがって、電力ゲーティング中、電話機の電源は経験する最大の負荷変動を受けることになる。負荷変動に対して影響を受けない電源がないことから、電源の出力は電力ゲーティングが発生するレートで電圧リップルを示す。電源ライン上の実際の電圧リップルは電源負荷リジェクション、電力ゲーティングレート、電力ゲーティングによる電源負荷の変化の関数である。電源負荷の変化は、電力が基地局と維持しているRF通信リンクに関して変動する。負荷電流の変化は、電話機が減少されたRF電力レベルで送信しているときよりも高いRF電力レベルで電話機が送信しているときに大きくなる。電力ゲーティングは、リバースリンク上の各データフレームに対して使用される各1.25m秒時間グループで生じることがある。これは大きな800Hz周波数成分を持つ電源負荷変動となる。

20

【0020】**【発明が解決しようとする課題】**

必要とされるものは、一定の印加制御電圧で安定な出力周波数を維持する電圧制御発振器設計である。VCOは大きな周波数レンジに対して同調できなければならない。広帯域同調能力は単一のVCOを複数帯域のワイヤレス電話機応用に使用できるようにする。VCO出力も電源雑音に対して影響を受けないことが必要である。特に、VCOがCDMA電話機中で構成される場合、VCO出力はRF送信パスを電力ゲーティングすることにより生成される電源雑音に対して影響を受けないことが必要である。本発明の他の目的は、VCO内の共振回路として使用するための、高いQで、低い費用で、構成部品数が少なく、広いレンジの、雑音に対して影響を受けない回路の設計である。

30

【0021】

CDMAワイヤレスシステム仕様書はVCOが受ける環境の例を提供するためだけに使用されていることに留意すべきである。広帯域で、雑音に対する影響を受けないVCOは多くの応用で利用することができる。例示的な環境としてCDMAシステムを使用することはVCOの潜在的な応用を決して制限するものではない。

40

【0022】**【課題を解決するための手段】**

本発明は増強された雑音耐性を有する新規で改良された広帯域電圧制御発振器(VCO)である。さらに、本発明は広いレンジの共振周波数に対して同調可能であり、高いQを持ち、雑音に対して影響を受けない新規な共振回路構成として見ることができる。新規な共振回路は増幅器あるいは特定用途向け集積回路で実現して、広帯域カバレッジで、雑音の影響を受けず、周波数安定性な特性を有するVCOを生み出すことができる。

【0023】

50

本発明の共振回路は第1の結合コンデンサからなり、これは共振回路への第1の入力として機能する第1の端部を有している。第2の結合コンデンサは共振回路への第2の入力として機能する第1の端部を使用する。第1のコイルは第1の結合コンデンサにおける第2の端部から信号グラウンドに接続する。同様に、第2のコイルは第2の結合コンデンサにおける第2の端部から信号グラウンドに接続する。第1の同調コンデンサは第1の結合コンデンサにおける第2の端部を可変素子の第1の端部に接続する。第2の同調コンデンサは第2の結合コンデンサにおける第2の端部を可変素子の第2の端部に接続する。

【0024】

好ましい実施形態では、第1および第2の同調コンデンサは可変コンデンサである。可変コンデンサは可変容量ダイオードであることが好ましい。第1の同調コンデンサは、そのアノードが第1の結合コンデンサにおける第2の端部に接続された可変容量ダイオードである。第2の同調コンデンサはそのアノードが第2の結合コンデンサにおける第2の端部に接続された可変容量ダイオードである。

10

【0025】

さらに、好ましい実施形態では、可変素子は2つの可変コンデンサからなり、それぞれ可変容量ダイオードとして構成されている。可変素子は、そのカソードが可変素子の第1の端部である第1の可変容量ダイオードからなる。そのカソードが可変素子の第2の端部である第2の可変容量ダイオードは、可変素子の残りを形成する。可変素子で使用される第1および第2の両可変容量ダイオードのアノードは信号グラウンドに接続される。

【0026】

制御電圧が可変容量ダイオードのすべてのカソードに印加されて、共振回路の共振周波数が同調される。

20

【0027】

本発明の特徴、目的および利点は、同じ参照符号が全体を通して対応したものを識別している図面を参照すると、以下に述べている詳細な説明からさらに明らかになるであろう。

【0028】**【発明の実施の形態】**

図3はワイヤレス電話機で使用する際の典型的な局部発振器回路のブロック図である。合成発振器IC300は位相ロックループ(PLL)302とともに、発振器304として構成されている増幅器を組み込んでいる。合成発振器IC300は動作するために外部共振回路とループフィルタ310とを必要とする。発振器304は制御電圧の適用により共振回路を同調させることができる場合には電圧制御発振器(VCO)として構成される。

30

【0029】

共振回路は容量性ネットワークと並列なコイル320からなる。容量性ネットワークは固定コンデンサと可変コンデンサからなる。容量性ネットワークは直列に接続された第1および第2の各可変コンデンサ342および344を利用する。第1の可変コンデンサ342は第1の同調コンデンサ332を通してコイル320の第1の側に接続されている。第2の可変コンデンサ344は第2の同調コンデンサ334を通してコイル320の第2の側に接続されている。第1の可変コンデンサ342が第2の可変コンデンサ344に接続されているポイントは信号グラウンドに結合されている。

40

【0030】

合成発振器IC300内の発振器304は共振回路の共振周波数で動作する。発振器304の出力のサンプルはPLL302にルーティングされる。PLL302は発振器304の出力信号の位相を(示されていない)基準信号と比較する。結果的なエラー信号はループフィルタ310に送られ、共振回路中の可変素子に加えられる。ループフィルタ310の出力は第1および第2のバイアス抵抗器352および354を通して可変コンデンサ342および344に加えられる。第1のバイアス抵抗器352はループフィルタ310の出力を第1の可変コンデンサ342の端子に接続し、第1の可変コンデンサ342の端子は第1の同調コンデンサ332に接続されている。同様に、第2のバイアス抵抗器354はループフィルタ310の出力を第2の可変コンデンサ344の端子に接続するために使

50

用され、第2の可変コンデンサ344の端子は第2の同調コンデンサ334に接続されている。第1の可変コンデンサ342と第2の可変コンデンサ344は可変容量ダイオードとして構成してもよい。ループフィルタ310の出力は可変容量ダイオードを逆バイアスするために使用される。可変容量ダイオードは加えられる逆バイアスのレベルに基づいてそれらのキャパシタンス値を変化させる。したがって、可変容量ダイオードの逆バイアス電圧を制御することにより、発振器の周波数を制御することができる。PLL302は制御電圧を変更させて位相ロックを維持する。

【0031】

ワイヤレス電話機LOが図3に示されているように構成されたときには、発振器304は共振回路のレンジに渡って同調できるだけである。電話機が複数の周波数帯域をカバーできるように大きな周波数スパンに渡って発振器304を同調させることが要求される場合には、共振回路はレンジ全体に渡って同調できなければならない。

10

【0032】

図4は本発明のVCOおよび共振回路を実現する局部発振器を図示している。本発明の共振回路はVCOが非常に広い帯域に渡って同調できるようにする。同時に、共振回路は低周波数雑音に対して比較的影響を受けないように構成される。共振回路を使用するVCOは共振回路が雑音の影響を受けにくいことから雑音耐性が増加している。

【0033】

本発明の共振回路は可変コンデンサを使用して可変素子に結合された誘導性素子を利用する。付加的な結合コンデンサが共振回路への入力として使用される。結合コンデンサは誘導性素子に対して共振回路の入力接続をインターフェイスさせるように機能する。結合コンデンサと誘導性素子の構成は共振回路入力接続上に現れる信号に対するハイパスフィルタを表す。したがって、ハイパスフィルタは共振回路への任意の低周波数雑音入力を減衰させる。共振回路中の可変コンデンサは減衰された雑音に対してのみさらされる。可変コンデンサと可変素子の構成は低周波数雑音の影響をさらに減少させるように機能する。

20

【0034】

本発明の好ましい実施形態では、共振回路の2つの入力端子はコンデンサに接続している。第1の結合コンデンサ402は共振回路の第1の入力接続に接続している。第2の結合コンデンサ404は共振回路の第2の入力接続に接続している。入力接続の反対側における第1の結合コンデンサ402の終端は第1のコイル422に接続されている。第1の結合コンデンサ402の反対側における第1のコイル422の終端は信号グラウンドに接続されている。同様に、入力接続の反対側における第2の結合コンデンサ404の終端は第2のコイル424に接続されている。第2の結合コンデンサ404の反対側における第2のコイル424の終端は信号のグラウンドに接続されている。結合コンデンサとコイルの構成は共振回路入力接続のいずれかの側から見たときに2極のハイパスフィルタを形成する。したがって、共振回路の入力接続上に誘導される任意の低周波数雑音は結合コンデンサとコイルのハイパスフィルタ構成により減衰される。

30

【0035】

第1の同調コンデンサ432は第1の結合コンデンサ402と第1のコイル422の接合点を可変素子の第1の端子に接続する。第2の同調コンデンサ434は第2の結合コンデンサ404と第2のコイル424の接合点を可変素子の第2の端子に接続する。好ましい実施形態では、第1の同調コンデンサ432と第2の同調コンデンサ434は可変容量ダイオードとして構成される可変コンデンサである。好ましい実施形態では、第1の同調コンデンサ432は可変容量ダイオードであり、そのアノードは第1の結合コンデンサ402と第1のコイル422の接合点に接続されている。可変容量ダイオードのカソードは可変素子に接続されている。同様に、第2の同調コンデンサ434は可変容量ダイオードであり、そのアノードは第2の結合コンデンサ404と第2のコイル424の接合点に接続されている。

40

【0036】

可変素子は任意の可変リアクタンス性素子とすることができる。好ましい実施形態では、

50

可変素子は可変コンデンサである。好ましい実施形態では、可変素子は2つの可変容量ダイオードを使用して構成することができる。第1の可変容量ダイオード442はそのカソードが可変素子の第1の端子として構成されている。好ましい実施形態では、第1の可変容量ダイオード442のカソードは第1の同調コンデンサ432として使用される可変容量ダイオードのカソードに接続されている。第1の可変容量ダイオード442のアノードは信号グランドに接続されている。第2の可変容量ダイオード444はそのカソードが可変素子の第2の端子として構成されている。好ましい実施形態では、第2の可変容量ダイオード444のカソードは第2の同調コンデンサ434として使用される可変容量ダイオードのカソードに接続されている。第2の可変容量ダイオード444のアノードは信号グランドに接続されている。

10

【0037】

可変コンデンサの値を制御するDCバイアスが2つのバイアス抵抗器を通して加えられる。第1のバイアス抵抗器452は第1の同調コンデンサ432と第1の可変容量ダイオード442とのカソードを制御電圧に接続する。同様に、第2のバイアス抵抗器454は第2の同調コンデンサ434と第2の可変容量ダイオード444とのカソードを制御電圧に接続している。2つのバイアス抵抗器452および454は第1の対の可変容量ダイオード(432および442)上のバイアス電圧を、第2の対の可変容量ダイオード(434および444)上のバイアス電圧から分離する。

【0038】

好ましい実施形態の共振回路の試験はそれが完全な平衡回路構成であることを示す。共振回路の第1の入力接続から見たインピーダンスは、共振回路に対する第2の入力接続から見たインピーダンスと同一である。非平衡終端の共振回路を必要とする設計で使用するための非平衡終端回路構成で動作させるために共振回路を変更することができることは容易に決定できる。平衡共振回路構成を非平衡共振回路構成に変更するために、平衡共振回路の第2の入力端子に接続されたすべての回路素子が除去される。

20

【0039】

共振回路中で実現される2つの独立したトポロジーが雑音耐性に寄与する。共振回路の半分のみを説明するが、平衡回路の第2の半分中における素子がどのようにして雑音除去に対して同様に寄与するかは平衡回路構成から明らかである。

【0040】

第1のコイル422とともに第1の結合コンデンサ402は共振回路入力端子から見たときに2極ハイパスフィルタを表す。共振回路の入力端子上に誘導される低周波数雑音はこの2極ハイパスフィルタにより減衰される。第1の同調コンデンサ432と第1の可変容量ダイオード442の回路構成も雑音除去に寄与する。第1の同調コンデンサ432は可変容量ダイオードを使用して実現される。好ましい実施形態では、第1の同調ダイオード432は第1の可変容量ダイオード442に対して使用されたものと同じ可変容量ダイオードを使用する。第1の同調ダイオード432と第1の可変容量ダイオード442は、第1の同調コンデンサ432のアノードから見たときに容量性電圧分割器として表される。第1の同調コンデンサ432と第1の可変容量ダイオード442のインピーダンスは、第1の同調コンデンサ432と第1の可変容量ダイオード442が同じ部品となるように選択されていることから同じである。したがって、第1の同調コンデンサ432のアノードにおける任意の雑音寄与は電圧分割器回路構成により減衰される。共振回路は同じノードで第1の同調コンデンサ432と第1の可変容量ダイオード442とのカソードを接続する。したがって、第1の同調コンデンサ432のアノードを通して第1の同調コンデンサ432と第1の可変容量ダイオード442に結合される任意のAC雑音は逆の態様で2つの可変容量ダイオードに対してバイアスを及ぼす。容量性電圧分割器に結合されるAC雑音は第1の可変容量ダイオード442に渡って現れるのと逆の極性で第1の同調コンデンサ432に渡って現れる。この効果は共振回路上のAC雑音の影響をさらに減少させる。AC雑音が第1の同調コンデンサ432上の逆バイアス電圧を増加させると、第1の可変容量ダイオード442上の逆バイアス電圧はそれに対応して減少する。これは可変容量ダ

30

40

50

イオード上の雑音の影響を完全にキャンセルするものではないが、雑音の影響を減少させる。同時に、可変容量ダイオードは制御電圧と並列に現れ、したがって共振回路の同調レンジを拡張させるように機能する。この構成を使用して25%の同調帯域幅を確認した。

【0041】

好ましい実施形態の先の説明は当業者が本発明を作成および使用できるように提供されている。これらの実施形態に対するさまざまな変形は当業者に容易に明らかになり、ここに規定されている一般的な原理は発明能力を使用することなく、他の実施形態に対して適用することができる。したがって、本発明はここに示されている実施形態に限定されることを意図しているものでなく、ここに開示されている原理および新規な特徴と矛盾しない最も広い範囲にしたがうべきである。

【図面の簡単な説明】

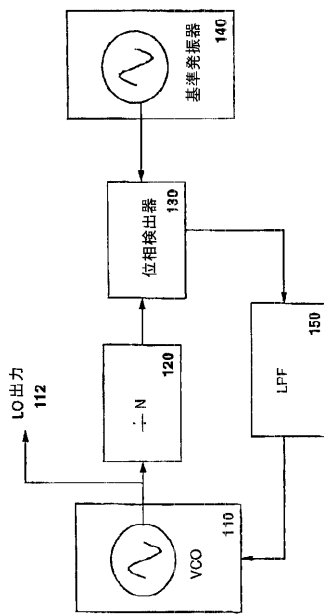
【図1】 図1は合成局部発振器のブロック図である。

【図2】 図2(A)および(B)は発振器回路を特徴付ける振幅と位相のグラフである。

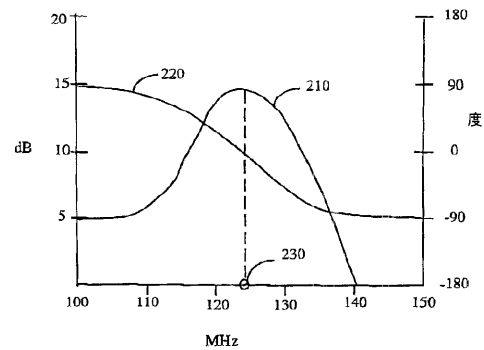
【図3】 図3は集積回路合成発振器のブロック図である。

【図4】 図4は本発明の好ましい実施形態のブロック図である。

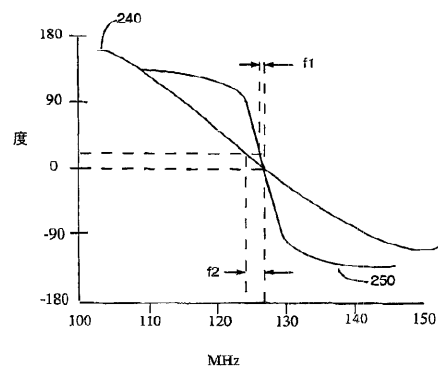
【図1】



【図2】

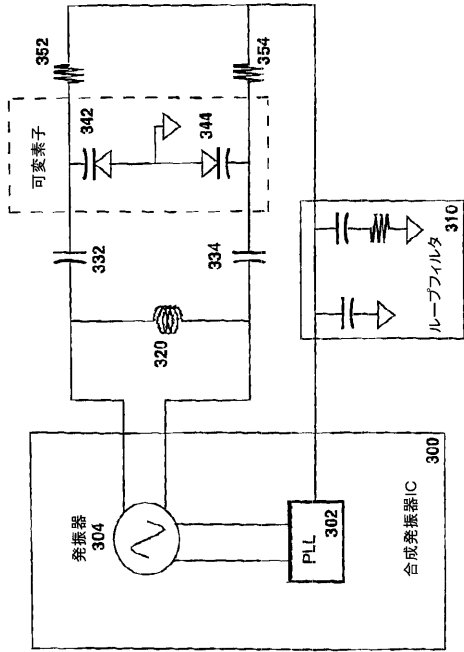


(A)

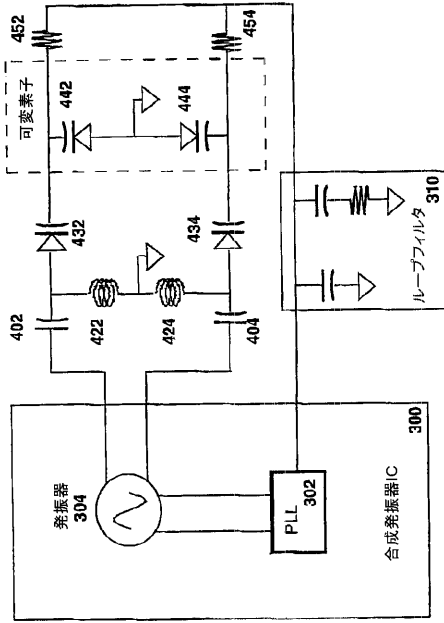


(B)

【 図 3 】



【 図 4 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
8 March 2001 (08.03.2001)

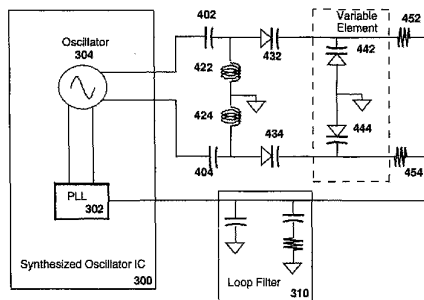
PCT

(10) International Publication Number
WO 01/17100 A1

- (51) International Patent Classification: **H03B 5/12**
- (21) International Application Number: PCT/US00/23924
- (22) International Filing Date: 31 August 2000 (31.08.2000)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data:
 - 60/152,258 1 September 1999 (01.09.1999) US
 - 09/465,219 15 December 1999 (15.12.1999) US
- (71) Applicant: QUALCOMM INCORPORATED [US/AU];
5775 Morehouse Drive, San Diego, CA 92121-1714 (US).
- (72) Inventor: SEE, Puay, Hoe; 12682 Torrey Bluff Drive,
#230, San Diego, CA 92130 (US).
- (74) Agents: OGR0D, Gregory, D. et al.; Qualcomm Incorporated,
5775 Morehouse Drive, San Diego, CA 92121-1714 (US).
- (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
- (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).
- (77) Published: — With international search report.

[Continued on next page]

(54) Title: WIDEBAND VOLTAGE CONTROLLED OSCILLATOR WITH GOOD NOISE IMMUNITY



(57) Abstract: A Voltage Controlled Oscillator (VCO) with the ability to tune its operating frequency over a wide range using a limited control voltage range. The VCO implements a novel resonant circuit that provides the wide frequency tuning range and simultaneously provides increased immunity to induced low frequency noise. The resonant circuit utilizes an element configuration that includes high pass filters (402, 422 and 404, 424) on each input to the resonant circuit. Varactor diodes (432, 434) are used to couple a conventional tuning circuit to the remainder of the resonant circuit. This configuration allows the resonant frequency to tune over a wide range using a limited control voltage range.

WO 01/17100 A1

WO 01/17100 A1



For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

**WIDEBAND VOLTAGE CONTROLLED OSCILLATOR WITH
GOOD NOISE IMMUNITY**

BACKGROUND OF THE INVENTION

5

I. Field of the Invention

The present invention relates to electronic circuits. More particularly, the present invention relates to a novel and improved wideband Voltage Controlled Oscillator (VCO) having good noise immunity characteristics.

II. Description of the Related Art

Wireless communication systems rely on the predictable performance of over the air Radio Frequency (RF) links. Wireless phone systems are required to simultaneously monitor and control numerous RF links.

A mobile unit or wireless phone integrates numerous complex circuits. An RF transceiver is used to provide the wireless communication link with base stations. The RF transceiver is comprised of a receiver and a transmitter. The receiver receives the RF transmission from the base station via an antenna interfaced to the mobile unit. The receiver amplifies, filters, and downconverts the received signal to baseband signal. The baseband signal is then routed to a baseband processing circuit. The baseband processing circuit demodulates the signal and conditions it for broadcast through a speaker to the user.

Frequency synthesizers are used to generate the local oscillator signals required to perform the downconversion in the receiver and the upconversion in the transmitter. Frequency synthesis is used to generate the local oscillator signal because of the synthesizer's frequency stability, the spectral purity of the resultant signal, and the ability for digital control.

Frequency synthesizers are classified as direct or indirect. In Direct Digital Synthesis logic circuits generate a digital representation of the desired signal and a D/A converter is used to convert the digital representation into an analog waveform. One common way of implementing DDS is to store a table of waveform phases in memory. Then the rate at which the phases are clocked out of memory is directly proportional to the frequency of the output signal. While DDS can generate an extremely accurate representation of a sine wave, the output frequency is limited by the clocking rate.

Indirect synthesis utilizes a phase lock loop locked to the output of an oscillator. Indirect frequency synthesis is more popular for high frequency designs because the output of a high frequency oscillator can be divided down to a frequency within the operating range of the phase lock loop.

5 FIG. 1 shows a block diagram of an indirect frequency synthesizer utilizing a phase lock loop. A VCO 110 capable of tuning over the desired frequency range is used to provide the LO output 112. The output of the VCO 110 is also sent to the input of a frequency divider circuit 120, denoted $\div N$ where N represents the divider ratio. The divided output is provided as
10 a first input to a phase detector 130. A second input to the phase detector 130 is the output of a reference oscillator 140. The phase lock loop operates to tune the output of the VCO 110 such that the output of the frequency divider 120 is identical to the output of the reference oscillator 140. The phase detector 130 provides an output signal corresponding to a phase error
15 between the two input signals. The phase detector 130 output is conditioned through a Low Pass Filter (LPF) before it is provided to the frequency control input of the VCO 110. Thus, the VCO 110 is controlled to maintain phase lock with the reference oscillator 140. It can be readily deduced from the block diagram that incrementing or decrementing the value of the divider
20 ratio N results in a frequency change in the LO output 112 equal to the reference oscillator 140 frequency. The frequency of the reference oscillator 140 determines the frequency step size of the LO.

Frequency variations in the VCO 110 output can only be corrected by the phase lock loop if the rate of the frequency variations is less than the
25 loop bandwidth. The phase lock loop is unable to correct for VCO frequency variations that occur at a rate higher than the loop bandwidth. The settling time of the phase lock loop will depend on the initial frequency offset and the loop bandwidth. A wider loop bandwidth results in a faster settling time. A VCO with good noise immunity will reduce frequency variations
30 thereby reducing the settling time of the phase lock loop. Therefore, it is important to design a VCO with good noise immunity while maintaining the frequency tuning characteristics.

A VCO is merely a tunable oscillator. A typical oscillator circuit is comprised of an amplifier and a resonant circuit, commonly referred to as
35 a resonant tank. The resulting oscillator has a frequency output where the gain is greater than unity and the phase is equal to zero. The resonant circuit sets this frequency of oscillation. The relationship is most easily seen on a Bode diagram. FIG. 2A illustrates a Bode diagram for a typical

oscillator. Curve 210 is representative of the gain in decibels of the oscillator as referenced to the left vertical axis and Curve 220 is representative of the phase in degrees as referenced to the right vertical axis. As indicated by Point 230, the oscillation occurs when the oscillator gain is approximately 14 dB and the phase is zero producing an oscillation at approximately 124 MHz.

To create a VCO the resonant circuit is comprised of at least one variable component wherein the reactance of the variable component is a function of a control signal, typically a voltage level, so that the frequency of zero phase, and consequently the frequency of oscillation, is also variable. When the VCO is required to tune over a large frequency range the variable component must be capable of tuning the resonant circuit over the large frequency range. Possible circuit implementations for a variable resonant circuit capable of covering a large frequency range include a resonant circuit incorporating a highly sensitive variable component or a resonant circuit requiring an extended control voltage range. The first alternative presents some problems because the VCO gain, measured in terms of MHz/Volt, becomes very high. This results in large frequency changes for relatively small control voltage changes and makes the VCO more susceptible to noise induced on the tuning line. The second alternative also has disadvantages since the required control voltage range is very large. Large control voltages can present a problem in mobile battery powered electronics having limited available supply voltage ranges.

It is not sufficient that the resonant circuit tune the oscillator to the desired operating frequency. The Q of the resonant circuit is important in maintaining a specific output frequency at a given control voltage level. FIG. 2B depicts the phase response of two resonant circuits having different Q values. A lower circuit Q generates a more gentle phase response, whereas a higher circuit Q generates a sharper phase response. A higher circuit Q is desired to minimize the effects of small phase variations on output frequency. The phase response of a circuit having a relatively low circuit Q is shown in curve 240. Curve 250 illustrates a circuit having a higher circuit Q. It can be seen for a given phase variation the change in frequency is more pronounced in the circuit having the lower circuit Q. The magnitude of f_p , the frequency change in a low Q circuit for a given phase variation, is greater than the magnitude of f_r , the frequency change in a high Q circuit for the same phase variation.

Frequency synthesizer IC's are available that integrate nearly all of the required synthesizer circuits onto one chip. Typically, the user of one of these IC's only needs to provide a resonant circuit, loop filter, and reference oscillator in addition to the IC in order to produce a synthesized LO. The remaining elements of the synthesizer, the amplifier portion of the VCO, the frequency divider, and the phase detector, are integrated onto one IC. The user provides the resonant circuit required generating the desired output frequency. The user also provides the low pass filter design generating the desired loop bandwidth.

Although application specific IC's simplify the implementation of the LO in a wireless phone, the wireless phone operating environment presents additional noise sources which must be considered. Cost and space limitations in a wireless phone further constrain available noise filtering solutions.

The mobile phone design differs greatly depending on the particular mobile system it is supporting. Specifications outlining mobile phone design include Telecommunications Industry Association (TIA)/Electronic Industries Association (EIA) IS-95-B MOBILE STATION-BASE STATION COMPATABILITY STANDARD FOR DUAL-MODE SPREAD SPECTRUM SYSTEMS as well as TIA/EIA IS-98-B, RECOMMENDED MINIMUM PERFORMANCE STANDARDS FOR DUAL-MODE SPREAD SPECTRUM CELLULAR MOBILE STATIONS. The specification covering the operation of a CDMA system in the Personal Communication Systems (PCS) band is the American National Standards Institute (ANSI) J-STD-008 PERSONAL STATION-BASE STATION COMPATIBILITY REQUIREMENTS FOR 1.8 TO 2.0 GHZ CODE DIVISION MULTIPLE ACCESS (CDMA) PERSONAL COMMUNICATIONS SYSTEMS. Similarly, the phone, or personal station, is specified in ANSI J-STD-018, RECOMMENDED MINIMUM PERFORMANCE REQUIREMENTS FOR 1.8 TO 2.0 GHZ CODE DIVISION MULTIPLE ACCESS (CDMA) PERSONAL STATIONS. Additionally, the mobile phone specification defines features which, when implemented in phone hardware, tend to increase sources of noise within the phone.

One beneficial feature that is utilized in CDMA phone systems such as those specified in IS-95 and J-STD-008 is multiple data rate sets. In order to take advantage of the variable nature of a wireless phone communication link, the CDMA specifications provide for data transmission at reduced rates. When a person is engaged in a telephone conversation there are numerous periods in which only one party will be speaking. During periods

of reduced speech activity the telephone can reduce the data rate of the transmission resulting in a lower average transmit power level.

The communication link from the wireless phone back to the base station is termed the reverse link. On the reverse link, reduction in average transmit power is accomplished by turning off the transmitter for a fraction of the time during periods when activity is low. In a CDMA reverse link the phone always transmits at the full data rate however, when the internal structure allows operation at a reduced data rate the data is repeated a number of times. As an example, when the phone is able to operate at one-half of the full data rate the information is repeated twice to bring the transmitted data rate up to the full data rate. Similarly, one-fourth rate data is repeated four times to achieve a full data rate.

To conserve power on the reverse link, each 20mS data frame is subdivided into sixteen 1.25mS time groupings. When the phone is operating at a full data rate all sixteen of the groups within the frame are transmitted. However, when the phone is operating at a reduced data rate only a fraction of the sixteen groups is transmitted. The fraction of groups transmitted is equal to the reduction in the data rate. When the phone operates at one-half the full data rate one-half of the groups is transmitted. However, note that no data is lost since data is repeated in inverse proportion to the data rate reduction. One-half rate data is repeated twice but only half of the data is transmitted. The redundant portion of the data is not transmitted. Similarly, one-eighth rate data is repeated eight times but only one-eighth of the data is transmitted.

When the phone operates at a reduced data rate, DC power is gated to select active circuits on the transmit path. The DC power to the circuits is gated off when the data is not being transmitted. The DC power is gated back on to the circuits prior to transmitting the desired data group. Power gating serves to conserve power within the wireless phone. This results in a much desired extended battery life.

An adverse effect of power gating is the sudden load changes applied to the phone power supply. The portions of the RF transmit path that are switched on and off present the greatest loads on the power supply. Therefore, during power gating, the phone power supply is subjected to the greatest load variations that it will experience. Since no power supply is insensitive to load variations the output of the power supply will exhibit voltage ripple at the rate that power gating occurs. The actual voltage ripple on the supply voltage lines is a function of the power supply load rejection,

WO 01/17100

PCT/US00/23924

6

the rate of power gating, and the change in power supply load due to power gating. The change in power supply load varies in relation to the RF communication link the phone is maintaining with the base station. The change in load current will be greater when the phone is transmitting at a higher RF power level than when the phone is transmitting at a decreased RF power level. The power gating may occur at each 1.25 mS time grouping used for each data frame on the reverse link. This results in a power supply load variation with a significant 800 Hz frequency component.

What is desired is a voltage controlled oscillator design that maintains a stable output frequency with a constant control voltage applied. The VCO must be able to be tunable over a large frequency range. The wideband tuning ability allows a single VCO to be used in multiple band wireless phone applications. The VCO output must also be insensitive to power supply noise. Specifically, when the VCO is implemented in a CDMA phone the VCO output must be insensitive to power supply noise created by power gating the RF transmit path. Another object of the invention is the design of a high Q, low cost, low component count, wide range, noise insensitive circuit for use as a resonant circuit within a VCO.

It should be noted that CDMA wireless system specifications are used only to provide examples of the environment that a VCO may be subjected. A wideband, noise insensitive, VCO can be utilized in many applications. The use of the CDMA system as an example environment in no way limits the potential applications of the VCO.

25 SUMMARY OF THE INVENTION

The present invention is a novel and improved wideband Voltage Controlled Oscillator (VCO) having increased noise immunity. Additionally, the invention may be viewed as a novel resonant circuit configuration that is tunable over a wide range of resonant frequencies, has high Q, and is insensitive to noise. The novel resonant circuit can be implemented with an amplifier or application specific integrated circuit to generate a VCO having the characteristics of wideband coverage, noise insensitivity, and frequency stability.

35 The resonant circuit of the present invention is composed of a first coupling capacitor with a first end that serves as a first input to the resonant circuit. A second coupling capacitor uses a first end that serves as a second input to the resonant circuit. A first inductor connects from the second end

WO 01/17100

PCT/US00/23924

7

of the first coupling capacitor to signal ground. Similarly, a second inductor connects a second end of the second coupling capacitor to signal ground. A first tuning capacitor connects the second end of the first coupling capacitor to a first end of a variable element. A second tuning capacitor connects the second end of the second coupling capacitor to a second end of the variable element.

In the preferred embodiment both the first and second tuning capacitors are variable capacitors. The variable capacitors are preferably varactor diodes. The first tuning capacitor is a varactor diode with its anode connected to the second end of the first coupling capacitor. The second tuning capacitor is a varactor diode with its anode connected to the second end of the second coupling capacitor.

Additionally, in the preferred embodiment the variable element is composed of two variable capacitors each implemented as a varactor diode. The variable element is composed of a first varactor diode having its cathode as the first end of the variable element. A second varactor diode having its cathode as the second end of the variable element forms the remainder of the variable element. The anodes of both the first and second varactor diodes used in the variable element are connected to signal ground.

A control voltage is applied to the cathodes of all of the varactor diodes to tune the resonant frequency of the resonant circuit.

BRIEF DESCRIPTION OF THE DRAWINGS

The features, objects, and advantages of the present invention will become more apparent from the detailed description set forth below when taken in conjunction with the drawings in which like reference characters identify correspondingly throughout and wherein:

- FIG. 1 is a block diagram of a synthesized local oscillator;
- FIG.s 2A-2B are amplitude and phase plots characterizing oscillator circuits;
- FIG. 3 is a block diagram of an integrated circuit synthesized oscillator; and
- FIG. 4 is a block diagram of the preferred embodiment of the present invention.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

FIG. 3 illustrates a block diagram of a typical local oscillator implementation used in a wireless phone. A synthesized oscillator IC 300 incorporates a Phase Lock Loop (PLL) 302 as well as an amplifier configured as an oscillator 304. The synthesized oscillator IC 300 requires an external resonant circuit and loop filter 310 in order to operate. The oscillator 304 is configured as a Voltage Controlled Oscillator (VCO) if the resonant circuit can be tuned by the application of a control voltage.

The resonant circuit is comprised of an inductor 320 in parallel with a capacitive network. The capacitive network is comprised of fixed capacitors and variable capacitors. The capacitive network utilizes first and second variable capacitors, 342 and 344 respectively, connected in series. The first variable capacitor 342 is connected to a first side of the inductor 320 through a first tuning capacitor 332. The second variable capacitor 344 is connected to the second side of the inductor 320 through a second tuning capacitor 334. The point where the first variable capacitor 342 connects to the second variable capacitor 344 is tied to signal ground.

The oscillator 304 within the synthesized oscillator IC 300 operates at the resonant frequency of the resonant circuit. A sample of the output of the oscillator 304 is routed to the PLL 302. The PLL 302 compares the phase of the oscillator 304 output signal against a reference signal (not shown). The resultant error signal is passed through a loop filter 310 then is applied to the variable elements in the resonant circuit. The output of the loop filter 310 is applied to the variable capacitors, 342 and 344, through first and second bias resistors, 352 and 354. A first bias resistor 352 connects the output of the loop filter 310 to the terminal of the first variable capacitor 342 that is connected to the first tuning capacitor 332. Similarly, a second bias resistor 354 is used to connect the output of the loop filter 310 to the terminal of the second variable capacitor 344 that is connected to the second tuning capacitor 334. The first variable capacitor 342 and the second variable capacitor 344 may be implemented as varactor diodes. The output of the loop filter 310 is used to reverse bias the varactor diodes. The varactor diodes change their capacitance values based on the level of reverse bias applied. Therefore, by controlling the varactor diode reverse bias voltage the frequency of the oscillator can be controlled. The PLL 302 varies the control voltage to maintain phase lock.

WO 01/17100

PCT/US00/23924

9

When a wireless phone LO is configured as shown in FIG. 3 the oscillator 304 can only tune over the range of the resonant circuit. If the oscillator 304 is required to tune over a large frequency span such that the phone can cover multiple frequency bands, the resonant circuit must be capable of tuning over the entire range.

FIG. 4 illustrates a local oscillator implementing the VCO and resonant circuit of the present invention. The resonant circuit of the present invention allows the VCO to tune over a very wide band. At the same time the resonant circuit is configured to be relatively insensitive to low frequency noise. The VCO using the resonant circuit has increased noise immunity because the resonant circuit is insensitive to noise.

The resonant circuit of the present invention utilizes inductive elements coupled to a variable element using variable capacitors. Additional coupling capacitors are used as inputs to the resonant circuit. The coupling capacitors serve to interface the input connections of the resonant circuit to the inductive elements. The configuration of the coupling capacitors and the inductive elements present a high pass filter to signals appearing on the resonant circuit input connections. Therefore, the high pass filter attenuates any low frequency noise input to the resonant circuit. The variable capacitors in the resonant circuit are only exposed to attenuated noise. The configuration of the variable capacitors and the variable element serves to further diminish the effects of low frequency noise.

In the preferred embodiment of the present invention the two input terminals of the resonant circuit connect to capacitors. A first coupling capacitor 402 connects to a first input connection of the resonant circuit. A second coupling capacitor 404 connects to a second input connection of the resonant circuit. The end of the first coupling capacitor 402 opposite the input connection is connected to a first inductor 422. The end of the first inductor 422 opposite the first coupling capacitor 402 is connected to signal ground. Similarly, the end of the second coupling capacitor 404 opposite the input connection is connected to a second inductor 424. The end of the second inductor 424 opposite the second coupling capacitor 404 is connected to signal ground. The configuration of the coupling capacitors and inductors form two pole high pass filters when viewed from either of the resonant circuit input connections. Thus, any low frequency noise that is induced on the input connections of the resonant circuit will be attenuated by the high pass filter configuration of the coupling capacitor and inductor.

A first tuning capacitor 432 connects the junction of the first coupling capacitor 402 and the first inductor 422 to a first terminal of a variable element. A second tuning capacitor 434 connects the junction of the second coupling capacitor 404 and the second inductor 424 to a second terminal of the variable element. In the preferred embodiment both the first tuning capacitor 432 and the second tuning capacitor 434 are variable capacitors implemented as varactor diodes. In the preferred embodiment the first tuning capacitor 432 is a varactor diode having its anode connected to the junction of the first coupling capacitor 402 and first inductor 422. The cathode of the varactor is connected to the variable element. Similarly, the second tuning capacitor 434 is a varactor with its anode connected to the junction of the second coupling capacitor 404 and second inductor 424.

The variable element can be any variable reactive element. In the preferred embodiment the variable element is a variable capacitor. In the preferred embodiment the variable element is implemented using two varactor diodes. A first varactor diode 442 is configured with its cathode as the first terminal of the variable element. In the preferred embodiment the cathode of the first varactor diode 442 is connected to the cathode of the varactor diode used as the first tuning capacitor 432. The anode of the first varactor diode 442 is connected to signal ground. A second varactor diode 444 is configured with its cathode as the second terminal of the variable element. In the preferred embodiment the cathode of the second varactor diode 444 is connected to the cathode of the varactor diode used as the second tuning capacitor 434. The anode of the second varactor diode 444 is connected to signal ground.

The DC bias that controls the value of the variable capacitors is applied through two bias resistors. A first bias resistor 452 connects the cathodes of the first tuning capacitor 432 and the first varactor diode 442 to the control voltage. Similarly, a second bias resistor 454 connects the cathodes of the second tuning capacitor 434 and the second varactor diode 444 to the control voltage. The two bias resistors 452 and 454 isolate the bias voltage on the first pair of varactor diodes (432 and 442) from the bias voltage on the second pair of varactor diodes (434 and 444).

An examination of the resonant circuit of the preferred embodiment reveals that it is a completely balanced circuit configuration. The impedance viewed from the first input connection of the resonant circuit is identical to the impedance viewed from the second input connection to the resonant circuit. It can readily be determined that the resonant circuit can be

WO 01/17100

PCT/US00/23924

11

modified to operate in a single ended configuration for use in designs requiring a single ended resonant circuit. To modify the balanced resonant circuit configuration into a single ended resonant circuit configuration all of the circuit elements connected to the second input terminal of the balanced resonant circuit are removed.

Two separate circuit topologies implemented in the resonant circuit contribute to noise immunity. Only one half of the resonant circuit will be described although it is obvious from the balanced circuit configuration how the elements in the second half of the balanced circuit contribute similarly to noise rejection.

The first coupling capacitor 402 in conjunction with the first inductor 422 present a two pole high pass filter when viewed from the resonant circuit input terminal. Low frequency noise induced on the input terminal of the resonant circuit is attenuated by this two pole high pass filter. The circuit configuration of the first tuning capacitor 432 and the first varactor diode 442 also contributes to noise rejection. The first tuning capacitor 432 is implemented using a varactor diode. In the preferred embodiment, the first tuning diode 432 uses the same varactor as used for the first varactor diode 442. The first tuning diode 432 and the first varactor diode 442 appear as a capacitive voltage divider when viewed from the anode of the first tuning capacitor 432. The impedance of the first tuning capacitor 432 and the first varactor diode 442 are the same since they are chosen to be the same part. Therefore, any noise contribution at the anode of the first tuning capacitor 432 is attenuated by the voltage divider configuration. The resonant circuit connects the cathodes of the first tuning capacitor 432 and the first varactor diode 442 at the same node. Therefore, any AC noise that is coupled onto the first tuning capacitor 432 and the first varactor diode 442 via the anode of the first tuning capacitor 432 will affect the bias to the two varactors in an opposite manner. AC noise that is coupled to the capacitive voltage divider will appear across the first tuning capacitor 432 in an opposite polarity as that appearing across the first varactor diode 442. The effect is to further attenuate the effects of AC noise on the resonant circuit. As the AC noise increases the reverse bias voltage on the first tuning capacitor 432 the reverse bias voltage on the first varactor diode 442 is correspondingly decreased. This does not entirely cancel the effects of noise on the varactor diodes but diminishes the effects of noise. At the same time the varactor diodes appear in parallel to the control voltage and thus serve to extend the

WO 01/17100

PCT/US00/23924

12

tuning range of the resonant circuit. A 25% tuning bandwidth has been verified using this configuration.

The previous description of the preferred embodiments is provided to enable any person skilled in the art to make or use the present invention.

- 5 The various modifications to these embodiments will be readily apparent to those skilled in the art, and the generic principles defined herein may be applied to other embodiments without the use of the inventive faculty. Thus, the present invention is not intended to be limited to the
10 embodiments shown herein but is to be accorded the widest scope consistent with the principles and novel features disclosed herein.

WE CLAIM:

WO 01/17100

PCT/US00/23924

13

CLAIMS

1. A wideband, noise insensitive, resonant circuit comprising:
 - 2 a filter element as an input to the resonant circuit;
 - 4 a first variable capacitor; and
 - 6 a first tuning capacitor coupling an output of the filter element to the first variable capacitor;
 - 8 wherein the capacitances of the tuning capacitor and the variable capacitor are adjusted by the application of a control voltage and the resonant frequency of the resonant circuit is determined by the filter element, the first tuning capacitor and the first variable capacitor.
2. The resonant circuit of claim 1 wherein the filter element is a high pass filter.
3. The resonant circuit of claim 1 wherein the filter element comprises:
 - 4 a coupling capacitor; and
 - 6 an inductor connecting from the coupling capacitor to signal ground whereby the coupling capacitor and inductor comprise a two pole high pass filter when viewed from the input to the resonant circuit.
4. The resonant circuit of claim 1 wherein the first tuning capacitor and the first variable capacitor are varactor diodes.
5. The resonant circuit of claim 4 wherein the cathodes of the varactor diodes share a common node.
6. A balanced, wideband, noise insensitive, resonant circuit comprising:
 - 4 a first filter element as a first balanced input to the resonant circuit;
 - 6 a first variable capacitor;
 - 8 a first tuning capacitor coupling an output of the first filter element to the first variable capacitor;
 - 4 a second filter element as a second balanced input to the resonant circuit;
 - 6 a second variable capacitor; and

10 a second tuning capacitor coupling an output of the second filter
element to the second variable capacitor;
12 wherein the capacitances of the first and second tuning capacitors and
the first and second variable capacitors are adjusted by the application of a
14 control voltage and the resonant frequency of the resonant circuit is
determined by the first and second filter elements, the first and second
16 tuning capacitors and the first and second variable capacitors.

7. A Voltage Controlled Oscillator (VCO) with wide tuning range
2 and improved noise insensitivity comprising:
an amplifier; and
4 a resonant circuit comprising;
a filter element as an input to the resonant circuit;
6 a first variable capacitor; and
a first tuning capacitor coupling an output of the filter element
8 to the first variable capacitor;
wherein the amplifier is connected to the resonant circuit to produce
10 an oscillator and the capacitances of the tuning capacitor and the variable
capacitor are adjusted by the application of a control voltage and the
12 resonant frequency of the resonant circuit is determined by the filter
element, the first tuning capacitor and the first variable capacitor.

8. A Voltage Controlled Oscillator (VCO) with wide tuning range
2 and improved noise insensitivity comprising:
an amplifier; and
4 a balanced resonant circuit comprising;
a first filter element as a first balanced input to the balanced
6 resonant circuit;
a first variable capacitor;
8 a first tuning capacitor coupling an output of the first filter
element to the first variable capacitor;
10 a second filter element as a second balanced input to the
balanced resonant circuit;
12 a second variable capacitor; and
a second tuning capacitor coupling an output of the second
14 filter element to the second variable capacitor;
wherein the amplifier is connected to the balanced resonant circuit to
16 produce an oscillator and the capacitances of the first and second tuning

WO 01/17100

PCT/US00/23924

15

capacitors and the first and second variable capacitors are adjusted by the
18 application of a control voltage and the resonant frequency of the balanced
resonant circuit is determined by the first and second filter elements, the
20 first and second tuning capacitors and the first and second variable
capacitors.

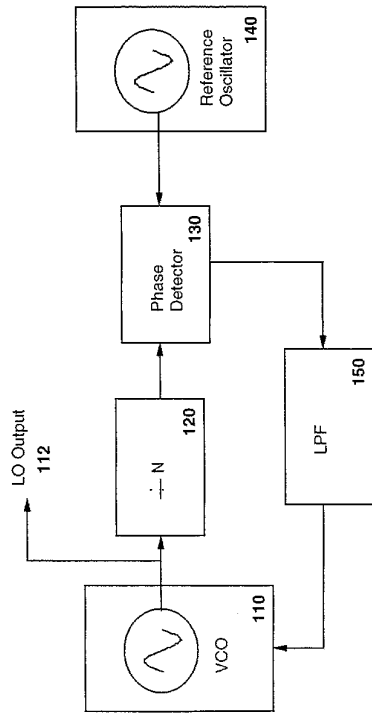


FIG. 1

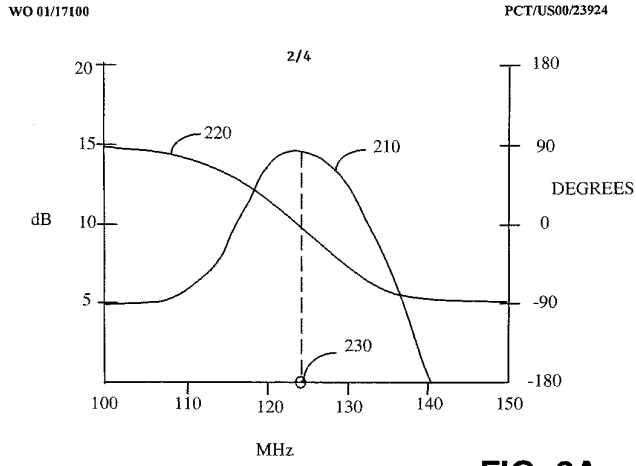


FIG. 2A

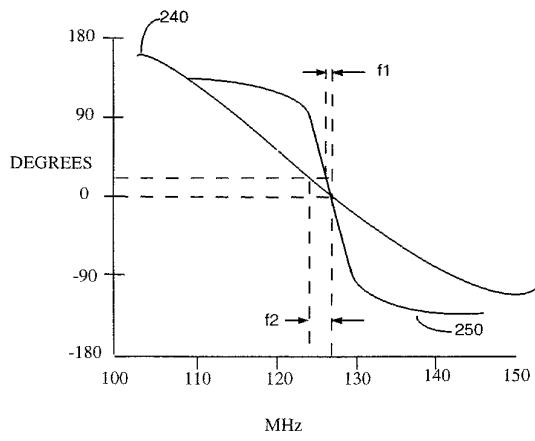


FIG. 2B

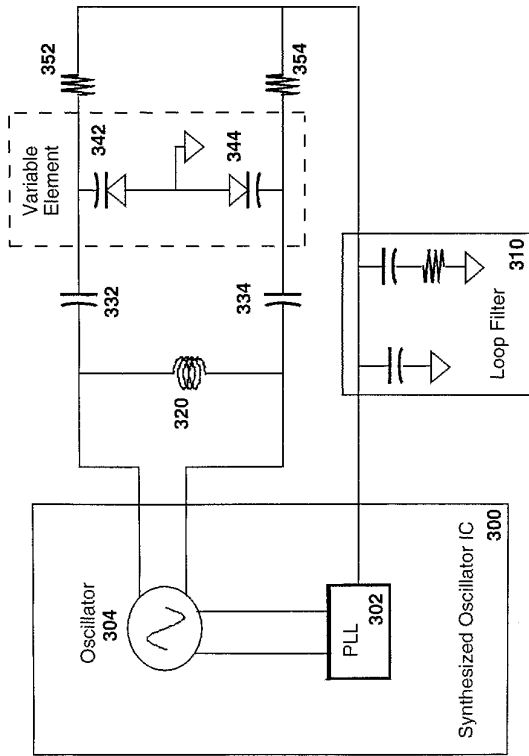


FIG. 3

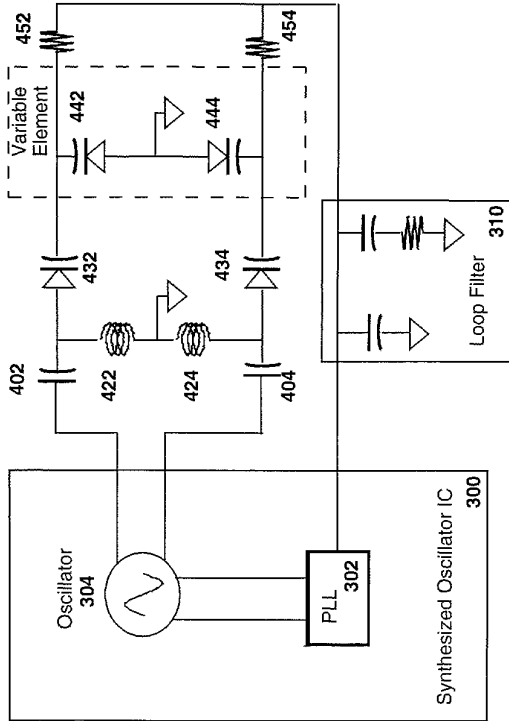


FIG. 4

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 00/23924
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 - H03B5/12		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 - H03B		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 937 340 A (JOVENIN FABRICE ET AL) 10 August 1999 (1999-08-10) column 3, line 19 - line 58; figure 1	1-8
A	US 5 138 285 A (MICHELS RONALD L) 11 August 1992 (1992-08-11) column 3, line 62 - column 4, line 33; figures 1, 2	1-8
A	PARKAR J ET AL: "A LOW-NOISE 1.6-GHZ CMOS PLL WITH ON-CHIP LOOP FILTER" PROCEEDINGS OF THE IEEE CUSTOM INTEGRATED CIRCUITS SYMPOSIUM, US, NEW YORK, IEEE, vol. CONF. 19, 5 May 1997 (1997-05-05), pages 407-410, XP000751511 ISBN: 0-7803-3670-4 page 407, right-hand column, line 16 - page 408, left-hand column, line 14; figure 2	1-8
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed ** later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search 12 December 2000	Date of mailing of the international search report 20/12/2000	
Name and mailing address of the ISA European Patent Office, P.B. 5618 Palantlaan 2 NL - 2220 HV Rijswijk Tel. (+31-70) 349-2340, Tx. 31 651 epo nl, Fax: (+31-70) 349-3016	Authorized officer Beasley-Suffolk, D	

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/US 00/23924

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5937340 A	10-08-1999	EP 0836271 A JP 10145190 A	15-04-1998 29-05-1998
US 5138285 A	11-08-1992	NONE	

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CR,CU,CZ,DE,DK,DM,DZ,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW

(72)発明者 シー、ブアイ・ホエ

アメリカ合衆国 カリフォルニア州 9 2 1 3 0 サン・ディエゴ、ナンバー 2 3 0、トーレー・
ブラフ・ドライブ 1 2 6 8 2

Fターム(参考) 5J081 AA02 BB01 BB10 CC06 CC07 CC30 CC42 EE02 EE03 EE18
KK02 KK09 KK22 MM01