

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6219371号  
(P6219371)

(45) 発行日 平成29年10月25日(2017.10.25)

(24) 登録日 平成29年10月6日(2017.10.6)

(51) Int.Cl. F I  
H03F 3/21 (2006.01) H03F 3/21

請求項の数 19 (全 19 頁)

(21) 出願番号	特願2015-509261 (P2015-509261)	(73) 特許権者	514275716
(86) (22) 出願日	平成25年4月30日(2013.4.30)		インディス、セミコンダクター、インコーポレイテッド
(65) 公表番号	特表2015-515839 (P2015-515839A)		I N D I C E S E M I C O N D U C T O R I N C .
(43) 公表日	平成27年5月28日(2015.5.28)		アメリカ合衆国オレゴン州、テュアラティン、スウィート、315、サウスウエスト、ブーンズ、フェリー、ロード、18840
(86) 国際出願番号	PCT/AU2013/000452		
(87) 国際公開番号	W02013/163691		
(87) 国際公開日	平成25年11月7日(2013.11.7)	(74) 代理人	100107582
審査請求日	平成28年4月26日(2016.4.26)		弁理士 関根 毅
(31) 優先権主張番号	2012901689	(74) 代理人	100082991
(32) 優先日	平成24年4月30日(2012.4.30)		弁理士 佐藤 泰和
(33) 優先権主張国	オーストラリア(AU)	(74) 代理人	100103263
			弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 オーディオ周波数増幅器および安定化電源のためのパルス発生回路

(57) 【特許請求の範囲】

【請求項1】

第1の信号に応答して一連のパルスを生成するための回路であって、

積分器入力と積分器出力とを有し、前記積分器出力は、前記積分器入力で受け取られたられた第1のフィードバック信号に少なくとも部分的に基づく積分信号を出力する、損失積分器と、

第1の比較器入力と、第2の比較器入力と、比較器出力とを有し、前記第1の比較器入力は前記第1の信号を受け取り、前記第2の比較器入力は前記積分信号に少なくとも部分的に基づく第2の信号を受け取り、前記比較器出力は前記第1の信号と前記第2の信号との間の比較に基づいて、前記第1のフィードバック信号が少なくとも部分的に基づく前記一連のパルスを出力する比較器と、

フィルタ出力とフィルタ入力とを有するハイパスフィルタであって、前記フィルタ出力は、前記フィルタ入力で受け取られた第2のフィードバック信号に少なくとも部分的に基づくフィルタリングされた信号を供給し、前記第2のフィードバック信号は、前記第1のフィードバック信号の反転に少なくとも部分的に基づいており、前記フィルタリングされた信号は、前記積分信号に加算されたときに、前記第2の比較器入力に受ける前記第2の信号を決定する、ハイパスフィルタと、を備える回路。

【請求項2】

前記損失積分器は、

第1の端子と第2の端子とを有し、前記第1の端子が第1ノードで前記積分器入力を含

10

20

む抵抗器と、

第 2 ノードで前記積分器入力を含む前記第 2 の端子に接続されたキャパシタと、を備える請求項 1 に記載の回路。

【請求項 3】

前記抵抗器は、第 1 の抵抗器であり、

前記損失積分器は、

前記第 2 ノードにおいて、前記第 1 の抵抗器の前記第 2 の端子に接続され且つ前記キャパシタと並列の第 2 の抵抗器を備える、

請求項 1 に記載の回路。

【請求項 4】

前記損失積分器と前記比較器のうちの少なくともいずれかは、デジタル演算を使用して実装される請求項 1 に記載の回路。

【請求項 5】

前記比較器出力から供給される前記一連のパルスは、少なくとも 1 つのスイッチング素子の切り換えを制御する請求項 1 から 4 のいずれか一項に記載の回路。

【請求項 6】

前記少なくとも 1 つのスイッチング素子は、ハーフブリッジ構成に含まれる請求項 5 に記載の回路。

【請求項 7】

前記少なくとも 1 つのスイッチング素子は、フルブリッジ構成に含まれる請求項 5 に記載の回路。

【請求項 8】

前記少なくとも 1 つのスイッチング素子は、負荷に対する電源を切り換える請求項 5 から 7 のいずれか一項に記載の回路。

【請求項 9】

ローパス・フィルタは、前記少なくとも 1 つのスイッチング素子と前記負荷との間に置かれる請求項 8 に記載の回路。

【請求項 10】

前記負荷は、ローパス・フィルタとしても作用する請求項 9 に記載の回路。

【請求項 11】

前記第 1 のフィードバック信号は、少なくとも部分的に、少なくとも 1 つのスイッチング素子の出力信号に基づく請求項 1 から 10 のいずれか一項に記載の回路。

【請求項 12】

前記第 1 の信号は、少なくとも部分的に、バイアス信号に基づく請求項 1 から 11 のいずれか一項に記載の回路。

【請求項 13】

前記第 1 の信号は、少なくとも部分的に、増幅されるべき入力信号に基づく請求項 1 から 12 のいずれか一項に記載の回路。

【請求項 14】

前記少なくとも 1 つのスイッチング素子は、トランジスタである請求項 1 から 13 のいずれか一項に記載の回路。

【請求項 15】

前記トランジスタは、FETである請求項 14 に記載の回路。

【請求項 16】

請求項 1 から 12 のいずれか一項に記載の回路を備える安定化電源。

【請求項 17】

請求項 1 から 12 のいずれか一項に記載の回路を備える増幅器。

【請求項 18】

前記第 1 のフィードバック信号は、前記一連のパルスである請求項 1 から 15 のいずれか一項に記載の回路。

10

20

30

40

50

## 【請求項 19】

前記第2のフィードバック信号は、前記一連のパルスの反転である請求項1に記載の回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、電子回路に関する。詳細には、本発明は、例えば、オーディオ周波数増幅器および安定化電源に組み込まれ得る電子回路に関する。

## 【背景技術】

## 【0002】

理想的なオーディオ周波数増幅器のための設計基準は、エネルギー効率の最大化（したがって、熱発生最小化）、重量の最小化、および嵩の最小化を含む。

## 【0003】

1つのタイプの非常に効率の良いオーディオ周波数増幅器が、「D級」増幅器として知られている。D級増幅器において、入力信号が、異なる幅のパルスの系列を生成するようにパルス発生器を制御する。これらのパルスは、時間が経つにつれて平均されて（ローパス・フィルタを使用することなどによって）、出力信号を生成する。パルスは、決まった振幅であるため、スイッチング素子（通常は、MOSFETである）は、完全にオンに、または完全にオフに切り換えられる。MOSFETは、完全にオンである場合、最低の抵抗で動作し、このため、電源が消費されることも取られることもない完全にオフの場合を除いて、その条件にある場合に最低の電力損失を有する。

## 【0004】

ハイペックス・エレクトロニクス（Hypex Electronics）B.V.（「ハイペックス特許」）に譲渡された米国特許第8,289,097号において説明される発明が、処理される入力信号を可能な限り乱さない単純な構造のパルス幅変調ループを開示する。この回路は、D級増幅器などのオーディオ周波数増幅器に組み込まれ得る。

## 【0005】

具体的には、ハイペックス特許の図6を参照すると、ハイペックス特許は、外部鋸歯状波形（external sawtooth waveform）を有するポスト・フィルタ固定周波数変換器に関する。この鋸歯状波形は、フィルタ、フィードバック・ネットワーク、「順方向パス（forward path）」、および比較器を含む回路の様々な部分の振舞いを表す因子によって補正される。ハイペックス特許において開示される発明は、その文献の段落

## 【0006】

で説明される「固定して」決められた、または知られているクロック回路に限定される。

## 【0007】

また、ハイペックス特許は、様々な因子が決定され得るように広範な内部測定回路によって増幅器の応答をあらかじめ設定することにさらに依拠する。無論、これらの因子は、非常に複雑であり、温度、負荷、および周波数の所産である。これらの範囲にわたってこれらの因子を正確に決定することは、相当な計算労力を要する。

## 【0008】

さらに、B.H.CandyおよびS.M.Cox、「Improved analogue class-D amplifier with carrier symmetry modulation」、Audio Engineering Society 117<sup>th</sup> Convention、2004年10月28～31日、米国カリフォルニア州サンフランシスコ、Convention Paper 6260が、D級増幅器応用例における歪みを低減することを検討する。開示されるアナログD級増幅器は、負のフィードバックを有するよく知られた従来技術のD級構造に従うが、入力信号の導関数による搬送波オシレータ波形の対称性の変調を含む。開示される回路は、従来技術の構造に固有の非線形の位相変調効果を補償する。

10

20

30

40

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0009】

本発明の実施形態は、これに限定されないが、知られているD級回路を制御することに特に適したパルス波形を生成するための回路を提供する。さらに、本発明の実施形態は、従来技術の欠点のうちのいくつかを改善することを目指す。

## 【課題を解決するための手段】

## 【0010】

したがって、一態様において、本発明は、第1の信号に応答して一連のパルスを生成するための回路を提供し、この回路は、第2の信号を入力として受け取る損失積分器と、入力

10

の一方でこの損失積分器の出力を受け取り、入力の他方で第1の信号を受け取る比較器とを備える。

【0011】

損失積分器とは、減衰構成要素を有する積分器を指す。そのようなデバイスの一実施形態が、選択されたスイッチ周波数を基準として長い時定数を有するRCネットワークである。数学的には、これは、線形であることも、非線形であることも可能な減衰項を有する、誤差のある、または誤差のない積分器であり得る。

## 【0012】

この損失積分器が抵抗器とキャパシタとを直列に備えることが好ましい。代替として、この損失積分器が、或る抵抗器とキャパシタとを直列に備え、さらに或る抵抗器をそのキャパシタと並列に備えることが好ましく、損失積分器に対する入力

20

は、両方の抵抗器に印加され、損失積分器の出力は、キャパシタの両端で生成される。

【0013】

或る実施形態において、比較器は、比較器の加算する入力 (summing input) において損失積分器の出力を受け取り、さらに比較器のネゲートする入力 (negating input) において第1の信号を受け取る。

## 【0014】

損失積分器と比較器の少なくともいずれかが、デジタル演算を使用することによって実装されることが好ましい。

## 【0015】

比較器の出力によって決定される信号が少なくとも1つのスイッチング素子の切り換えを制御することが好ましい。

30

## 【0016】

スイッチング素子がハーフブリッジ構成であることが好ましい。代替として、スイッチング素子は、フルブリッジ構成である。

## 【0017】

スイッチング素子が負荷に対する電力を切り換えることが好ましい。

## 【0018】

ローパス・フィルタがスイッチング素子と負荷の間に置かれることが好ましい。代替として、負荷がローパス・フィルタとしても作用する。

40

## 【0019】

第2の信号が、少なくとも部分的に、少なくとも1つのスイッチング素子の出力に依存することが好ましい。

## 【0020】

第1の信号が、少なくとも部分的に、バイアス信号に依存することが好ましい。

## 【0021】

第1の信号が、少なくとも部分的に、増幅されるべき信号に依存することが好ましい。

## 【0022】

各スイッチング素子がトランジスタ、例えば、FETであることが好ましい。

## 【0023】

50

本発明のよりよい理解のため、さらに本発明がどのように実施され得るかを示すように、本発明の実施形態が、単に限定的でない例として、添付の図面で示される。

【図面の簡単な説明】

【0024】

【図1】本発明の第1の実施形態による回路を示す概略図である。

【0025】

【図2】図1のいくつかのポイントにおける電圧波形を示すグラフのセットである。

【0026】

【図3】図1、および本発明の第2の実施形態の簡略化された概略図である。

【0027】

【図3A】図3に示される実施形態の数学的モデルを示す図である。

【0028】

【図4】図3のいくつかのポイントにおける電圧波形を示す図である。

【0029】

【図4A】図4に示される波形の代替の表現を示す図である。

【0030】

【図5】図4に示される電圧波形のズームインされた図である。

【0031】

【図6】本発明の第3の実施形態による回路を示す概略図である。

【0032】

【図7】本発明の第4の実施形態による回路を示す概略図である。

【0033】

【図8】図7のいくつかのポイントにおける電圧波形を示す図である。

【0034】

【図9】図8の部分A - A'における波形のズームインされた図である。

【0035】

【図10】本発明の第5の実施形態による回路を示す概略図である。

【0036】

【図10A】図10に示される実施形態の数学的モデルを示す図である。

【0037】

【図11】本発明の第6の実施形態による回路を示す概略図である。

【0038】

【図12】本発明の第7の実施形態による回路を示す概略図である。

【0039】

【図13】本発明の別の実施形態の数学的モデルに関する非常に一般化された機能図である。

【0040】

【図14】本発明のさらに別の実施形態の数学的モデルに関する非常に一般化された機能図である。

【0041】

【図15】本発明の別の実施形態による回路を示す概略図である。

【0042】

【図15A】図15に示される実施形態の数学的モデルを示す図である。

【0043】

【図16】入力信号、前述の実施形態の回路による搬送波信号、および図15に示される実施形態による搬送波信号の電圧波形を示す図である。

【発明を実施するための形態】

【0044】

図1の実施形態の構造

【0045】

10

20

30

40

50

図 1 の回路 1 は、安定化電源として動作する本発明の実施形態を示す。回路 1 は、電源ユニット 2 と、バイアス発生器 3 と、比較器 4 と、損失積分器 6 と、ハーフブリッジ・スイッチング回路 7 と、ローパス・フィルタ・ネットワーク 11 と、負荷 12 とを備える。

【 0 0 4 6 】

電源ユニット 2 は、中点で接地された 2 つの同一電圧源  $V_2$ 、 $V_3$  を備える。

【 0 0 4 7 】

バイアス発生器 3 は、電源レール  $V_+$  または  $V_-$  の両端に直列に接続される 2 つの抵抗器  $R_4$  と  $R_5$  とを備え、抵抗器  $R_4$  と  $R_5$  の接点においてバイアス電圧  $V_{Bias}$  を発生させる。 $V_{Bias}$  は、各電源レール上の電圧、および比、 $R_5 / (R_4 + R_5)$  によって決定される。

10

【 0 0 4 8 】

損失積分器 6 は、信号  $S_2$  を生成する。損失積分器 6 は、出力  $Out_1$  と接地の間に終端間で接続された抵抗器  $R_1$  と  $R_3$  とを備え、抵抗器  $R_1$  と  $R_3$  の接点と接地の間のキャパシタ  $C_1$  を有する。信号  $S_2$  が、抵抗器  $R_1$  と  $R_2$  の接点からタップされる。したがって、損失積分器は、分圧 (voltage divided) ローパス・フィルタである。このフィルタの折点周波数は、 $R_1$  と  $R_3$  の等価並列抵抗 (parallel equivalent resistance)、およびキャパシタ  $C$  のキャパシタンスによって決定される。理想的には、この  $RC$  値は、要求される最大信号周波数より高く設定されなければならない。目立たないが、重要であるのが、出力  $Out_1$  における信号歪みが、切り換えられた状態でも、安定状態でも、積分器信号  $S_2$  に存在することである。

20

【 0 0 4 9 】

ハーフブリッジ・スイッチング回路 7 は、正の電源レールおよび負の電源レール  $V_+$  または  $V_-$  の間で直列に接続された第 1 の  $NFET$  回路 8 と第 2 の  $NFET$  回路 9 とを備え、第 1 の  $NFET$  回路 8 と第 2 の  $NFET$  回路 9 の接点において出力  $Out_1$  を生成する。 $NFET$  回路 8 が、インバータ  $Y_{111}$  経由で  $NFET$  回路 8 の入力において信号  $DRV$  を受け取り、さらに  $NFET$  回路 9 が、 $NFET$  回路 9 の入力において信号  $DRV$  を受け取る。信号  $Out_1$  は、ハーフブリッジ出力電圧を表し、理想的には、いずれの  $FET$  がオンであるかに依存して  $V_+$  または  $V_-$  である。実際的な応用例において、このことは、 $FET$  の理想的でない振舞いのため、安定状態 (スイッチングでない) でも、スイッチング・モードでも実現可能ではない。この理想的でない振舞いは、信号  $Out_1$  の歪みをもたらし、このことが、補償されない場合、負荷 12 における潜在的な歪みを生じさせる。このことは、従来の回路の抱える一般的な大きな問題である。

30

【 0 0 5 0 】

比較器 4 は、反転させる入力において  $V_{Bias}$  を受け取り、さらに反転させない入力において損失積分器から信号  $S_2$  を受け取って、信号  $DRV$  を生成する。次に、比較器は、バイアス信号  $V_{Bias}$  を  $S_2$  と比較し、いずれがより高いかに依存して、高または低に切り換わる。信号  $DRV$  は、 $DRV$  信号の極性に依存して、 $NFET$  回路 8 と 9 の一方をオンに切り換え、 $NFET$  回路 8 と 9 の他方をオフに切り換える。理論上、スイッチング速度は、無限であるが、システム全体にわたって遅延が存在する。これらの遅延には、比較器ヒステリシス、ブリッジ・スイッチング遅延、および  $FET$  ドライバ信号の遅延、ならびに損失積分器の位相シフト遅延が含まれる。

40

【 0 0 5 1 】

図 1 の実施形態の動作

【 0 0 5 2 】

回路 1 の動作が、図 2 に示される信号トレースによって例示される。図 1 の回路の理解を簡単にするのに、各  $NFET$  回路 8 および 9 が、無限に迅速な遷移時間を有するバイナリ状態マシンと見なされ得る。図 2 を参照すると、信号  $DRV_{220}$  が高から低に遷移した場合、上の  $NFET$  8 がオンになり、同時に、下の  $NFET$  9 がオフになる。このことは、 $DRV$  が変化する前に  $V_-$  と等しかった  $Out_1$  が、現時点で、 $V_+$  と等しいことを意味する。損失積分器 6 の入力のステップ応答変化が、この事例では、どこであれ遷移に

50

先立つところからの、 $S_2$ におけるランプ電圧を生じさせる。このことが、波形 $S_2$  210が、波形 $DRV_220$ 遷移の結果、三角形、つまり、ランプ関数である、図2で理解され得る。

【0053】

ランプがバイアス230を超えると、 $DRV$ は、状態を再び変え、このことが、 $Out_1$ を $V_+$ から $V_-$ に戻るようさせ、このことが、 $S_2$ を再び下降ランプ211させる。 $S_2$ がバイアス230より低く下降すると、 $DRV$ は、再び221に遷移する。

【0054】

$Out_1$ におけるエッジ遷移勾配は、無論、無限ではなく、実際、線形でさえない。電力レール変動は、 $Out_1$ において常に変化が存在することを意味する。損失積分器6は、これらの変動を検知し、これらの変動は、所望される信号と一緒に比較器4に与えられる。誤差は、元の信号と比較されることによって補償される。

10

【0055】

電圧レール、ドライバFET、および負荷がすべて安定しているものと想定すると、この実施例は、システムの最大速度で固定のデューティ・サイクルと共振する。このことが、低い信号周波数において出力で0の信号をもたらし、スイッチング周波数でフィルタに起因して小さい信号をもたらし。しかし、ノイズがFETに、または電源レールに注入された場合、または他のノイズ源が存在する場合、比較器4が、信号 $S_2$ をバイアス電圧に対して中立になるように強制するように自動的に補償する。このことが、負荷の両端で非常に小さい、または0の差をもたらし、したがって、もたらされるノイズを、ほとんど、または完全に無くす。

20

【0056】

したがって、図1の回路1は、非常に安定した安定化電源として動作する。

【0057】

図のいずれにおいて示される構成要素も、図1の回路において示される構成要素と同一である以下の説明において、同一の参照符号が、それらの構成要素を識別するのに使用される。

【0058】

簡略化された例示的な構造

【0059】

30

図1で例示された回路が、図3に示される概略図において簡略化された形態（ハーフブリッジ・スイッチング回路を除外した）で示される。この概略図は、本発明の動作の態様を例示するのに使用される。図3Aは、図3の簡略化された回路に対応する数学的モデルである。この簡略化された回路は、本発明の第2の実施形態を形成し、エンコーダ、低出力増幅器（low power amplifier）、低出力電源ユニット（low power supply unit）、または絶縁エンコーダを含む様々な応用例のために使用され得る。

【0060】

図4、図4A、および図5はそれぞれ、図3のいくつかのポイントにおける電圧波形を示す。波形は、それらの波形の相対的關係を示すように図4と図5で同一軸上に置かれる。図4Aで、波形は、それらの波形の個々の形状をより明確に示すように別個の軸上に置かれる。

40

【0061】

回路14は、損失積分器6と、比較器4と、フィルタ・ネットワーク11と、負荷12とを含む。図3Aに示される数学的モデルは、比較器4に対する入力として信号 $X(s)$ を示し、その他の入力は、関数 $K_1 \cdot F_1(s)$ によって変換された比較器4の出力からのフィードバック信号であり、ただし、 $K_1$ は、定数であり、さらに $F_1(s)$ は、損失積分器6を表す。関数 $H_1(s)$ は、図3のフィルタ・ネットワーク11を表す。

【0062】

回路14は、図4、図4A、および図5における曲線 $V_{signal} 410$ によって表

50

される信号源  $V_5$  からの信号を受け取る。損失積分器 6 は、図 4、図 4 A、および図 5 におけるグラフ  $V_{S_2 4 2 0}$  によって例示される三角信号を生成する。比較器は、図 4、図 4 A、および図 5 におけるグラフ  $V_{D R V 4 3 0}$  によって表されるパルス出力を生成する。フィルタ 1 1 は、負荷 1 2 に印加される出力  $V_{R_2 4 4 0}$  を生成する。回路 1 4 は、C 1 の両端に抵抗器を追加することによって利得構成要素を含み得る。さらに、 $V_5$  は、システム電圧から導き出されて、その結果、電力レール・リップルを除波することが可能である。

#### 【0063】

図 4、図 4 A、および図 5 から理解され得るとおり、 $V_{S_2 4 2 0}$  (損失積分器の三角出力) が信号値  $V_{S i g n a l 4 1 0}$  を超えている限り、駆動電圧  $V_{D R V 4 3 0}$  は低く、積分器の出力  $V_{S_2 4 2 0}$  は値が下がる。損失積分器の出力  $V_{S_2 4 2 0}$  が信号  $V_{S i g n a l 4 1 0}$  を下回ると、駆動電圧  $V_{D R V 4 1 0}$  は、高く、損失積分器の出力  $V_{S_2 4 2 0}$  を上昇させる。このことは、 $V_{S i g n a l 4 1 0}$  が、高い値と低い値によって規定される  $V_{D R V}$  出力境界内に留まる限り、損失積分器の三角波形  $V_{S_2 4 2 0}$  が常に、信号  $V_{S i g n a l 4 1 0}$  の付近を動くため、自励発振をもたらす。

#### 【0064】

この実施形態の利点は、この回路のハードウェア実装またはソフトウェア実装が、前述したハイパックス特許などの従来技術のものとは比べて簡単であることである。さらに、この回路によって示される歪みは、従来技術のものとは比べて軽減される。

#### 【0065】

本発明の他の実施形態

#### 【0066】

図 6 の回路 3 6 は、本発明の第 3 の実施形態の簡略化された表現である。回路 3 6 は、さらなる 1 つの構成要素を含むという点で、図 3 の回路 1 4 と比べて、わずかにより複雑な回路である。図 6 に示される構成要素は、損失積分器 6、比較器 4、インバータ 3 7、ローパス・フィルタ・ネットワーク 1 1、および負荷 1 2 である。比較器 4 の出力が、フィルタ・ネットワーク 1 1 の一方の側に入力され、比較器 4 のネゲートされた出力が、フィルタ・ネットワーク 1 1 の他方の側に入力される。この構成は、比較器 4 のパルス出力と同相、および逆相であるフィルタ・ネットワーク 1 1 に対する入力が存在するため、2 の利得である、より高い利得をもたらすため、図 3 の回路より有利である。さらに、この構成は、図 3 の回路の 4 倍の出力を有する。さらに、DC オフセットは全く存在せず、このことは、スピーカなどの誘導負荷を使用している場合、好ましい。回路 1 4 と同様に、さらなる利得が、C 1 の両端に抵抗器を追加することによってもたらされ得る。

#### 【0067】

図 7 の回路 1 6 は、本発明の第 4 の実施形態を示す。この実施形態は、周波数範囲要件および振幅範囲要件、ならびに制御要件が極端であり、したがって、最も困難な応用例のうちの 1 つを実証するオーディオ応用例のために使用され得る。この実施形態は、ハーフブリッジ・スイッチング回路にかかわり、さらにこの実施形態が、一部の応用例においてより低費用の代替を提供し得るため、後段で説明されるフルブリッジ回路より有利である。図 7、図 8、および図 9 が、この実施形態に関する。

#### 【0068】

回路 1 6 は、電源ユニット 2 と、比較器 4 と、損失積分器 6 と、ハーフブリッジ回路 7 と、ローパス・フィルタ・ネットワーク 1 1 と、負荷 1 2 とを備える。回路 1 6 は、回路 1 のバイアス発生器 3 に存在しない機能を含むバイアス発生器 1 7 を有するという点で回路 1 とは異なる。バイアス発生器 1 7 は、この場合、バイアス電圧によってシフトされた信号  $V_5$  を組み込む。

#### 【0069】

図 8 および図 9 の信号トレースから理解され得るとおり、回路 1 6 は、信号増幅器として動作する。図 8 が、全周期を示す一方で、図 9 は、図 8 の A - A' というラベルが付けられた、ズームインされたセクションを示す。図 8 の波形を参照すると、負荷  $V_{R_2 9 5}$

10

20

30

40

50



0の両端の電圧は、信号V5 920に比例する。S2 930が、この場合、やはり信号920に従うことが理解され得る。図9のズームインされたトレースは、信号が最小、すなわち、単に通常のバイアス電圧である場合、スイッチングが、図2の実施例と非常に似通っているように見え、さらに周波数が最大であることを示す。したがって、信号が最大にある場合、スイッチング周波数は、それに応答して低下する。

#### 【0070】

図10の回路19は、本発明の第5の実施形態を示す。図10Aは、図10に示される回路に対応する簡略化された数学的モデルである。回路19は、電源ユニット2と、比較器4と、損失積分器6と、ハーフブリッジ回路7と、ローパス・フィルタ・ネットワーク11と、負荷12とを備える。回路19は、バイアス発生器21の構成、および信号 - バイアス加算回路22の追加の点で回路1および回路16とは異なる。バイアス発生器21は、この場合、バッファ04に従う電圧を組み込んで、バイアス電圧を表す正確な電圧源をもたらし、このことが、さらに、最小の信号がバイアス源に戻るように流れることを許されることを確実にする。次に、このことが、V5における差動信号の中に混合する信号 - バイアス回路22における差動増幅器にバイアスをかけるのに使用される。結果は、電源電圧変動を除去するシステムである。この回路は、電源除去をもたらし、複合増幅器 - 電源性能 (combined amplifier and power supply performance) の実際的なノイズ特性 (noise performance) を向上させる。

#### 【0071】

図11の回路26は、本発明の第6の実施形態を示す。回路26は、電源ユニット2と、比較器4と、2つの損失積分器6と、「フルブリッジ」回路もしくは「Hブリッジ」回路27と、ローパス・フィルタ・ネットワーク11と、負荷12とを備える。回路26は、回路19と同様に、バイアス発生器21、および信号 - バイアス加算回路22を含むという点で、回路1および回路16とは異なる。

#### 【0072】

Hブリッジ回路27は、第1のNFET回路28、第2のNFET回路29、第3のNFET回路31、および第4のNFET回路32を備える。NFET回路28と29が、1つのハーフブリッジ回路を構成し、NFET回路31と32が別のハーフブリッジ回路を構成する。ローパス・フィルタ11が、この場合、この2つのハーフブリッジ回路の間に接続され、負荷12によって終端させられる。

#### 【0073】

図1、図7、および図10のハーフブリッジ回路の場合と同様に、損失積分器6が、各ブリッジ中点Output1に接続する。次に、これが、前述の場合と同様にバッファリングされ、バイアスは、この場合、2つのハーフブリッジ信号を合計することによって生成されている。システムに誤差が全く存在しない場合、両方の信号は、バイアスに関して同一であるが、逆である。これらのサイドが逆ではない場合、バイアスは動き、誤差を表す。次に、これが、信号 - バイアス加算回路22によって所望される信号と合計され、比較器4に与えられる。比較器4は、その信号を損失積分器6のうちの1つの損失積分器6の出力と比較する。次に、比較器4は、図7に示されるハーフブリッジ実施形態の場合と同様に、その2つの信号を可能な限り互いに近く保つように切り換わる。

#### 【0074】

ブリッジの両方の半分を集め、合計することによって、出力フィルタ11の両端の誤差が高い精度で知られる。電力レール変動はいずれも、両方の半分において等しく出現し、したがって、それに相応してバイアス点を移動させる。次に、これが、比較器4によって補償されて、電圧レール・ノイズが除去されて、出力フィルタ11上に存在しないことを確実にする。

#### 【0075】

バイアスと混合された信号はいずれも、さらなる誤差であると思なされ得るが、その信号は、Hブリッジ27の両方の半分に等しく、逆の極性で存在するはずなので、バイアス

電圧においては出現しない。したがって、補償する際、比較器は、実際には、両方の半分で信号を等しく加える。前述した不均衡は、バイアス信号においては出現せず、したがって、除去される。

【0076】

図12の回路34は、本発明の第6の実施形態を示す。回路34は、電源ユニット2と、バイアス発生器3と、比較器4と、単一の損失積分器6と、フルブリッジ回路もしくはHブリッジ回路27と、ローパス・フィルタ・ネットワーク11と、負荷12とを備える。図12の回路34は、図11の回路26と比較された場合、誤差検出が低下するという代償を払って、より少ない数の構成要素を有する。

【0077】

図13は、本発明の別の実施形態に関する数学的モデル38を示す。モデル38は、40でバイアス電圧41と合計されるものとして参照符号39で識別される入力信号 $X(s)$ を含む。バイアス電圧41は、任意の適切な方法で発生させられ、好ましくは、本発明の前述した実施形態により発生させられる。その合計の結果は、比較器42に対する一方の入力である。

【0078】

比較器42に対する他方の入力、いくつかの信号の合計49である。それらの信号のうちの1つは、関数 $K1 \cdot F1(s)$ によって変換された比較器42の出力であり、ただし、 $K1$ は、利得に関するスケーリング比であり、さらに $F1(s)$ は、損失積分器である。これにより、自励発振が生じる。関数 $H1(s)$ 41および $H2(s)$ 44は、オプションの様々な出力フィルタである。合計49に対する入力のうちの第2の入力は、関数 $H1(s) \cdot K2 \cdot F2(s)$ によって変換された比較器42の出力である。変換 $K2 \cdot F2(s)$ 47は、オプションのさらなるフィードバック関数である。この実施形態は、図13にパス $H2(s) \cdot K3 \cdot F3(s)$ だけによって例示される任意の数のフィードバック・パス( $Kn \cdot Fn(s)$ )を許す。

【0079】

図14のモデル51は、合計がどのように行われるかに関してだけ、図13のモデル38と異なる。図13のモデル38の場合と同様に、比較器42の入力の一方は、関数 $K1 \cdot F1(s)$ によってスケーリングされたその比較器の出力である。しかし、そのポイントで合計される他の信号は全く存在しない。代わりに、変換 $H1(s) \cdot K2 \cdot F2(s)$ および $H2 \cdot K3 \cdot F3(s)$ によってさらに変換された比較器の出力が、合計52においてバイアスおよび信号39と合計される。

【0080】

図15は、本発明のさらなる実施形態を示す回路60の概略図である。回路60は、電源ユニット2と、バイアス発生器3と、比較器4と、2つの損失積分器6と、フルブリッジ・スイッチング回路もしくはHブリッジ・スイッチング回路65と、ローパス・フィルタ・ネットワーク11と、負荷12とを備える。この実施形態において、 $Out1$ は、この場合、抵抗器 $R8$ と、キャパシタ $C5$ とを備える微分接続(derivative connection)66を介して損失積分器6の $Out2$ に接続され、さらに $Out2$ は、この場合、抵抗器 $R2$ と、キャパシタ $C3$ とを備える別の微分接続66'を介して他方の損失積分器6の $Out1$ に接続される。クロスオーバが、補償(すなわち、ネゲート)をもたらす一方で、 $R8$ 、 $R2$ の抵抗値、および $C5$ 、 $C3$ のキャパシタンス値は、損失積分器6と一緒にシステム周波数応答を決定する。このことが、損失積分器の減衰する波形の性質の部分を打ち消して、システムの全高調波歪み(THD)の低減を可能にする。

【0081】

図15Aは、独立した2つの伝達関数 $K1 \cdot F1(s)$ 71、 $K1 \cdot F2(s)$ 72が、比較器4からの矩形波出力から入力を受け取る、図15の数学的モデルを示す。 $K1 \cdot F1(s)$ は、搬送波生成を担う損失積分器であることが可能であり、さらに $K2 \cdot F2(s)$ は、負性微分(negative derivative)である。これらの特徴

10

20

30

40

50

を合計することは、搬送波が、この場合、損失積分器 6 の寄生 T H D とは逆方向に搬送波勾配をシフトさせるさらなる高周波数情報を包含するため、損失積分器の T H D 効果を無効にする。

【 0 0 8 2 】

図 1 6 は、追跡され、増幅されるべき入力信号 8 1 0 を示す。波形 8 2 0 および 8 3 0 は、搬送波信号であり、さらに波形 8 2 0 は、従来技術の回路からの元の補償されていない積分された信号であり、8 3 0 は、図 1 5 の回路、または微分接続を有する図 1 5 A のモデルを使用してもたらされる波形である。

【 0 0 8 3 】

「損失積分器」の信号利得は、信号電圧範囲にわたって一定ではなく、入力信号の大きさが増加するにつれ、小さくなる傾向がある。

10

【 0 0 8 4 】

図 1 6 で、波形 8 2 0 および 8 3 0 は、入力信号 8 1 0 に依存して形状を変える。

【 0 0 8 5 】

補償されていない積分された信号 8 2 0 は、長い「充電」期間 B - B ' と、短い「放電」期間 B ' - B '' とを有する。このことは、比較器のデジタル時間遅延、および搬送波がレール中間 ( m i d - r a i l ) ( 搬送波が対称的である ) 付近にない場合の差分電圧勾配 ( d i f f e r e n c e v o l t a g e g r a d i e n t s ) の副産物である。結果は、レール中間に向かう傾向のある過度のオーバーシュートであり、これは、信号がレール中間から離れるにつれ、したがって、圧縮から離れるにつれ、より顕著になる効果である。

20

【 0 0 8 6 】

波形 8 3 0 は、図 1 5 の回路を使用すること、つまり、近似の、または理想的な負性微分を加えることの結果である。入力信号は、2 つの搬送波に関して同一であることに留意されたい。しかし、搬送波波形 8 3 0 は、いくつかのやり方で波形 8 2 0 とは異なる。最も明白なのは、オーバーシュートが大幅に小さいことであり、このことは、T H D を即時に小さくする。別の、より目立たない違いは、波形の「充電」(つまり、立ち上がり)エッジの変化である。波形 8 3 0 において、減衰は、最初、実際に、逆転され、レール中間から離れる加速をもたらす。この加速は、短く、再び減衰しはじめる。このことが、オーバーシュートがより小さい理由である。

30

【 0 0 8 7 】

さらに、搬送波周波数がより小さく、このことは、スイッチング電力も低減しながら、システム・ノイズを低減するという利点を有する。ハイペックス特許は、同様の効果をもたらそうと試みるが、はるかに複雑な手段を介してそうする。

【 0 0 8 8 】

本発明は、多くの態様において従来技術の回路とは異なる。この回路は、ポスト・フィルタ出力ではなく、スイッチ・ユニットの出力電圧をサンプリングし、損失積分器を介して三角波搬送波を生成するスイッチ付きの段 ( s w i t c h e d s t a g e ) である。本発明者の想定は、正しく設計された受動フィルタは、歪みをほとんど加えないが、ポスト・フィルタ・ネットワーク信号を過度に使用しようとする試みは、フィルタ遅延による相互変調歪みを加える可能性があるということである。ポスト・フィルタ・フィードバックを加えるのは選択肢であるが、既に述べられた理由でこれを最小限に抑えることが望ましい。

40

【 0 0 8 9 】

損失積分器は、動作の周波数が、回路タスクに合うように意図的に変更された回路の伝搬遅延に依存する自励発振回路をもたらす。このため、フィルタ設計とフィルタ動作は、ほとんど独立関数である。回路周波数は、「固定して」決められるわけではない。フィルタのこの独立した動作は、多くの応用例において E M I 問題が対処され得るように要求される。

【 0 0 9 0 】

50

この回路は、相互変調積 (intermodulation product) を広い周波数範囲にわたって不可聴のレベルにまで不鮮明化する (smear)。通常、相互変調積は、固定クロックと変調信号の間の和積および差積をもたらす位相と周波数の非線形性によってもたらされる。数学的に、可変搬送波と信号の間の相互変調積の解は、容易には算出されないが、いずれの特定の周波数におけるレベルも、固定周波数回路と比べて、1つの箇所に留まる (したがって、可聴である) 確率をはるかに低いことが想定され得る。

#### 【0091】

損失積分器は、幾分、理想的ではないことが認められるが、回路関数は、単純であり、損失積分器の非線形性は、簡単なRCネットワークによって導き出される歪み関数を加えることによって変更され得る。このネットワークは、圧縮されたピークとトラフにおいて波形を増大させ、波形の影響を受けない中間においてほとんど増大させない。このことは、本発明者が知る限り、知られているいずれの文献においても報告されていない。この変更は、ほとんどのスピーカを下回る大きさのオーダである高調波歪み、および可聴の気に障る (annoying) 最新技術の相互変調歪みを生じる増幅器をもたらす。

10

#### 【0092】

前述した実施形態における回路は、アナログ構成要素を使用する。したがって、これらの回路は、連続的時間領域において動作する。しかし、これらの回路は、アナログ構成要素の代わりにデジタル構成要素が用いられる場合、離散時間領域において動作することも可能である。

20

#### 【0093】

ソフトウェアにおいて、損失積分器は、適宜、無限インパルス応答 (IIR) 形態で書かれても、有限インパルス応答 (FIR) 形態で書かれてもよい。デジタル損失積分器は、例えば、計算サイクルごとに、またはセットのサイクルごとに決まった量、または不定の量をそれから差し引いている。

#### 【0094】

本発明は、D級増幅器制御アプローチに固有の従来の問題の多くを緩和する、または取り除きさえする増幅器を制御する新たな方法を提供する。

#### 【0095】

従来技術と比較された本発明の重要な違いは、単一の比較器と組み合わされた積分器を使用することである。このことは、はるかに簡単でありながら、より優れたシステムをもたらす。

30

#### 【0096】

さらに、本発明は、レール不均衡が、もたらされる信号に与え得る影響を大幅に小さくする。

#### 【0097】

本発明の別の利点は、ブラシレスモータに適用された場合に実現される。このシステムの優れたスイッチング速度および遷移応答が、強化されながらも、簡単な駆動制御を可能にする。

#### 【0098】

本発明は、いくつかの特定の実施形態を参照して説明されてきたが、説明は、本発明を例示するものであり、本発明を限定するものと解釈されるべきではない。添付の特許請求の範囲によって定義される本発明の趣旨および範囲を逸脱することなく、様々な変形形態が当業者には想起され得る。

40

#### 【0099】

本明細書における従来技術の参照は、参照される従来技術が、オーストラリア国内においてであれ、それ以外の場所においてであれ、共通の一般的知識の一部を形成することを認めるものでも、いずれの形態であれ示唆するものでもなく、そのように解釈されるべきでもない。

#### 【0100】

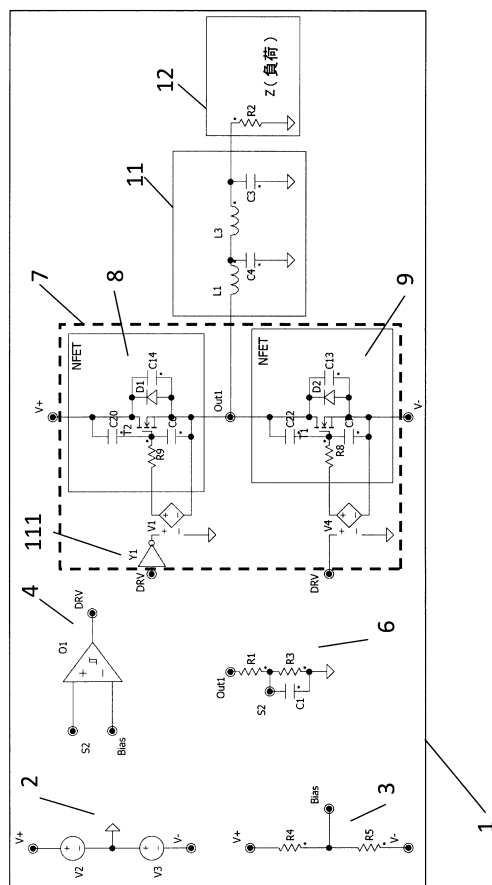
50

本明細書全体にわたって、「備える」、「備えていた」、「備えている」という語は、明記される特徴、完全体 (integer)、ステップ、または構成要素の存在を指定するものと解釈されるべきであるが、他の1つまたは複数の特徴、完全体、ステップ、構成要素、または以上のグループの存在を追加も排除もしない。

【0101】

特許請求の範囲において、各従属請求項は、親請求項も侵害されるのでない限り、従属請求項が侵害されたものと解釈されるべきではないという意味で、親請求項もしくは複数の親請求項の範囲内に含まれるものとして読まれるべきである。

【図1】



【図2】

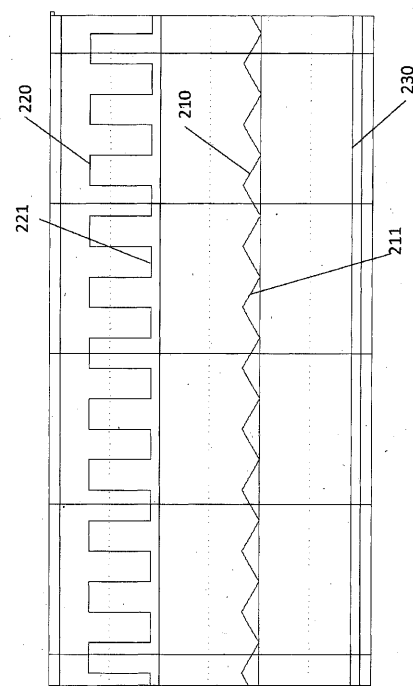
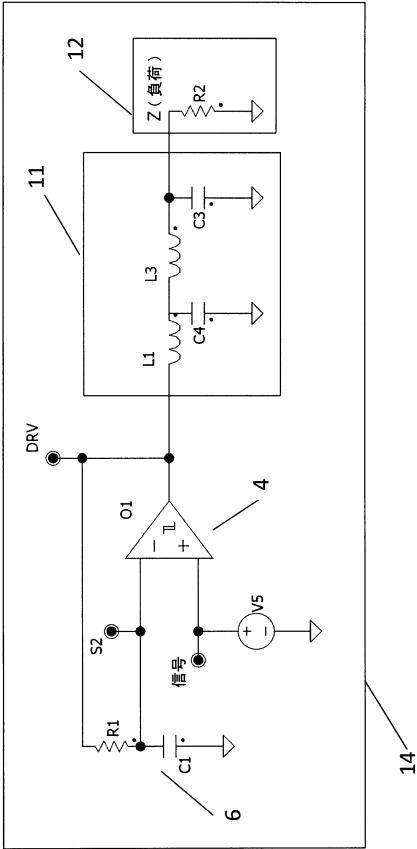
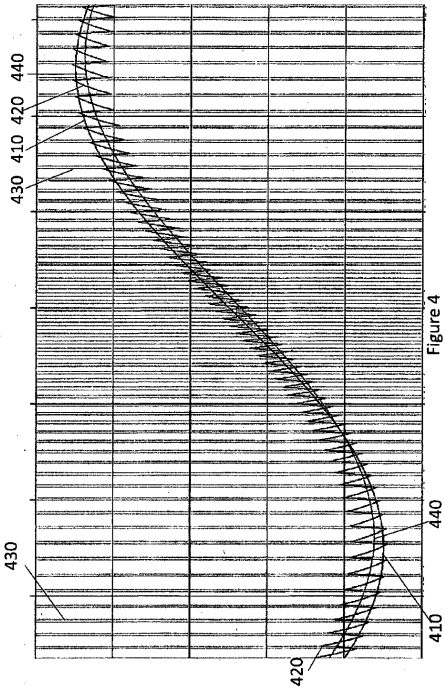


Figure 2

【図 3】



【図 4】



【図 3 A】

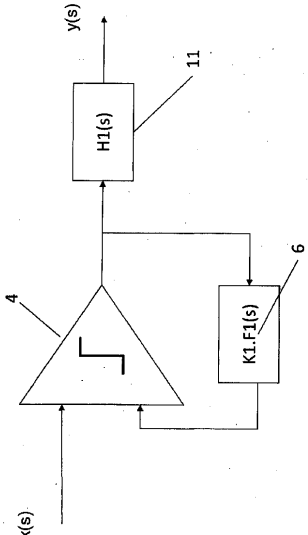


Figure 3A

【図 4 A】

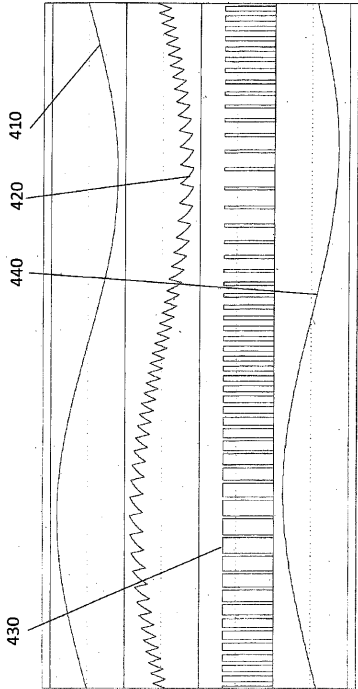


Figure 4A

【図 5】

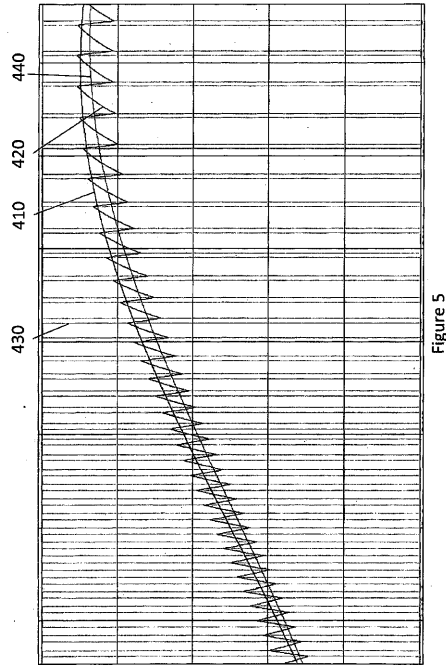
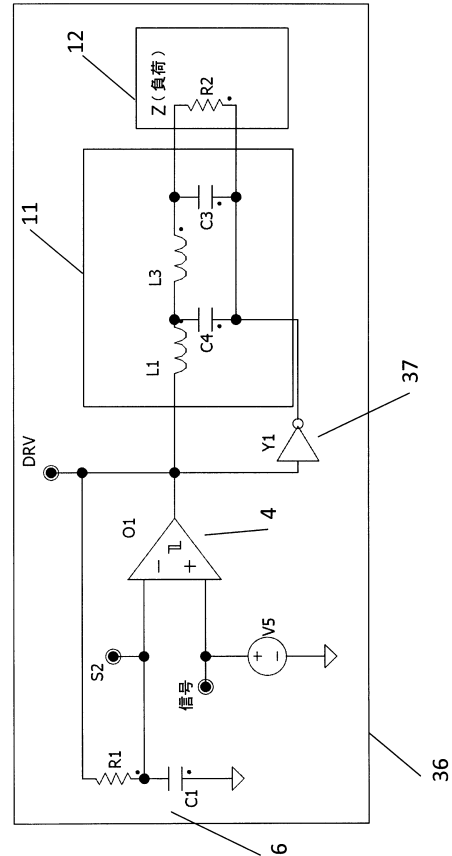
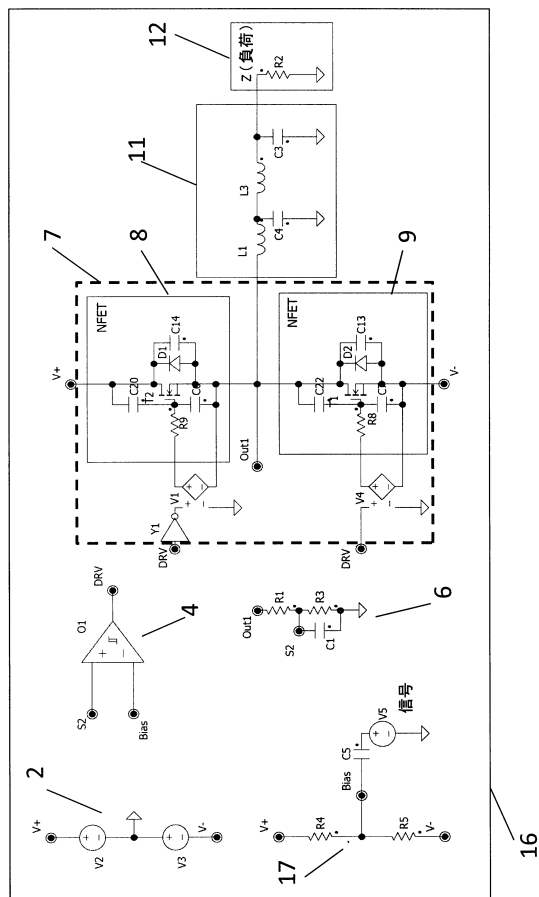


Figure 5

【図 6】



【図 7】



【図 8】

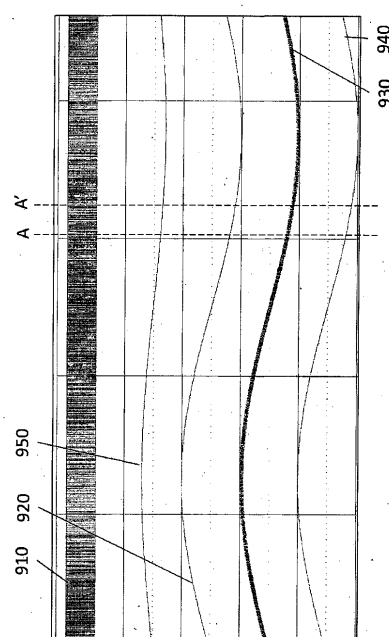


Figure 8

【図 9】

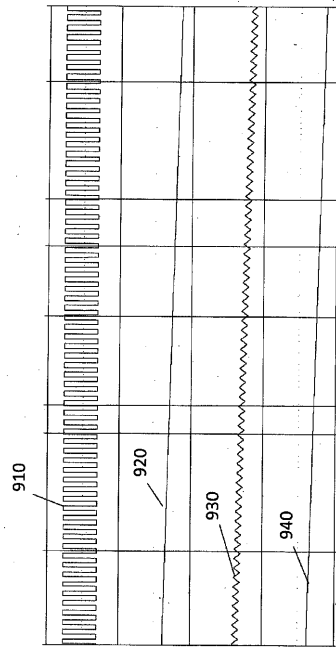
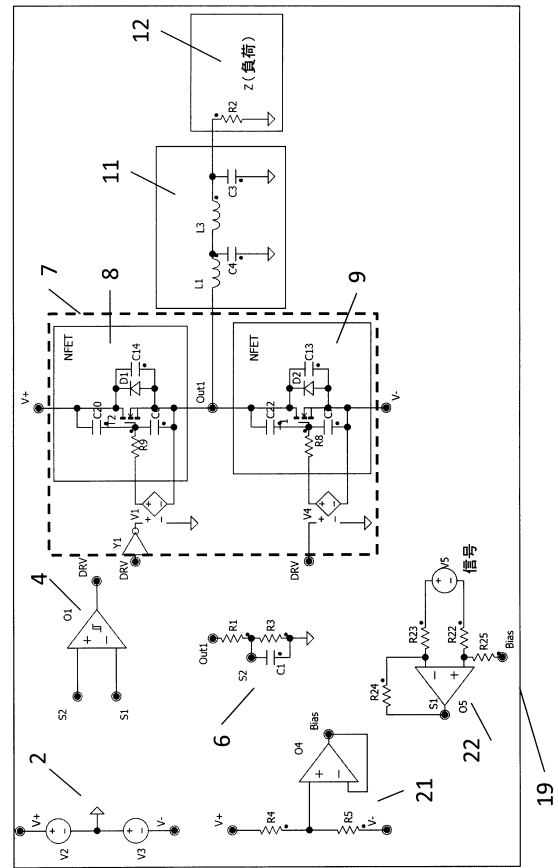


Figure 9

【図 10】



【図 10A】

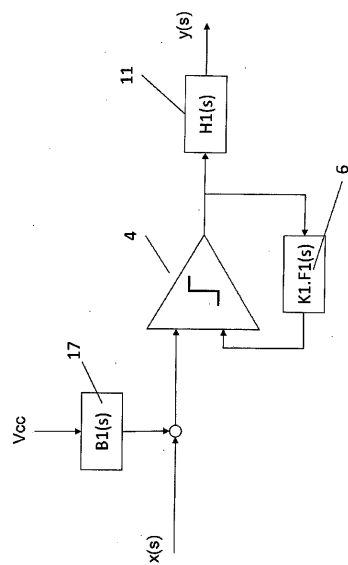
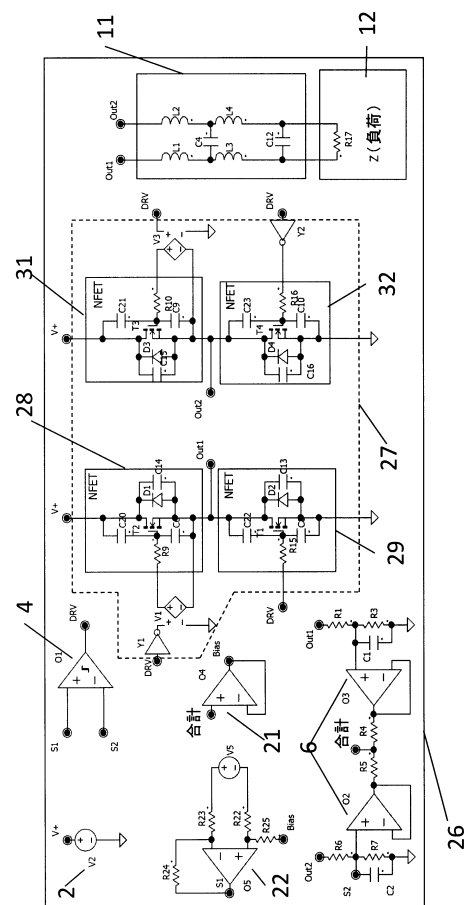


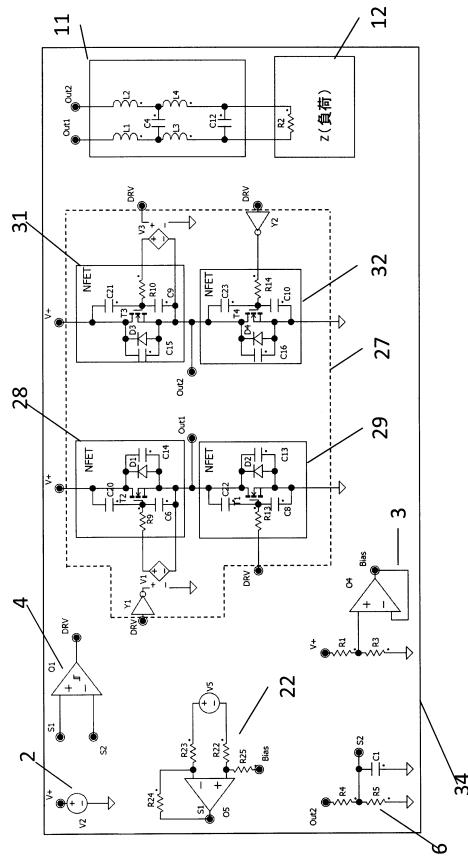
Figure 10A

【図 11】





【 図 1 2 】



【 図 1 3 】

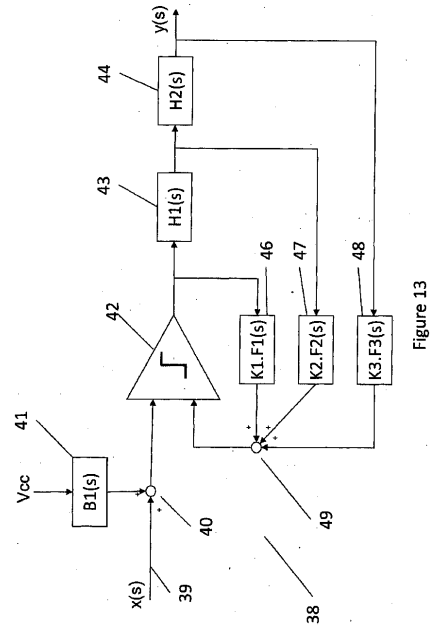
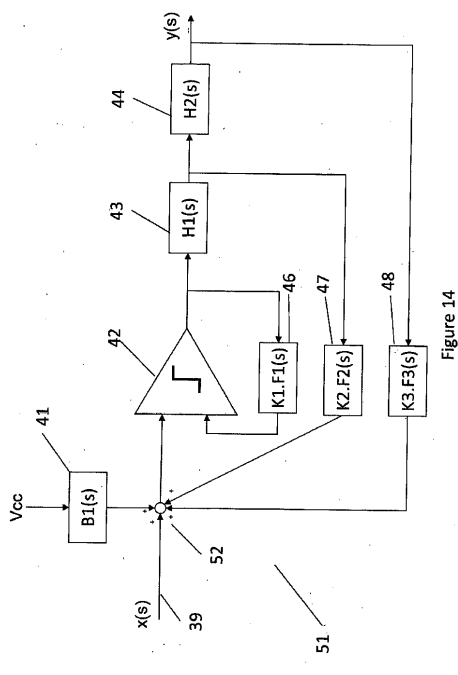
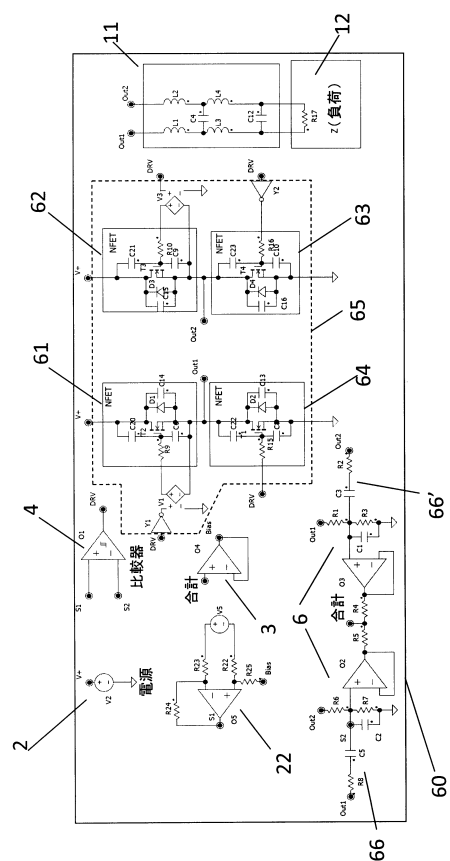


Figure 13

【 圖 1 4 】



【 図 1 5 】



【 図 1 5 A 】

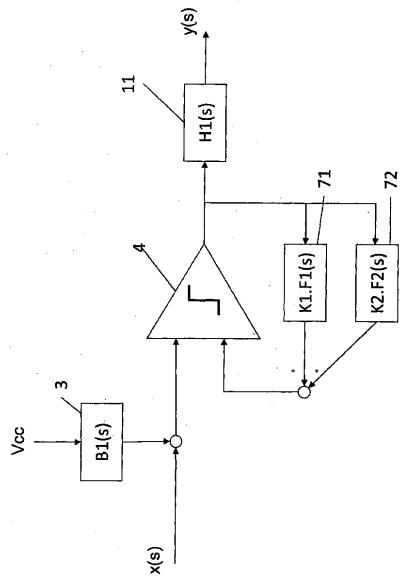


Figure 15A

## 【圖 16】

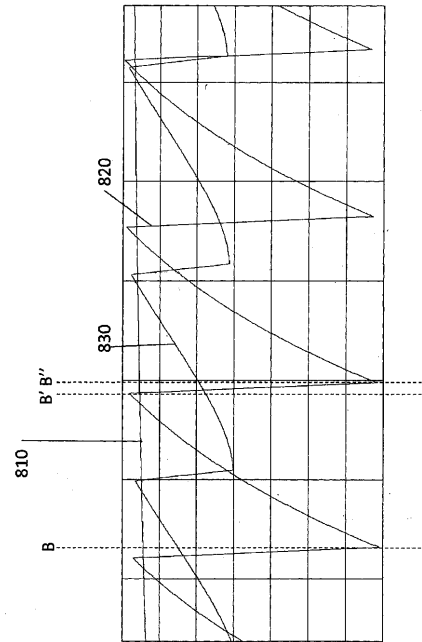


Figure 16

---

フロントページの続き

(74)代理人 100117787

弁理士 勝沼 宏仁

(74)代理人 100137523

弁理士 出口 智也

(72)発明者 ジェームズ、ハモンド

オーストラリア連邦ビクトリア州、リッチモンド、ハーベイ、ストリート、16、レベル、1、ケ  
アオブ、インデイス、プロプライエタリー、リミテッド

審査官 高 橋 義昭

(56)参考文献 米国特許出願公開第2006/0071697(US, A1)

特開2009-060466(JP, A)

特開2003-110375(JP, A)

特開2012-060613(JP, A)

国際公開第2009/101905(WO, A1)

米国特許第05828705(US, A)

米国特許第06316992(US, B1)

(58)調査した分野(Int.Cl., DB名)

H03F 3/217