



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0140847  
(43) 공개일자 2016년12월07일

(51) 국제특허분류(Int. Cl.)  
G06F 13/42 (2006.01) G06F 13/364 (2006.01)  
H04L 12/64 (2006.01)  
(52) CPC특허분류  
G06F 13/4291 (2013.01)  
G06F 13/364 (2013.01)  
(21) 출원번호 10-2016-7030324  
(22) 출원일자(국제) 2015년04월01일  
심사청구일자 없음  
(85) 번역문제출일자 2016년10월28일  
(86) 국제출원번호 PCT/US2015/023898  
(87) 국제공개번호 WO 2015/153773  
국제공개일자 2015년10월08일  
(30) 우선권주장  
14/243,459 2014년04월02일 미국(US)

(71) 출원인  
퀄컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
(72) 발명자  
셴고쿠 쇼이치로  
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775  
(74) 대리인  
특허법인코리아나

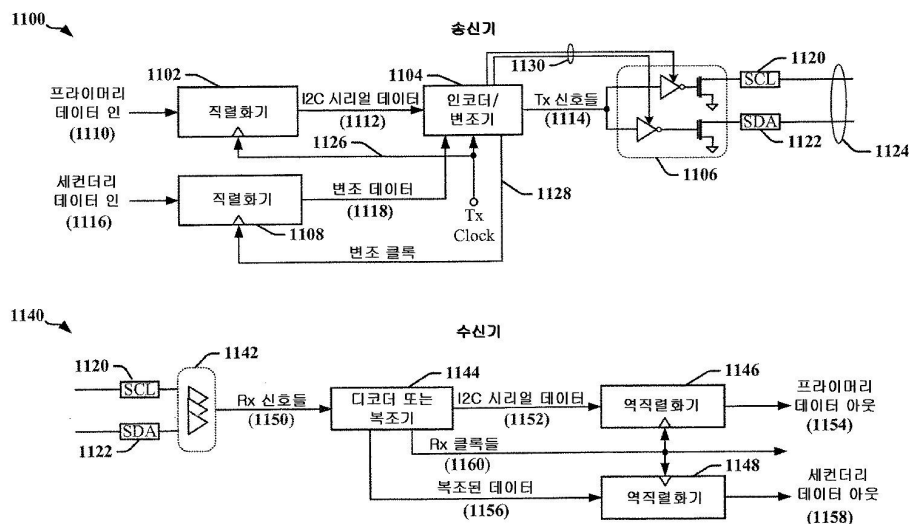
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 집적회로간 (I2C) 버스상에서 인-밴드로 여분의 정보를 전송하는 방법들

(57) 요약

집적회로간 (I2C) 버스의 개선된 성능을 제공하는 시스템들, 방법들 및 장치들이 기술된다. 프라이머리 데이터는 I2C 버스 프로토콜들에 따라 제 1 시그널링에서 인코딩될 수도 있고, 제 1 시그널링은 I2C 버스상에서의 송신을 위해 결합된 시그널링을 획득하기 위해 제 2 시그널링과 결합될 수도 있다. 세컨더리 데이터는 I2C 버스 프로토콜들과 호환가능하게 유지되는 그 결합된 시그널링을 갖는 제 2 시그널링에서 인코딩될 수도 있다. 제 2 시그널링은 제 1 시그널링에서의 적어도 하나의 신호의 전압 레벨을 변조할 수도 있다. 제 2 시그널링은 I2C 버스상에서 송신된 클록 신호를 펄스-폭 변조할 수도 있다. 제 2 시그널링은 I2C 버스상에서 송신된 바이트들 사이의 시작 조건을 변경할 수도 있다. 제 2 시그널링은 제 1 시그널링에서 송신된 클록 신호에 복수의 짧은 펄스들을 추가할 수도 있다.

대표도



(52) CPC특허분류  
*H04L 12/6418* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

데이터 통신들의 방법으로서,

집적회로간 (I2C) 버스 프로토콜들에 따라 I2C 신호에서 프라이머리 데이터를 인코딩하는 단계;

멀티-채널 신호를 획득하기 위해 상기 I2C 신호에서 세컨더리 데이터를 인코딩하는 단계; 및

I2C 버스상에서 상기 멀티-채널 신호를 송신하는 단계로서, 상기 멀티-채널 신호는 상기 I2C 버스 프로토콜들과 호환가능한, 상기 멀티-채널 신호를 송신하는 단계를 포함하는, 데이터 통신들의 방법.

#### 청구항 2

제 1 항에 있어서,

상기 I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는,

상보적 신호들의 쌍을 포함하는 차분 신호에서 상기 세컨더리 데이터를 인코딩하는 단계; 및

상기 I2C 버스의 시리얼 데이터 라인 (SDA) 상에서 상기 상보적 신호들의 쌍 중 하나의 신호 그리고 상기 I2C 버스의 시리얼 클록 라인 (SCL) 상에서 상기 상보적 신호들의 쌍 중 상이한 신호를 송신함으로써 상기 I2C 버스 상에서 상기 차분 신호를 송신하는 단계를 포함하는, 데이터 통신들의 방법.

#### 청구항 3

제 2 항에 있어서,

상기 차분 신호는 상기 SDA 및 상기 SCL 양자 모두가 하이 로직 레벨에 있을 때 상기 I2C 버스상에서 송신되고,

상기 SDA 및 상기 SCL 은 상기 차분 신호가 상기 SDA 및 상기 SCL 을 통해 송신되는 동안 상기 하이 로직 레벨에 대한 상기 I2C 버스 프로토콜들에 의해 특정된 최소 전압보다 크고 상기 하이 로직 레벨에 대한 상기 I2C 버스 프로토콜들에 의해 특정된 최대 전압보다 작은 전압 레벨들을 갖는, 데이터 통신들의 방법.

#### 청구항 4

제 2 항에 있어서,

상기 차분 신호는 상기 I2C 버스가 아이들일 때 시간의 주기 동안 송신되는, 데이터 통신들의 방법.

#### 청구항 5

제 1 항에 있어서,

상기 I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는,

주파수 변조 (FM) 신호에서 상기 세컨더리 데이터를 인코딩하는 단계; 및

상기 I2C 버스의 시리얼 데이터 라인 (SDA) 및 상기 I2C 버스의 시리얼 클록 라인 (SCL) 중 하나 이상을 통해 상기 FM 신호를 송신하는 단계를 포함하는, 데이터 통신들의 방법.

#### 청구항 6

제 5 항에 있어서,

상기 FM 신호는 I2C 호환가능 디바이스의 수신기에 의해 사용되는 슈미트 트리거 입력들에 대해 최소 히스테리시스 전압 레벨보다 작은 진폭을 갖고,

상기 최소 히스테리시스 전압 레벨은 상기 I2C 버스 프로토콜들에서 정의되는, 데이터 통신들의 방법.

## 청구항 7

제 1 항에 있어서,

상기 I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는,

상기 I2C 버스의 시리얼 데이터 라인 (SDA) 상에서 또는 상기 I2C 버스의 시리얼 클록 라인 (SCL) 상에서 송신된 신호 내로 짧은 펄스를 삽입하거나 삽입하는 것을 삼가는 단계를 포함하고,

상기 짧은 펄스는 송신될 상기 세컨더리 데이터의 비트의 값이 제 1 값을 가질 때 삽입되고, 송신될 상기 세컨더리 데이터의 상기 비트가 제 2 값을 가질 때는 어떠한 짧은 펄스도 삽입되지 않는, 데이터 통신들의 방법.

## 청구항 8

제 7 항에 있어서,

상기 I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는,

상기 SCL 상에서 송신되는 클록 신호의 복수의 하프 사이클들로 짧은 펄스들을 삽입하거나 삽입하는 것을 삼가는 단계를 포함하는, 데이터 통신들의 방법.

## 청구항 9

제 7 항에 있어서,

상기 짧은 펄스는 상기 I2C 버스상의 펄스에 대해 상기 I2C 버스 프로토콜들에 의해 특정된 최소 지속기간보다 작은 지속기간을 갖는, 데이터 통신들의 방법.

## 청구항 10

제 7 항에 있어서,

상기 짧은 펄스는 I2C 수신기에 의해 무시되어야 하는 스파이크에 대해 상기 I2C 버스 프로토콜들에 의해 특정된 최대 지속기간보다 작은 지속기간을 갖는, 데이터 통신들의 방법.

## 청구항 11

제 1 항에 있어서,

상기 I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는,

변조된 클록 신호를 획득하기 위해 상기 I2C 버스의 시리얼 클록 라인 (SCL) 상에서 송신된 클록 신호를 펄스-폭 변조하는 단계를 포함하고,

상기 펄스-폭 변조된 클록 신호의 각각의 하이 주기는 상기 I2C 버스 프로토콜들에 의해 특정된 SCL 클록에 대해 최소 하이 주기를 초과하는 지속기간을 갖고, 상기 펄스-폭 변조된 클록 신호의 각각의 로우 주기는 상기 I2C 버스 프로토콜들에 의해 특정된 SCL 클록에 대해 최소 로우 주기를 초과하는 지속기간을 갖는, 데이터 통신들의 방법.

## 청구항 12

제 1 항에 있어서,

상기 프라이머리 데이터는 상기 I2C 버스상에서 송신될 프레임들에서 인코딩되고,

상기 I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는,

송신될 상기 세컨더리 데이터의 비트가 제 1 값을 가질 때 연속적인 프레임들 사이에 시작 조건이 후속되는 정지 조건을 송신하는 단계; 및

송신될 상기 세컨더리 데이터의 상기 비트가 제 2 값을 가질 때 상기 연속적인 프레임들 사이에 반복된 시작 조건을 송신하는 단계를 포함하는, 데이터 통신들의 방법.

### 청구항 13

제 1 항에 있어서,

상기 프라이머리 데이터는 상기 I2C 버스상에서 송신될 프레임들에서 인코딩되고,

상기 I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는,

송신될 상기 세컨더리 데이터의 비트가 제 1 값을 가질 때 연속적인 프레임들의 쌍 사이에 2 개의 미리 정의된 지속기간들 중 첫번째 지속기간을 갖는 반복된 시작 조건을 송신하는 단계; 및

송신될 상기 세컨더리 데이터의 상기 비트가 제 2 값을 가질 때 연속적인 프레임들의 상기 쌍 사이에 2개의 미리 정의된 지속기간들 중 두번째 지속기간을 갖는 반복된 시작 조건을 송신하는 단계를 포함하는, 데이터 통신들의 방법.

### 청구항 14

집적회로간 (I2C) 버스상에서 데이터를 송신하도록 구성된 장치로서,

프로세싱 회로를 갖는 인코더로서, 상기 프로세싱 회로는:

I2C 버스 프로토콜들에 따라 I2C 신호에서 프라이머리 데이터를 인코딩하고;

멀티-채널 신호를 제공하기 위해 상기 I2C 신호에서 세컨더리 데이터를 인코딩하도록 구성된, 상기 인코더; 및

상기 I2C 버스 프로토콜들에 따라 I2C 버스상에서 상기 멀티-채널 신호를 송신하도록 구성된 송신기를 포함하는, I2C 버스상에서 데이터를 송신하도록 구성된 장치.

### 청구항 15

제 14 항에 있어서,

상기 인코더의 상기 프로세싱 회로는 상기 I2C 신호상에 중첩되는 차분 신호 또는 FM 신호에서 상기 세컨더리 데이터를 인코딩함으로써 상기 세컨더리 데이터를 인코딩하도록 구성되는, I2C 버스상에서 데이터를 송신하도록 구성된 장치.

### 청구항 16

제 14 항에 있어서,

상기 인코더의 상기 프로세싱 회로는 상기 I2C 버스의 시리얼 클록 라인 (SCL) 상에서 송신되는 클록 신호를 펄스-폭 변조함으로써, 또는 상기 I2C 버스의 시리얼 데이터 라인 (SDA) 또는 상기 SCL 에 짧은 펄스들을 선택적으로 추가함으로써 상기 세컨더리 데이터를 인코딩하도록 구성되고,

상기 짧은 펄스들은 I2C 수신기에 의해 무시되어야 하는 스파이크에 대한 상기 I2C 버스 프로토콜들에 의해 특정된 최대 지속기간 미만인 지속기간을 갖는, I2C 버스상에서 데이터를 송신하도록 구성된 장치.

### 청구항 17

제 14 항에 있어서,

상기 인코더의 상기 프로세싱 회로는 상기 I2C 버스상에서 송신되는 프라이머리 데이터의 프레임들 사이에 송신되는 시작 조건의 타입을 선택하기 위해 상기 세컨더리 데이터의 비트들을 사용함으로써, 또는 프라이머리 데이터의 상기 프레임들 사이에 송신되는 반복된 시작 조건들의 지속기간을 선택하기 위해 상기 세컨더리 데이터의 상기 비트들을 사용함으로써 상기 세컨더리 데이터를 인코딩하도록 구성되는, I2C 버스상에서 데이터를 송신하도록 구성된 장치.

### 청구항 18

데이터 통신들의 방법으로서,

집적회로간 (I2C) 버스 프로토콜들에 따라 I2C 신호로부터 수신된 프라이머리 데이터를 디코딩하는 단계; 및

상기 I2C 신호로부터 세컨더리 데이터를 디코딩하는 단계로서, 상기 세컨더리 데이터는 상기 I2C 버스 프로토콜 이외의 프로토콜을 사용하여 디코딩되는, 상기 세컨더리 데이터를 디코딩하는 단계를 포함하고,

상기 I2C 신호는 상기 I2C 버스 프로토콜들에 따르는, 데이터 통신들의 방법.

#### 청구항 19

제 18 항에 있어서,

상기 세컨더리 데이터를 디코딩하는 단계는,

상기 I2C 버스의 시리얼 데이터 라인 (SDA) 및 시리얼 클록 라인 (SCL) 으로부터 신호들의 차분 쌍을 수신하는 단계로서, 상기 SDA 및 상기 SCL 은 신호들의 상기 차분 쌍 중 상이한 신호들을 반송하는, 상기 신호들의 차분 쌍을 수신하는 단계; 및

신호들의 상기 차분 쌍으로부터 상기 세컨더리 데이터를 디코딩하는 단계를 포함하는, 데이터 통신들의 방법.

#### 청구항 20

제 19 항에 있어서,

신호들의 상기 차분 쌍은 상기 SDA 및 상기 SCL 양자 모두가 하이 로직 레벨에 있을 때 상기 I2C 버스로부터 수신되고,

신호들의 상기 차분 쌍이 상기 I2C 버스로부터 수신되는 동안, 상기 SDA 및 상기 SCL 은 상기 하이 로직 레벨에 대한 상기 I2C 버스 프로토콜들에 의해 특정된 최소 전압보다 크고 상기 하이 로직 레벨에 대한 상기 I2C 버스 프로토콜들에 의해 특정된 최대 전압보다 작은 전압 레벨들을 갖는, 데이터 통신들의 방법.

#### 청구항 21

제 19 항에 있어서,

신호들의 상기 차분 쌍은 상기 I2C 버스가 아이들일 때 시간의 주기 동안 수신되는, 데이터 통신들의 방법.

#### 청구항 22

제 18 항에 있어서,

상기 세컨더리 데이터를 디코딩하는 단계는,

상기 I2C 버스의 시리얼 데이터 라인 (SDA) 및 시리얼 클록 라인 (SCL) 중 적어도 하나로부터 주파수 변조 (FM) 신호를 수신하는 단계; 및

상기 FM 신호로부터 상기 세컨더리 데이터를 디코딩하는 단계를 포함하고,

상기 FM 신호는 상기 I2C 버스 프로토콜들에서 정의된 바와 같은 I2C 호환가능 디바이스의 수신기에서 슈미트 트리거 입력들에 대한 최소 히스테리시스 전압 레벨보다 작은 진폭을 갖는, 데이터 통신들의 방법.

#### 청구항 23

제 22 항에 있어서,

상기 SDA 및 SCL 의 전압들은 상기 FM 신호가 수신되고 있는 동안 하이 로직 레벨에 대한 상기 I2C 버스 프로토콜들에 의해 특정된 최소 전압보다 크고 상기 하이 로직 레벨에 대한 상기 I2C 버스 프로토콜들에 의해 특정된 최대 전압보다 작은, 데이터 통신들의 방법.

#### 청구항 24

제 18 항에 있어서,

상기 세컨더리 데이터를 디코딩하는 단계는,

상기 I2C 버스의 시리얼 데이터 라인 (SDA) 또는 상기 I2C 버스의 시리얼 클록 라인 (SCL) 로부터 수신된 신호에서의 짧은 펄스들의 존재 또는 부재를 결정하는 단계; 및

상기 짧은 펄스들의 존재 또는 부재에 기초하여 상기 세컨더리 데이터를 디코딩하는 단계를 포함하는, 데이터 통신들의 방법.

#### 청구항 25

제 24 항에 있어서,

상기 짧은 펄스들의 각각은 무시되어야 하는 스파이크에 대한 상기 I2C 버스 프로토콜들에 의해 특정된 최대 지속기간보다 작은 지속기간을 갖는, 데이터 통신들의 방법.

#### 청구항 26

제 18 항에 있어서,

상기 세컨더리 데이터를 디코딩하는 단계는,

상기 I2C 버스의 시리얼 클록 라인 (SCL) 으로부터 수신된 클록 신호의 복수의 하프 사이클들에서의 짧은 펄스들의 존재 또는 부재를 결정하는 단계; 및

상기 짧은 펄스들의 존재 또는 부재에 기초하여 상기 세컨더리 데이터를 디코딩하는 단계를 포함하고,

상기 짧은 펄스들의 각각은 무시되어야 하는 스파이크에 대한 상기 I2C 버스 프로토콜들에 의해 특정된 최대 지속기간보다 작은 지속기간을 갖는, 데이터 통신들의 방법.

#### 청구항 27

제 18 항에 있어서,

상기 세컨더리 데이터를 디코딩하는 단계는,

상기 I2C 버스의 시리얼 클록 라인 (SCL) 으로부터 수신된 펄스-폭 변조된 클록 신호에서 세컨더리 데이터를 디코딩하는 단계를 포함하고,

상기 펄스-폭 변조된 클록 신호의 각각의 하이 주기는 상기 I2C 버스 프로토콜들에 의해 특정된 SCL 클록에 대한 최소 하이 주기를 초과하는 지속기간을 갖고, 상기 펄스-폭 변조된 클록 신호의 각각의 로우 주기는 상기 I2C 버스 프로토콜들에 의해 특정된 SCL 클록에 대한 최소 로우 주기를 초과하는 지속기간을 갖는, 데이터 통신들의 방법.

#### 청구항 28

제 18 항에 있어서,

상기 세컨더리 데이터를 디코딩하는 단계는,

정지 조건 및 시작 조건이 상기 I2C 버스의 시리얼 데이터 라인 (SDA) 상에서 상기 프라이머리 데이터를 반송하는 연속적인 프레임들 사이에 수신될 때 세컨더리 데이터의 비트에 대한 제 1 값을 결정하는 단계; 및

반복된 시작 조건이 상기 연속적인 프레임들 사이에 수신될 때 세컨더리 데이터의 상기 비트에 대한 제 2 값을 결정하는 단계를 포함하는, 데이터 통신들의 방법.

#### 청구항 29

제 18 항에 있어서,

상기 세컨더리 데이터를 디코딩하는 단계는,

상기 I2C 버스의 시리얼 데이터 라인 (SDA) 상에서 상기 프라이머리 데이터를 반송하는 연속적인 프레임들 사이에 수신된 반복된 시작 조건이 제 1 지속기간을 가질 때, 세컨더리 데이터의 비트에 대한 제 1 값을 결정하는 단계; 및

상기 반복된 시작 조건이 제 2 지속기간을 가질 때 세컨더리 데이터의 상기 비트에 대한 제 2 값을 결정하는 단계를 포함하는, 데이터 통신들의 방법.

### 청구항 30

집적회로간 (I2C) 버스로부터 데이터를 수신하도록 구성된 장치로서,

I2C 버스 프로토콜들에 따라 집적회로간 (I2C) 신호로부터 수신된 프라이머리 데이터를 디코딩하는 수단; 및

상기 I2C 신호로부터 세컨더리 데이터를 디코딩하는 수단으로서, 상기 세컨더리 데이터는 상기 I2C 버스 프로토콜 이외의 프로토콜을 사용하여 디코딩되는, 상기 세컨더리 데이터를 디코딩하는 수단을 포함하고,

상기 I2C 신호는 상기 I2C 버스 프로토콜들에 따르는, I2C 버스로부터 데이터를 수신하도록 구성된 장치.

### 발명의 설명

#### 기술 분야

[0001] 본 출원은 2014년 4월 2일자로 미국 특허 및 상표청에 출원된 미국 가특허출원 제 14/243,459 호에 대한 우선권 및 이익을 주장하고, 그것의 전체 내용이 여기에 참조로 포함된다.

[0002] 본 개시는 일반적으로 프로세서들과 주변 디바이스들 사이의 인터페이스에 관한 것으로서, 특히 시리얼 버스의 데이터 통신 능력들을 향상시키는 것에 관한 것이다.

#### 배경 기술

[0003] I2C 버스 또는 I<sup>2</sup>C 버스로서도 지칭될 수도 있는 집적회로간 시리얼 버스는 저속 주변장치들을 프로세서에 연결하는데 사용하기 위해 의도되었던 직렬 단일-종단 컴퓨터 버스이다. I2C 버스는 각각의 디바이스가 I2C 버스상에서 송신되는 상이한 메시지들에 대한 마스터 및 슬레이브로서 작용할 수 있는 멀티-마스터 버스이다. I2C 버스는 시리얼 데이터 라인 (SDA) 및 시리얼 클록 라인 (SCL) 을 포함하는, 2 개의 양방향 오픈-드레인 커넥터들만을 사용하여 데이터를 송신할 수 있다. 커넥터들은 통상적으로 풀-업 저항기들에 의해 종단되는 신호 와이어들을 포함한다. I2C 의 오리지날 구현들은 표준-모드 동작에서 최대 초당 100 킬로비트 (100 kbps) 까지의 데이터 시그널링 레이트들을 지원했으며, 더 최근의 표준들은 고속-모드 동작에서 400 kbps, 및 고속-모드 플러스 동작에서 초당 1 메가비트 (Mbps) 의 속도들을 지원한다.

[0004] 그러나, 일부 시스템들 및 장치들에서, 더 높은 대역폭들이 소정 타입들의 디바이스들 사이의 통신들을 지원하기 위해 요구된다. 예를 들어, 셀룰러 전화들과 같은 이동 통신 디바이스들은 상당한 대역폭을 소비하는 카메라들, 디스플레이들 및 여러 통신 인터페이스들과 같은 다수의 디바이스들을 채용할 수도 있다. 더 높은 대역폭들은 종래의 I2C 프로토콜들이 레거시 디바이스들과의 호환성을 유지하기 위해 사용되는 경우 획득하기 어려울 수도 있다. 이에 따라, 이동 디바이스 내의 마스터 및 슬레이브 컴포넌트들을 연결하는 버스로서 구성되는 직렬 인터페이스들상에서의 최적화된 통신들을 제공하기 위해 계속되는 필요가 존재한다.

### 발명의 내용

#### 과제의 해결 수단

[0005] 여기에 개시된 실시형태들은 I2C 버스의 개선된 성능을 제공하는 시스템들, 방법들 및 장치들을 제공한다. 프라이머리 데이터가 I2C 버스 프로토콜들에 따라 제 1 시그널링에서 인코딩될 수도 있고, 제 1 시그널링은 I2C 프로토콜들, 사양들 및/또는 사실상의 표준들에 따라 I2C 버스상에서의 송신을 위해 결합된 시그널링을 획득하기 위해 제 2 시그널링과 결합될 수도 있다.

[0006] 본 개시의 양태에서, 데이터 통신들의 방법은 I2C 버스 프로토콜들에 따라 I2C 신호에서 프라이머리 데이터를 인코딩하는 단계, 멀티-채널 신호를 획득하기 위해 I2C 신호에서 세컨더리 데이터를 인코딩하는 단계, 및 I2C 버스상에서 멀티-채널 신호를 송신하는 단계를 포함한다. 멀티-채널 신호는 I2C 버스 프로토콜들과 호환가능할 수도 있다.

[0007] 다른 양태에서, I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는 상보적 신호들의 쌍을 포함하는 차분 신호에서 세컨더리 데이터를 인코딩하는 단계, 및 I2C 버스의 SDA 상에서 상보적 신호들의 쌍 중 하나 그리고 I2C 버스의 SCL 상에서 상보적 신호들의 쌍 중 상이한 하나를 송신함으로써 I2C 버스상에서 차분 신호를 송신하는



단계를 포함한다. 차분 신호는 SDA 및 SCL 양자 모두가 하이 로직 레벨에 있을 때 I2C 버스상에서 송신될 수도 있다. SDA 및 SCL 은 차분 신호가 SDA 및 SCL 을 통해 송신되는 동안 하이 로직 레벨에 대한 I2C 버스 프로토콜들에 의해 특정된 최소 전압보다 크고 하이 로직 레벨에 대한 I2C 버스 프로토콜들에 의해 특정된 최대 전압보다 작은 전압 레벨들을 가질 수도 있다. 차분 신호는 I2C 버스가 아이들일 때 시간의 주기 동안 송신될 수도 있다.

[0008] 다른 양태에서, I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는 FM 신호에서 세컨더리 데이터를 인코딩하는 단계, 및 I2C 버스의 SDA 및 I2C 버스의 SCL 중 하나 이상을 통해 FM 신호를 송신하는 단계를 포함한다. FM 신호는 I2C 호환가능 디바이스의 수신기에 의해 사용되는 슈미트 트리거 입력들에 대해 최소 히스테리시스 전압 레벨보다 작은 진폭을 가질 수도 있다. 그 최소 히스테리시스 전압 레벨은 I2C 버스 프로토콜들에서 정의될 수도 있다.

[0009] 다른 양태에서, I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는 I2C 버스의 SDA 상에서 또는 I2C 버스의 SCL 상에서 송신된 신호 내로 짧은 펄스를 삽입하거나 삽입하는 것을 삼가는 단계를 포함한다. 예를 들어, 짧은 펄스는 송신될 세컨더리 데이터의 비트의 값이 제 1 값을 가질 때 삽입될 수도 있고, 짧은 펄스는 송신될 세컨더리 데이터의 비트가 제 2 값을 가질 때 생략될 수도 있다. 하나의 예에서, 세컨더리 데이터는 SCL 상에서 송신되는 클록 신호의 복수의 하프 사이클들로 짧은 펄스들을 삽입하거나 삽입하는 것을 삼감으로써 I2C 신호에서 인코딩될 수도 있다. 짧은 펄스는 클록 신호의 펄스에 대해 I2C 버스 프로토콜들에 의해 특정된 최소 지속기간보다 작은 지속기간을 가질 수도 있다. 짧은 펄스는 I2C 수신기에 의해 무시되어야 하는 스파이크에 대해 I2C 버스 프로토콜들에 의해 특정된 최대 지속기간보다 작은 지속기간을 가질 수도 있다.

[0010] 다른 양태에서, I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는 I2C 버스의 SCL 상에서 송신되는 클록 신호를 펄스-폭 변조하는 단계를 포함한다. 결과적인 펄스-폭 변조된 클록 신호의 각각의 하이 주기는 I2C 버스 프로토콜들에 의해 특정된 SCL 클록에 대해 최소 하이 주기를 초과하는 지속기간을 갖고, 그 펄스-폭 변조된 클록 신호의 각각의 로우 주기는 I2C 버스 프로토콜들에 의해 특정된 SCL 클록에 대해 최소 로우 주기를 초과하는 지속기간을 갖는다.

[0011] 다른 양태에서, 프라이머리 데이터는 I2C 버스상에서 송신될 프레임들에서 인코딩될 수도 있다. I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는 송신될 세컨더리 데이터의 비트가 제 1 값을 가질 때 프라이머리 데이터의 프레임들 사이에 시작 조건이 후속되는 정지 조건을 송신하는 단계, 및 송신될 세컨더리 데이터의 비트가 제 2 값을 가질 때 반복된 시작 조건을 송신하는 단계를 포함할 수도 있다.

[0012] 다른 양태에서, 프라이머리 데이터는 I2C 버스상에서 송신될 프레임들에서 인코딩된다. I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는 프라이머리 데이터의 프레임들 사이에 반복된 시작 조건을 송신하는 단계로서, 그 반복된 시작 조건은 송신될 세컨더리 데이터의 비트가 제 1 값을 가질 때 2개의 미리 정의된 지속기간들 중 첫번째 지속기간을 갖는, 상기 반복된 시작 조건을 송신하는 단계, 및 송신될 세컨더리 데이터의 비트가 제 2 값을 가질 때 2개의 미리 정의된 지속기간들 중 두번째 지속기간을 갖는 반복된 시작 조건을 송신하는 단계를 포함할 수도 있다.

[0013] 본 개시의 양태에서, I2C 버스상에서 데이터를 송신하도록 구성된 장치는 프로세싱 회로를 갖는 인코더를 포함한다. 프로세싱 회로는 I2C 버스 프로토콜들에 따라 I2C 신호에서 프라이머리 데이터를 인코딩하고, 멀티-채널 신호를 제공하기 위해 I2C 신호에서 세컨더리 데이터를 인코딩하도록 구성될 수도 있으며, 및 송신기는 I2C 버스 프로토콜들에 따라 I2C 버스상에서 멀티-채널 신호를 송신하도록 구성된다.

[0014] 다른 양태에서, 인코더의 프로세싱 회로는 I2C 신호상에 중첩되는 차분 신호 또는 FM 신호에서 세컨더리 데이터를 인코딩함으로써 세컨더리 데이터를 인코딩하도록 구성된다.

[0015] 다른 양태에서, 인코더의 프로세싱 회로는 I2C 버스의 SCL 상에서 송신되는 클록 신호를 펄스-폭 변조함으로써, 또는 I2C 버스의 SDA 또는 SCL 에 짧은 펄스들을 선택적으로 추가함으로써 세컨더리 데이터를 인코딩하도록 구성될 수도 있다. 짧은 펄스들은 I2C 수신기에 의해 무시되어야 하는 스파이크에 대한 I2C 버스 프로토콜들에 의해 특정된 최대 지속기간 미만인 지속기간을 가질 수도 있다.

[0016] 다른 양태에서, 인코더의 프로세싱 회로는 I2C 버스상에서 송신되는 프라이머리 데이터의 프레임들 사이에 송신되는 시작 조건의 타이밍을 선택하기 위해 세컨더리 데이터의 비트들을 사용함으로써 세컨더리 데이터를 인코딩하도록 구성될 수도 있다. 인코더의 프로세싱 회로는 프라이머리 데이터의 프레임들 사이에 송신되는 반복된 시작 조건들의 지속기간을 선택하기 위해 세컨더리 데이터의 비트들을 사용함으로써 세컨더리 데이터를 인코딩

하도록 구성될 수도 있다.

- [0017] 본 개시의 양태에서, 데이터 통신들의 방법은 I2C 버스 프로토콜들에 따라 I2C 신호로부터 수신된 프라이머리 데이터를 디코딩하는 단계, 및 I2C 신호로부터 세컨더리 데이터를 디코딩하는 단계를 포함한다. 세컨더리 데이터는 I2C 버스 프로토콜 이외의 프로토콜을 사용하여 디코딩된다. I2C 신호는 I2C 버스 프로토콜들에 따른다.
- [0018] 다른 양태에서, 세컨더리 데이터를 디코딩하는 단계는 I2C 버스의 SDA 및 SCL 으로부터 신호들의 차분 쌍을 수신하는 단계로서, SDA 및 SCL 은 신호들의 차분 쌍 중 상이한 것들을 반송하는, 상기 신호들의 차분 쌍을 수신하는 단계, 및 신호들의 차분 쌍으로부터 세컨더리 데이터를 디코딩하는 단계를 포함한다. 신호들의 차분 쌍은 SDA 및 SCL 양자 모두가 하이 로직 레벨에 있을 때 I2C 버스로부터 수신될 수도 있다. 신호들의 차분 쌍이 I2C 버스로부터 수신되는 동안 SDA 및 SCL 은 하이 로직 레벨에 대한 I2C 버스 프로토콜들에 의해 특정된 최소 전압보다 크고 하이 로직 레벨에 대한 I2C 버스 프로토콜들에 의해 특정된 최대 전압보다 작은 전압 레벨들을 가질 수도 있다. 신호들의 차분 쌍은 I2C 버스가 아이들일 때 시간의 주기 동안 수신된다.
- [0019] 다른 양태에서, 세컨더리 데이터를 디코딩하는 단계는 I2C 버스의 SDA 및 SCL 중 적어도 하나로부터 FM 신호를 수신하는 단계, 및 그 FM 신호로부터 세컨더리 데이터를 디코딩하는 단계를 포함할 수도 있다. FM 신호는 I2C 버스 프로토콜들에서 정의된 바와 같은 I2C 호환가능 디바이스의 수신기에서 슈미트 트리거 입력들에 대한 최소 히스테리시스 전압 레벨보다 작은 진폭을 가질 수도 있다. SDA 및 SCL 의 전압들은 FM 신호가 수신되고 있는 동안 하이 로직 레벨에 대한 I2C 버스 프로토콜들에 의해 특정된 최소 전압보다 크고 하이 로직 레벨에 대한 I2C 버스 프로토콜들에 의해 특정된 최대 전압보다 작을 수도 있다.
- [0020] 다른 양태에서, 세컨더리 데이터를 디코딩하는 단계는 I2C 버스의 SDA 또는 I2C 버스의 SCL 로부터 수신된 신호에서의 짧은 펄스들의 존재 또는 부재를 결정하는 단계, 및 짧은 펄스들의 존재 또는 부재에 기초하여 세컨더리 데이터를 디코딩하는 단계를 포함한다. 짧은 펄스들의 각각은 무시되어야 하는 스파이크에 대한 I2C 버스 프로토콜들에 의해 특정된 최대 지속기간보다 작은 지속기간을 가질 수도 있다.
- [0021] 다른 양태에서, 세컨더리 데이터를 디코딩하는 단계는 I2C 버스의 SCL 로부터 수신된 클록 신호의 복수의 하프 사이클들에서의 짧은 펄스들의 존재 또는 부재를 결정하는 단계, 및 짧은 펄스들의 존재 또는 부재에 기초하여 세컨더리 데이터를 디코딩하는 단계를 포함한다. 짧은 펄스들의 각각은 무시되어야 하는 스파이크에 대한 I2C 버스 프로토콜들에 의해 특정된 최대 지속기간보다 작은 지속기간을 가질 수도 있다.
- [0022] 다른 양태에서, 세컨더리 데이터를 디코딩하는 단계는 I2C 버스의 SCL 로부터 수신된 펄스-폭 변조된 클록 신호에서 세컨더리 데이터를 디코딩하는 단계를 포함한다. 펄스-폭 변조된 클록 신호의 각각의 하이 주기는 I2C 버스 프로토콜들에 의해 특정된 SCL 클록에 대한 최소 하이 주기를 초과하는 지속기간을 갖고, 펄스-폭 변조된 클록 신호의 각각의 로우 주기는 I2C 버스 프로토콜들에 의해 특정된 SCL 클록에 대한 최소 로우 주기를 초과하는 지속기간을 갖는다.
- [0023] 다른 양태에서, 세컨더리 데이터를 디코딩하는 단계는 정지 조건 및 시작 조건이 I2C 버스의 SDA 상에서 프라이머리 데이터를 반송하는 연속적인 프레임들 사이에 수신될 때 세컨더리 데이터의 비트에 대한 제 1 값을 결정하는 단계, 및 반복된 시작 조건이 그 연속적인 프레임들 사이에 수신될 때 세컨더리 데이터의 그 비트에 대한 제 2 값을 결정하는 단계를 포함한다.
- [0024] 다른 양태에서, 세컨더리 데이터를 디코딩하는 단계는 I2C 버스의 SDA 상에서 프라이머리 데이터를 반송하는 연속적인 프레임들 사이에 수신된 반복된 시작 조건이 제 1 지속기간을 가질 때 세컨더리 데이터의 비트에 대한 제 1 값을 결정하는 단계, 및 그 반복된 시작 조건이 제 2 지속기간을 가질 때 세컨더리 데이터의 그 비트에 대한 제 2 값을 결정하는 단계를 포함한다.
- [0025] 본 개시의 양태에서, 장치는 I2C 버스로부터 데이터를 수신하도록 구성된다. 장치는 I2C 버스 프로토콜들에 따라 I2C 신호로부터 수신된 프라이머리 데이터를 디코딩하는 수단, 및 그 I2C 신호로부터 세컨더리 데이터를 디코딩하는 수단을 포함한다. 세컨더리 데이터는 I2C 버스 프로토콜 이외의 프로토콜을 사용하여 디코딩된다. I2C 신호는 I2C 버스 프로토콜들에 따를 수도 있다.

## 도면의 간단한 설명

- [0026] 도 1 은 복수의 이용가능한 표준들 중 하나에 따라 선택적으로 동작하는 IC 디바이스들 사이의 데이터 링크를 채용하는 장치를 도시한다.

도 2 는 I2C 통신 버스에 연결된 장치의 소정의 양태들을 도시하는 블록 개략도이다.

도 3 은 공통 I2C 버스에 연결된 I2C 의 구성을 도시한다.

도 4 는 종래의 I2C 버스상의 SDA 및 SCL 신호 와이어들 사이의 관계를 도시하는 타이밍도이다.

도 5 는 I2C 버스상에서 송신되는 다수의 프레임들과 연관된 타이밍을 도시하는 타이밍도이다.

도 6 은 중단 조건의 양태를 변화시킴으로써 I2C 버스를 통한 세컨더리 데이터의 송신을 도시하는 타이밍도이다.

도 7 은 클록 신호에 짧은 펄스들을 삽입시킴으로써 I2C 버스를 통한 세컨더리 데이터의 송신을 도시하는 타이밍도이다.

도 8 은 클록 신호를 펄스 폭 변조함으로써 I2C 버스를 통한 세컨더리 데이터의 송신을 도시하는 타이밍도이다.

도 9 는 SCL 및 SDA 신호들에 저전압 차분 신호를 가산함으로써 I2C 버스를 통한 세컨더리 데이터의 송신을 도시하는 타이밍도이다.

도 10 은 SCL 신호 또는 SDA 신호상에 FM 신호를 중첩시킴으로써 I2C 버스를 통한 세컨더리 데이터의 송신을 도시하는 타이밍도이다.

도 11 은 I2C 버스상에서 여분의 인-밴드 정보를 전송하도록 구성된 I2C 디바이스의 블록 개략도이다.

도 12 는 여기에 개시된 하나 이상의 양태들에 따라 I2C 버스상에서 추가적인 데이터를 송신하는 제 1 방법의 플로우차트이다.

도 13 은 여기에 개시된 하나 이상의 양태들에 따라 I2C 버스를 통해 통신하는 수신 장치를 위한 하드웨어 구현의 예를 도시하는 다이어그램이다.

도 14 는 여기에 개시된 하나 이상의 양태들에 따라 I2C 버스상에서 송신된 추가적인 데이터를 수신하는 제 1 방법의 플로우차트이다.

도 15 는 여기에 개시된 하나 이상의 양태들에 따라 I2C 버스를 통해 통신하는 송신 장치를 위한 하드웨어 구현의 예를 도시하는 다이어그램이다.

### 발명을 실시하기 위한 구체적인 내용

[0027] 여러 양태들이 이제 도면들을 참조하여 기술된다. 다음의 설명에서, 설명의 목적으로, 다수의 특성의 상세들이 하나 이상의 양태들의 철저한 이해를 제공하기 위해 진술된다. 그러나, 그러한 양태(들)는 이들 특성의 상세들 없이 실시될 수도 있다는 것이 분명할 수도 있다.

[0028] 본 출원에서 사용된 바와 같이, 용어들 "컴포넌트", "모듈", "시스템" 등은 하드웨어, 펌웨어, 하드웨어 및 소프트웨어의 조합, 소프트웨어, 또는 실행 중인 소프트웨어와 같은 그러나 이들에 제한되지 않는 컴퓨터 관련 엔티티를 포함하도록 의도된다. 예를 들어, 컴포넌트는 프로세서상에서 실행 중인 프로세스, 프로세서, 오브젝트, 실행가능물, 실행의 스레드, 프로그램 및/또는 컴퓨터일 수도 있지만 이들에 제한되지 않는다. 예시로서, 컴퓨팅 디바이스상에서 실행 중인 애플리케이션 및 컴퓨팅 디바이스 양자 모두가 컴포넌트일 수 있다. 하나 이상의 컴포넌트들은 프로세스 및/또는 실행의 스레드 내에 상주할 수 있고, 컴포넌트는 하나의 컴퓨터상에 국부화될 수도 있고 및/또는 둘 이상의 컴퓨터들 사이에 분포될 수도 있다. 또, 이들 컴포넌트들은 저장된 여러 데이터 구조들을 갖는 여러 컴퓨터 판독가능 매체들로부터 실행할 수 있다. 컴포넌트들은 로컬 시스템, 분포된 시스템에서 및/또는 신호로써 다른 시스템들과 인터넷과 같은 네트워크를 가로질러 다른 컴포넌트와 상호작용하는 하나의 컴포넌트로부터의 데이터와 같은, 하나 이상의 데이터 패킷들을 갖는 신호에 따라 로컬 및/또는 원격 프로세스들에 의해 통신할 수도 있다.

[0029] 게다가, 용어 "또는"은 배타적인 "또는"이라기 보다 포괄적인 "또는"을 의미하는 것으로 의도된다. 즉, 다르게 특정되거나, 컨텍스트로부터 명확하지 않는 한, 어구 "X는 A 또는 B를 채용한다"는 당연한 포괄적인 치환들 중 임의의 것을 의미하는 것으로 의도된다. 즉, 어구 "X는 A 또는 B를 채용한다"는 다음의 경우들의 임의의 것에 의해 만족된다: X는 A를 채용한다; X는 B를 채용한다; 또는 X는 A 및 B 양자 모두를 채용한다. 또, 본 출원 및 첨부된 청구범위에서 사용된 바와 같은 관사들 "a" 및 "an"은 일반적으로 달리 특정되거나 단수 형태로 지향되도록 컨텍스트로부터 명확하지 않는 한 "하나 이상의"을 의미하도록 해석되어야

한다.

[0030] 본 발명의 소정의 양태들은 전화, 이동 컴퓨팅 디바이스, 어플라이언스, 자동차 일렉트로닉스, 항공 전자 공학 시스템들 등과 같은 이동 장치의 서브 컴포넌트들인 전자 디바이스들 사이에 전개된 통신 링크들에 적용가능할 수도 있다. 이동 장치의 예들은 셀룰러 전화, 스마트 폰, 세션 개시 프로토콜 (SIP) 전화, 랩톱, 노트북, 넷북, 스마트북, 개인 휴대정보단말 (PDA), 위성 라디오, 글로벌 포지셔닝 시스템 (GPS) 디바이스, 멀티미디어 디바이스, 비디오 디바이스, 디지털 오디오 플레이어 (예를 들어, MP3 플레이어), 카메라, 게임 콘솔, 착용가능 컴퓨팅 디바이스 (예를 들어, 스마트워치, 헬스 또는 피트니스 추적기 등), 어플라이언스, 센서, 밴딩 머신, 또는 임의의 다른 유사한 기능 디바이스를 포함한다. 도 1 은 IC 디바이스들 사이에 통신 링크를 채용할 수도 있는 장치 (100) 의 예를 도시한다. 장치 (100) 는 무선 액세스 네트워크 (RAN), 코어 액세스 네트워크, 인터넷 및/또는 다른 네트워크와 RF 송수신기를 통해 통신하는 무선 통신 디바이스를 포함할 수도 있다. 장치 (100) 는 프로세싱 회로 (102) 에 동작가능하게 커플링된 통신 송수신기 (106) 를 포함할 수도 있다. 프로세싱 회로 (102) 는 주문형 반도체 (ASIC) (108) 와 같은 하나 이상의 IC 디바이스들을 포함할 수도 있다. ASIC (108) 은 하나 이상의 프로세싱 디바이스들, 로직 회로들 등을 포함할 수도 있다. 프로세싱 회로 (102) 는 프로세싱 회로 (102) 에 의해 실행될 수도 있는 명령들 및 데이터를 유지할 수도 있는 메모리 (112) 와 같은 프로세서 판독가능 스토리지를 포함하고 및/또는 그것에 커플링될 수도 있다. 프로세싱 회로 (102) 는 무선 디바이스의 메모리 디바이스 (112) 와 같은 저장 매체들에 상주하는 소프트웨어 모듈들의 실행을 지원하고 가능하게 하는 운영 시스템 및 애플리케이션 프로그래밍 인터페이스 (API) (110) 계층의 하나 이상에 의해 제어될 수도 있다. 메모리 디바이스 (112) 는 리드 온리 메모리 (ROM) 또는 랜덤 액세스 메모리 (RAM), 전기적으로 소거가능한 프로그램가능한 ROM (EEPROM), 플래시 카드들, 또는 프로세싱 시스템들 및 컴퓨팅 플랫폼들에서 사용될 수 있는 임의의 메모리 디바이스를 포함할 수도 있다. 프로세싱 회로 (102) 는 장치 (100) 를 구성하고 동작시키기 위해 사용되는 동작 파라미터들 및 다른 정보를 유지할 수 있는 로컬 데이터베이스 (114) 를 포함하거나 그것에 액세스할 수도 있다. 로컬 데이터베이스 (114) 는 데이터베이스 모듈, 플래시 메모리, 자기 매체들, EEPROM, 광학 매체들, 테이프, 소프트 또는 하드 디스크 등의 하나 이상을 사용하여 구현될 수도 있다. 프로세싱 회로는 또한 다른 컴포넌트들 중에서 안테나 (122), 디스플레이 (124) 와 같은 외부 디바이스들, 버튼 (128) 및 키패드 (126) 와 같은 오퍼레이터 제어들에 동작가능하게 커플링될 수도 있다.

[0031] 도 2 는 통신 버스 (230) 에 연결된 다수의 디바이스들 (202, 220 및 222a-222n) 을 포함하는 장치 (200) 의 소정의 양태들을 도시하는 블록 개략도이다. 장치 (200) 는 이동 장치에서 구현될 수도 있다. 하나의 예에서, 장치 (200) 는 I2C 버스 (230) 을 사용하여 통신하는 다수의 디바이스들 (202, 220 및 222a-222n) 을 포함하고, 적어도 하나의 촬상 디바이스 (202) 는 예를 들어 이미지 센서를 관리하는 센서 제어 기능 (204) 을 제공하도록 구성될 수도 있다. 또, 촬상 디바이스 (202) 는 구성 레지스터들 또는 다른 스토리지 (206), 제어 로직 (212), 송수신기 (210) 및 라인 드라이버들/수신기들 (214a 및 214b) 을 포함할 수도 있다. 제어 로직 (212) 은 상태 머신, 시퀀서, 신호 프로세서 또는 범용 프로세서와 같은 프로세싱 회로를 포함할 수도 있다. 송수신기 (210) 는 수신기 (210a), 송신기 (210c) 및 타이밍, 로직 및 스토리지 회로들 및/또는 디바이스들을 포함하는 공통 회로들 (210b) 을 포함할 수도 있다. 하나의 예에서, 송신기 (210c) 는 클록 생성 회로 (208) 에 의해 제공된 타이밍에 기초하여 데이터를 인코딩하고 송신한다.

[0032] I2C 디바이스들 (202, 220 및/또는 222a-222n) 중 둘 이상은 종래의 I2C 버스에 의해 제공된 대역폭 및 다른 능력들을 확장하기 위해 여기에 개시된 소정의 양태들 및 특징들에 따라 구성될 수도 있다. 예를 들어, I2C 디바이스들 (202, 220 및/또는 222a-222n) 은 종래의 I2C 프로토콜들이 I2C 버스 (230) 상의 통신들을 관리하기 위해 사용될 때 보통으로 달성될 수 있는 것보다 더 높은 비트 레이트를 지원하도록 구성될 수도 있다. I2C 프로토콜들은 사실상의 I2C 표준들에 따를 수도 있고, 데이터 포맷들 및 I2C 버스 제어 및 타이밍에 더하여 I2C 신호들의 전기적 및 타이밍 양태들을 정의하는 사양들을 포함할 수도 있다.

[0033] 도 3 은 I2C 버스 (302) 에 연결되어, 3 개의 디바이스들 (304, 314 및 316) 이 I2C 버스 (302) 를 통해 더 높은 데이터 전송 레이트들을 획득하도록 적응 또는 구성되는 I2C 디바이스들 (304, 306, 308, 310, 312, 314 및 316) 의 구성을 도시한다. 적응된 디바이스들 (304, 314 및 316) 은 종래적으로 구성된 I2C 디바이스들 (306, 308, 310 및 312) 과 공존할 수도 있고, 적응된 디바이스들 (304, 314 및 316) 은 원하거나 필요한 대로 종래의 I2C 프로토콜들을 사용하여 통신할 수도 있다. 본 설명의 목적으로, 종래의 I2C 프로토콜들을 사용하는 통신들은 I2C 버스 (302) 상의 프라이머리 통신 채널인 것으로 고려될 수도 있는 반면, 여기에 개시된 향상된 통신 능력들은 I2C 버스상에 그러나 프라이머리 통신 채널과 함께 공존하는 하나 이상의 세컨더리 또는 가상의 통신 채널들로서 제공될 수도 있다.



- [0034] 세컨더리 통신 채널은 향상된 I2C 디바이스 (304) 가 버스 마스터로서 I2C 버스 (302) 를 제어할 때 이용가능할 수도 있다. 도시된 예에서, 하나의 I2C 디바이스 (304) 는 현재 버스 마스터 (304) 로서 작용하고 있고, 버스 마스터 (304) 는 여기에 개시된 소정의 양태들에 따라 구성된 슬레이브 I2C 디바이스들 (314 및 316) 에 의해 모니터링될 수 있는 하나 이상의 세컨더리 통신 채널들을 제공할 수도 있다. 추가적인 데이터 (세컨더리 데이터) 는 외부 브리지 디바이스를 사용하지 않고 그리고 I2C 버스 (302) 상의 레거시 I2C 디바이스들 (306, 308, 310, 및 312) 의 기능성과 타협하지 않고 세컨더리 채널에서 I2C 버스 (302) 를 통해 전송될 수 있다.
- [0035] 도 4 는 종래의 I2C 버스상의 SDA 및 SCL 신호 와이어들 (402, 404) 사이의 관계를 도시하는 타이밍도들 (400 및 420) 을 포함한다. 제 1 타이밍도 (400) 는 데이터가 종래적으로 구성된 I2C 버스상에서 전송되고 있는 동안 SDA 신호 와이어 (402) 와 SCL 신호 와이어 (404) 사이의 타이밍 관계를 도시한다. SCL 신호 (404) 는 SDA 신호 와이어 (402) 에서의 데이터를 샘플링하기 위해 사용될 수 있는 일련의 클록킹 펄스들 (412) 을 제공한다. SCL 신호 와이어 (404) 가 데이터 송신 동안 로직 하이 상태에 있는 경우, SDA 신호 와이어 (402) 상의 데이터는, SDA 신호 와이어 (402) 의 상태가 SCL 신호 와이어 (404) 가 하이 상태에 있을 때 변하는 것이 허용되지 않도록, 안정하고 유효하도록 요구된다.
- [0036] (여기서 "I2C 사양들" 로서 지칭되는) 종래의 I2C 프로토콜 구현들에 대한 사용들은 SCL 신호 와이어 (404) 상의 각 펄스 (412) 의 하이 주기 ( $t_{\text{HIGH}}$ ) 에 대해 최소 지속기간을 정의하며, 여기서 펄스 (412) 는 SCL 신호 와이어 (404) 가 하이 로직 상태에 있는 시간에 대응한다. I2C 사양들은 또한 SDA 신호 와이어 (402) 가 하이 로직 상태에 있는 펄스 (412) 전후에서 SDA 신호 와이어 (402) 의 시그널링 상태가 안정해야 하는 셋업 시간 ( $t_{\text{SU}}$ ) (406) 및 홀드 시간 ( $t_{\text{HOLD}}$ ) (408) 에 대해 최소 지속기간들을 정의한다. 셋업 시간 (406) 은 SCL 신호 와이어 (404) 상의 펄스 (412) 의 상승 에지의 도달까지 SDA 신호 와이어 (404) 상의 시그널링 상태들 사이의 천이 (416) 후에 최대 시간 주기를 정의한다. 홀드 시간 (408) 은 SDA 신호 와이어 (404) 상의 시그널링 상태들 사이의 다음의 천이 (418) 까지 SCL 신호 와이어 (404) 상의 펄스 (412) 의 하강 에지 후에 최소 시간 주기를 정의한다. I2C 사용들은 또한 SCL 신호 와이어 (404) 에 대한 로우 주기 ( $t_{\text{LOW}}$ ) (414) 에 대해 최소 지속기간을 정의한다. SDA 신호 와이어 (402) 상의 데이터는 통상적으로 SCL 신호 와이어 (404) 가 펄스 (412) 의 리딩 에지 후에 하이 로직 상태에 있을 때 시간의 주기 ( $t_{\text{HIGH}}$ ) (410) 동안 캡처된다.
- [0037] 도 4 의 제 2 타이밍도 (420) 는 종래의 I2C 버스상의 데이터 송신들 사이의 SDA 신호 와이어 (402) 및 SCL 신호 와이어 (404) 상의 시그널링 상태들을 도시한다. I2C 프로토콜은 8-비트 데이터 (바이트들) 및 7-비트 어드레스들의 송신을 제공한다. 데이터 송신들은 로우 시그널링 상태가 성공적인 수신을 나타내는 확인응답 (ACK) 을 표현하고 하이 시그널링 상태가 수신에 실패 또는 수신에서의 에러를 나타내는 부정 확인응답 (NACK) 을 표현하도록, 하나의 클록 주기 동안 SDA 신호 (402) 를 구동하는 수신기에 의해 확인응답된다.
- [0038] 시작 조건 (422) 은 현재의 버스 마스터가 데이터가 송신되어야 한다고 시그널링하는 것을 허용하도록 정의된다. 시작 조건 (422) 은 SCL 신호 와이어 (404) 가 하이인 동안 SDA 신호 와이어 (402) 가 하이로부터 로우로 천이할 때 발생한다. I2C 버스 마스터는 초기에 그것이 데이터를 교환하기 원하는 I2C 슬레이브 디바이스의 7-비트 어드레스가 후속되는 시작 비트로서도 지칭될 수도 있는 시작 조건 (422) 을 송신한다. 그 어드레스는 판독 또는 기입 동작이 발생해야 하는지 여부를 나타내는 단일의 비트가 후속된다. 어드레스된 I2C 슬레이브 디바이스는, 이용가능하다면, ACK 비트로 응답한다. 마스터 및 슬레이브 I2C 디바이스들은 그 후 최상위 비트 (MSB) 가 처음에 송신되도록 바이트들이 직렬화되는, 프레임들에서의 정보의 바이트들을 교환한다. 바이트의 송신은 정지 조건 (424) 이 I2C 마스터 디바이스에 의해 송신될 때 완료된다. 정지 조건 (424) 은 SCL 신호 와이어 (404) 가 하이인 동안 SDA 신호 와이어 (402) 가 로우에서 하이로 천이할 때 발생한다. I2C 사양들은 SDA 신호 와이어 (402) 의 모든 천이들이 SCL 신호 와이어 (404) 가 로우일 때 발생하는 것을 요구하고, 예외들이 시작 조건 (422) 또는 정지 조건 (424) 으로서 취급될 수도 있다.
- [0039] 도 5 는 I2C 버스상에서의 다수의 데이터 송신들과 연관된 타이밍을 도시하는 타이밍도들 (500 및 520) 을 포함한다. 제 1 기본 예에서, 정지 조건 (508) 과 연속적인 시작 조건 (510) 사이에서 경과하는 시간의 주기 (514) 는 연장되어, 종래의 I2C 버스가 이러한 시간의 주기 (514) 동안 아이들이도록 할 수도 있다. 동작 시에, I2C 버스 마스터가 데이터가 후속되는 제 1 시작 조건 (506) 을 송신할 때 비지 주기 (512) 가 시작한다. 비지 주기 (512) 는 I2C 버스 마스터가 정지 조건 (508) 을 송신하고 아이들 주기 (514) 가 뒤따를 때 종료한다. 아이들 주기 (514) 는 제 2 시작 조건 (510) 의 송신으로 종료한다.

- [0040] 또한 타이밍도 (520) 를 참조하면, 일부 예들에서, I2C 버스상의 연속적인 데이터 송신들 사이의 아이들 주기들 (514) 은 정지 조건이라기보다 반복된 시작 조건 (Sr) (528) 을 송신함으로써 수에 있어서 감소되거나 제거될 수도 있다. 반복된 시작 조건 (528) 은 선행하는 데이터 송신을 종료하고 동시에 다음의 데이터 송신의 시작을 나타낸다. SDA 신호 와이어 (522) 상의 상태 천이는 반복된 시작 조건 (528) 및 아이들 주기 (530) 후에 발생하는 시작 조건 (526) 에 대해 동일하다. 구체적으로는, SDA 신호 와이어 (522) 는 SCL 신호 와이어 (524) 가 하이인 동안 하이로부터 로우로 천이한다. 반복된 시작 조건 (528) 이 데이터 송신들 사이에 사용되는 경우, 제 1 비지 주기 (532) 는 즉시 제 2 비지 주기 (534) 가 후속된다.
- [0041] 도 6 내지 도 10 은 추가적인 인-밴드 데이터가 I2C 버스상에서 인-밴드로 송신되는 것을 가능하게 하는 프로토콜들 및 I2C 버스의 동작을 통제하는 사양들의 활용을 보여주는 여기에 개시된 소정의 양태들에 따른 예들을 제공한다.
- [0042] 도 6 의 타이밍도들 (600, 620 및 640) 및 도 5 에 도시된 타이밍을 이제 참조하면, 추가적인 인-밴드 데이터는 바이트들의 시퀀스의 송신과 관련하여 사용되는 시작 조건들 (526, 528) 및/또는 시작 조건들 (526 및/또는 528) 의 지속기간의 조합으로 송신될 수도 있다. 참조로, 도 6 은 연속하는 I2C 프레임들을 분리하는 시작 및 정지 조건들 (604, 606) 의 조합들을 갖는 데이터 스트림 (602) 의 하나의 종래의 송신, 및 연속하는 I2C 프레임들을 분리하는 반복된 시작 조건들 (612, 614) 을 갖는 데이터 스트림 (610) 의 다른 종래의 송신을 보여주는 제 1 타이밍도 (600) 를 포함한다.
- [0043] 하나의 양태에 따르면, 그리고 도 6 의 제 2 타이밍도 (620) 에서 도시된 바와 같이, I2C 버스 마스터는 반복된 시작 조건들 (622, 624, 626 및 628) 의 지속기간에서 데이터를 인코딩함으로써 I2C 버스를 통해 세컨더리 채널을 제공하도록 구성될 수도 있다. 도시된 그 예에서, 이진수 "1" 이 더 긴 반복된 시작 조건 (624) 으로서 송신되는 반면, 이진수 "0" 은 더 짧은 반복된 시작 조건 (622, 626, 628) 으로서 송신된다. 반복된 시작 조건들 (622, 624, 626, 628) 의 지속기간은 시작 조건 (422) (도 4 참조) 에서의 SDA 신호 (402) 의 하강 에지와 SCL 신호 (404) 의 하강 에지 사이의 홀드 시간 ( $t_{HD,STA}$ ) (426) 의 주기를 제어함으로써 변조될 수도 있다.
- 인코딩될 데이터는 I2C 사양들에서 정의된 최소 홀드 시간 (426) 을 초과하는 2 이상의 지속기간들로부터 선택된 각각의 경우 (622, 624, 626 및 628) 에서 사용되는 홀드 시간 (426) 의 지속기간을 선택하기 위해 사용될 수도 있다. I2C 사양들은 표준-모드 동작에 대해  $4\ \mu s$ , 고속-모드 동작에 대해  $0.6\ \mu s$ , 및 고속-모드 플러스 동작에 대해  $0.26\ \mu s$  의 최소 홀드 시간들을 정의한다. I2C 슬레이브 디바이스에서의 수신기는 종료 조건들의 홀드 시간 ( $t_{HD,STA}$ ) (426) 의 주기에서의 변동들, 및 적어도 일부의 예들에서는, 그러한 변동들의 크기에서의 차이들을 검출하도록 구성되거나 적용될 수도 있다. 홀드 시간 (426) 은 아이들 주기 (514 또는 530) 후에 발생하는 시작 조건들 (510 또는 526) 에 대해 또는 반복된 시작 조건 (528) 에서 변화될 수도 있다 (도 5 참조).
- [0044] 하나의 양태에 따르면, 그리고 도 6 의 제 3 타이밍도 (640) 에서 도시된 바와 같이, I2C 버스 마스터는 I2C 프레임 후에 송신된 종료 조건 (642, 644, 646 및 648) 의 타임에서 데이터를 인코딩함으로써 I2C 버스상에서 세컨더리 채널을 제공하도록 구성될 수도 있다. 도시된 예에서, 이진수 "1" 은 정지 조건 및 시작 조건을 포함하는 종료 조건 (644) 에서 송신되는 반면, 이진수 "0" 은 반복된 시작 조건 (642, 646, 648) 로서 송신된다.
- [0045] 이제 도 7 의 타이밍도 (700) 을 참조하면, 추가적인 인-밴드 데이터는 SDA 신호 (702) 또는 SCL 신호 (704) 상에서 짧은 펄스들 (710, 712) 에서 또는 짧은 펄스의 부재 (714) 에서 송신될 수도 있다. I2C 사양들은 소정의 동작 모드들에서 종래의 I2C 수신기의 입력 필터에 의해 억제되어야 하는 스파이크의 펄스 폭 ( $t_{SP}$ ) 을 정의한다. 하나의 예에서,  $t_{SP}$  펄스 폭은  $50\ ns$  의 최대 지속기간을 갖는 것으로서 특정될 수도 있다. 이에 따라,  $50\ ns$  보다 짧은 임의의 펄스들은 종래의 I2C 수신기들에 의해 필터링되고 무시된다. I2C 송신기는 짧은 펄스들에서 데이터를 인코딩함으로써 I2C 버스를 통해 가상의 세컨더리 채널을 제공하도록 적용 또는 구성될 수도 있다. 도시된 단순한 예에서, 지속기간 ( $t_{SEC}$ ) (716) 을 갖는 2 개의 펄스들 (710 및 712) 은 이진수 "1" 을 표현할 수도 있는 반면, 이진수 "0" 은 펄스가 검출되지 않을 때 결정될 수도 있다. 이러한 예에서, 2 개의 비트들이 I2C 프로토콜의 하나의 비트 간격에서 가상의 세컨더리 채널상에서 송신될 수도 있다. 그 펄스들은 펄스가 지속기간  $t_{SEC} < t_{SP}$  을 갖는다면 SDA (702) 또는 SCL (704) 상에서 송신될 수도 있으며, 여기서  $t_{SP}$  는 I2C 버스의 현재의 동작 모드에 대해 특정된다.
- [0046] 하나의 예에서, 추가적인 짧은 펄스들 (710, 712) 은 각각 SCL (704) 이 하이 로직 상태에 있는 시간 주기

(708) 에서 그리고 SCL (704) 이 로우 로직 상태에 있는 시간 주기 (718) 에서 추가될 수도 있다. 다른 예들에서, 짧은 추가적인 펄스 (710 또는 712) 는 SCL (704) 이 그 2 개의 시간 주기들 (708 또는 718) 중 하나에 있을 때 추가될 수도 있다. 즉, 짧은 추가적인 펄스 (710 또는 712) 는 로우 주기 (718) 동안에만 삽입될 수도 있고, 하이 주기 (708) 동안에는 펄스들이 삽입되지 않으며, 그 역도 성립한다. 일부 예들에서, 2 이상의 추가적인 펄스가 시간 주기들 (708, 718) 중 하나 이상에서 추가될 수도 있다. 짧은 펄스들은 추가적으로 또는 대안적으로 SCL (704) 에 추가된 짧은 펄스들 (710, 712) 에 대해 기술된 방식으로 SDA (702) 에 추가될 수도 있다.

[0047] 도 4 를 다시 참조하면, SDA 신호 (402) 및 SCL 신호 (404) 의 하이 및 로우 로직 상태들에 대한 최소 지속기간들 (410, 414) 은 소정의 동작 모드들에 대한 I2C 사양들에서 정의된다. 고속-모드 동작의 예에서, 각각의 로직 하이 주기의 지속기간 ( $t_{HIGH}$ ) (410) 은  $0.6 \mu s$  보다 커야하고, 각각의 로직 로우 주기의 지속기간 ( $t_{LOW}$ ) (414) 은  $1.3 \mu s$  보다 커야하며, 최대값은 특정되지 않는다. 이에 따라, I2C 디바이스들은 SCL 신호 (404) 의 하이 및 로우 로직 상태들에 대한 최소 특정된 지속기간들 (410, 414) 이 준수된다면 SCL 신호 (404) 의 로직 상태들 (410, 414) 의 폭을 변조하도록 구성될 수도 있다.

[0048] 도 8 은 I2C 버스상의 세컨더리 채널을 제공하기 위해 펄스-폭 변조 (PWM) 를 사용함으로써 추가적인 인-밴드 데이터의 송신을 도시하는 타이밍도 (800) 이다. PWM 이 사용되는 경우, SCL 신호 (804) 상의 각 클록 펄스 (816, 818) 의 지속기간은 세컨더리 채널에서 인코딩될 세컨더리 데이터 (824) 의 적어도 하나의 비트의 값에 의해 결정된다. SCL 클록 신호를 펄스-폭 변조하도록 구성되는 I2C 버스 마스터 디바이스는 I2C 사양들에서 정의된 동작 모드에 따라 SDA 신호 와이어 (802) 상에서 송신된 I2C 신호상의 프라이머리 데이터를 인코딩할 수도 있다. 그 데이터는 종래의 SCL 클록 신호 (804) 에 의해 정의된 송신 간격들에서 인코딩될 수도 있다. 시그널링의 이러한 조합은 I2C 버스상에서 프라이머리 통신 채널을 제공할 수도 있다.

[0049] I2C 마스터 디바이스는 또한 변조된 SCL 신호 (814) 를 획득하기 위해 PWM 을 사용하여 SCL 신호 와이어 (804) 상의 세컨더리 데이터를 인코딩할 수도 있다. 도시된 간단한 예에서, I2C 마스터 디바이스는 값 '0' 을 갖는 비트들 (824) 을 인코딩하기 위해 짧은 펄스들 (816) 및 값 '1' 을 갖는 비트들 (824) 을 인코딩하기 위해 긴 펄스들 (818) 을 사용할 수도 있다. 펄스 (816 및 818) 의 각 타입의 펄스 폭은 지속기간에 대한 미리 정의된 제한들 내에서 유지될 수도 있다. 인정될 수 있는 바와 같이, PWM 의 사용은 PWM 을 지원하는 디바이스들 사이의 I2C 버스의 대역폭을 적어도 배가할 수 있다. SDA 신호 (802) 상에서 송신된 바이트의 각 송신은 PWM 을 사용하여 인코딩될 수도 있는 9 개의 클록 펄스들을 제공한다. 하나의 예에서, 하나의 데이터 바이트가 SDA 신호 와이어 (802) 상에서 송신되고 있는 동안 하나의 데이터 바이트 및 제어 비트가 PWM 인코딩된 SCL 신호 (814) 상에서 전송될 수도 있다. 일부 예들에서, 8 개의 바이트들의 블록이 SDA 신호 (802) 상에서 송신될 때 9 개의 바이트들의 블록이 PWM 인코딩된 SCL 신호 (814) 상에서 송신될 수 있다. 수신 I2C 디바이스들이 짧은 펄스들 (816), 긴 펄스들 (818) 및 훨씬 긴 펄스들의 타이밍에서 차이들을 구별하도록 적응 또는 구성될 수 있다면, 다른 PWM 스킴들이 사용될 수도 있고, 2 이상의 비트가 인코딩될 수도 있다.

[0050] PWM 인코딩된 SCL 신호 (814) 를 송신 및/또는 수신하도록 구성되는 I2C 디바이스들은 통상적으로 PWM 인코더들 및 디코더들을 동기화하기 위해 시작 조건 (806), 반복된 시작 조건 (808) 및 정지 조건 (810) 사이를 인식 및/또는 구별하도록 구성된다. SCL 신호 (804, 814) 는 시작 조건 (806) 또는 정지 조건 (810) 에 선행하는 연장된 시간 주기들 동안 하이 로직 상태에 있을 수도 있다. 반복된 시작 조건 (808) 이 송신되는 경우, 반복된 시작 조건 (808) 의 펄스 (820) 는, 예를 들어 반복된 시작 조건 (808) 의 펄스 (820) 가 베이스 SCL 신호 (804) 에서의 다른 펄스들 (812) 과 동일한 지속기간을 갖는 경우 PWM 을 사용하여 데이터를 인코딩하기 위해 이용가능할 수도 있다. 일부 예들에서, 반복된 시작 조건은, 세컨더리 데이터가 도 6 과 관련하여 논의된 바와 같은 변조된  $t_{HD,STA}$  타이밍의 지속기간에서 인코딩되는 경우를 포함하여, 베이스 SCL 신호 (804) 에서의 다른 펄스들 (812) 과는 상이한 지속기간을 갖는 펄스 (820) 를 사용할 수도 있다. 이들 예들에서, 적응된 I2C 마스터의 인코더는 반복된 시작 조건 (808) 의 펄스 (820) 에서 데이터를 인코딩하는 것을 삼갈 수도 있다. 다른 예들에서, 적응된 I2C 마스터의 인코더는 로직 설계를 단순화하거나, 선택 종료 조건들 (806, 808, 810) 에서 데이터를 인코딩하기 위해 추가적인 채널을 제공하기 위해, 또는 다른 이유들로 모든 송신들에 대해 제 9 클록 펄스 (820, 822) 에서 데이터를 인코딩하는 것을 삼갈 수도 있다.

[0051] 도 9 는 I2C 버스상의 세컨더리 채널을 제공하기 위해 차분 시그널링을 사용하는 추가적인 인-밴드 데이터의 송신을 도시하는 타이밍도 (900) 이다. 차분 시그널링은 SDA 신호 와이어 (902) 상의 차분 신호들 ( $D+$ ,  $D-$ ) (910, 912) 의 쌍에서 상보적인 신호들의 중첩에 의해 차분 신호들 ( $D+$ ,  $D-$ ) (910, 912) 의 쌍을 송신함으로써

달성될 수도 있다. 도시된 예에서, SDA 신호 와이어 (902) 는 D+ 신호 (910) 를 반송하고 SCL 신호 와이어 (904) 는 D- 신호 (912) 를 반송한다. 차분 신호들 (D+, D-) (910, 912) 의 쌍은 정지 조건 (906) 과 시작 조건 (908) 사이의 아이들 타임 (914) 의 적어도 일부 동안 송신된다. 차분 신호들 (D+, D-) (910, 912) 은 통상적으로 SDA 및 SCL 신호 와이어들 (902, 904) 의 하이 로직 상태가 SDA 및 SCL 신호 와이어들 (902, 904) 의 시그널링 상태들에 대한 I2C 사양들에서 정의된 허용오차를 내에서 변조될 수 있는 것을 보장하도록 선택된 진폭들을 갖는 저전압 디지털 신호들이다. 하나의 예에서, 세컨더리 데이터는 세컨더리 데이터를 인코딩하기 위해 사용된 클록으로 수신 클록을 동기화하기 위해 위상 고정 루프 (PLL) 를 갖는 수신기에서 디코딩될 수 있는 넌-리턴-투-제로 (non-return-to-zero: NRZ) 인코딩을 사용하여 차분 신호들 (D+, D-) (910, 912) 에서 인코딩될 수도 있다. 다른 예에서, 세컨더리 데이터는 PWM 을 사용하여 차분 신호들 (D+, D-) (910, 912) 에서 인코딩될 수도 있다. 다른 인코딩 스킴들이 세컨더리 데이터를 인코딩하기 위해, 또는 다른 이유들로 사용되는 세컨더리 데이터 및 클록 주파수의 타입에 적절한 대로 사용될 수도 있다.

[0052] 920 에서 일반적으로 도시된 바와 같이, I2C 사양들은 0 V 기준 (922) 에 대해 디바이스 공급 전압 VDD (924) 의 70% 에서 공칭 하이 입력 전압 레벨 ( $V_{IH}$ ) (930) 을 정의한다. 잡음 허용오차 레벨 ( $V_{HI}$ ) 이 하이 로직 상태에서 신호 (902, 904) 에 대해 요구되고, 입력 신호 (902, 904) 에 대한 최대 전압 레벨 (926) 은  $VDD + 0.5 V$  로서 정의된다. 결과적으로, 입력 신호는  $0.9 \times VDD$  의 최소 전압 레벨 (928) 과  $VDD + 0.5 V$  의 최대 레벨 사이의 범위에 있을 수도 있다. 도시된 예에서, 입력 신호들 (902, 904) 은 VDD (924) 에서 설정되거나 구성된 하이 로직 상태를 가질 수도 있고, 중첩된 차분 신호 (932) 는 0.2 V 보다 작은 피크-투-피크 전압 레벨을 갖는다.

[0053] 수신기에서, 차분 수신기들은 아이들 주기 (914) 동안 SDA 신호 와이어 (902) 및 SCL 신호 와이어 (904) 사이의 전압에서의 차이를 결정하도록 구성될 수도 있다. SDA 및 SCL 신호 와이어들 (902 및 904) 양자상의 I2C 로직 하이 전압들 (924) 은 소거되고, 차분 수신기들은 차분 신호 (910, 912) 를 나타내는 출력을 제공할 수도 있다.

[0054] 도 10 은 I2C 버스상에서 세컨더리 채널을 제공하기 위해 주파수 변조 (FM) 를 사용하는 추가적인 인-밴드 데이터의 송신을 도시하는 다이어그램 (1000) 이다. 데이터는 반송파의 순시 주파수를 변화시켜 실질적으로 일관된 피크-투-피크 전압 레벨 (1014) 을 갖는 FM 신호 (1002) 를 획득하기 위해 FM 을 사용하여 인코딩될 수도 있다. FM 신호 (1002) 는 그 후 SDA 신호 및/또는 SCL 신호일 수도 있는 I2C 신호 (1004) 상에 오버레이되거나 다르게는 중첩될 수도 있다. 상세 뷰 (1012) 에서 도시된 바와 같이, 피크-투-피크 전압 (1014) 은 결합된 신호 (1006) 에서의 I2C 시그널링이 종래의 I2C 슬레이브에 의해 수신 및 디코딩될 수 있도록 I2C 사양들에 의해 수신기들을 위해 특정된 히스테리시스 전압 레벨보다 낮도록 선택될 수도 있다. 종래의 I2C 슬레이브는 결합된 신호 (1006) 에서의 FM 신호 (1002) 를 거부, 필터링 또는 무시할 수도 있다. 결합된 신호 (1006) 에서의 FM 신호 (1002) 는 여기에 개시된 소정의 양태들에 따라 구성된 I2C 슬레이브에 의해 추출 및 복조되거나 다르게는 디코딩될 수도 있다. I2C 사양들은 I2C 디바이스의 수신기에서의 슈미트 트리거 입력들에 대해  $0.05 \times VDD$  의 최소 히스테리시스 저압 레벨 ( $V_{hys}$ ) 을 정의하고, 피크-투-피크 전압 (1014) 은 특정된  $V_{hys}$  보다 낮도록 선택될 수도 있다.

[0055] FM 신호 (1002) 는 SDA 및 SCL 신호들 중 하나 또는 양자 모두상에서 송신될 수도 있다. I2C 버스의 양 신호 와이어들상에서 송신되는 경우, 타이밍 시프트가 I2C 디지털 신호 (1004) 로부터 FM 신호 (1002) 의 더 용이한 분리를 허용하기 위해 그 2 개의 와이어들상에서 송신된 FM 신호 (1002) 의 버전들 사이에 제공될 수도 있다. I2C 버스의 양 와이어들상에서의 FM 신호 (1002) 의 송신은 소정의 잡음 소거 기법들이 적용되는 것을 가능하게 할 수도 있다.

[0056] 도 11 은 I2C 버스 (1124) 에 커플링되고 여기에 개시된 소정의 양태들에 따라 구성되거나 적용된 송신기 (1100) 및 수신기 (1140) 의 예를 도시하는 블록도이다. 송신기 (1100) 및/또는 수신기 (1140) 는 데이터 (1110) 가 정의된 I2C 표준들에 따라 송신 및/또는 수신되는 것을 가능하게 하도록 적응 또는 구성될 수도 있다. 송신기 (1100) 및/또는 수신기 (1140) 는 또한 데이터 (1116) 가 여기에 개시된 소정의 양태들에 따라 세컨더리 채널 시그널링을 사용하여 송신 및/또는 수신되는 것을 가능하게 하도록 적응 또는 구성될 수도 있다. 이러한 설명의 목적으로, 표준에 의해 정의된 프로토콜들에서 인코딩 및 송신된 데이터는 "프라이머리 데이터" (1110) 로서 지칭될 수도 있고, 그러한 프라이머리 데이터 (1110) 는 표준에 의해 정의된 I2C 버스 (1124) 에 의해 제공된 프라이머리 채널을 통해 송신되는 것이 고려될 수도 있다. 이러한 설명의 목적으로, 세컨더리 채널 시그널링에서 인코딩되고 송신된 데이터는 "세컨더리 데이터" (1116) 로서 지칭될 수도 있고, 세



컨더리 데이터 (1116) 는 I2C 버스 (1124) 상의 세컨더리, 또는 가상의 채널을 통해 송신되는 것이 고려될 수도 있다.

[0057] I2C 동작들을 위해, 송신기 (1100) 는 SCL 신호 와이어 (1120) 상에서 제공된 클록의 타이밍에 따라 SDA 신호 와이어 (1122) 상의 송신을 위해 프라이머리 데이터 (1110) 를 직렬화하는 프라이머리 채널 직렬화기 (1102) 를 포함할 수도 있다. 프라이머리 채널 직렬화기 (1102) 는 통상적으로 SDA 신호 와이어 (1122) 상의 송신을 위해 I2C 시리얼 데이터 (1112) 를 생성하기 위해 송신 클록 (1126) 에 의해 클럭킹된다.

[0058] 송신기 (1100) 는 또한 I2C 버스 (1124) 상에서 송신되는 세컨더리 채널 시그널링에서 세컨더리 데이터 (1116) 를 인코딩하도록 구성 또는 적응될 수도 있다. 일부 예들에서, 세컨더리 데이터 (1116) 는 세컨더리 채널 시그널링에서 인코딩될 수 있는 비트들의 스트림 (변조 데이터) (1118) 을 생성하기 위해 세컨더리 채널 직렬화기 (1108) 에 의해 직렬화될 수도 있다. 세컨더리 채널 직렬화기 (1108) 는 세컨더리 채널 시그널링을 생성하기 위한 변조 데이터 (1118) 를 인코딩하기 위해 인코더/변조기 (1104) 에 의해 사용되는 변조 스킴에 따라 생성된 변조 클록 (1128) 및/또는 송신 클록 (1126) 에 의해 클럭킹될 수도 있다. 인코더/변조기 (1104) 는 슬레이브 디바이스와 세컨더리 채널 통신들이 개시 또는 협상된 경우에 변조 클록 (1128) 을 제공할 수도 있고, 변조 클록 (1128) 은 그렇지 않은 경우에 억제될 수도 있다.

[0059] 변조 클록 (1128) 은 도출되거나 다르게는 I2C 송신기 클록 (1126) 에 기초할 수도 있다. 예를 들어, 세컨더리 데이터 (1116) 는 짧은 펄스들 (710, 712) 을 I2C 송신기 클록 (1126) 으로 삽입함으로써 (도 7 참조), 또는 I2C 송신기 클록 (1126) 을 펄스 폭 변조함으로써 (도 8 참조) 인코딩될 수도 있으며, 그러한 경우에 세컨더리 채널 직렬화기 (1108) 는 변조 데이터 (1118) 로서 비트들의 직렬 스트림을 클럭킹하기 위해 송신기 클록 (1126) 의 위상-시프트된, 주파수-배가된 및/또는 주파수-분할된 버전을 수신할 수도 있다. 변조 클록 (1128) 은 그 변조 클록 (1128) 이 I2C 송신기 클록 (1126) 이 활성화될 때 억제될 수도 있다는 점에서 I2C 송신기 클록 (1126) 에 기초할 수도 있다. 예를 들어, 세컨더리 데이터 (1116) 는 SCL 신호 (904) 상에서 어떠한 클록 신호도 송신되지 않는 아이들 주기들 (914) 동안 송신된 차분 신호들 (910, 912) 에서 인코딩될 수도 있고 (도 9참조), 변조 클록 (1128) 은 차분 신호들 (910, 912) 이 송신될 때에만 제공된다.

[0060] 변조 클록 (1128) 은 I2C 버스 (1124) 상의 I2C 프레임 타이밍에 기초하여 제공될 수도 있다. 예를 들어, 세컨더리 데이터 (1116) 는 SDA 신호 와이어 (1122) 상에서 송신되는 바이트들 사이에서 시작 조건 (506), 반복된 시작 조건 (508) 및/또는 정지 조건 (510) (도 5 및 도 6 참조) 의 구성 및/또는 선택에서 인코딩될 수도 있다. 후자의 예에서, 변조 클록 (1128) 은 하나 이상의 시작 또는 정지 조건들 (506, 508, 510) 의 발생에 기초하여 비트들의 미리 정의된 수를 추출하기 위해 제공될 수도 있다.

[0061] 일부 예들에서, 변조 클록 (1128) 의 클록 레이트는 I2C 송신기 클록 (1126) 의 클록 레이트와는 독립적일 수도 있다. 예를 들어, 변조 클록 (1128) 의 데이터 레이트는 FM 이 사용될 때 (예를 들어, 도 10 참조), 또는 디지털 차분 신호들 (910, 912) 이 I2C 시리얼 데이터 신호 (1112) 및 I2C 송신기 클록 (1126) 상에 중첩될 때 독립적으로 결정될 수도 있다. 일부 예들에서, 클록 정보는 디지털 차분 신호들 (910, 912) 에서 인코딩될 수도 있거나, 디지털 차분 신호들 (910, 912) 은 미리 정의된 클록 레이트에서 송신될 수도 있다.

[0062] 인코더/변조기 (1104) 는 세컨더리 채널이 I2C 버스 (1124) 를 통해 이용가능한지 여부에 기초하여 인에이블 또는 디스에이블될 수 있는 회로들 및 모듈들을 포함할 수도 있다. 이들 회로들은 예를 들어 PWM 이 사용될 때, 또는 시작 조건들 (506), 반복된 시작 조건들 (508) 및/또는 정지 조건들 (510) 의 타이밍이 세컨더리 데이터 (1116) 를 인코딩하기 위해 변경될 때 클록 펄스를 확장하기 위해 게이트들, 딜레이들 및 조합 로직을 포함할 수도 있다. 인코더/변조기 (1104) 는 디지털 차분 신호 (910, 912) 에 의해 또는 FM 신호 (1002) 에 의한 변조를 허용하기 위해 하나 이상의 로직 레벨의 전압 레벨을 조정하는 회로들을 포함할 수도 있다.

[0063] 인코더/변조기 (1104) 는 I2C 시리얼 데이터 (1112) 및 송신기 클록 (1126) 에 기초하는 송신 신호들 (1114) 을 출력한다. 송신 신호들 (1114) 은 세컨더리 채널이 요구되거나 원해지지 않을 때, 또는 수신 디바이스가 세컨더리 채널을 수신할 수 없을 때 I2C 시리얼 데이터 (1112) 및 송신기 클록 (1126) 의 릴레이된 버전들일 수도 있다. 세컨더리 채널이 제공되어야 할 때, I2C 시리얼 데이터 (1112) 및 송신기 클록 (1126) 중 하나 또는 양자 모두는 하나 이상의 변조 기법들을 사용하여 변조될 수도 있다. 일부 예들에서, 인코더/변조기 (1104) 의 변조 회로들은 오픈-드레인 구동기들 (1106) 과 같은 라인 구동 회로들의 동작을 제어하도록 구성될 수도 있다. 라인 구동 회로들은 푸시-풀 구동기들 또는 채택된 변조 스킴 또는 스킴들에 적절한 아날로그 및 디지털 회로들의 일부 다른 구성을 사용하여 구현될 수도 있다. 하나의 예에서, 제어 신호들 및/또는 기준 전압 레벨들 (1130) 은 SCL 및/또는 SDA 신호 와이어들 (1120, 1122) 상에서 송신된 신호들의 전압 레벨을 제어 및/

또는 변조하기 위해 인코더/변조기 (1104) 에 의해 제공될 수도 있다.

- [0064] 수신기 (1140) 에서, 일 세트의 라인 수신기들 (1142) 은 다수의 타입들의 수신 디바이스들을 포함할 수도 있다. 수신 디바이스들은 SCL 신호 와이어 (1120) 및/또는 SDA 신호 와이어 (1122) 로부터 수신된 신호들의 전압 변조들을 검출할 수 있는 차분 수신기들을 포함할 수도 있다. 하나의 예에서, 단일 종단 수신기들은 변조들을 무시하고, I2C 사양들에 따르거나 그들과 양립가능하고 SCL 신호 와이어 및 SDA 신호 와이어 (1122) 로부터 수신된 신호들에 응답할 수도 있다. 동시에, 차분 수신기는 디지털 차분 신호들 (910, 912) (도 9 참조) 을 추출하기 위해 SCL 신호 와이어 (1120) 및 SDA 신호 와이어 (1122) 의 전압 레벨들을 비교할 수도 있다. 다른 예에서, 차분 수신기는 아날로그 FM 인코딩된 신호 (1002) (도 10 참조) 를 추출하기 위해 SCL 신호 와이어 (1120) 및/또는 SDA 신호 와이어 (1122) 의 전압 레벨을 비교한다. 이에 따라, 일 세트의 라인 수신기들 (1142) 은 디코더/복조기 (1144) 로 다수의 수신 신호들 (1150) 을 제공할 수도 있다.
- [0065] 디코더/복조기 (1144) 는 SDA 신호 와이어 (1122) 로부터 I2C 시리얼 데이터 (1152) 를 추출하고 SCL 신호 와이어 (1120) 로부터 추출된 I2C 수신 클록을 제공하도록 구성될 수도 있다. 디코더/복조기 (1144) 는 세컨더리 채널 시그널링으로부터 복조 또는 디코딩된 데이터 (1156) 의 역직렬화를 제어하기 위해 사용될 수 있는 복조 클록 및 I2C 수신 클록을 포함하는, 다수의 수신 클록들 (1160) 을 생성할 수도 있다. 역직렬화는 출력 프라이머리 데이터 (1154) 를 제공하기 위해 프라이머리 채널 역직렬화기 (1146) 및 출력 세컨더리 데이터 (1158) 를 제공하기 위해 세컨더리 채널 역직렬화기 (1148) 에 의해 수행될 수도 있다.
- [0066] 디코더/복조기 (1144) 는 SCL 신호 와이어 (1120) 및/또는 SDA 신호 와이어 (1122) 상에서 송신된 I2C 순응 신호들에 중첩되거나 변조하는 세컨더리 채널 신호의 존재를 검출할 수도 있다. 수신 회로들 (1142) 은 세컨더리 채널 시그널링을 위해 사용된 변조의 형태가 디지털 SCL 및/또는 SDA 신호 와이어들 (1120 및/또는 1122) 의 전압 레벨의 변조의 일부 형태를 포함할 때 별개의 I2C 순응 신호들 및 변조 신호들을 제공할 수도 있다. 디코더/복조기 (1144) 는 I2C 신호들에서의 타이밍 차이들을 검출하기 위한 및/또는 I2C 신호들상에 삽입된 추가적인 짧은-지속기간 펄스들의 존재 또는 부재를 검출하기 위한 회로들을 포함할 수도 있다. 타이밍 차이들은 카운터들, 타이머들, 원-샷 (one-shot) 딜레이들 등을 사용하여 검출될 수도 있다. 타이밍 차이들의 검출은 모든 클록 사이클에서 및/또는 I2C 프라이머리 채널상에서 송신된 연속적인 바이트들 사이에서 결정될 수도 있다.
- [0067] 도 12 는 I2C 버스상에서의 데이터 송신들을 위한 방법을 도시하는 플로우차트 (1200) 를 포함한다. 방법의 여러 단계들은 도 2 에 도시된 I2C 슬레이브 회로 (202), 도 3 에 도시된 디바이스들 (304, 314 또는 316), 및/또는 여기에 기술된 다른 디바이스들의 일부 조합을 포함하는 송신 디바이스에 의해 수행될 수도 있다.
- [0068] 단계 (1202) 에서, 디바이스는 I2C 버스 프로토콜들에 따라 I2C 신호에서 프라이머리 데이터를 인코딩할 수도 있다.
- [0069] 단계(1204) 에서, 디바이스는 멀티-채널 신호를 획득하기 위해 I2C 신호에서 세컨더리 데이터를 인코딩할 수도 있다.
- [0070] 단계 (1206) 에서, 디바이스는 I2C 버스상에서 멀티-채널 신호를 송신할 수도 있다. 멀티-채널 신호는 I2C 버스 프로토콜들과 호환가능할 수도 있다.
- [0071] 하나의 예에서, 세컨더리 데이터는 상보적 신호들의 쌍을 포함하는 차분 신호에서 세컨더리 데이터를 인코딩함으로써, 및 I2C 버스의 SDA 상에서 상보적 신호들의 쌍 중 하나의 신호 그리고 I2C 버스의 SCL 상에서 상보적 신호들의 쌍 중 상이한 신호를 송신함으로써 I2C 버스상에서 차분 신호를 송신함으로써 I2C 신호에서 인코딩될 수도 있다. 차분 신호는 SDA 및 SCL 양자 모두가 하이 로직 레벨에 있을 때 I2C 버스상에서 송신될 수도 있다. SDA 및 SCL 은 차분 신호가 SDA 및 SCL 을 통해 송신되는 동안 하이 로직 레벨에 대한 I2C 버스 프로토콜들에 의해 특정된 최소 전압보다 크고 하이 로직 레벨에 대한 I2C 버스 프로토콜들에 의해 특정된 최대 전압보다 작은 전압 레벨들을 가질 수도 있다. 차분 신호는 I2C 버스가 아이들일 때 시간의 주기 동안 송신될 수도 있다.
- [0072] 다른 예에서, 세컨더리 데이터는 FM 신호에서 세컨더리 데이터를 인코딩하고, I2C 버스의 SDA 및 SCL 중 하나 이상을 통해 FM 신호를 송신함으로써 I2C 신호에서 인코딩될 수도 있다. FM 신호는 I2C 호환가능 디바이스의 수신기에 의해 사용되는 슈미트 트리거 입력들에 대해 최소 히스테리시스 전압 레벨보다 작은 진폭을 가질 수도 있다. 최소 히스테리시스 전압 레벨은 I2C 버스 프로토콜들에서 정의된다.
- [0073] 다른 예에서, 세컨더리 데이터는 I2C 버스의 SDA 또는 SCL 상에서 송신된 신호 내로 짧은 펄스를 삽입하거나 삽

입하는 것을 삼감으로써 I2C 신호에서 인코딩될 수도 있다. 짧은 펄스는 송신될 세컨더리 데이터의 비트의 값이 제 1 값을 가질 때 삽입될 수도 있고, 송신될 세컨더리 데이터의 비트가 제 2 값을 가질 때는 어떠한 짧은 펄스도 삽입되지 않는다. 예를 들어, I2C 신호에서 세컨더리 데이터를 인코딩하는 단계는 SCL 상에서 송신되는 클록 신호의 복수의 하프 사이클들로 짧은 펄스들을 삽입하거나 삽입하는 것을 삼가는 단계를 포함할 수도 있다. 짧은 펄스는 클록 신호의 펄스에 대해 I2C 버스 프로토콜들에 의해 특정된 최소 지속기간보다 작은 지속기간을 가질 수도 있다. 짧은 펄스는 I2C 수신기에 의해 무시되어야 하는 스파이크에 대해 I2C 버스 프로토콜들에 의해 특정된 최대 지속기간보다 작은 지속기간을 가질 수도 있다.

[0074] 다른 예에서, 세컨더리 데이터는 I2C 버스의 SCL 상에서 송신된 클록 신호를 펄스-폭 변조함으로써 I2C 신호에서 인코딩될 수도 있다. 결과의 펄스-폭 변조된 클록 신호의 각각의 하이 주기는 I2C 버스 프로토콜들에 의해 특정된 SCL 클록에 대해 최소 하이 주기를 초과하는 지속기간을 갖고, 펄스-폭 변조된 클록 신호의 각각의 로우 주기는 상기 I2C 버스 프로토콜들에 의해 특정된 SCL 클록에 대해 최소 로우 주기를 초과하는 지속기간을 갖는다.

[0075] 다른 예에서, 세컨더리 데이터는 송신될 세컨더리 데이터의 비트가 제 1 값을 가질 때, 프라이머리 데이터를 인코딩하는 연속적인 프레임들의 쌍 사이에 시작 조건이 후속되는 정지 조건을 송신하고, 송신될 세컨더리 데이터의 비트가 제 2 값을 가질 때 연속적인 프레임들의 쌍 사이에 반복된 시작 조건을 송신함으로써 I2C 신호에서 인코딩될 수도 있다.

[0076] 다른 예에서, 세컨더리 데이터는 송신될 세컨더리 데이터의 비트가 제 1 값을 가질 때 연속적인 프레임들의 쌍 사이에 2 개의 미리 정의된 지속기간들 중 첫번째 지속기간을 갖는 반복된 시작 조건을 송신하고, 송신될 세컨더리 데이터의 비트가 제 2 값을 가질 때 연속적인 프레임들의 쌍 사이에 2개의 미리 정의된 지속기간들 중 두번째 지속기간을 갖는 반복된 시작 조건을 송신함으로써 I2C 신호에서 인코딩될 수도 있다.

[0077] 도 13 은 프로세싱 회로 (1302) 를 채용하는 장치를 위한 하드웨어 구현의 단순화된 예를 도시하는 다이어그램 (1300) 이다. 프로세싱 회로는 통상적으로 마이크로프로세서, 마이크로제어기, 디지털 신호 프로세서, 시퀀서 및 상태 머신 중 하나 이상을 포함할 수도 있는 프로세서 (1316) 를 갖는다. 프로세싱 회로 (1302) 는 버스 (1320) 에 의해 일반적으로 표현된 버스 아키텍처를 갖도록 구현될 수도 있다. 버스 (1320) 는 프로세싱 회로 (1302) 의 특정의 애플리케이션 및 전체 설계 제약들에 따라 임의의 수의 상호연결 버스들 및 브리지들을 포함할 수도 있다. 버스 (1320) 는 프로세서 (1316), 모듈들 또는 회로들 (1304, 1306 및 1308), 복수의 커넥터들 또는 와이어들을 포함하는 I2C 버스 (1314) 를 통해 통신하도록 구성가능한 라인 인터페이스 회로들 (1312), 및 컴퓨터 판독가능 저장 매체 (1318) 에 의해 표현된 하나 이상의 프로세서들 및/또는 하드웨어 모듈들을 포함하는 여러 회로들을 함께 링크한다. 버스 (1320) 는 또한 본 기술분야에서 잘 알려져 있고, 따라서 더 이상 기술되지 않을 타이밍 소스들, 주변 장치들, 전압 조정기들, 및 전력 관리 회로들과 같은 여러 다른 회로들을 링크할 수도 있다.

[0078] 프로세서 (1316) 는 컴퓨터 판독가능 저장 매체 (1318) 상에 저장된 소프트웨어의 실행을 포함하는 일반 프로세싱을 담당한다. 소프트웨어는, 프로세서 (1316) 에 의해 실행될 때, 프로세싱 회로 (1302) 로 하여금 임의의 특정의 장치에 대해 위에 기술된 여러 기능들을 수행하게 한다. 컴퓨터 판독가능 저장 매체 (1318) 는 또한 I2C 버스 (1314) 를 통해 송신된 심볼들로부터 디코딩된 데이터를 포함하는, 소프트웨어를 실행할 때 프로세서 (1316) 에 의해 조작되는 데이터를 저장하기 위해 사용될 수도 있다. 프로세싱 회로 (1302) 는 모듈들 (1304, 1306 및 1308) 중 적어도 하나를 더 포함한다. 모듈들 (1304, 1306 및 1308) 은 프로세서 (1316) 에서 실행하는, 컴퓨터 판독가능 저장 매체 (1318) 에 상주하는/저장된 소프트웨어 모듈들, 프로세서 (1316) 에 커플링된 하나 이상의 하드웨어 모듈들, 또는 이들의 일부 조합일 수도 있다. 모듈들 (1304, 1306 및 1308) 은 마이크로제어기 명령들, 상태 머신 구성 파라미터들, 또는 이들의 일부 조합을 포함할 수도 있다.

[0079] 하나의 구성에서, 무선 통신을 위한 장치 (1300) 는 I2C 버스 프로토콜들에 따라 I2C 신호에서 프라이머리 데이터를 인코딩하도록 구성되는 모듈 및/또는 회로 (1304), 멀티-채널 신호를 제공하기 위해 I2C 신호에서 세컨더리 데이터를 인코딩하도록 구성되는 모듈 및/또는 회로 (1306), 및 I2C 버스 프로토콜들에 따라 I2C 버스 (1314) 상에서 멀티-채널 신호를 송신하도록 구성되는 모듈 및/또는 회로 (1308) 를 포함한다.

[0080] 도 14 는 I2C 버스상에서의 데이터 통신들을 위한 방법을 도시하는 플로우차트 (1400) 를 포함한다. 그 방법의 여러 단계들은 도 2 에 도시된 I2C 슬레이브 회로 (202), 도 3 에 도시된 디바이스들 (304, 314 또는 316), 및/또는 여기에 기술된 다른 디바이스들의 일부 조합을 포함하는 송신 디바이스에 의해 수행될 수도 있다. 단계 (1402) 에서, 디바이스는 I2C 버스 프로토콜들에 따라 I2C 신호로부터 수신된 프라이머리 데이

터를 디코딩할 수도 있다.

- [0081] 단계 (1404) 에서, 디바이스는 I2C 신호로부터 세컨더리 데이터를 디코딩할 수도 있다. 세컨더리 데이터는 I2C 버스 프로토콜 이외의 프로토콜을 사용하여 디코딩될 수도 있다. I2C 신호는 I2C 버스 프로토콜들에 따른다.
- [0082] 하나의 예에서, 세컨더리 데이터를 디코딩하는 단계는, I2C 버스의 SDA 및 SCL로부터 신호들의 차분 쌍을 수신하는 단계로서, SDA 및 SCL은 신호들의 차분 쌍 중 상이한 신호들을 반송하는, 상기 신호들의 차분 쌍을 수신하는 단계, 및 신호들의 차분 쌍으로부터 세컨더리 데이터를 디코딩하는 단계를 포함한다. 신호들의 차분 쌍은 SDA 및 SCL 양자 모두가 하이 로직 레벨에 있을 때 I2C 버스로부터 수신될 수도 있다. 신호들의 차분 쌍이 I2C 버스로부터 수신되는 동안, SDA 및 SCL은 하이 로직 레벨에 대한 I2C 버스 프로토콜들에 의해 특정된 최소 전압보다 크고 그 하이 로직 레벨에 대한 I2C 버스 프로토콜들에 의해 특정된 최대 전압보다 작은 전압 레벨들을 가질 수도 있다. 신호들의 차분 쌍은 I2C 버스가 아이들일 때 시간의 주기 동안 수신될 수도 있다.
- [0083] 다른 예에서, 세컨더리 데이터를 디코딩하는 단계는 I2C 버스의 SDA 및 SCL 중 적어도 하나로부터 FM 신호를 수신하는 단계, 및 FM 신호로부터 세컨더리 데이터를 디코딩하는 단계를 포함한다. FM 신호는 I2C 버스 프로토콜들에서 정의된 바와 같은 I2C 호환가능 디바이스의 수신기에서 슈미트 트리거 입력들에 대한 최소 히스테리시스 전압 레벨보다 작은 진폭을 가질 수도 있다. SDA 및 SCL의 전압들은 FM 신호가 수신되고 있는 동안 하이 로직 레벨에 대한 I2C 버스 프로토콜들에 의해 특정된 최소 전압보다 크고 하이 로직 레벨에 대한 I2C 버스 프로토콜들에 의해 특정된 최대 전압보다 작을 수도 있다.
- [0084] 다른 예에서, 세컨더리 데이터를 디코딩하는 단계는 I2C 버스의 SDA 및 SCL로부터 수신된 신호에서의 짧은 펄스들의 존재 또는 부재를 결정하는 단계, 및 짧은 펄스들의 존재 또는 부재에 기초하여 세컨더리 데이터를 디코딩하는 단계를 포함한다. 짧은 펄스들의 각각은 무시되어야 하는 스파이크에 대한 I2C 버스 프로토콜들에 의해 특정된 최대 지속기간보다 작은 지속기간을 가질 수도 있다.
- [0085] 다른 예에서, 세컨더리 데이터를 디코딩하는 단계는 I2C 버스의 SCL로부터 수신된 클록 신호의 복수의 하프 사이클들에서의 짧은 펄스들의 존재 또는 부재를 결정하는 단계, 및 짧은 펄스들의 존재 또는 부재에 기초하여 세컨더리 데이터를 디코딩하는 단계를 포함한다. 짧은 펄스들의 각각은 무시되어야 하는 스파이크에 대한 I2C 버스 프로토콜들에 의해 특정된 최대 지속기간보다 작은 지속기간을 가질 수도 있다.
- [0086] 다른 예에서, 세컨더리 데이터를 디코딩하는 단계는 I2C 버스의 SCL로부터 수신된 펄스-폭 변조된 클록 신호에서 세컨더리 데이터를 디코딩하는 단계를 포함한다. 펄스-폭 변조된 클록 신호의 각각의 하이 주기는 I2C 버스 프로토콜들에 의해 특정된 SCL 클록에 대한 최소 하이 주기를 초과하는 지속기간을 갖고, 펄스-폭 변조된 클록 신호의 각각의 로우 주기는 I2C 버스 프로토콜들에 의해 특정된 SCL 클록에 대한 최소 로우 주기를 초과하는 지속기간을 갖는다.
- [0087] 다른 예에서, 세컨더리 데이터를 디코딩하는 단계는 정지 조건 및 시작 조건이 I2C 버스의 SDA 상에서 프라이머리 데이터를 반송하는 연속적인 프레임들 사이에 수신될 때 세컨더리 데이터의 비트에 대한 제 1 값을 결정하는 단계, 및 반복된 시작 조건이 연속적인 프레임들 사이에 수신될 때 세컨더리 데이터의 비트에 대한 제 2 값을 결정하는 단계를 포함한다.
- [0088] 다른 예에서, 세컨더리 데이터를 디코딩하는 단계는 I2C 버스의 SDA 상에서 프라이머리 데이터를 반송하는 연속적인 프레임들 사이에 수신된 반복된 시작 조건이 제 1 지속기간을 가질 때, 세컨더리 데이터의 비트에 대한 제 1 값을 결정하는 단계, 및 반복된 시작 조건이 제 2 지속기간을 가질 때 세컨더리 데이터의 비트에 대한 제 2 값을 결정하는 단계를 포함한다.
- [0089] 도 15는 프로세싱 회로 (1502)를 채용하는 장치를 위한 하드웨어 구현의 단순화된 예를 도시하는 다이어그램 (1500)이다. 프로세싱 회로는 통상적으로 마이크로프로세서, 마이크로제어기, 디지털 신호 프로세서, 시퀀서 및 상태 머신 중 하나 이상을 포함할 수도 있는 프로세서 (1516)를 갖는다. 프로세싱 회로 (1502)는 버스 (1520)에 의해 일반적으로 표현된 버스 아키텍처를 갖도록 구현될 수도 있다. 버스 (1520)는 프로세싱 회로 (1502)의 특정의 애플리케이션 및 전체 설계 제약들에 따라 임의의 수의 상호연결 버스들 및 브리지들을 포함할 수도 있다. 버스 (1520)는 프로세서 (1516), 모듈들 또는 회로들 (1504, 1506 및 1508), 복수의 커넥터들 또는 와이어들을 포함하는 I2C 버스 (1514)를 통해 통신하도록 구성가능한 라인 인터페이스 회로들 (1512), 및 컴퓨터 판독가능 저장 매체 (1518)에 의해 표현된 하나 이상의 프로세서들 및/또는 하드웨어 모



들들을 포함하는 여러 회로들을 함께 링크한다. 버스 (1520) 는 또한 본 기술분야에서 잘 알려져 있고, 따라서 더 이상 기술되지 않을 타이밍 소스들, 주변 장치들, 전압 조정기들, 및 전력 관리 회로들과 같은 여러 다른 회로들을 링크할 수도 있다.

[0090] 프로세서 (1516) 는 컴퓨터 판독가능 저장 매체 (1516) 상에 저장된 소프트웨어의 실행을 포함하는 일반 프로세싱을 담당한다. 소프트웨어는, 프로세서 (1516) 에 의해 실행될 때, 프로세싱 회로 (1502) 로 하여금 임의의 특정의 장치에 대해 위에 기술된 여러 기능들을 수행하게 한다. 컴퓨터 판독가능 저장 매체 (1518) 는 또한 I2C 버스 (1514) 를 통해 송신된 심볼들로부터 디코딩된 데이터를 포함하는, 소프트웨어를 실행할 때 프로세서 (1516) 에 의해 조작되는 데이터를 저장하기 위해 사용될 수도 있다. 프로세싱 회로 (1502) 는 모듈들 (1504, 1506 및 1508) 중 적어도 하나를 더 포함한다. 모듈들 (1504, 1506 및 1508) 은 프로세서 (1516) 에서 실행하는, 컴퓨터 판독가능 저장 매체 (1518) 에 상주하는/저장된 소프트웨어 모듈들, 프로세서 (1516) 에 커플링된 하나 이상의 하드웨어 모듈들, 또는 이들의 일부 조합일 수도 있다. 모듈들 (1504, 1506 및 1508) 은 마이크로제어기 명령들, 상태 머신 구성 파라미터들, 또는 이들의 일부 조합을 포함할 수도 있다.

[0091] 하나의 구성에서, 무선 통신을 위한 장치 (1500) 는 I2C 버스 프로토콜들에 따라 I2C 신호로부터 수신된 프라이머리 데이터를 디코딩하도록 구성되는 모듈 및/또는 회로 (1504), I2C 신호로부터 세컨더리 데이터를 디코딩하도록 구성되는 모듈 및/또는 회로 (1506), 및 I2C 버스 (1514) 로부터 I2C 신호를 수신하고 인코딩된 프라이머리 및 세컨더리 데이터 I2C 신호와 연관된 시그널링을 분리 및/또는 복조하도록 구성되는 모듈 및/또는 회로 (1508) 를 포함한다.

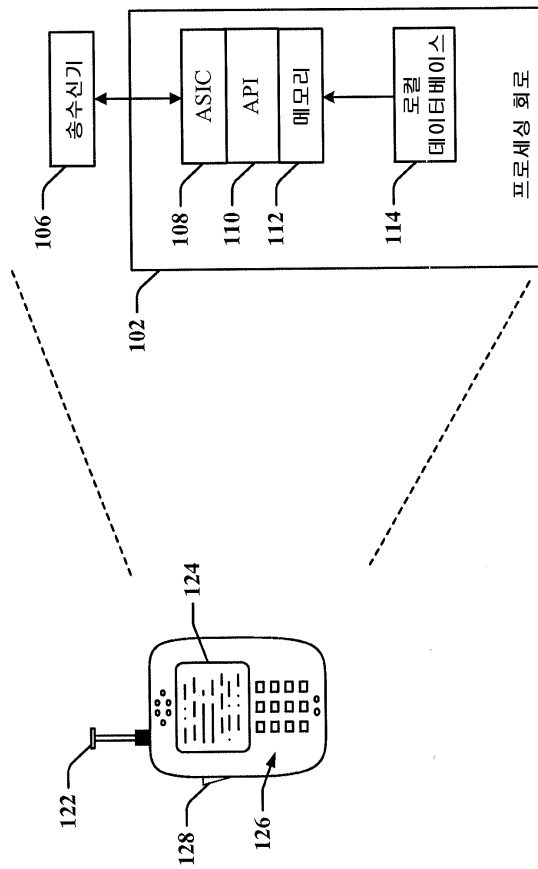
[0092] 개시된 프로세스들에서의 단계들의 특정의 순서 또는 계층은 예시적인 접근법들의 설명이라는 것이 이해된다. 설계 선호도들에 기초하여, 프로세스들에서의 단계들의 특정의 순서 또는 계층은 재배열될 수도 있다는 것이 이해된다. 첨부하는 방법 청구항들은 샘플 순서로 여러 단계들의 엘리먼트들을 제시하고, 제시된 특정의 순서나 계층에 제한되는 것으로 의도되지 않는다.

[0093] 이전의 설명은 본 기술의 통상의 기술자들이 여기에 기술된 여러 양태들을 실시하는 것을 가능하게 하기 위해 제공된다. 이들 양태들에 대한 여러 변경들은 본 기술에서의 통상 기술자들에게 용이하게 명백할 것이고, 여기에 정의된 일반 원리들은 다른 양태들에 적용될 수도 있다. 따라서, 청구범위는 여기에 도시된 양태들에 제한되는 것으로 의도되지 않고, 언어 청구항들과 연관된 전체 범위에 따라야 하며, 여기서 단수로의 엘리먼트의 기재는 구체적으로 그렇게 진술되지 않는 한 "하나 및 하나만" 을 의미하도록 의도되지 않고, 오히려 "하나 이상" 을 의미한다. 구체적으로 다르게 진술되지 않는 한, 용어 "일부" 는 하나 이상을 지칭한다. 본 기술에서의 통상의 기술자들에게 알려져 있거나 이후에 알려지게 되는 본 개시 전체에 걸쳐 기술된 여러 양태들의 엘리먼트들에 대한 모든 구조적 및 기능적 등가물들은 참조로 여기에 명백히 포함되고 청구범위에 의해 포함되도록 의도된다. 게다가, 여기에 개시된 어떤 것도 그러한 개시가 청구범위에 명백히 기재되는지 여부에 관계없이 공중에게 바쳐지도록 의도되지 않는다. 어떠한 청구항 엘리먼트도 그 엘리먼트가 어구 "~하는 수단" 을 사용하여 명백히 기재되지 않는 한 수단 플러스 기능으로서 해석되지 않아야 한다.

도면

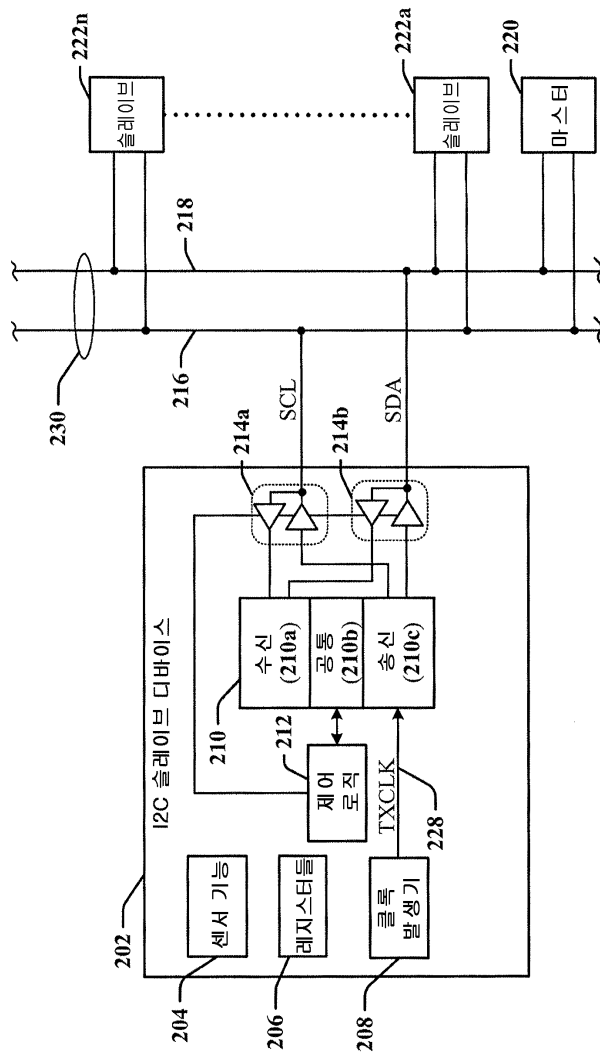
도면1

100



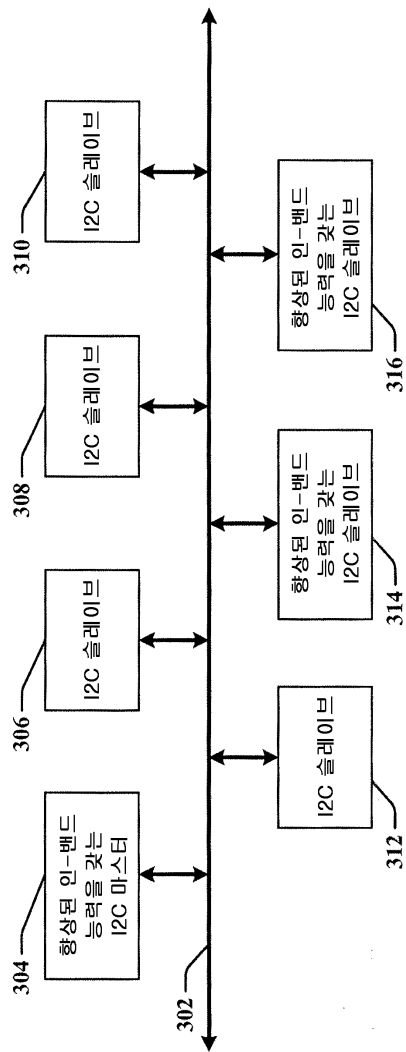
도면2

200



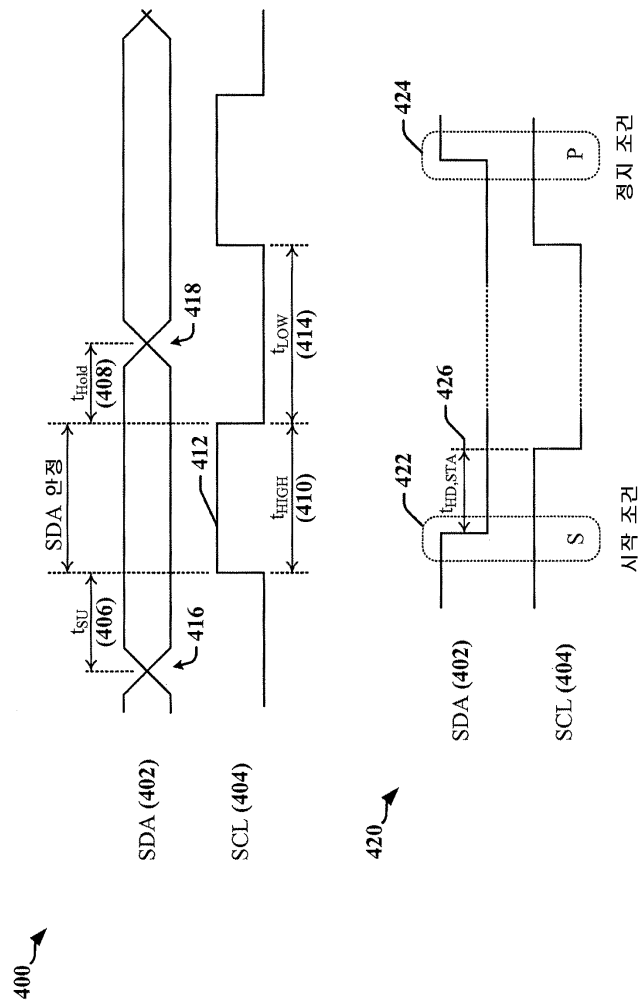
도면3

300

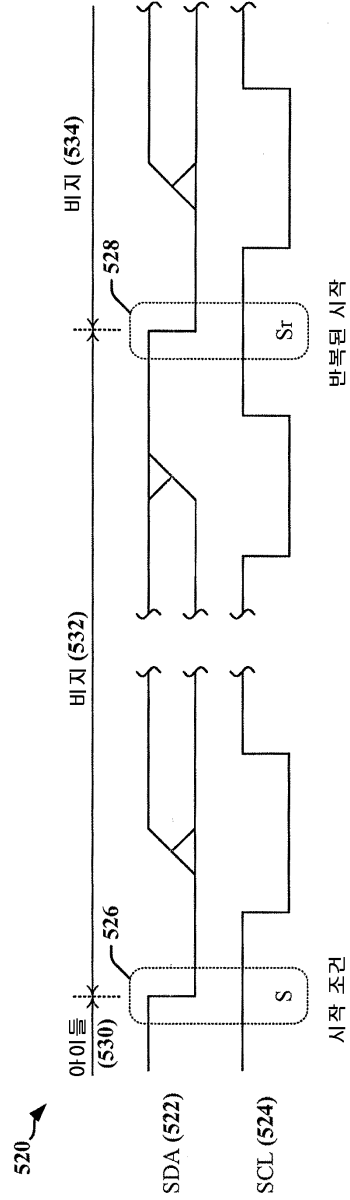
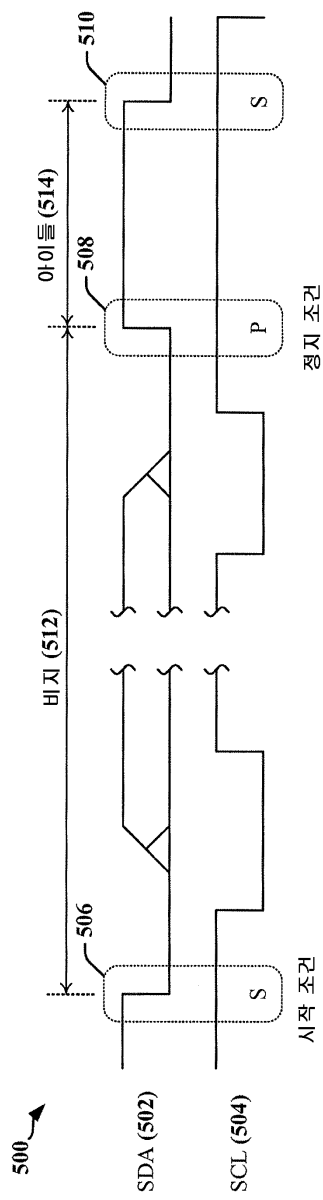




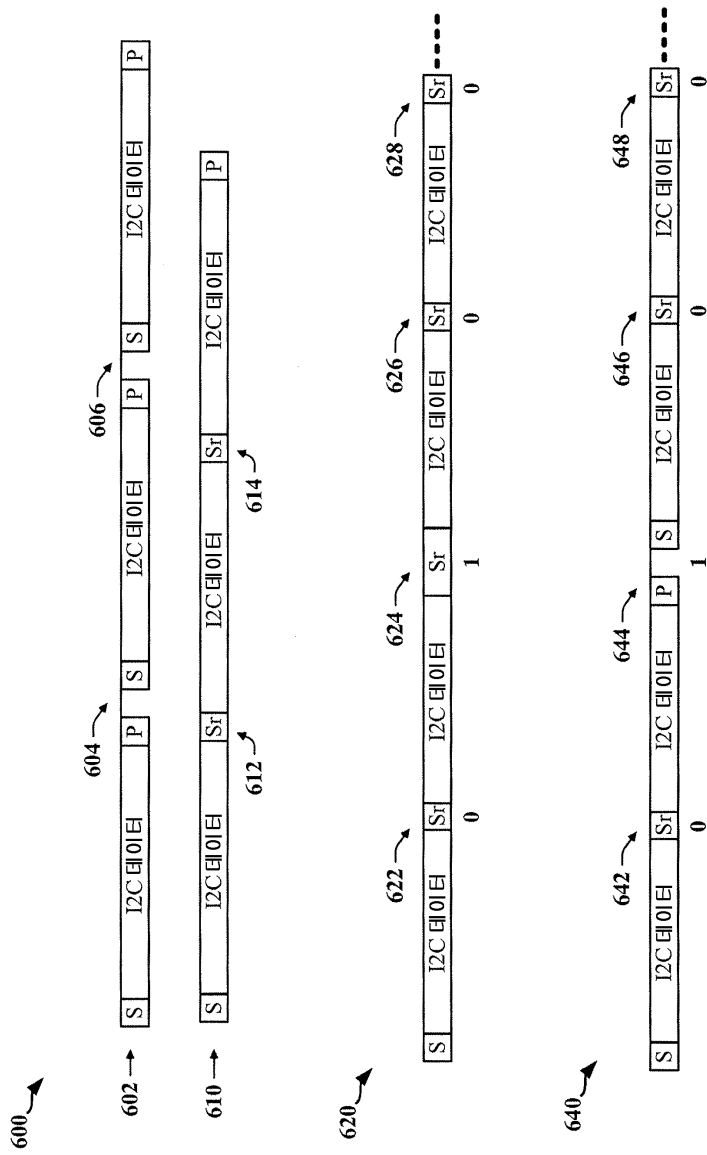
도면4



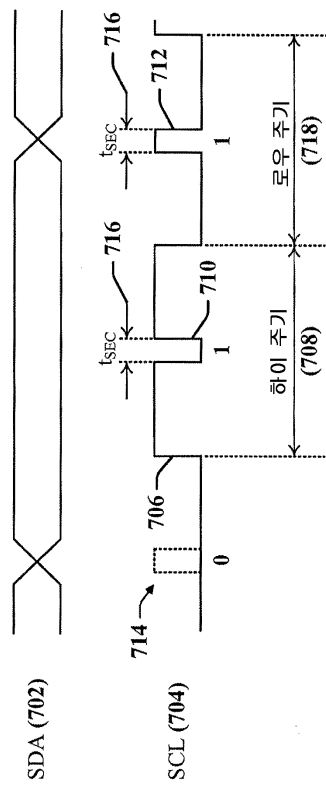
도면5



도면6

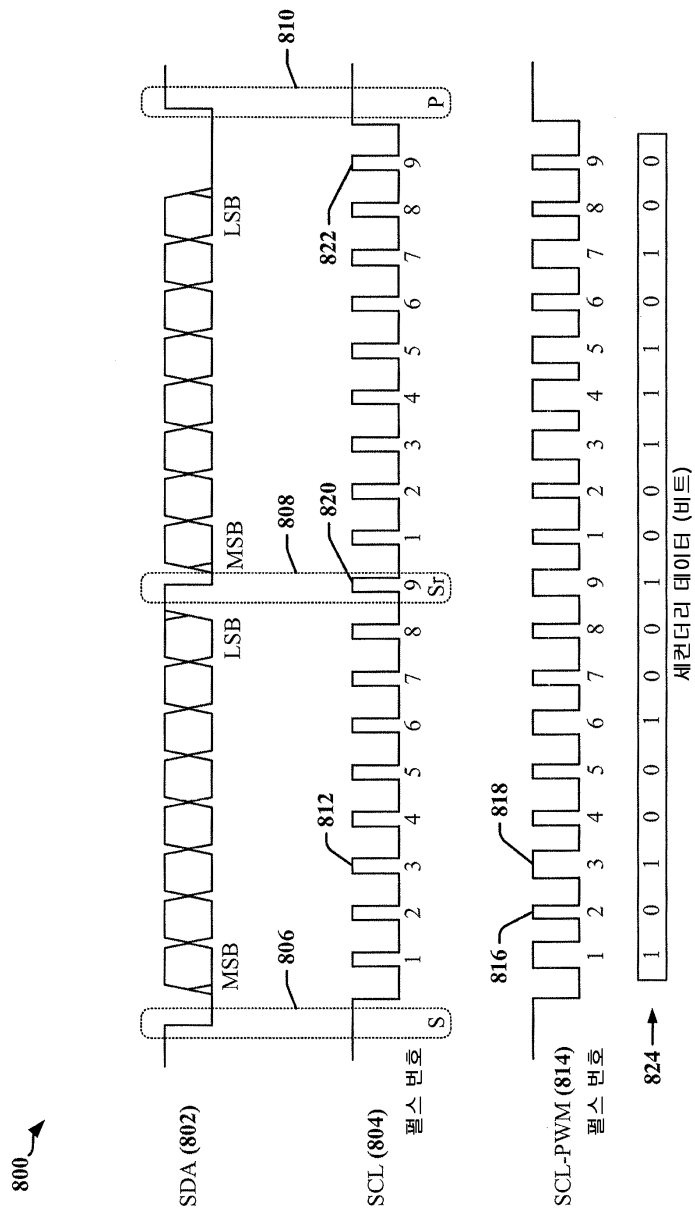


도면7

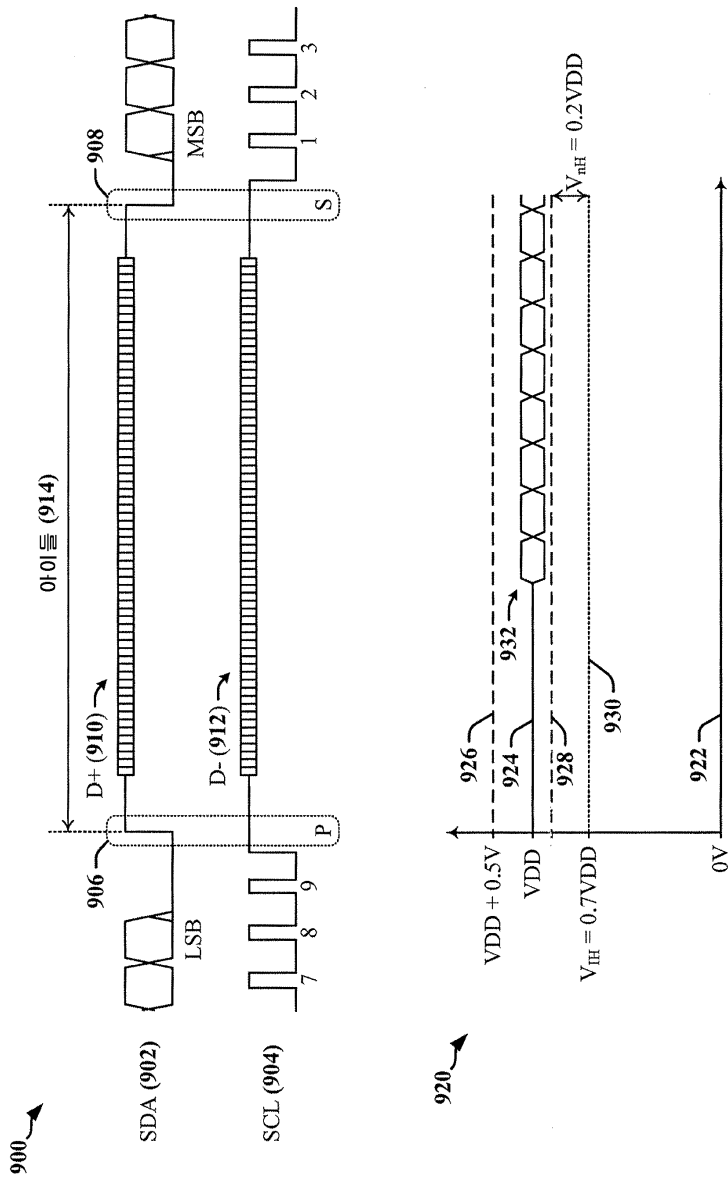


700 ↗

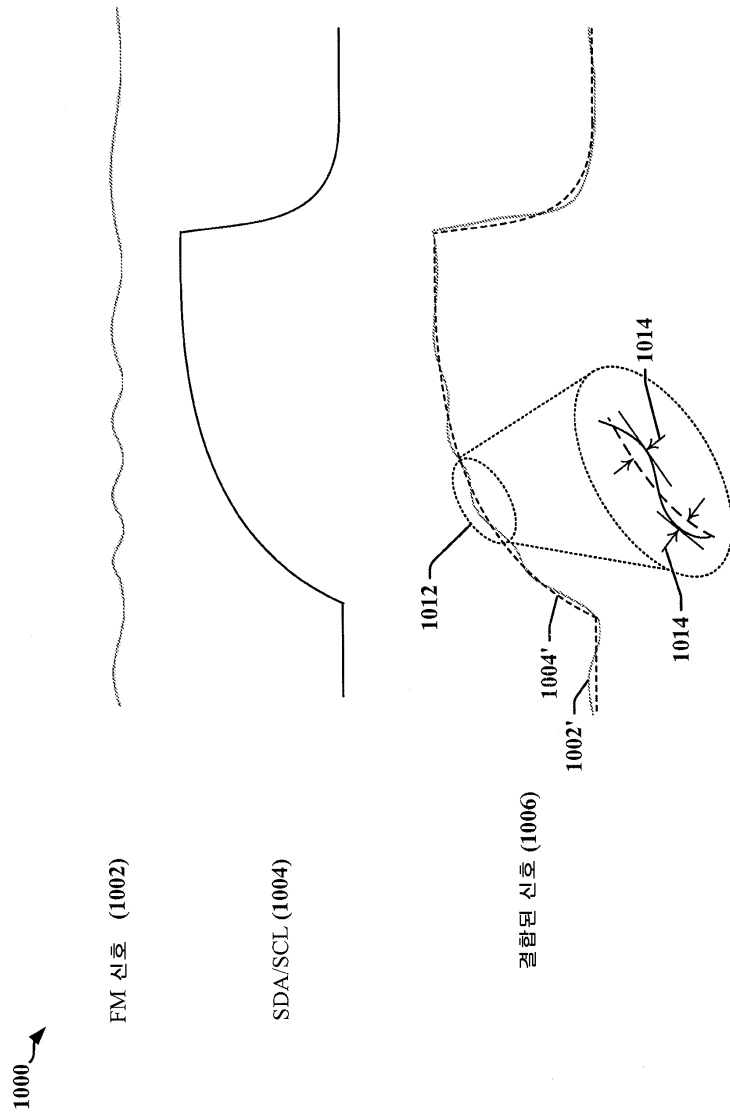
도면8



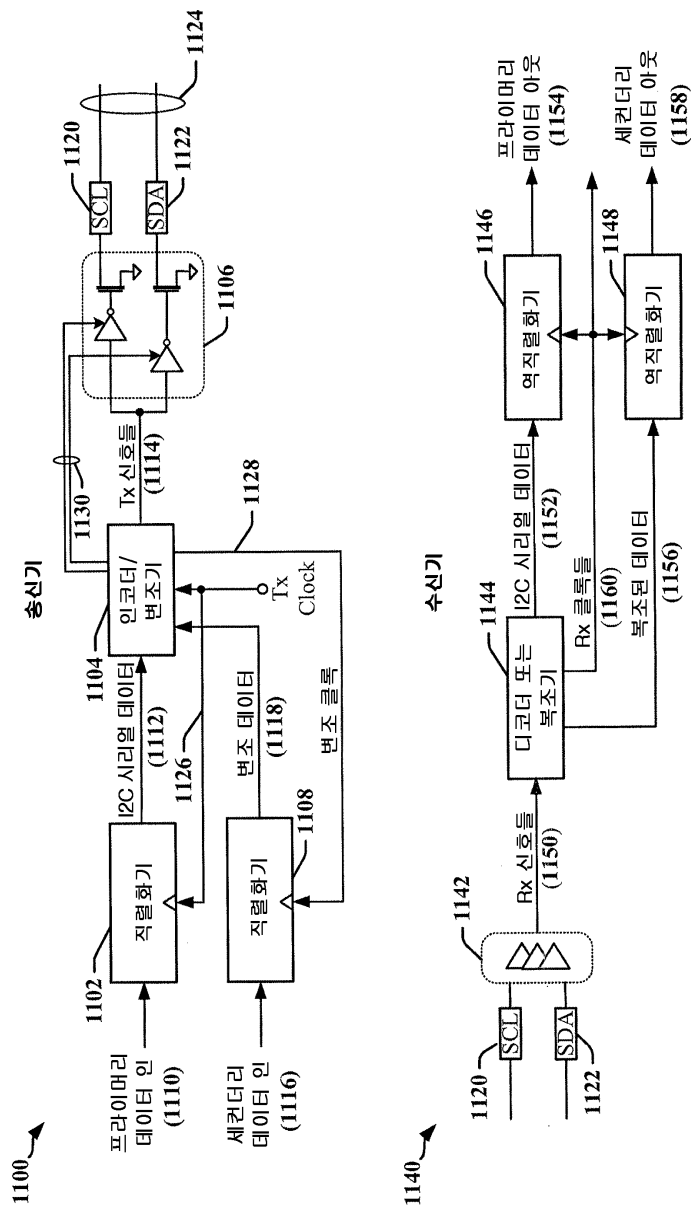
도면9



도면10

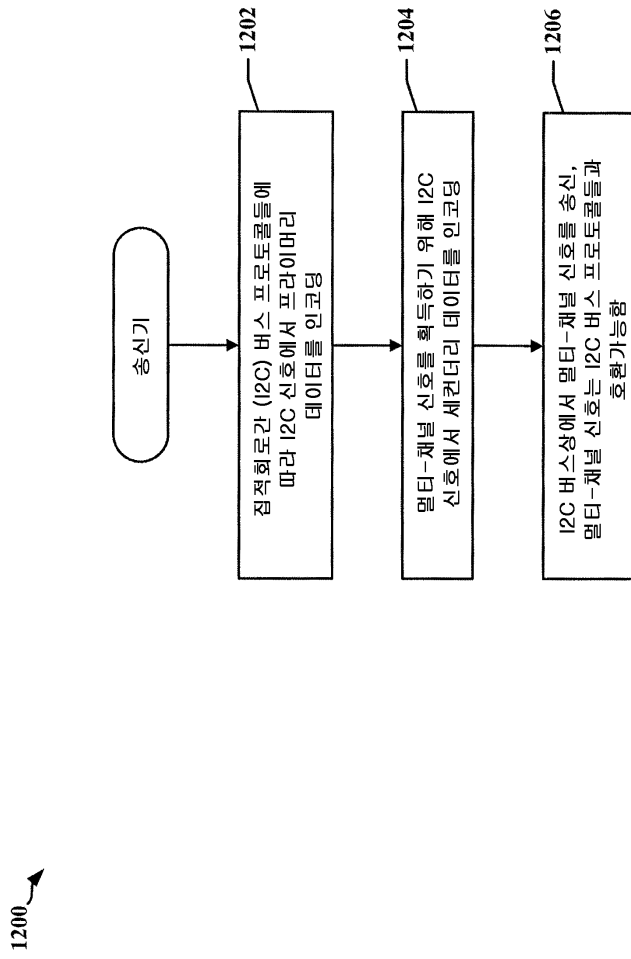


도면11



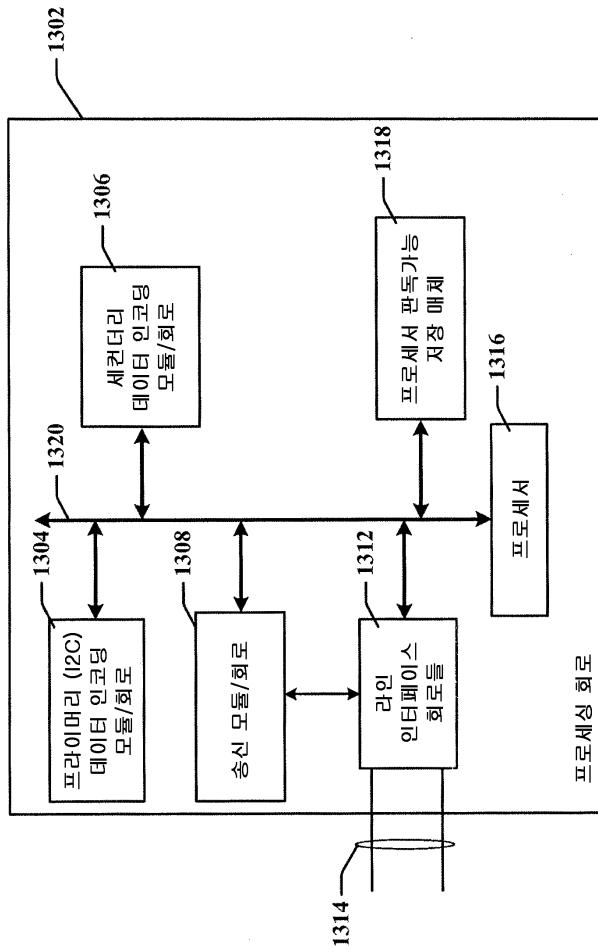


도면12



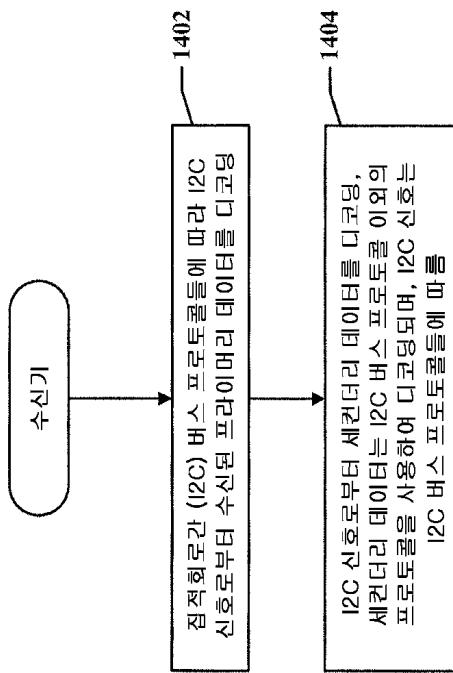
도면13

1300



도면14

1400 ↗



도면15

1500

