(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 16/06

(45) 공고일자 1999년07월15일
(11) 등록번호 10-0207972
(24) 등록일자 1999년04월14일

(21) 출원번호 10-1995-0030329
(22) 출원일자 1995년09월16일
(65) 공개번호 특1996-0012300
(43) 공개일자 1996년04월20일
(30) 우선권주장 94-248452 1994년09월17일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 헤민크 게르트얀
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
다나카 도모하루
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 김윤배, 이세진

심사관 : 고광석

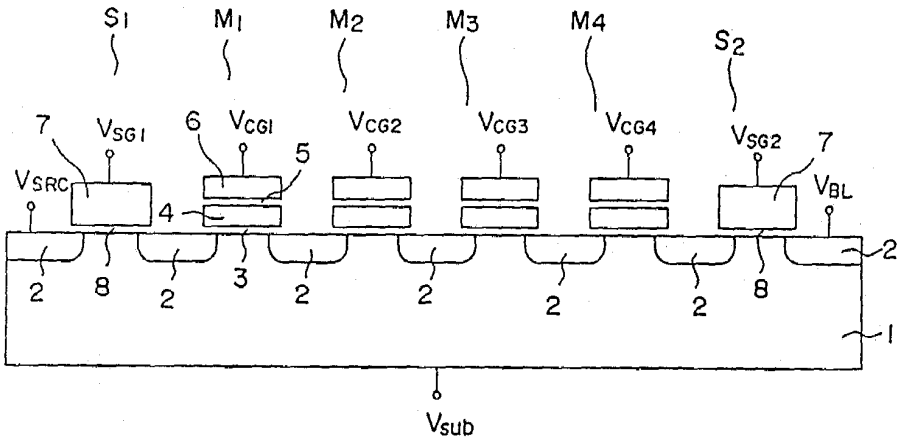
(54) 불휘발성 반도체기억장치

요약

본 발명은, 메모리셀의 기록특성의 오차에 기인하는 기록검증회로의 증가를 제어하고, 기록시간의 단축을 도모할 수 있는 EEPROM을 제공하는 것을 목적으로 한다.

이를 위해 본 발명은, Si기판(1)상에 부유게이트(4)와 제어게이트(6)를 적층하고 전기적 개서를 가능하게 한 메모리셀이 2차원으로 배열된 메모리셀 어레이와, 기판(1)과, 게이트(6)간에 소거펄스를 인가하는 소거기구, 기판(1)과 게이트(6)간에 소거펄스와 역극성의 낮은 사전기록펄스를 인가하는 사전기록기구, 사전기록펄스 인가 후의 상태를 검지하는 임계치 검증기구, 기판(1)과 게이트(6)간에 소거펄스와 역극성의 높은 전압의 기록펄스를 인가하는 기록기구를 구비한 EEPROM으로, 소거동작 후 사전기록동작과 임계치 검증동작을, 가장 빨리 변동하는 메모리셀의 임계치가 소거상태의 원하는 값에 도달할 때까지 반복하고, 그 다음에 기록동작에 의해 데이터기록을 수행하는 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

불휘발성 반도체기억장치

[도면의 간단한 설명]

제1도는 본 발명의 실시예에 이용한 메모리셀의 구조와 등가회로를 나타낸 도면.

제2도는 본 발명의 실시예에 이용한 메모리셀의 소거와 기록의 기본동작원리를 나타낸 도면.

제3도는 본 발명의 실시예에 이용한 상세한 기록동작원리를 나타낸 도면.

제4도는 본 발명의 실시예에 이용한 기록펄스파형을 나타낸 도면.

제5도는 본 발명의 실시예에 이용한 비트마다 검증기록동작의 기본원리를 나타낸 도면.

제6도는 본 발명의 실시예에 이용한 메모리셀의 기록시의 임계치변화를 나타낸 도면.

제7도는 제1실시예에 따른 NAND셀형 EEPROM의 메모리셀의 구성을 나타낸 도면.

제8도는 제1실시예에서의 사전기록특성을 나타낸 도면.

제9도는 제1실시예에서의 사전기록 후의 기록특성을 나타낸 도면.

제10도는 제2실시예에서의 메모리셀구성과 최적 기록전압을 이용한 기록동작을 나타낸 도면.

제11도는 제2실시예에서의 최적 기록전압의 발생동작을 나타낸 도면.

제12도는 제2실시예에서의 최적 기록전압을 이용한 기록특성을 나타낸 도면.

제13도는 제2실시예에서의 최적 기록전압을 이용한 기록을 수행하는 회로 구성을 나타낸 도면.

제14도는 제13도의 회로의 동작타이밍을 나타낸 도면.

제15도는 제3실시예에서의 최적 기록전압을 이용한 기록특성을 나타낸 도면.

제16도는 제3실시예에서의 최적 기록전압을 이용한 기록을 수행하는 회로 구성을 나타낸 도면.

제17도는 제16도의 회로의 동작타이밍을 나타낸 도면.

제18도는 본 발명의 실시예에 이용한 NAND형 메모리셀 어레이의 등가회로를 나타낸 도면이다.

* 도면의 주요부분에 대한 부호의 설명

1 : p형 기판 또는 p형 웰	2 : n형 확산층
3 : 터널절연막	4 : 부유게이트
5 : 게이트 절연막	6 : 제어게이트
7 : 선택게이트	8 : 선택게이트 절연막
Qn : nMOS 트랜지스터	Qp : pMOS 트랜지스터
FF : CMOS 플립플롭	CG : 제어게이트
SG : 선택게이트	BL : 비트선
M : 메모리셀	S : 선택 트랜지스터
C : 캐패시터	

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 전기적 개서(改書)가 가능한 불휘발성 반도체기억장치(EEPROM)에 관한 것으로, 특히 터널전류에 의해 메모리셀에 대해 기록/소거를 수행하는 EEPROM에 관한 것이다.

[종래의 기술 및 그 문제점]

EEPROM의 하나로서 고집적화가 가능한 NAND셀형 EEPROM이 알려져 있다.

이것은 복수의 메모리셀을 각각의 소스, 드레인을 인접하는 것끼리에서 공용하는 형으로 직렬접속하고, 이것을 1단위로서 비트선에 접속하는 것이다. 메모리셀은 통상 부유게이트(전하축적층)와 제어게이트가 적층된 FETMOS구조를 갖는다. 메모리셀 어레이는 p형 기판 또는 n형 기판에 형성된 p형 웰내에 집적 형성된다. NAND셀의 드레인측은 선택게이트를 매개로 비트선에 접속되고, 소스측은 역시 선택게이트를 매개로 공통 소스선에 접속된다. 메모리셀의 제어게이트는 행방향으로 연속적으로 배설되어 워드선으로 된다.

이 NAND셀형 EEPROM의 동작은 다음과 같다. 데이터기록은 비트선으로부터 가장 떨어진 위치의 메모리셀로부터 순서대로 수행한다. 선택된 메모리셀의 제어게이트에는 고전압(Vpp; ＝20V정도)을 인가하고, 그보다 비트선측에 있는 메모리셀의 제어게이트 및 선택게이트에는 중간전압(Vm; 10V정도)을 인가하며, 비트선에는 데이터에 따라 0V 또는 중간전압(Vmb; ＝8V정도)을 인가한다.

비트선에 0V가 인가된 경우, 그 전위는 선택 메모리셀의 드레인까지 전송되어 부유게이트에 전자주입이 발생한다. 이에 따라, 선택된 메모리셀의 임계치가 정(正)방향으로 시프트한다. 이 상태를, 예컨대 0으로 한다. 비트선에 Vmb가 인가된 경우는 전자주입이 실효적으로 일어나지 않고, 따라서 임계치는 변화하지 않고 부(負)에 머무른다. 이 상태는, 소거상태로 1로 한다.

데이터기록은 제어게이트를 공유하는 메모리셀에 대하여 동시에 수행된다. 기록전압(Vpp)은 메모리셀의 신뢰성을 확보하면서 기록속도를 빠르게 하기 위해 서서히 높아진다.

데이터소거는 NAND셀내의 모든 메모리셀에 대해 동시에 수행된다. 즉, 모든 제어게이트를 0V로 하고, p형 웰을 20V로 한다. 이 때, 선택게이트, 비트선 및 소스선도 20V로 된다. 이에 따라, 모든 메모리셀에서 부유게이트의 전자가 p형 웰로 방출되어 임계치가 부방향으로 시프트한다.

데이터독출은 선택된 메모리셀의 제어게이트를 0V로 하고, 그 이외의 메모리셀의 제어게이트 및 선택게이트를 전원전위(Vcc; 예컨대, 5V)로 하여, 선택 메모리셀에서 전류가 흐르는지의 여부를 검출함으로써 수행된다.

독출동작의 제약으로부터 0기록후의 임계치는 0V로부터 Vcc의 사이로 제어하지 않으면 안된다. 이를 위해 기록검증이 수행되어 0기록 부족의 메모리셀만을 검출하고, 0기록 부족의 메모리셀에 대해서만 재기록이 수행되도록 재기록데이터를 설정한다(비트마다 검증). 0기록 부족의 메모리셀은 선택된 제어게이트를 예컨대 0.5V(검증전압)로 하여 독출(검증독출)함으로써 검출된다. 즉, 메모리셀의 임계치가 0V에 대해 마진을 가지고 0.5V 이상으로 되어 있지 않으면, 선택 메모리셀로 전류가 흘러 0기록 부족으로 검출된다.

기록동작과 기록검증을 반복하면서 데이터기록을 함으로써 개개의 메모리셀에 대해 기록시간이 최적화되어 0기록 후의 임계치는 0V로부터 Vcc의 사이로 제어된다. 또, 기록동작마다 기록전압은 높이고, 신뢰성을 확보하면서 고속으로 기록이 수행된다.

그런데, 이런 종류의 NAND셀 EEPROM에 있어서는, 다음과 같은 문제가 있었다. 즉, 기록시의 기록전압(Vpp)을, 기록하기 쉬운 메모리셀을 위해 초기전압을 충분히 낮게 하고 기록하기 어려운 메모리셀을 위해 최종전압을 충분히 높게 하지 않으면 안되어, 기록전압의 단위시간당의 증가율을 일정하게 하면 기록특성의 오차가 클수록 기록에 시간이 걸린다는 문제가 있었다.

또, 이 기록특성의 오차가 클수록, 기록검증파형이 같다면(예컨대 전압이 일정) 기록/기록검증을 많이 반복하지 않으면 안되어 기록시간이 길어진다는 문제가 있었다.

이상과 같이 종래의 NAND셀형 EEPROM과 같은 기록방법에서는, 메모리셀의 기록특성의 오차가 커지면, 기록시의 초기전압과 최종전압의 차가 커진다거나 기록검증횟수의 증가를 초래하여 기록시간이 길어진다는 문제가 있었다.

[발명의 목적]

본 발명은 상기한 사정을 고려하여 발명된 것으로, 메모리셀의 기록특성의 오차에 기인하는, 기록시의 초기전압과 최종전압의 차의 증대나 기록검증횟수의 증대를 억제할 수 있고, 기록시간의 단축을 도모할 수 있는 불휘발성 반도체기억장치를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위해 본 발명은 다음과 같은 구성을 채용하고 있다.

즉, 본 발명은, 전기적 개서가 가능한 복수의 메모리셀과, 이들 복수의 메모리셀중 데이터가 소거되는 선택 메모리셀의 임계치전압을 검지하기 위한 수단 및, 상기 선택 메모리셀을 상기 검지수단에 의해 검지된 상기 선택 메모리셀의 임계치전압에 의존하고 있는 기록전압으로 기록하기 위한 수단을 구비한 것을 특징으로 한다.

또, 본 발명은, 전기적 개서가 가능한 복수의 메모리셀과, 이들 복수의 메모리셀중 데이터가 기록되는 선택된 메모리셀의 임계치전압을 검지하기 위한 수단 및, 상기 선택 메모리셀을 상기 검지수단에 의해 검지된 상기 선택 메모리셀의 임계치전압에 의존하고 있는 소거전압으로 소거하기 위한 수단을 구비한 것을 특징으로 한다.

또, 본 발명은, 전기적 개서가 가능한 복수의 메모리셀과, 미리 정해진 일정기간에 상기 복수의 메모리셀중 데이터가 사전기록전압으로 소거되는 선택 메모리셀을 사전기록하기 위한 수단, 사전기록되는 상기 선택 메모리셀의 임계치전압을 검지하기 위한 수단 및, 상기 선택 메모리셀을 상기 검지수단에 의해 검지된 상기 선택 메모리셀의 임계치전압에 의존하고 있는 기록전압으로 기록하기 위한 수단을 구비한 것을 특징으로 한다.

또, 본 발명은, 전기적 개서가 가능한 복수의 메모리셀과, 미리 정해진 일정기간에 상기 복수의 메모리셀중 데이터가 사전소거전압으로 소거되는 선택 메모리셀을 사전소거하기 위한 수단, 사전소거되는 상기 선택 메모리셀의 임계치전압을 검지하기 위한 수단 및, 상기 선택 메모리셀을 상기 검지수단에 의해 검지된 상기 선택 메모리셀의 임계치전압에 의존하고 있는 소거전압으로 소거하기 위한 수단을 구비한 것을 특징으로 한다.

또, 본 발명은, 전기적 개서가 가능한 복수의 메모리셀과, 사전기록전압을 이용하여 소거된 선택 메모리셀을 사전기록하기 위한 수단, 상기 선택 메모리 셀의 임계치전압이 소정의 전압에 도달하는 것을 검지하기 위한 수단 및, 상기 검지수단이 상기 선택 메모리셀의 임계치전압중의 하나가 상기 소정의 전압에 도달한 것을 검지한 후에, 상기 선택 메모리셀을 상기 사전기록전압보다 큰 기록전압을 이용하여 기록하기 위한 수단을 구비한 것을 특징으로 한다.

또, 본 발명은, 전기적 개서가 가능한 복수의 메모리셀과, 사전소거전압을 이용하여 기록된 선택 메모리셀을 사전소거하기 위한 수단, 상기 선택 메모리셀의 임계치전압이 소정의 전압에 도달하는 것을 검지하기 위한 수단 및, 상기 검지수단이 상기 선택 메모리셀의 임계치전압중의 하나가 상기 소정의 전압에 도달한 것을 검지한 후에, 상기 선택 메모리셀을 상기 사전소거전압보다 큰 소거전압을 이용하여 소거하기 위한 수단을 구비한 것을 특징으로 한다.

[작용]

상기와 같이 구성된 본 발명에 의하면, 소거후에 사전기록을 기록전압보다 충분히 낮은 전압으로 수행한다. 이에 따라, 기록하기 쉬운 메모리셀만 사전에 기록을 진행해 둔다. 또, 사전기록을 소거단위로 수행한다. 더욱이, 사전기록 후의 임계치를 검증하고, 가장 기록하기 쉬운 메모리셀의 임계치가 소정값에 도달하면, 사전기록을 종료한다. 기록은 기록동작과 비트선마다 검증을 반복하면서 수행한다.

이와 같이 사전기록에 의해 기록하기 쉬운 메모리셀의 기록을 사전에 진행해 둠으로써, 기록전압의 초기치를 높게 설정할 수 있어 기록시간이 단축된다. 또, 기록시의 높은 전압에 비해 충분히 낮은 전압으로

사전기록을 수행함으로써, 더욱 더 신뢰성이 향상된다.

마찬가지로, 본 발명에 의하면, 기록 후에 사전소거를 소거전압보다 충분히 낮은 전압으로 수행한다. 이에 따라, 소거하기 쉬운 메모리셀만 사전에 소거를 진행해 둔다. 더욱이, 사전소거 후의 임계치를 검증하여 가장 소거하기 쉬운 메모리셀의 임계치가 소정 값에 도달하면, 사전소거를 종료한다. 이와 같이 소거하기 쉬운 메모리셀의 소거를 사전에 진행해 둠으로써 소거시간이 단축된다.

또, 본 발명에 의하면, 소거 후에 메모리셀의 임계치를 검출하여 기록하기 쉬운 메모리셀은 비교적 낮은 기록전압으로 기록하고 기록하기 어려운 메모리셀은 비교적 높은 기록전압으로 기록함으로써 기록특성의 오차가 흡수되어 기록동작과 비트선마다 검증의 반복횟수가 줄어들거나, 혹은 검증을 없애 버릴수 있어 기록시간이 단축된다.

또, 소거 후에 제1기록을 수행하고, 메모리셀의 임계치를 검출하여 기록하기 쉬운 메모리셀은 비교적 낮은 기록전압으로 추가의 제2기록을 수행하며, 기록하기 어려운 메모리셀은 비교적 높은 전압으로 추가의 제2기록을 수행한다. 경우에 따라서는, 제2기록은 기록동작과 비트마다 검증을 반복하면서 수행하면, 더욱 효과적이다.

[실시예]

우선, 실시예를 설명하기 전에 본 발명의 기본구성에 대해 설명한다.

제1도(a)는 본 발명에 따른 EEPROM의 메모리셀의 구조를 나타낸 도면이다.

p형 기판(또는 p형 웰; 1)의 위에 부유게이트(전하축적층; 4)와 제어게이트(6)가 적층형성되고, n형 확산층(2)을 소스/드레인으로 하여 메모리셀(M)이 형성된다. p형 기판(1)과 부유게이트(4)는 터널절연막(3)에 의해 절연되어 있고, 더욱이 부유게이트(4)와 제어게이트(6)는 게이트간 절연막(5)에 의해 절연되어 있다.

제1도(b)는 메모리셀의 등가회로도로, Vcg는 제어게이트전압, Vfg는 부유게이트전압, Vs, Vd는 각각 소스, 드레인전압, Vsub는 p형 기판전압을 나타내고 있다. 제어게이트(6)와 부유게이트(4)간의 정전용량을 Ccg, 터널절연막(3)을 사이에 끼우는 부유게이트(4)와 반도체표면간의 용량을 Cox로 나타내고 있다.

부유게이트(4) 쪽을 고전위로 하여 터널절연막(3)에 전계가 인가되도록 제어게이트(6), 소스, 드레인 및 p형 기판(1)에 임계치 변동전압펄스를 인가하면, 터널절연막(3)을 매개로 부유게이트(4)의 전하가 이동하고, 임계치는 정(正)의 방향으로 변동한다. 또, 부유게이트(4) 쪽을 저전위로 하여 터널절연막(3)에 전계가 인가되도록 제어게이트(6), 소스, 드레인 및 p형 기판(1)에 임계치 변동전압펄스를 인가하면, 터널절연막(3)을 매개로 부유게이트(4)의 전하가 이동하고, 임계치는 부(負)의 방향으로 변동한다.

제2도는 메모리셀의 소거/기록원리를 나타내고 있다.

제2도(a)에 보여지는 바와 같이, 소거는 제어게이트(6)의 전압(Vcg)을 0V로 하고, p형 기판전압(Vsub)을 소거전압(Verase; ~20V)으로 하여 수행된다.

소스/드레인전압(Vs, Vd)은 소거전압(Verase)으로 해도 좋고 도면과 같이 플로팅(floating)으로 해도 좋다. 부유게이트(4)로부터 전자가 p형 기판(1)으로 터널전류에 의해 방출되어 부유게이트(4)는 정의 방향에 대전(帶電)한다. 따라서, 메모리셀(M)의 임계치는 부의 방향으로 저하한다. 많은 메모리셀을 포함하는 불휘발성 반도체기억장치에서는 메모리셀(M)의 가공오차에 의해 소거된 메모리셀의 임계치는 제2도(b)와 같이 오차(△Vth_erase)를 갖는다. 본 예에서는, 소거후의 임계치를 0V 이하로 하여 데이터 1에 대응시킨다.

제2도(c)에 보여지는 바와 같이, 0기록은 제어게이트(6)의 전압(Vcg)을 기록전압(Vprog; ~20V)으로 하고, 소스/드레인전압(Vs, Vd)을 0V로 하며, p형 기판(1)의 전압도 0V로 한다. 이에 따라, 전자가 부유게이트(4)로 터널전류에 의해 주입되어 부유게이트는 부의 방향에 대전하고, 메모리셀의 임계치는 정방향으로 높아진다. 기록 후의 임계치도, 많은 메모리셀을 포함하는 불휘발성 반도체기억장치에서는 제2도(d)에 보여지는 바와 같이 오차(△Vth_erase)를 갖는다. 본 예에서는, 0기록 후의 임계치를 0V 이상으로 하고 있다. 1기록은 소거 상태를 유지하면 좋으므로, 부유게이트(4)에 전자가 주입되지 않도록, 예컨대 제2도(c)에서 소스/드레인전압을 Vmb(~10V)로 해 둔다. 이하, 미리 언급해 두지 않는 한, 기록은 0기록을 의미한다.

제3도는 기록시의 제어게이트(6)의 전압(Vcg), 부유게이트(4)의 전압(Vfg), 터널절연막(3)을 흐르는 터널전류(Iprog)와 메모리셀의 임계치(Vth)를 나타내고 있다. 여기에 나타내고 있는 기록방법은, 신뢰성을 좋게 하면서 기록시간을 빠르게 하기 위해, 제3도(b)에 나타낸 기록중의 부유게이트(4)의 전압(Vfg), 제3도(c)에 나타낸 터널절연막(3)을 흐르는 터널전류(Iprog)를 거의 일정하게 유지하면서 기록을 수행하기 위한 것이다. 그 때문에, 제어게이트(6)에 인가되는 기록전압(Vprog)을 제3도(a)에 나타낸 바와 같이 시간과 더불어 Vmin으로부터 Vmax까지 높이고, 제3도(d)에 나타낸 바와 같이 임계치(Vth)를 서서히 크게 하고 있다.

기록전압(Vprog)은 제4도에 보여지는 바와 같은 계단모양으로 높여 가도 마찬가지의 효과가 얻어진다. 이것은, 기본적으로 터널절연막에 인가되는 전계를 억제하면서 고속으로 전자주입을 수행하기 위함이고, 기록에 의해 부유게이트의 전위가 전자주입을 위해 저하하는 것을, 기록전압을 높임으로써 제거하고 있다. 기록전압 초기치(Vmin)는 기록 초기에 터널절연막에 인가되는 전계를 억제하기 위해 충분히 낮게 되지 않으면 안된다.

그래서, 복수의 메모리셀에 동시에 기록을 수행하고, 동시에 기록 후의 임계치 오차를 억제하기 위해, 제5도에 나타내어져 있는 바와 같이 비트선마다 검증기록방법이 있다.

제3도(a)에 나타내어져 있는 바와 같은 기록펄스는 미세하게 분할되고, 기록 도중에 메모리셀의 임계치가

검증전위에 도달했는지의 여부가 체크된다.

0기록되는 메모리셀의 임계치가 검증전위에 도달하면, 0기록으로부터 1기록으로 메모리셀로의 전압인가상태가 바뀐다. 이것은 전술한 바와 같이 메모리셀의 소스/드레인전압을 0V로부터 Vmb로 바꿈으로써 용이하게 실현된다.

1기록되는 메모리셀은 기록 최후까지 1기록상태이다.

이 비트마다 검증기록방법에 의해 메모리셀의 임계치는 제5도(b)와 같이 제어된다. 가장 기록하기 쉬운 셀은, 본 예에서는 1발(發)째의 기록펄스 인가 중에 임계치가 검증전위를 초과하고, 2발째 펄스 이후는 1기록상태로 되어 실효적으로 임계치는 변화하지 않는다. 전형적인 셀은 3발째, 가장 기록하기 어려운 셀은 5발째의 펄스 인가중에 임계치가 검증전위를 초과한다. 모든 0기록 대상의 셀은 그 임계치가 검증전위를 초과한 기록펄스 인가 이후, 1기록상태로 되기 위해 실효기록시간이 비트마다 조정되어, 기록 후의 임계치의 오차가 저감된다.

1발째의 펄스폭은, 가장 기록하기 쉬운 셀의 임계치가 충분히 상승하도록, 검증을 생략하여 길게 하고 있다. 이 편이 검증시간을 생략할 수 있고 기록시간을 짧게 할 수 있기 때문이다.

제6도는 메모리셀의 임계치와 실효기록시간의 관계를 보다 상세하게 나타내고 있다. 소거 후의 임계치는, 본 예에서는 -2V로부터 -5V로 변동하고 있다. 가장 기록하기 쉬운 셀은 가장 빨리 기록이 시작되고, 이 때문에 제5도(a)에 보여지는 기록펄스 초기치(Vmin)는 충분히 낮아지며, 이로 인해 기록시간이 길어지고 있다. 또, 가장 기록하기 어려운 셀을 위해 기록펄스의 최대치(Vmax)는 높이고, 이것도 기록시간을 길게 하고 있다. 기록시간을 단축하기 위해서는, 동일한 기록시간만큼 기록한 때의 임계치를 일치시키면 좋다.

이하, 본 발명의 실시예에 대해 설명한다.

[실시예 1]

제7도는 제1실시예에 따른 NAND셀형 EEPROM의 메모리셀 구성을 나타내고 있다. 메모리셀(M1 ~ M4)은 직렬로 접속되고, 선택 트랜지스터(S1,S2)를 매개로 각각 소스선, 비트선에 접속된다. 제7도에 나타낸 바와 같이, 각 동작시(독출, 기록, 소거 등)에 비트선, 소스선에는 각각 전압(V_{SRC},V_{BL})이 인가된다. 또, 메모리셀(M1 ~ M4)의 제어게이트에는 V_{CGi}(i = 1 ~ 4), 선택 트랜지스터(S1,S2)의 선택게이트에는 V_{SG1},V_{SG2}가 인가된다. p형 기판(또는 p형 웰; 1)의 위에 부유게이트(4)와 제어게이트(6)가 적층형성되고, n형 확산층(2)을 소스/드레인으로 하여 메모리셀(M)이 형성되어 있다. p형 기판(1)과 부유게이트(4)는 터널절연막(3)에 의해 절연되어 있고, 더욱이 부유게이트(4)와 제어게이트(6)는 게이트간 절연막(5)에 의해 절연되어 있다.

각각의 메모리셀은 제1도에 보여지는 것과 같고, 기록/소거동작원리는 제2도에 보여지는 것과 같다. 선택 트랜지스터는 p형 기판(1)상에 선택게이트 절연막(8)과 선택게이트(7)가 적층형성되고, n형 확산층(2)을 소스/드레인으로 하여 형성된다. 이것은 NAND형 메모리셀이라 불리운다. 제18도와 같이, 제어게이트, 선택게이트를 복수의 NAND형 셀에서 공유하여 메모리셀 어레이를 구성하고, 통상 1블록 단위로 소거되며, 1페이지 단위로 일괄하여 기록된다.

데이터의 소거는 메모리셀(M1 ~ M4)에 대해 동시에 수행된다. 기판전압(Vsub)으로 소거전압(Verase; ~ 20V)을 인가하고, 제어게이트전압(V_{CGi} ; i = 1 ~ 4)은 0V로 한다. 이 때 비트선전압, 소스선전압으로 Verase를 인가해도 좋고, 비트선, 소스선은 플로팅이어도 좋다. 선택게이트전압은 선택게이트 절연막(8)에 전압스트레스가 인가되지 않도록 Verase로 해 두는 것이 이상적이다. 소거동작에 의해 부유게이트(4)의 전위가 터널절연막(3)을 흐르는 터널전류에 의해 정방향으로 변이(變移)하고, 메모리셀의 임계치는 부로 되며, 모든 메모리셀의 데이터는 1로 된다.

제8도(a)는 본 실시예의 사전기록동작의 원리를 나타내기 위한, 메모리셀의 기록특성을 나타낸 도면이다.

소거동작 후, 사전기록이 수행된다. 소거동작과 마찬가지로, 메모리셀(M1 ~ M4)에 대해 동시에 수행되고, 제어게이트전압(V_{CGi}; i = 1 ~ 4)은 사전기록펄스전압으로 된다. 이 사전기록펄스전압은 제8도(b)에 나타난 바와 같이 시간과 더불어 증가하도록 설정하는 편이 메모리셀의 신뢰성을 확보하면서 사전기록을 고속으로 수행한다는 점에서는 이상적이다. 이 사전기록펄스전압은 기록전압보다 충분히 낮게 설정되고, 제8도(b)와 같은 펄스의 경우 그 전압증가율은 기록펄스의 그것보다 충분히 작게 되어 있다. 비트선전압, 소스선전압은 0V로 한다. 선택게이트전압(V_{SG1},V_{SG2})은, 메모리셀의 소스/드레인에 0V가 전송되도록, 전압이 인가된다. 예컨대, V_{SG1} = Vcc, V_{SG2} = 0V로 한다. p형 기판전압(Vsub)은 0V이다.

이 사전기록에 의해, 소거동작에 의해 깊게 부의 임계치로 된 소거되기 쉬운 메모리셀의 임계치는, 얕은 부의 임계치로 된다. 제8도(a)에 보여지는 바와 같이, 가장 빨리 소거되는 셀은 가장 빨리 기록되고, 가장 늦게 소거되는 셀은 가장 늦게 기록된다. 이 사전기록시간은, 사전기록된 메모리셀의 임계치가 메모리셀을 독출한 때 데이터 1로 읽혀지도록 제어된다.

제8도(a)의 예에서는, 소거시에 가장 소거하기 어려운 셀의 임계치가 -2V로 되어 있다. 사전기록에 의해 가장 기록하기 쉬운 셀의 임계치가 가장 소거하기 어려운 셀의 임계치를 초과하면, 본 예에서는 -2V를 초과한 경우, 사전기록은 종료된다. 사전기록펄스전압이 변동하면, 사전기록시간(Tsoft)도 변화하기 때문에, 제어성을 높이기 위해서는 통상 넓게 이용되는 임계치 검증을 사전기록과 병용하는 것이 바람직하다. 본 예에서는, 검증전위(Vverify)로서 -1.5V를 사용하여, 가장 기록하기 쉬운 셀의 임계치가 -1.5V를 초과하면, 사전기록을 종료시키도록 하고 있다. 사전기록 후는 임계치 오차가 작아진다.

제9도(a)는 제3도(a), 제5도(a)에 보여지는 바와 같은 기록펄스를 사용하여 기록을 수행한 경우의 사전기

록 후의 메모리셀의 기록특성을 나타내고 있다.

기록은 선택된 메모리셀의 제어게이트전압(V_{CGi})을 기록전압(Vprog; -20V)으로 하고, 그 외의 제어게이트전압과 선택게이트전압(V_{SG2})은 Vm(≒Vprog의 반분), 선택게이트전압(V_{SG1})은 0V로 한다. 0기록을 하는 경우는 비트선전압(V_{BL})은 0V, 1기록을 하는 경우는 비트선전압(V_{BL})은 Vmb(≒Vm)로 한다.

특별히 미리 언급해 두지 않는 한, 이하의 기록은 0기록이라고 동의하는 것으로 한다. 또, NAND셀형 EEPROM에서는 복수의 NAND셀에 대해 동시에 기록이 수행되기 때문에, 기록시에는 제5도에 보여지는 비트마다 검증방식으로 하는 것이 바람직하다.

사전기록에 의해 기록하기 쉬운 셀의 임계치가 높게 되어 있으므로, 제6도에 보여지는 바와 같은 기록 초기의 임계치 변동은 모든 메모리셀에 있어서 거의 없다. 제9도(a)중의 1점쇄선은 사전기록을 사용하지 않을 때의 가장 기록하기 쉬운 메모리셀의 기록특성을 나타내고 있다. 따라서, 제3도(a) 및 제5도(a)에 보여지는 바와 같은 기록펄스의 Vmin은 높게 할 수 있고, 제9도(b)와 같이 빠르게 기록하는 것이 가능하게 된다. 사전기록은, 본 예에서는 4개의 셀에 대해, 제18도에 보여지는 어레이에서는 1블록에 대해 동시에 수행되기 때문에, 1개의 메모리셀당의 시간은 단축된다. 또, 백 그라운드(back ground) 소거방식(메모리셀에 대해 독출억세스를 하지 않는 빈 시간을 이용하여 소거를 수행하는 방식)을 이용하는 메모리 시스템 내에서는, 소거동작과 연동하여 수행함으로써, 소거와 마찬가지로 사전기록시간은 보이지 않게 된다.

또, 사전기록시의 사전기록펄스전압을 기록펄스의 Vmin보다 충분히 낮게 설정해 둠으로써, 기록동작시의 강한 전계에 의해 통과하는 전하에 의해 생기는 터널절연막(3)의 열화가 억제된다.

이와 같이 본 실시예에 의하면, 소거 후에 기록전압보다 충분히 낮은 전압으로 사전기록을 수행하고, 기록하기 쉬운 메모리셀만 사전에 기록을 진행해두며, 더욱이 사전기록 후의 임계치를 검증하여 가장 기록하기 쉬운 메모리셀의 임계치가 소정 값에 도달하면 사전기록을 종료하고 있다. 이와 같은 동작에 의해 기록하기 쉬운 메모리셀의 기록을 사전에 진행해 둠으로써, 기록전압의 초기치를 높게 설정할 수 있어 기록시간이 단축된다. 즉, 메모리셀의 기록 특성의 오차에 의해 종래 생기고 있던 기록시의 초기전압과 최종전압의 차의 증대 또는 기록검증횟수의 증가를 억제할 수 있고, 기록시간의 대폭적인 단축을 도모하는 것이 가능하게 된다.

또한, 상기 실시예에서는 소거 후에 사전기록을 수행하여 소거 후의 임계치의 오차를 억제하고 있지만, 그 대신에 기록 후에 사전소거를 수행하여 기록후의 임계치의 오차를 억제해도 좋다. 즉, 기록 후에 사전소거를 소거전압보다 충분히 낮은 전압으로 수행함으로써, 소거하기 쉬운 메모리셀만 사전에 소거를 진행해 둔다. 더욱이, 사전소거 후의 임계치를 검증하여 가장 소거하기 쉬운 메모리셀의 임계치가 소정 값에 도달하면 사전소거를 종료한다. 이와 같이 소거하기 쉬운 메모리셀의 소거를 사전에 진행해 둠으로써, 소거시간의 단축을 도모하는 것도 가능하다.

[실시예 2]

다음에, 본 발명에 제2실시예에 대해 설명한다. 이 실시예는 메모리셀마다 기록전압을 최적화하는 것이다.

제10도는 본 발명의 제2실시예에 따른 NAND형 EEPROM의 메모리셀 구성을 나타냄과 더불어 기록전압 최적화를 위한 기록방식의 동작원리를 나타내고 있다. 이 방식은 기본적으로 기록하기 쉬운(소거하기 쉬운) 셀은 비교적 낮은 전압으로, 기록하기 어려운(소거하기 어려운) 셀은 비교적 높은 전압으로 기록을 수행함으로써, 동일한 기록시간으로 기록한 후의 메모리셀의 임계치의 오차를 저감한다. 이에 따라, 제5도에 보여지는 비트마다 검증의 횟수를 줄여 기록시간을 단축한다.

제10도(a)는 메모리셀의 기록의 용이성(소거의 용이성)을 조정하는 동작을 나타내고 있다. 여기서는, 소스선으로부터 2번째의 셀이 선택되어 있는 것으로 하고 있다. 이것은 소거 후에 수행된다. 소스선전압(V_{SRC})을 예컨대 5V로 하고, 선택된 메모리셀의 제어게이트전압(V_{CG2})을 0V로 한다. 그 외의 제어게이트전압과 선택게이트는 Vm(≒10V)으로 한다. 비트선은 0V로 리셋한 후, 플로팅으로 해 둔다. 플로팅으로 된 비트선은 선택된 메모리셀의 임계치에 따라 충전된다.

제11도에 보여지는 바와 같이, 임계치가 -5V이면 비트선은 5V까지 충전되고, 임계치가 -2V이면 비트선은 2V까지 밖에 충전되지 않는다. 선택된 메모리셀의 제어게이트전압을 -2V로 하면, 임계치가 -5V이면 비트선은 3V까지 충전되고, 임계치가 -2V이면 비트선은 0V까지 밖에 충전되지 않는다.

이 비트선전압을 이용하여 제10도(b)와 같이 기록이 수행된다. 선택된 메모리셀의 제어게이트전압(V_{CG2})을 Vprog(≒20V)로 하고, 그 외의 제어게이트를 Vm(≒10V)으로 한다. 소스선측의 선택게이트전압(V_{SG1})은 0V, 비트선측의 선택 제어게이트전압(V_{SG2})은 Vm으로 한다. 이에 따라, 제12도에 보여지는 바와 같이, 기록하기 쉬운 셀은 실효적으로 비교적 낮은 전압으로 기록이 수행되고, 기록하기 어려운 셀에서는 실효적으로 비교적 높은 전압으로 기록이 수행되어 기록 후의 임계치 오차가 저감된다.

제13도는 제2실시예를 실현하기 위한 회로구성도의 예이다. p채널 MOS 트랜지스터(p-ch MOS Tr.)(Qp1, Qp2), n채널 MOS 트랜지스터(n-ch MOS Tr.)(Qn1, Qn2)로 구성되는 CMOS 플립플롭(FF)은, 기록데이터를 기억하는 데이터랫치회로이다. 0기록시는 n-ch MOS Tr. (Qn4)의 게이트가 L로 되도록 랫치하고, 1기록시는 H로 되도록 랫치하고 있다. 1기록시에만 신호(SUBL)가 H로 되어 1기록 비트선에 전압 V_{BLH}를 전송한다.

메모리셀(M1≒M4)과 선택트랜지스터(S1,S2)는 NAND형 셀을 구성하고, 선택게이트(SG1,SG2) 및 제어게이트(CG1≒CG4)는 복수의 NAND형 셀에서 공유한다.

리셋신호(RST)가 H로 되면, 비트선(BL)은 n-ch MOS Tr.(Qn6)에 의해 0V로 리셋된다. 비트선의 전압은, n-ch MOS Tr.(Qn9)에 의해 신호(BLVT)가 H로 되면, 캐패시터(C1)에 기억된다. 캐패시터(C1)에 축적된 전압

에 따라 신호(SBL)가 H로 되면, 비트선은 n-ch MOS Tr. (Qn7, Qn8)에 의해 충전된다.

제14도를 참조하여, 제어게이트(CG2)를 공유하는 메모리셀이 선택된 경우의 동작을 설명한다. 소거 후, 우선, 신호(BLV)가 H로 되어 비트선(BL)과 캐패시터(C1)가 접속된다. 신호(RST)가 L로 되어 비트선(BL)은 0V 플로팅으로 된다. 공통 소스선전압(V_{SRC})이 5V로 되고, 또 선택게이트(SG1,SG2), 제어게이트(CG1,CG3,CG4)가 Vm(~10V)으로 된다. 선택된 제어게이트(CG2)는 0V로 되고, 비트선(BL)은 선택된 메모리셀(M2)의 임계치에 의해 충전되는 전압으로 결정된다. 비트선이 충전된 후, 신호(BLVT)가 L로 되어 캐패시터(C1)에 메모리셀(M2)의 임계치 정보가 기억된다. 메모리셀의 임계치가 -5V이면 캐패시터(C1)는 5V로 되고, 임계치가 -2V이면 C1은 2V로 된다.

기록동작은, 이 캐패시터(C1)에 기억되어 있는 정보를 이용하여 각 메모리셀에 최적의 기록전압으로 수행된다.

우선, 신호(RST)가 L로 되어 비트선은 플로팅으로 된다. 신호(SBL)가 H로 되어 비트선은 캐패시터(C1)에 기억되어 있는 정보에 의해 충전된다. n-ch MOS Tr. (Qn8)의 임계치가 0V인 경우, 전압(V_{SBL})을 5V 이상으로 해 두고, 캐패시터(C1)의 전압이 5V이면 비트선은 5V로 충전되며, C1이 2V이면 비트선은 2V로 된다. n-ch MOS Tr. (Qn8)의 임계치가 2V인 경우, 전압(V_{SBL})을 3V 이상으로 해 두면, 캐패시터(C1)의 전압이 5V이면 비트선은 3V로 충전되고, C1이 2V이면 비트선은 0V로 된다.

한편, 신호(SUBL)와 전압(V_{LTC})이 Vm, 전압(V_{BLH})이 Vmb로 되어, 1기록비트선에는 Vmb가, n-ch MOS Tr. (Qn4, Qn5)를 매개로 전송된다.

선택게이트(SG1)는 0V, 선택게이트(SG2)가 Vm, 제어게이트(CG1,CG3,CG4)가 Vm, 제어게이트(CG2)가 Vprog로 되면, 기록이 수행된다.

그 후, 신호(BLVT)를 L로 해 두는 한, 캐패시터(C1)에 기억된 정보는 기본적으로 유지되기 때문에, 기록검증과 기록을 반복하여 행하면서 기록이 수행된다.

이와 같이 본 실시예에 의하면, 소거 후에 메모리셀의 임계치를 검출하여 기록하기 쉬운 메모리셀은 비교적 낮은 기록전압으로 기록하고, 기록하기 어려운 메모리셀은 비교적 높은 기록전압으로 기록함으로써, 기록특성의 오차가 흡수된다. 이 때문에, 기록동작과 비트선마다 검증의 반복횟수가 줄어들고, 경우에 따라서는 검증을 없애 버릴 수도 있어 기록시간의 대폭적인 단축을 도모할 수 있다. 또, 기록은 기록동작과 비트선마다 검증을 반복하면서 수행하면 더욱 효과적이다.

[실시예 3]

제15도는 본 발명의 제3실시예를 설명하기 위한 것으로, 기록동작원리를 나타내고 있다.

소거동작 후, 제1기록이 시간 $T_{PRE-PROG}$동안 수행된다. 여기서, 메모리셀의 임계치가 조사된다. 임계치가 높은 메모리셀은, 기록하기 쉬운 메모리셀을 위해, 제2기록에서는 기록전압은 비교적 (다른 기록하기 어려운 메모리셀에 비해) 낮게 다시 설정된다.

본 예에서는, 가장 기록하기 어려운 셀의 임계치는 아직 변동하고 있지 않고, 전형적인 셀의 임계치와 거의 같다. 따라서, 단순히 메모리셀의 임계치가 높은 셀의 제2기록전압을 비교적 낮게 다시 설정하면, 가장 기록하기 어려운 셀의 기록속도가 더욱 늦어진다. 따라서, 본 예에서 임계치가 -2V 이하의 메모리셀에 관해서는, 임계치가 달라도 기록전압을 상대적으로 같은 것으로 한다. 이에 따라, 가장 기록하기 어려운 메모리셀의 임계치 -2V 이상의 메모리셀에 관해서만 기록전압이 최적화된다. 본 예에서는, 이것에서도 임계치 분포폭은 3V로부터 1.5V로 반분(半分)으로 된다.

제16도는 제3실시예를 실행하기 위한 회로구성도의 예이다. p채널 MOS 트랜지스터(p-ch MOS Tr.)(Qp3, Qp4), n채널 MOS 트랜지스터(n-ch MOS Tr.)(Qn10, Qn11)로 구성되는 MOS플립플롭(FF)은, 기록데이터를 기억하는 데이터랫치회로이다. 0기록시는 n-ch MOS Tr. (Qn13)의 게이트가 L로 되도록 랫치하고, 1기록시는 H로 되도록 랫치하고 있다. 1기록시만 산호(SUBL)가 H로 되어 1기록 비트선에 전압(VBLH)을 전송한다.

메모리셀(M1~M4)과 선택 트랜지스터(S1,S2)는 NAND형 셀을 구성하고, 선택게이트(SG1,SG2) 및 제어게이트(CG1~CG4)는 복수의 NAND형 셀에서 공유한다.

리셋신호(RST)가 H로 되면, 비트선(BL)은 n-ch MOS Tr. (Qn15)에 의해 0V로 리셋된다. 비트선의 전압은, n-ch MOS Tr. (Qn19)에 의해 신호(BLVT)가 H로 되면, 캐패시터(C2)에 기억된다. 캐패시터(C2)에 축적된 전압에 따라 신호(SBL)가 H로 되면, 비트선은 n-ch MOS Tr. (Qn16, Qn17)에 의해 충전된다.

n-ch MOS Tr. (Qn18)은 신호(PRE)가 H로 되면, 캐패시터(C2)를 리셋한다. 캐패시터(C3)는 캐패시터(C2)의 기억정보를 안정하게 하기 위한 것이다.

제17도를 참조하여, 제어게이트(CG2)를 공유하는 메모리셀이 선택된 경우의 동작을 설명한다. 소거 후, 우선 신호(RST)가 L로 되어 비트선은 플로팅으로 된다. 신호(BBL)가 Vm, 전압(V_{LTC})이 Vmb로 되어, 1기록 비트선에는 Vmb가, 0기록 비트선에는 0V가 Qn12를 매개로 전송된다. 선택게이트(SG1)는 0V, 선택게이트(SG2)가 Vm, 제어게이트(CG1,CG3,CG4)가 Vm, 제어게이트(CG2)가 Vprog으로 되면, 제1기록이 수행된다.

이어서, 임계치 검출동작으로 된다. 신호(BLVT)가 H로 되어 비트선(BL)과 캐패시터(C2)가 접속되고, 또 신호(PRE)가 H로 되어 캐패시터(C2)가 리셋된다. 또, 신호(RST)가 L로 되어 비트선(BL)은 0V 플로팅으로 된다.

공통 소스선전압(V_{SRC})이 5V로 되고, 또 선택게이트(SG1,SG2), 제어게이트(CG1,CG3,CG4)가 Vm(~10V)으로 된다. 선택된 제어게이트(CG2)는 0V로 되고, 비트선(BL)은 선택된 메모리셀(M2)의 임계치에 의해 충전되는 전압으로 결정된다. 셀의 임계치가 -0.5V이면 비트선은 0.5V, 임계치가 -2V이면 비트선은 2V로 된다.

선택게이트, 제어게이트가 0V로 리셋되고, 신호(PRE)가 L로 된다. 그 후, 신호(RST)가 H로 되어 비트선은 0V로 리셋된다. 전압(V_{PRE})이 2V인 경우, 메모리셀의 임계치가 -0.5V이면, 비트선이 0V로 리셋된 때 n-ch MOS Tr. (Qn17)의 게이트전압은 1.5V로 된다. 임계치가 -2V이면 Qn17의 게이트 전압은 0V로 된다. 신호(BLVT)가 L로 되어 메모리셀의 임계치정보는 캐패시터(C2)에 기억된다.

제2기록동작은, 이 캐패시터(C2)에 기억되어 있는 정보를 이용하여, 각 메모리셀에 최적의 기록전압으로 수행된다.

우선, 신호(RST)가 L로 되어 비트선은 플로팅으로 된다. 신호(SBL)가 H로 되어 비트선은 캐패시터(C2)에 기억되어 있는 정보에 의해 충전된다.

n-ch MOS Tr.(Qn17)의 임계치가 0V인 경우, 전압(V_{SBL})을 2V 이상으로 해 두면, Qn17의 게이트전압이 0V이면 비트선은 0V 그대로이고, Qn17의 게이트전압이 1.5V이면 비트선은 1.5V로 된다.

한편, 신호(SUBL)와 전압(V_{LTC})이 Vm, 전압(V_{BLH})이 Vmb로 되어, 1기록 비트선에는 Vmb가 n-ch MOS Tr.(Qn13,Qn14)를 매개로 전송된다.

선택게이트(SG1)는 0V, 선택게이트(SG2)가 Vm, 제어게이트(CG1,CG3,CG4)가 Vm, 제어게이트(CG2)가 Vprog로 되면, 제2기록이 수행된다.

이후, 신호(BLVT, PRE)를 L로 해 두는 한, 캐패시터(C2)에 기억된 정보는 기본적으로 유지되므로, 기록검증과 기록을 반복하여 수행하면서 기록이 수행된다.

이상, 주로 터널전류로 소거/기록을 수행하는 NAND형 셀을 예로 들어 설명했지만, 기본적으로 본 발명은 메모리셀의 기록특성의 오차를 제거하도록, 기록전압을 각 메모리셀에 대해 조절함으로써, 기록 후의 메모리셀의 임계치 오차를 저감하고, 기록속도를 빠르게 한다. 기록특성의 오차는 메모리셀에 의하지 않고, 동일한 소거 또는 기록펄스를 인가하여 펄스 인가 후의 임계치를 조사함으로써 검출된다. 본 발명에 의하면, 소거에 대해서도 마찬가지로 수행할 수 있다. 또, p채널 타입의 메모리셀에 대해서도 마찬가지로 실시할 수 있다.

더욱이, 채널 전면을 매개로 하는 터널전류로 소거/기록을 수행하는 것 이외에, 예컨대 드레인 또는 소스와 부유게이트간의 터널전류로 소거 또는 기록을 수행하는 것이나, 핫 일렉트론(hot electron) 또는 핫 홀(hot hole)로 소거 또는 기록을 수행하는 것에서도 마찬가지의 효과가 얻어진다.

또, 사전기록에 의해 소거된 메모리셀의 임계치 오차를 억제하고, 기록속도를 빠르게 하는 효과는, p채널 타입의 메모리셀에 대해서도 마찬가지로 실시할 수 있다. 더욱이, 채널 전면을 매개로 하는 터널전류로 소거/기록을 수행하는 것 이외에, 예컨대 드레인 또는 소스와 부유게이트간의 터널전류로 소거 또는 기록을 수행하는 것이나, 핫 일렉트론 또는 핫 홀로 소거 또는 기록을 수행하는 것에서도 마찬가지의 효과가 얻어진다.

그 밖에 본 발명의 요지를 이탈하지 않는 범위에서 여러 가지로 변형하여 실시할 수 있음을 물론이다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 메모리셀의 기록특성의 오차를 제거하도록 기록전압을 조정하거나, 혹은 사전기록을 수행함으로써, 기록속도를 빠르게 할 수 있다. 또, 극성을 반전시킴으로써 메모리셀의 소거특성의 오차를 제거하도록 소거전압을 조정하거나, 혹은 사전소거를 수행함으로써, 소거 속도를 빠르게 할 수도 있다.

(57) 청구의 범위

청구항 1

전기적 개서가 가능한 복수의 메모리셀과, 상기 복수의 메모리셀중 데이터가 소거되는 선택 메모리셀의 임계치전압을 검지하기 위한 수단 및, 상기 선택 메모리셀을 상기 검지수단에 의해 검지된 상기 선택 메모리셀의 임계치전압에 의존하고 있는 기록전압으로 기록하기 위한 수단을 구비한 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 2

제1항에 있어서, 상기 기록전압은, 대응하는 메모리셀의 임계치전압이 낮은 값을 가지면 낮은 전압으로 설정되고, 대응하는 메모리셀의 임계치전압이 높은 값을 가지면 높은 전압으로 설정되는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 3

제1항에 있어서, 상기 검지수단은, 상기 선택 메모리셀에 접속된 비트선을 리셋상태로 설정하고 나서, 그 비트선이 상기 메모리셀의 임계치전압에 대응하는 전압으로 충전되도록 부유상태로 설정하기 위한 수단과, 상기 비트선의 전압을 검지하기 위한 수단을 갖추고 있는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 4

제1항에 있어서, 상기 기록수단은, 워드선에 미리 정해진 전압을 인가하고, 비트선에는 상기 검지수단에 의해 검지된 상기 선택 메모리셀의 임계치전압에 의존하는 전압을 인가하는 수단을 갖추고 있는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 5

전기적 개서가 가능한 복수의 메모리셀과, 상기 복수의 메모리셀중 데이터가 기록되는 선택된 메모리셀의 임계치전압을 검지하기 위한 수단 및, 상기 선택 메모리셀을 상기 검지수단에 의해 검지된 상기 선택 메모리셀의 임계치전압에 의존하고 있는 소거전압으로 소거하기 위한 수단을 구비한 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 6

제5항에 있어서, 상기 소거전압은, 대응하는 메모리셀의 임계치전압이 높은 값을 가지면 낮은 전압으로 설정되고, 대응하는 메모리셀의 임계치전압이 낮은 값을 가지면 높은 전압으로 설정되는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 7

제5항에 있어서, 상기 검지수단은, 상기 선택 메모리셀에 접속된 비트선을 리셋상태로 설정하고 나서, 그 비트선이 상기 메모리셀의 임계치전압에 대응하는 전압으로 충전되도록 부유상태로 설정하기 위한 수단과, 상기 비트선의 전압을 검지하기 위한 수단을 갖추고 있는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 8

전기적 개서가 가능한 복수의 메모리셀과, 미리 정해진 일정기간에 상기 복수의 메모리셀중 데이터가 사전기록전압으로 소거되는 선택 메모리셀을 사전기록하기 위한 수단, 사전기록되는 상기 선택 메모리셀의 임계치전압을 검지하기 위한 수단 및, 상기 선택 메모리셀을 상기 검지수단에 의해 검지된 상기 선택 메모리셀의 임계치전압에 의존하고 있는 기록전압으로 기록하기 위한 수단을 구비한 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 9

제8항에 있어서, 상기 기록전압은, 대응하는 메모리셀의 임계치전압이 높은 값을 가지면 낮은 전압으로 설정되고, 대응하는 메모리셀의 임계치전압이 낮은 값을 가지면 높은 전압으로 설정되는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 10

제8항에 있어서, 상기 검지수단은, 상기 선택 메모리셀에 접속된 비트선을 리셋상태로 설정하고 나서, 그 비트선이 상기 메모리셀의 임계치전압에 대응하는 전압으로 충전되도록 부유상태로 설정하기 위한 수단과, 상기 비트선의 전압을 검지하기 위한 수단을 갖추고 있는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 11

제8항에 있어서, 상기 기록수단은, 워드선에 소정의 전압을 인가하고, 비트선에는 상기 검지수단에 의해 검지된 상기 선택 메모리셀의 임계치전압에 의존하는 전압을 인가하는 수단을 갖추고 있는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 12

전기적 개서가 가능한 복수의 메모리셀과, 미리 정해진 일정기간에 상기 복수의 메모리셀중 데이터가 사전소거전압으로 소거되는 선택 메모리셀을 사전소거하기 위한 수단, 사전소거되는 상기 선택 메모리셀의 임계치전압을 검지하기 위한 수단 및, 상기 선택 메모리셀을 상기 검지수단에 의해 검지된 상기 선택 메모리셀의 임계치전압에 의존하고 있는 소거전압으로 소거하기 위한 수단을 구비한 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 13

제12항에 있어서, 상기 소거전압은, 대응하는 메모리셀의 임계치전압이 낮은 값을 가지면 낮은 전압으로 설정되고, 대응하는 메모리셀의 임계치전압이 높은 값을 가지면 높은 전압으로 설정되는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 14

제12항에 있어서, 상기 검지수단은, 상기 선택 메모리셀에 접속된 비트선을 리셋상태로 설정하고 나서, 그 비트선이 상기 메모리셀의 임계치전압에 대응하는 전압으로 충전되도록 부유상태로 설정하기 위한 수단과, 상기 비트선의 전압을 검지하기 위한 수단을 갖추고 있는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 15

전기적 개서가 가능한 복수의 메모리셀과, 사전기록전압을 이용하여 소거된 선택 메모리셀을 사전기록하기 위한 수단, 상기 선택 메모리 셀의 임계치전압이 소정의 전압에 도달하는 것을 검지하기 위한 수단 및, 상기 검지수단이 상기 선택 메모리셀의 임계치전압중의 하나가 상기 소정의 전압에 도달한 것을 검지한 후에, 상기 선택 메모리셀을 상기 사전기록전압보다 큰 기록전압을 이용하여 기록하기 위한 수단을 구비한 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 16

제15항에 있어서, 상기 소정의 전압은, 소거가 가장 어려운 가장 늦게 소거가능한 메모리셀의 임계치전압에 대응하는 레벨을 갖는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 17

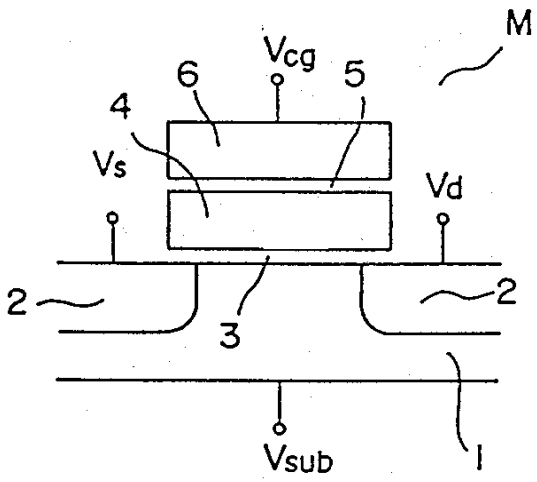
전기적 개서가 가능한 복수의 메모리셀과, 사전소거전압을 이용하여 기록된 선택 메모리셀을 사전소거하기 위한 수단, 상기 선택 메모리셀의 임계치전압이 소정의 전압에 도달하는 것을 검지하기 위한 수단 및, 상기 검지수단이 상기 선택 메모리셀의 임계치전압중의 하나가 상기 소정의 전압에 도달한 것을 검지한 후에, 상기 선택 메모리셀을 상기 사전소거전압보다 큰 소거전압을 이용하여 소거하기 위한 수단을 구비한 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 18

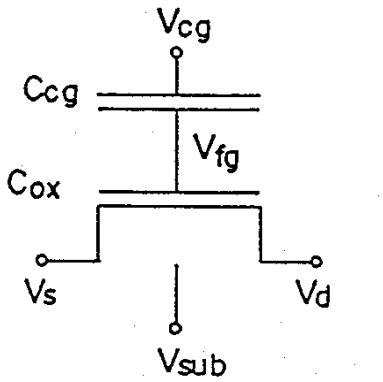
제17항에 있어서, 상기 소정의 전압은, 기록이 가장 어려운 가장 늦게 기록가능한 메모리셀의 임계치전압에 대응하는 레벨을 갖는 것을 특징으로 하는 불휘발성 반도체기억장치.

도면

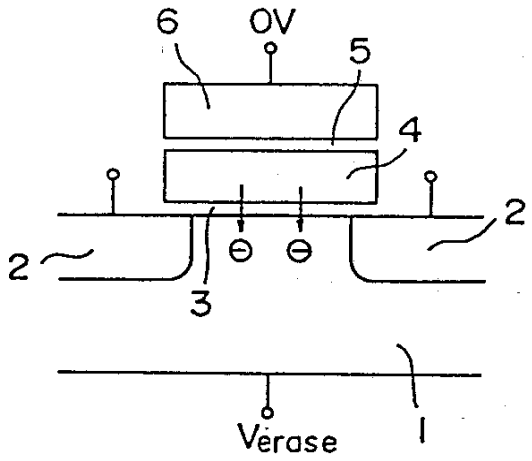
도면1a



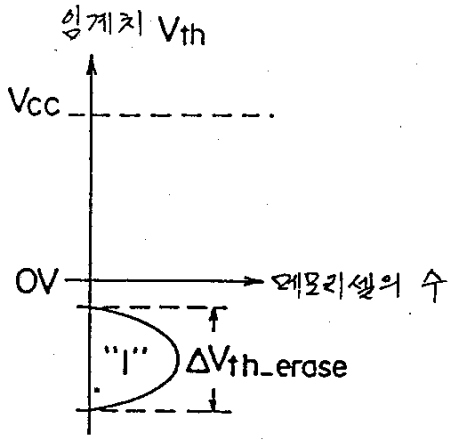
도면1b



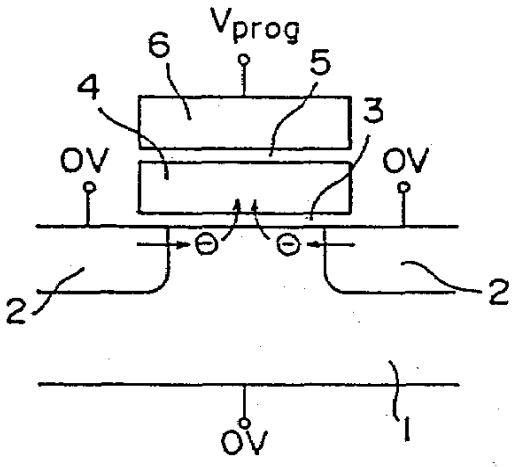
도면2a



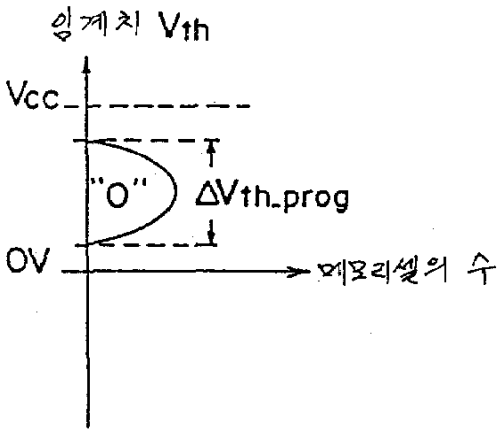
도면2b



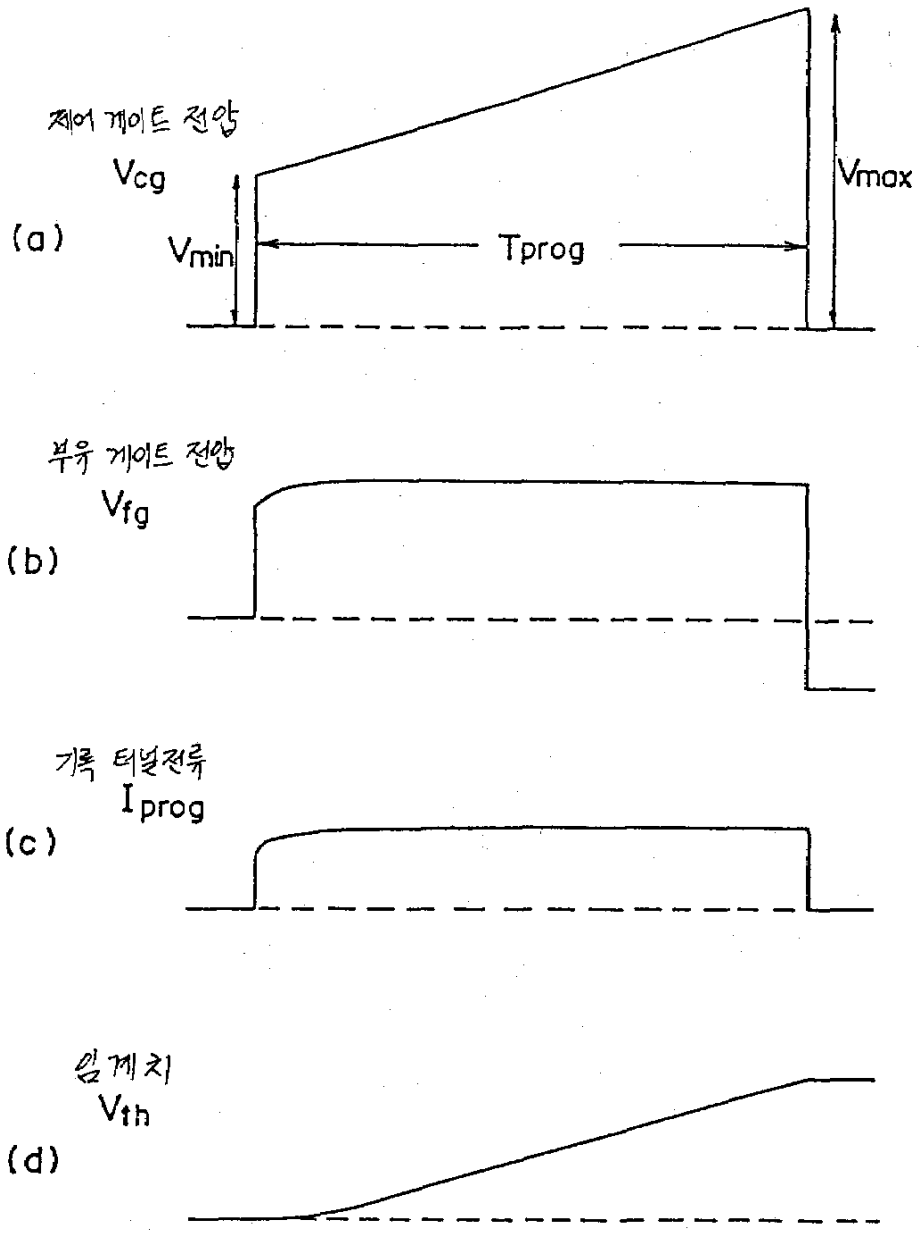
도면2c



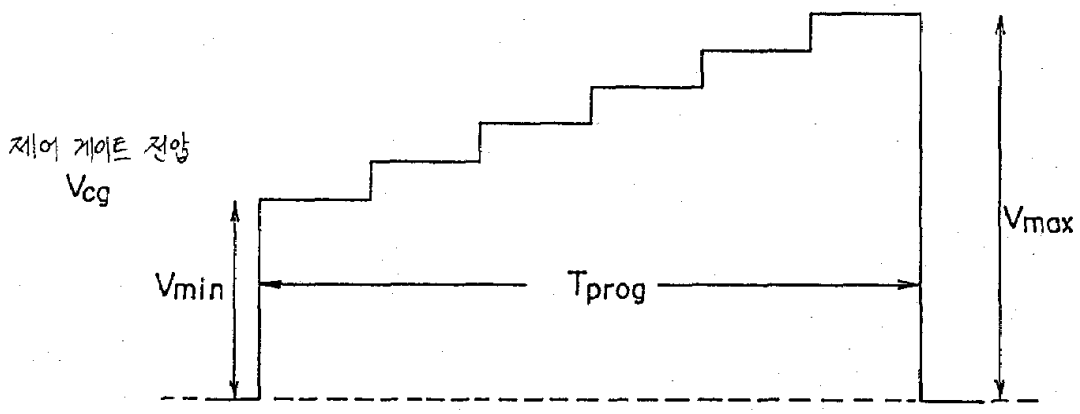
도면2d



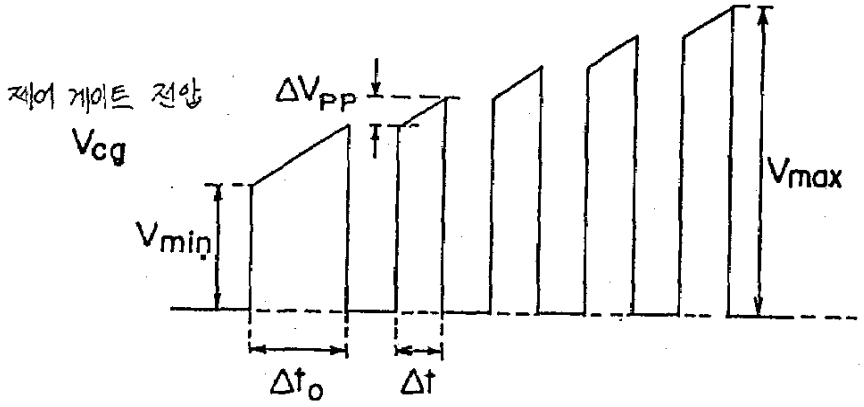
도면3


제어 게이트 전압
Vcg
(a)
Vmin
Tprog
Vmax
부유 게이트 전압
Vfg
(b)
기록 터널전류
Iprog
(c)
임계치
Vth
(d)

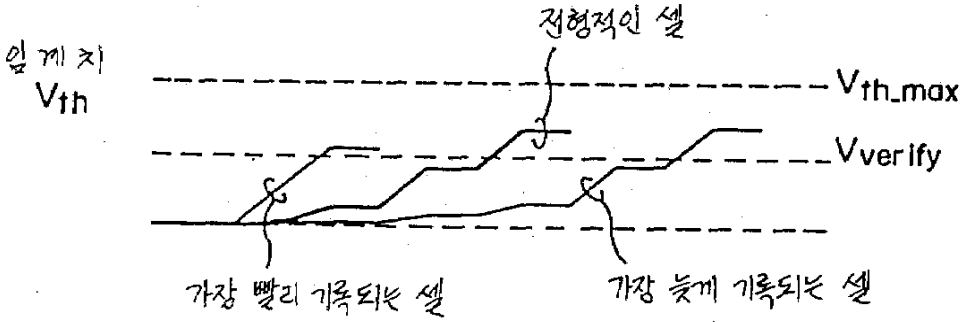
도면4



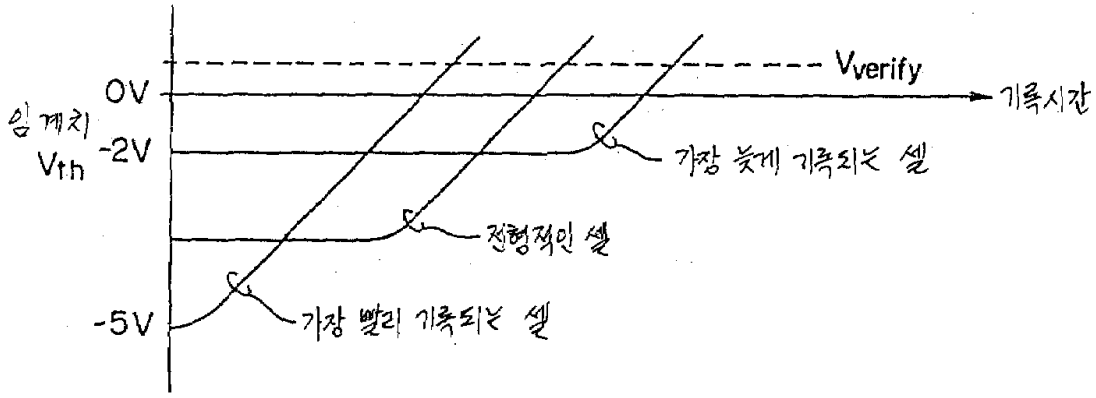
도면5a



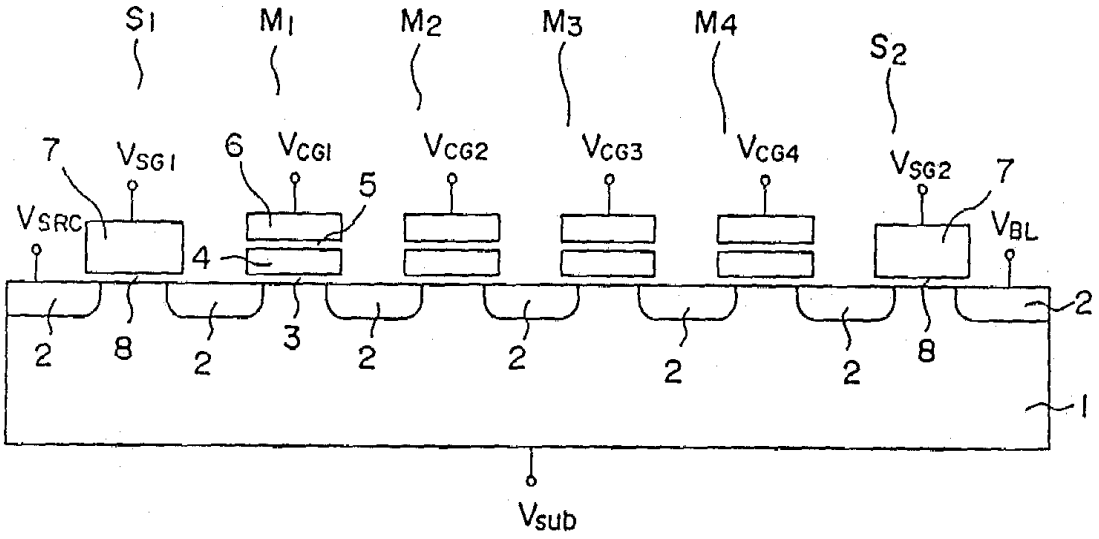
도면5b



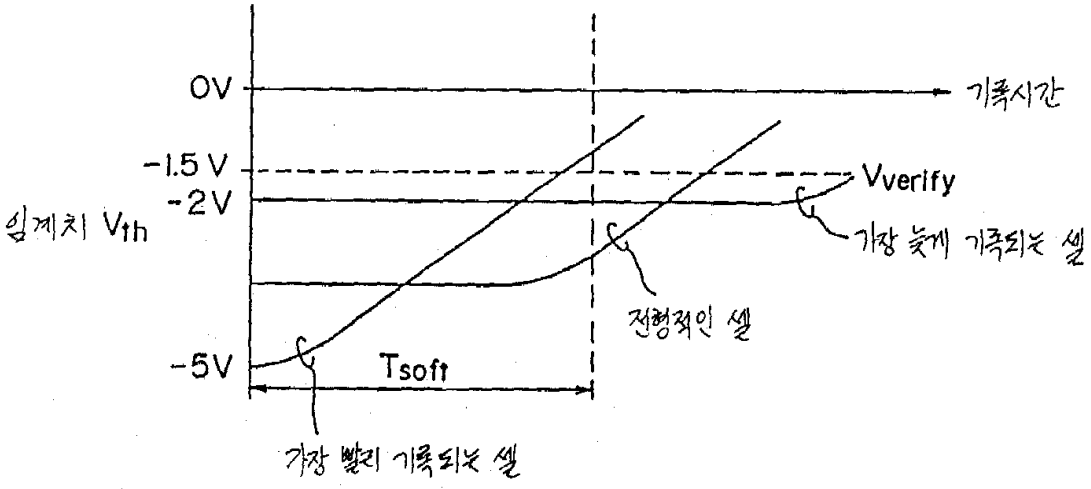
도면6


Vverify
0V
-2V
-5V
임계치
Vth
기록시간
가장 늦게 기록되는 셀
전형적인 셀
가장 빨리 기록되는 셀

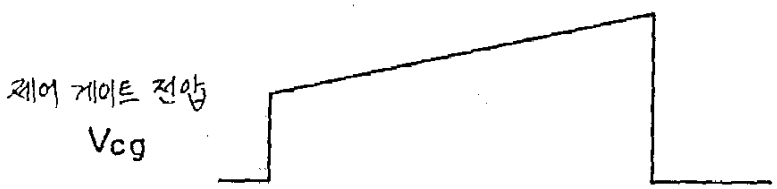
도면7


S1
M1
M2
M3
M4
S2
7
VSG1
6
VCG1
VCG2
VCG3
VCG4
VSG2
7
VSRC
5
4
VBL
2
8
2
3
2
2
2
2
8
2
1
Vsub

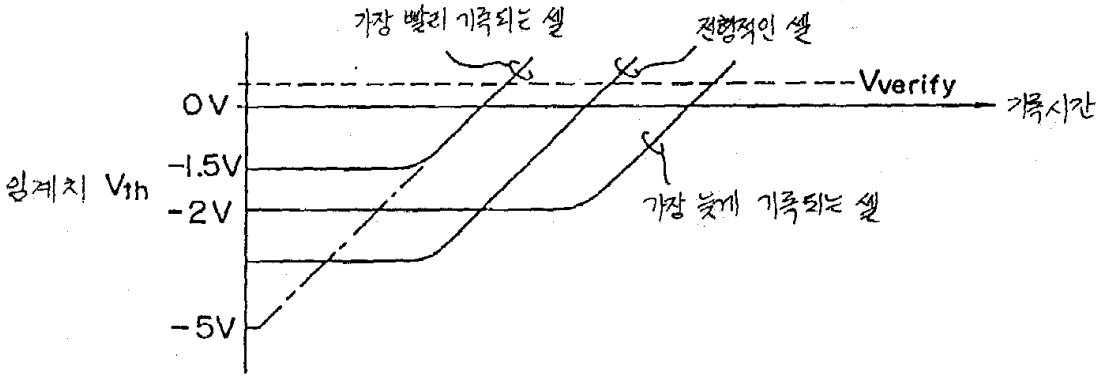
도면8a


0V
-1.5 V
-2V
-5V
임계치 Vth
기록시간
Vverify
가장 늦게 기록되는 셀
전형적인 셀
Tsoft
가장 빨리 기록되는 셀

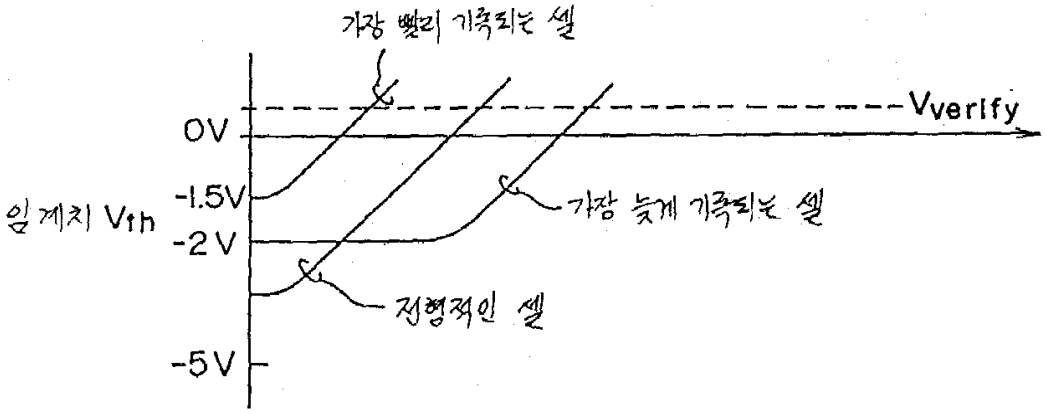
도면8b



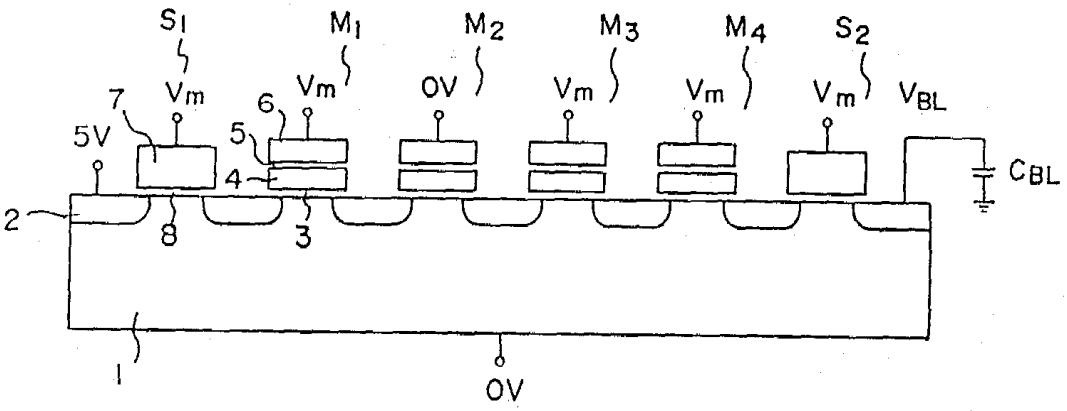
도면9a



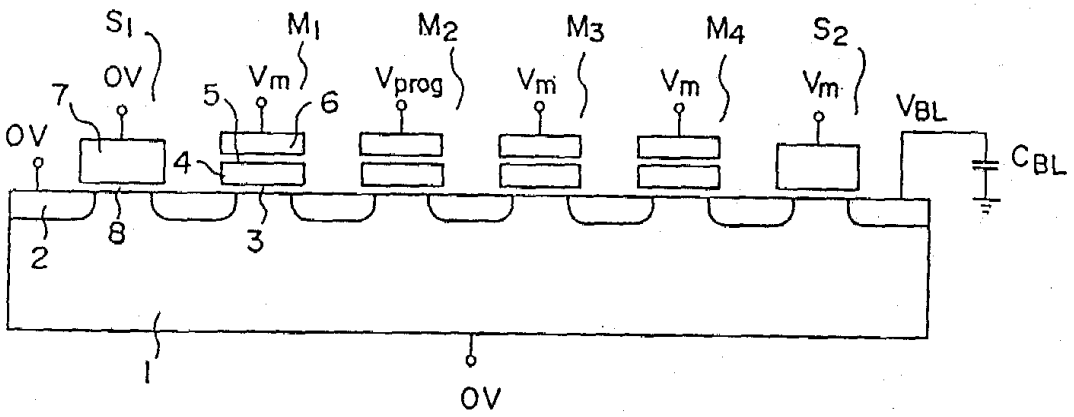
도면9b



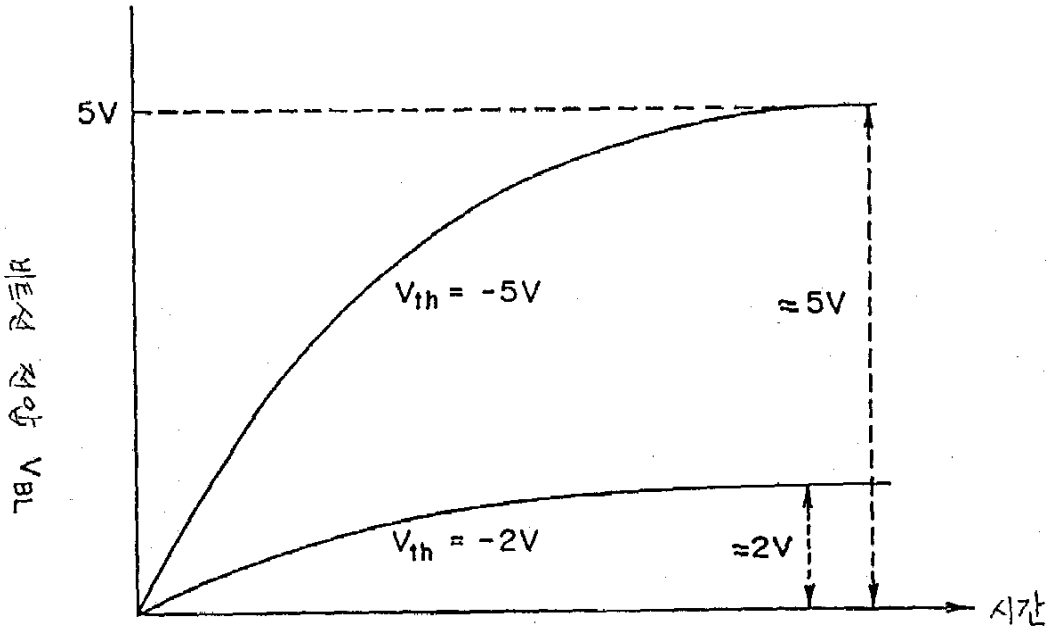
도면10a



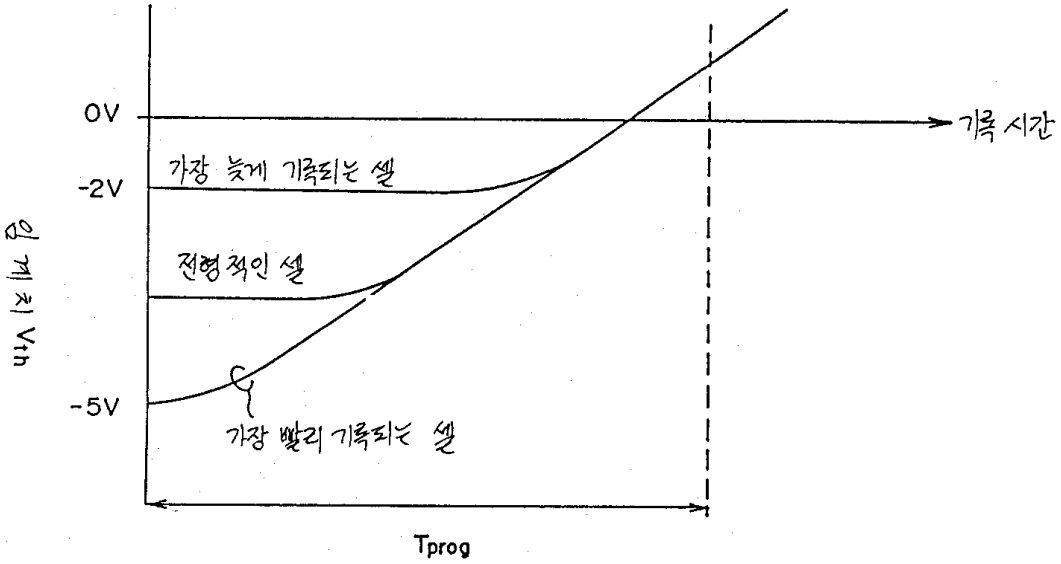
도면10b



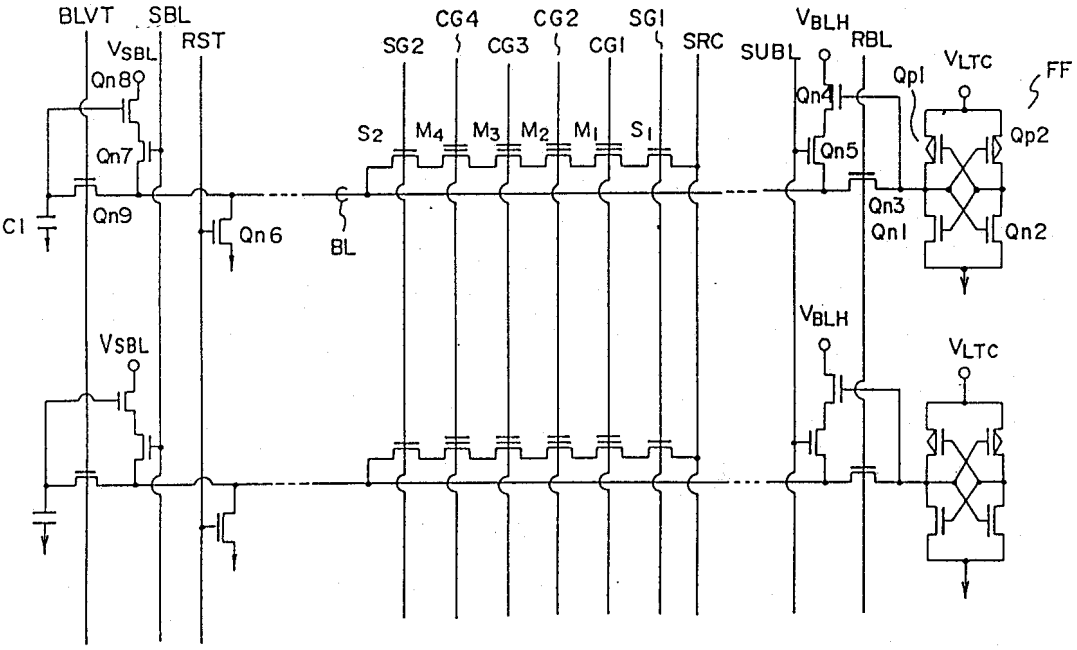
도면11



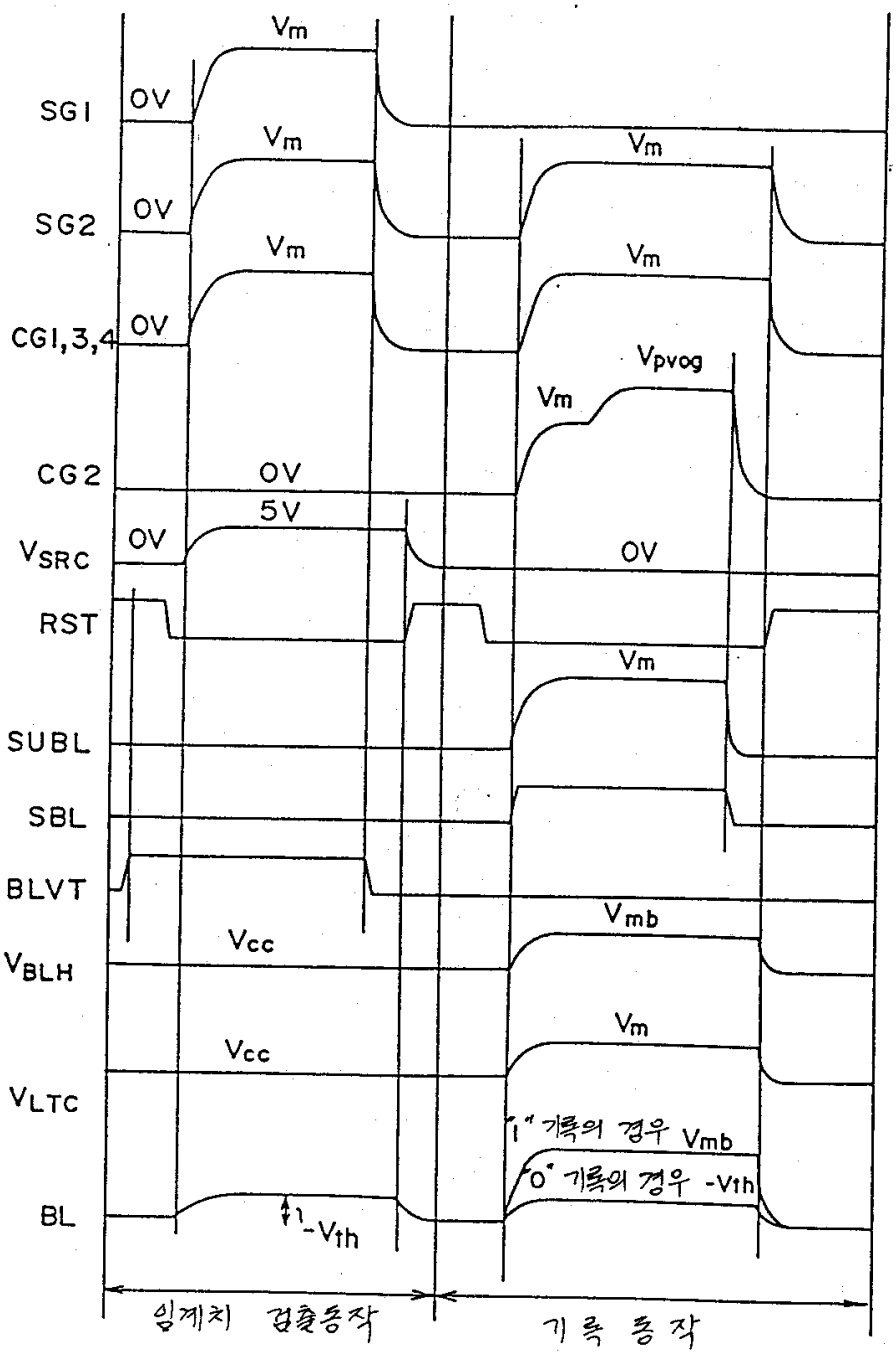
도면12


0V
-2V
-5V
가장 늦게 기록되는 셀
전형적인 셀
가장 빨리 기록되는 셀
기록 시간
문턱 전압 Vth
Tprog

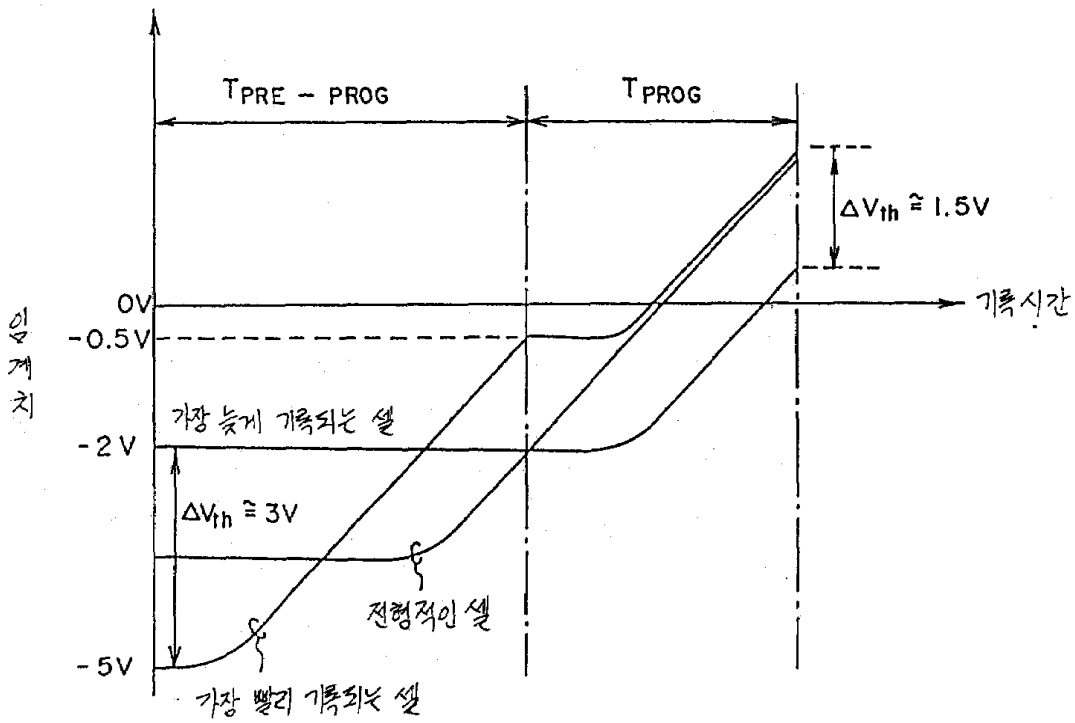
도면13


BLVT
SBL
VSBL
RST
Qn8
Qn7
Qn9
C1
Qn6
BL
SG2
CG4
CG3
CG2
CG1
SG1
SRC
S2
M4
M3
M2
M1
S1
SUBL
VBLH
RBL
Qn4
Qn5
Qp1
VLTC
FF
Qp2
Qn3
Qn1
Qn2

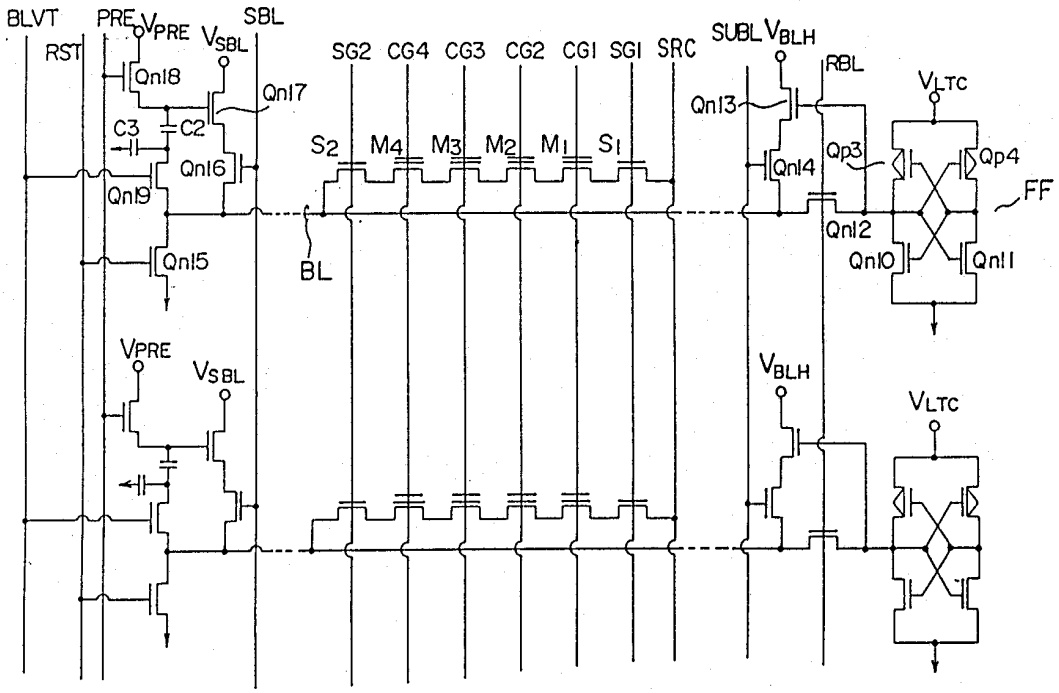
도면14


SG1
SG2
CG1,3,4
CG2
VSRC
RST
SUBL
SBL
BLVT
VBLH
VLTC
BL
OV
Vm
5V
Vpvog
Vmb
Vcc
-Vth
"1" 기록의 경우 Vmb
"0" 기록의 경우 -Vth
임계치 검출동작
기록 동작

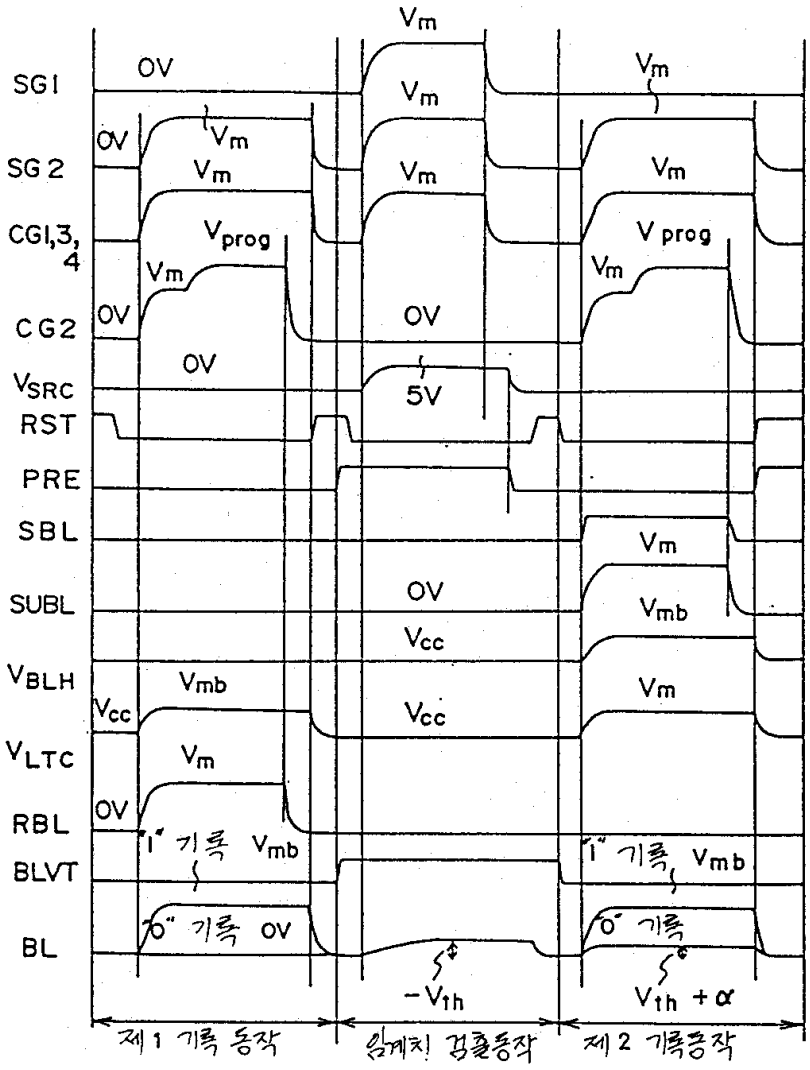
도면15


TPRE - PROG
TPROG
ΔVth ≅ 1.5V
0V
-0.5V
-2V
-5V
기록시간
인가전압
가장 늦게 기록되는 셀
ΔVth ≅ 3V
전형적인 셀
가장 빨리 기록되는 셀

도면16


BLVT
PRE
VPRE
VSBL
SBL
RST
Qn18
Qn17
C3
C2
Qn16
Qn19
Qn15
BL
SG2
CG4
CG3
CG2
CG1
SG1
SRC
SUBL
VBLH
RBL
Qn13
Qn14
Qp3
Qp4
VLTC
FF
Qn12
Qn10
Qn11

도면17


SG1
SG2
CG1,3,4
CG2
VSRC
RST
PRE
SBL
SUBL
VBLH
VLTC
RBL
BLVT
BL
OV
Vm
Vprog
5V
Vmb
Vcc
"1" 기록
"0" 기록
-Vth
Vth +α
제1 기록 동작
임계치 검출동작
제2 기록동작

도면18

