

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月17日(17.12.2020)



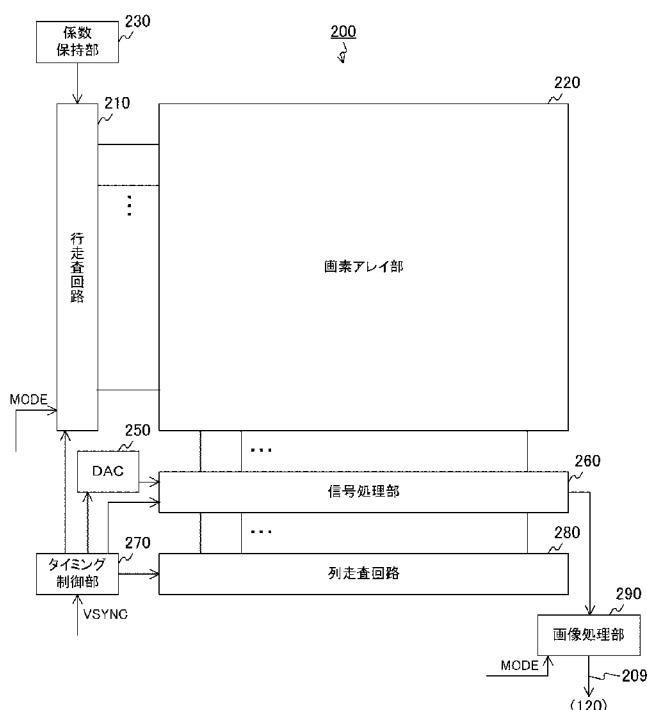
(10) 国際公開番号

WO 2020/250494 A1

- (51) 国際特許分類:
H04N 5/341 (2011.01) H04N 5/369 (2011.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2020/007303 (72) 発明者: 長谷川 恭正 (HASEGAWA, Yasumasa);
〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (22) 国際出願日: 2020年2月25日(25.02.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-107768 2019年6月10日(10.06.2019) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- (74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu);
〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル5F クラフト国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SOLID-STATE IMAGING ELEMENT, IMAGING DEVICE, AND METHOD FOR CONTROLLING SOLID-STATE IMAGING ELEMENT

(54) 発明の名称: 固体撮像素子、撮像装置、および、固体撮像素子の制御方法



- 210 Line scanning circuit
- 220 Pixel array
- 230 Factor retention unit
- 260 Signal processing unit
- 270 Timing control unit
- 280 Column scanning circuit
- 290 Image processing unit

(57) Abstract: The purpose of this invention is to shorten the operation time in a solid-state imaging element which calculates convolution for image data, and thereby reduce power consumption. In an image array, a plurality of pixels are arranged in a two-dimensional lattice shape. A coefficient retention unit retains a predetermined weighting factor associated respectively to, from among a plurality of pixels, a pixel of interest and a predetermined number of adjoining pixels adjoining the pixel of interest. A scanning circuit performs control in which charge of an amount according to a

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

weighting factor associated with the adjoining pixels is generated in the adjoining pixels and transferred to the pixel of interest, and control which generates a charge of a quantity according to the weighting factor associated with the pixel of interest, and stores the charge together with the transferred charge.

(57) 要約: 画像データに対して畳み込み演算を行う固体撮像素子において演算時間を短くし、消費電力を低減する。画素アレイ部には、複数の画素が二次元格子状に配列される。係数保持部は、複数の画素のうち着目した着目画素と着目画素に隣接する所定数の隣接画素とのそれぞれに対応付けられた所定の重み係数を保持する。走査回路は、隣接画素に対応付けられた重み係数に応じた量の電荷を前記隣接画素に生成させて着目画素へ転送させる制御と着目画素に対応付けられた重み係数に応じた量の電荷を着目画素に生成させて転送された電荷とともに蓄積させる制御とを行う。

明 細 書

発明の名称：

固体撮像素子、撮像装置、および、固体撮像素子の制御方法

技術分野

[0001] 本技術は、固体撮像素子に関する。詳しくは、画像処理を行う固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。

背景技術

[0002] 従来より、画像認識や音声認識において、認識精度を向上させる目的で、畳み込みニューラルネットワーク（CNN：Convolutional Neural Network）が利用されている。CNNとは、所定段数のレイヤーのそれぞれについて、カーネル（または、フィルタ）と呼ばれる N 行 $\times$ N 列（ N は、整数）の重み係数を配列した行列を用いて、入力データに対して畳み込み演算を実行する処理である。画像認識においては、主として、3行 $\times$ 3列の最小サイズのカーネルを用いたCNNが行われる（例えば、非特許文献1参照。）。これは、3行 $\times$ 3列より大きなサイズのカーネルの受容野は、レイヤー数を増やすことでカバーすることができ、ニューラルネットワークでは、各レイヤーで非線形演算が入るため、最小のパラメータ数で畳み込みを繰り返す方が表現力が高くなるという理由による。

先行技術文献

非特許文献

[0003] 非特許文献1：“Convolutional Neural Networks (CNNs / ConvNets)”, [online] [平成31年4月8日検索]、インターネット（URL:<http://cs231n.github.io/convolutional-networks/>）

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、多数のレイヤーで行った畳み込み演算の結果を特徴量として用いることにより画像認識精度の向上を図っている。しかしながら

、畳み込み演算は画素毎に順に実行されるため、十分な画像認識精度を得るのにある一定のレイヤー数が必要とすると、そのレイヤー数の下では画素数が増えるほど演算量が増大し、演算時間が長くなってしまい、ひいては演算に要する電力が増大してしまうという問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、画像データに対して畳み込み演算を行う固体撮像素子において演算時間を短くし、消費電力を低減することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、複数の画素が二次元格子状に配列された画素アレイ部と、上記複数の画素のうち着目した着目画素と上記着目画素に隣接する所定数の隣接画素とのそれぞれに対応付けられた所定の重み係数を保持する係数保持部と、上記隣接画素に対応付けられた上記重み係数に応じた量の電荷を上記隣接画素に生成させて上記着目画素へ転送させる制御と上記着目画素に対応付けられた上記重み係数に応じた量の電荷を上記着目画素に生成させて上記転送された電荷とともに蓄積させる制御とを行う走査回路とを具備する固体撮像素子、および、その制御方法である。これにより、着目画素および隣接画素のそれぞれの重み係数に応じた量の電荷を加算した信号が生成されるという作用をもたらす。

[0007] また、この第1の側面において、上記複数の画素は、二次元格子状に配列されてもよい。これにより、9画素のそれぞれの重み係数に応じた量の電荷を加算した信号が生成されるという作用をもたらす。

[0008] また、この第1の側面において、上記複数の画素は、ハニカム状に配列されてもよい。これにより、7画素のそれぞれの重み係数に応じた量の電荷を加算した信号が生成されるという作用をもたらす。

[0009] また、この第1の側面において、上記複数の画素のそれぞれは、光電変換により上記電荷を生成する光電変換素子と、上記電荷を保持する電荷保持部と、上記電荷を上記光電変換素子から上記電荷保持部へ内部転送する内部転

送トランジスタと、上記電荷を上記光電変換素子から上記複数の画素のうち周囲の画素へ外部転送する上記所定数の外部転送トランジスタとを備えてもよい。これにより、内部転送された電荷に、外部転送された電荷を加算した信号が生成されるという作用をもたらす。

[0010] また、この第1の側面において、上記電荷保持部は、キャパシタであってもよい。これにより、キャパシタの電位に応じた信号が生成されるという作用をもたらす。

[0011] また、この第1の側面において、上記電荷保持部は、浮遊拡散層であってもよい。これにより、浮遊拡散層の電位に応じた信号が生成されるという作用をもたらす。

[0012] また、この第1の側面において、上記走査回路は、上記所定数の上記隣接画素と上記着目画素とのそれぞれについて互いに異なるタイミングで上記電荷の生成を開始させてもよい。これにより、互いに異なるタイミングで露光が開始された着目画素および隣接画素によって、画素信号が生成されるという作用をもたらす。

[0013] また、この第1の側面において、上記走査回路は、上記所定数の上記隣接画素と上記着目画素とのそれぞれについて同じタイミングで上記電荷の生成を開始させてもよい。これにより、同時に露光が開始された着目画素および隣接画素によって、画素信号が生成されるという作用をもたらす。

[0014] また、この第1の側面において、上記画素アレイ部は、所定サイズの複数のウィンドウに分割されており、上記複数のウィンドウのそれぞれは、ウィンドウ内の画素のそれぞれに蓄積された上記電荷の量の統計量に応じた画素信号を出力してもよい。これにより、データ数が削減されるという作用をもたらす。

[0015] また、この第1の側面において、上記画素アレイ部が出力する画像データに対して所定の畳み込み演算を行う画像処理部をさらに具備してもよい。これにより、CNNが実現されるという作用をもたらす。

[0016] また、本技術の第2の側面は、複数の画素が二次元格子状に配列された画

素アレイ部と、上記複数の画素のうち着目した着目画素と上記着目画素に隣接する所定数の隣接画素とのそれぞれに対応付けられた所定の重み係数を保持する係数保持部と、上記隣接画素に対応付けられた上記重み係数に応じた量の電荷を上記隣接画素に生成させて上記着目画素へ転送させる制御と上記着目画素に対応付けられた上記重み係数に応じた量の電荷を上記着目画素に生成させて上記転送された電荷とともに蓄積させる制御とを行う走査回路と、上記画素アレイ部により出力された画像データに対して所定の処理を行う画像処理部とを具備する撮像装置である。これにより、重み係数に応じた量の電荷を加算した画素信号からなる画像データに対して所定の処理が実行されるという作用をもたらす。

[0017] また、本技術の第3の側面は、複数の画素が二次元格子状に配列された画素アレイ部と、上記複数の画素のうち着目した着目画素と上記着目画素に隣接する所定数の隣接画素とのそれぞれに対応付けられた所定の重み係数を保持する係数保持部と、上記複数の画素のそれぞれの位置を所定の初期位置と異なる位置に画素単位で変更するアクチュエータと、上記初期位置の上記複数の画素のそれぞれに上記着目画素に対応する上記重み係数に応じた量の電荷を生成させる制御と上記画素アレイ部の位置が変更されるたびに変更後の位置に係る上記隣接画素に対応する上記重み係数に応じた量の電荷を生成させる制御とを行う走査回路とを具備する撮像装置である。これにより、画素単位的位置の変更によって、着目画素および隣接画素のそれぞれの重み係数に応じた量の電荷を加算した信号が生成されるという作用をもたらす。

図面の簡単な説明

[0018] [図1]本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図3]本技術の第1の実施の形態におけるカーネルの一例を示す図である。

[図4]本技術の第1の実施の形態における画素アレイ部の一構成例を示す図で

ある。

[図5]本技術の第1の実施の形態における画素の一構成例を示す回路図である。

[図6]本技術の第1の実施の形態における画素ブロックの一構成例を示す回路図である。

[図7]本技術の第1の実施の形態における画素アレイ部内の素子のレイアウトの一例を示す図である。

[図8]本技術の第1の実施の形態における信号処理部の一構成例を示すブロック図である。

[図9]本技術の第1の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図10]本技術の第1の実施の形態における第0回目から第3回目までの転送制御を説明するための図である。

[図11]本技術の第1の実施の形態における第4回目から第7回目までの転送制御を説明するための図である。

[図12]本技術の第1の実施の形態における第8回目の転送制御を説明するための図である。

[図13]比較例における第0レイヤーの演算の一例を説明するための図である。

[図14]本技術の第1の実施の形態におけるCNNを説明するための図である。

[図15]本技術の第1の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

[図16]本技術の第1の実施の形態の第1の変形例における画素アレイ部の一構成例を示す図である。

[図17]本技術の第1の実施の形態の第1の変形例におけるウィンドウの一構成例を示す回路図である。

[図18]本技術の第1の実施の形態の第1の変形例におけるプーリング処理を

説明するための図である。

[図19]本技術の第1の実施の形態の第2の変形例における固体撮像素子の動作の一例を示すタイミングチャートである。

[図20]本技術の第2の実施の形態における画素アレイ部の一構成例を示す図である。

[図21]本技術の第2の実施の形態における画素の一構成例を示す回路図である。

[図22]本技術の第2の実施の形態における画素ブロックの一構成例を示す回路図である。

[図23]本技術の第2の実施の形態における画素アレイ部内の素子のレイアウトの一例を示す図である。

[図24]本技術の第2の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図25]本技術の第2の実施の形態におけるCNNを説明するための図である。

[図26]本技術の第2の実施の形態の変形例におけるウィンドウの一構成例を示す回路図である。

[図27]本技術の第3の実施の形態における撮像装置の一構成例を示すブロック図である。

[図28]本技術の第3の実施の形態における画素の一構成例を示す回路図である。

[図29]本技術の第3の実施の形態における第0回目および第1回目の露光制御を説明するための図である。

[図30]本技術の第3の実施の形態における第2回目および第3回目の露光制御を説明するための図である。

[図31]車両制御システムの概略的な構成の一例を示すブロック図である。

[図32]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0019] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（重み係数に応じた量の電荷を画素が生成する例）
2. 第2の実施の形態（ハニカム状に配列された画素が重み係数に応じた量の電荷を生成する例）
3. 第3の実施の形態（画素単位で位置が変更されるたびに、重み係数に応じた量の電荷を画素が生成する例）
4. 移動体への応用例

[0020] <1. 第1の実施の形態>

[撮像装置の構成例]

図1は、本技術の第1の実施の形態における撮像装置100の一構成例を示すブロック図である。この撮像装置100は、画像データを撮像するための装置であり、光学部110、固体撮像素子200およびDSP（Digital Signal Processing）回路120を備える。さらに撮像装置100は、表示部130、操作部140、バス150、フレームメモリ160、記憶部170および電源部180を備える。撮像装置100としては、例えば、デジタルスチルカメラなどのデジタルカメラの他、撮像機能を持つスマートフォンやウェアラブルデバイス、パーソナルコンピュータ、車載カメラ等が想定される。

[0021] 光学部110は、被写体からの光を集光して固体撮像素子200に導くものである。固体撮像素子200は、垂直同期信号VSYNCに同期して、光電変換により画像データを生成するものである。ここで、垂直同期信号VSYNCは、撮像のタイミングを示す所定周波数の周期信号である。固体撮像素子200は、生成した画像データをDSP回路120に信号線209を介して供給する。また、固体撮像素子は、画像データに対して画像認識などの画像処理を必要に応じて実行し、処理後のデータをDSP回路120に供給する。

[0022] DSP回路120は、固体撮像素子200からの画像データに対して所定

の信号処理を実行するものである。このDSP回路120は、処理後の画像データをバス150を介してフレームメモリ160などに出力する。

[0023] 表示部130は、画像データを表示するものである。表示部130としては、例えば、液晶パネルや有機EL (Electro Luminescence) パネルが想定される。操作部140は、ユーザの操作に従って操作信号を生成するものである。

[0024] バス150は、光学部110、固体撮像素子200、DSP回路120、表示部130、操作部140、フレームメモリ160、記憶部170および電源部180が互いにデータをやりとりするための共通の経路である。

[0025] フレームメモリ160は、画像データを保持するものである。記憶部170は、画像データなどの様々なデータを記憶するものである。電源部180は、固体撮像素子200、DSP回路120や表示部130などに電源を供給するものである。

[0026] [固体撮像素子の構成例]

図2は、本技術の第1の実施の形態における固体撮像素子200の一構成例を示すブロック図である。この固体撮像素子200は、行走査回路210、画素アレイ部220、係数保持部230、DAC (Digital to Analog Converter) 250、信号処理部260、タイミング制御部270、列走査回路280および画像処理部290を備える。

[0027] 画素アレイ部220には、複数の画素が二次元格子状に配列される。係数保持部230は、所定サイズのカーネルを構成する重み係数を保持するものである。カーネルのサイズは、例えば、3行×3列である。

[0028] 行走査回路210は、モード信号MODEに従って、画素アレイ部220内の行のそれぞれを順に駆動して画素信号を生成させるものである。ここで、モード信号MODEは、画像認識を実行する画像認識モードと、画像認識を行わない通常モードとを含む複数のモードのいずれかを示す信号である。モード信号MODEは、例えば、DSP回路120により生成される。

[0029] 画像認識モードにおいて行走査回路210は、係数保持部230から重み

係数を読み出す。そして、行走査回路 210 は、画素アレイ部 220 内の全画素について、重み係数に応じた量の電荷を同時に生成させ、隣接する画素へ外部転送させる。ここで、「外部転送」は、画素間で電荷を転送することを意味する。また、行走査回路 210 は、全画素について、重み係数に応じた量の電荷を同時に生成させ、外部転送された電荷とともに蓄積させる。次に、行走査回路 210 は、行を順に駆動して、蓄積した電荷量に応じた画素信号を信号処理部 260 へ出力させる。

[0030] 一方、通常モードにおいて行走査回路 210 は、重み係数を用いずに、全画素について露光期間に亘って電荷を生成させ、蓄積させる。そして、行走査回路 210 は、行を順に駆動して、蓄積した電荷量に応じた画素信号を信号処理部 260 へ出力させる。

[0031] なお、行走査回路 210 は、特許請求の範囲に記載の走査回路の一例である。

[0032] タイミング制御部 270 は、垂直同期信号 VSYNC に同期して、行走査回路 210、DAC 250、信号処理部 260 および列走査回路 280 のそれぞれの動作タイミングを制御するものである。

[0033] DAC 250 は、時間の経過に伴ってスロープ状に変化する所定の参照信号を DA (Digital to Analog) 変換により生成するものである。この DAC 250 は、生成した参照信号を画素アレイ部 220 に供給する。

[0034] 信号処理部 260 は、画素アレイ部 220 からの画素信号に対して、AD (Analog to Digital) 変換を含む所定の信号処理を列ごとに行うものである。信号処理部 260 は、処理後の画素データを画像処理部 290 に供給する。

[0035] 列走査回路 280 は、タイミング制御部 270 の制御に従って、信号処理部 260 を駆動し、画素データを順に出力させるものである。

[0036] 画像処理部 290 は、画素データからなる画像データに対して所定の画像処理を実行するものである。画像認識モードにおいて画像処理部 290 は、画像データに対して所定の畳み込み演算を実行し、演算後のデータを用いて

画像認識処理を実行する。一方、通常モードにおいて画像処理部290は、デモザイク処理やホワイトバランス処理などの各種の画像処理を実行する。そして、画像処理部290は、処理後のデータをDSP回路120に供給する。

[0037] なお、画像処理部290の処理の少なくとも一部は、DSP回路120が実行することもできる。

[0038] 図3は、本技術の第1の実施の形態におけるカーネルの一例を示す図である。画素アレイ部220内の行数を I (I は、整数)行とし、列数を J (J は、整数)行とする。画素アレイ部220において、ある i (i は、0乃至 $I-1$ の整数)行、 j (j は、0乃至 $J-1$ の整数)列の画素に着目すると、その着目画素と、着目画素に隣接する所定数の隣接画素とのそれぞれについて、適用すべき所定の重み係数が設定される。例えば、アドレスが($i-1$, $j-1$)、($i-1$, j)、($i-1$, $j+1$)、(i , $j-1$)、(i , j)、(i , $j+1$)、($i+1$, $j-1$)、($i+1$, j)および($i+1$, $j+1$)の9画素のそれぞれについて重み係数が設定される。これらの重み係数を w_0 乃至 w_8 とする。係数保持部230には、重み係数 w_0 乃至 w_8 が保持される。

[0039] 同図に例示した重み係数の集合は、一般にカーネル（または、フィルタ）と呼ばれる。カーネル内の重み係数の個数、言い換えれば、カーネルが適用される画素数は、カーネルのサイズに該当する。

[0040] [画素アレイ部の構成例]

図4は、本技術の第1の実施の形態における画素アレイ部220の一構成例を示す図である。画素アレイ部220には、画素300、310、320、330、340、350、360、370および380などの複数の画素が二次元格子状に配列される。

[0041] また、画素アレイ部220内の全画素について、その画素を着目画素として、着目画素と、隣接する周囲の8画素とからなる9画素に対してカーネルが適用される。例えば、画素340に着目すると、画素300、310、3

20、330、350、360、370および380は、画素340に隣接する。ここで、「隣接する」は、着目画素からのユークリッド距離が一定値内であることを意味する。この着目画素と、その周囲の8個の隣接画素とからなる3行×3列の9画素の画素ブロック505に対してカーネルが適用される。

[0042] また、画素350に着目した場合、その画素350と、画素350に隣接する8画素（画素340など）とに対してカーネルが適用される。他の画素についても同様である。

[0043] 隣接画素（画素300など）は、行走査回路210の制御に従って、その隣接画素に対応する重み係数に応じた量の電荷を生成し、着目画素へ外部転送する。また、着目画素（画素340など）は、行走査回路210の制御に従って、その着目画素に対応する重み係数に応じた量の電荷を生成し、外部転送された電荷とともに蓄積する。例えば、隣接画素の重み係数 w_0 が、着目画素の重み係数 w_4 の1.5倍である場合、行走査回路210は、画素300の露光時間を画素340の1.5倍に設定して、それらの画素を順に露光させる。このように露光時間を重み係数に比例した時間とすることにより、重み係数に応じた量の電荷が生成される。これらの電荷の積算により、CNNにおける第0レイヤーの畳み込み演算が行われる。なお、第1レイヤー以降の畳み込み演算は、画像処理部290により実行される。

[0044] [画素回路の構成例]

図5は、本技術の第1の実施の形態における画素340の一構成例を示す回路図である。この画素340は、光電変換素子341、転送トランジスタ342、キャパシタ343、オペアンプ344およびリセットスイッチ345と、転送トランジスタ410、411、412、413、415、416、417および418とを備える。

[0045] 光電変換素子341は、光電変換により電荷を生成するものである。光電変換素子341として、例えば、フォトダイオードが用いられる。

[0046] 転送トランジスタ342は、行走査回路210からの転送信号 SW_4 に従っ

て、光電変換素子341からキャパシタ343へ電荷を内部転送するものである。ここで、「内部転送」は、画素内の素子間で電荷を転送することを意味する。

[0047] 転送トランジスタ410は、行走査回路210からの転送信号 SW_0 に従って、光電変換素子341から隣接する画素300へ電荷を外部転送するものである。転送トランジスタ411は、行走査回路210からの転送信号 SW_1 に従って、光電変換素子341から隣接する画素310へ電荷を外部転送するものである。転送トランジスタ412は、行走査回路210からの転送信号 SW_2 に従って、光電変換素子341から隣接する画素320へ電荷を外部転送するものである。転送トランジスタ413は、行走査回路210からの転送信号 SW_3 に従って、光電変換素子341から隣接する画素330へ電荷を外部転送するものである。

[0048] 転送トランジスタ415は、行走査回路210からの転送信号 SW_5 に従って、光電変換素子341から隣接する画素350へ電荷を外部転送するものである。転送トランジスタ416は、行走査回路210からの転送信号 SW_6 に従って、光電変換素子341から隣接する画素360へ電荷を外部転送するものである。転送トランジスタ417は、行走査回路210からの転送信号 SW_7 に従って、光電変換素子341から隣接する画素370へ電荷を外部転送するものである。転送トランジスタ418は、行走査回路210からの転送信号 SW_8 に従って、光電変換素子341から隣接する画素380へ電荷を外部転送するものである。

[0049] キャパシタ343は、転送トランジスタ342により内部転送された電荷と、隣接する画素300、310、320、330、350、360、370および380のそれぞれにより外部転送された電荷とを蓄積して保持するものである。このキャパシタ343は、オペアンプ344の反転入力端子（－）と出力端子との間に挿入される。また、キャパシタ343により、蓄積された電荷量に応じた電圧が生成される。

[0050] オペアンプ344は、反転入力端子（－）に蓄積された電荷量に応じた電

圧をその出力端子に、画素信号として出力するものである。このオペアンプ 344 の反転入力端子（－）は、転送トランジスタ 342、キャパシタ 343 およびリセットスイッチ 345 と、画素 300、310、320、330、350、360、370 および 380 とに接続される。また、オペアンプ 344 の非反転入力端子（＋）は、所定の電源に接続される。オペアンプ 344 の出力端子は、垂直信号線 VSL に接続される。

[0051] リセットスイッチ 345 は、行走査回路 210 からのリセット信号 C_{int_rst} に従って、オペアンプ 344 の反転入力端子（－）と出力端子との間を短絡するものである。この短絡により、キャパシタ 343 の電荷量が初期化される。

[0052] また、垂直信号線 VSL は、列ごとに垂直方向に沿って配線される。この垂直信号線 VSL には、負荷 MOS（Metal-Oxide-Semiconductor）トランジスタ 420 が挿入される。そして、垂直信号線 VSL を介して、アナログの画素信号 Vin が信号処理部 260 へ出力される。

[0053] 画素 340 以外の画素（画素 300 など）の構成は、画素 340 と同様である。ただし、画素アレイ部 220 において最外周の画素は、隣接画素が 8 個に満たない。ここで、「最外周」とは、行アドレスが 1 および 0 のいずれか、あるいは、列アドレスが J および 0 のいずれかであることを意味する。例えば、アドレス（0、0）の画素には、左上、上、右上、左および左下の隣接画素が存在しない。このような画素においては、転送先の隣接画素の無い転送トランジスタに、リセットのための電源が接続される。これにより、ゼロパディングが実現される。なお、転送先の無い転送トランジスタを削減することもできる。

[0054] なお、転送トランジスタ 342 は、特許請求の範囲に記載の内部転送トランジスタの一例である。転送トランジスタ 410、411、412、413、415、416、417 および 418 は、特許請求の範囲に記載の外部転送トランジスタの一例である。キャパシタ 343 は、特許請求の範囲に記載の電荷蓄積部の一例である。

- [0055] また、カーネルのサイズを3行×3列とし、そのサイズに応じて9個の転送トランジスタ（転送トランジスタ410など）を配置しているが、カーネルのサイズは、3行×3列に限定されない。例えば、カーネルのサイズを5行×5列にすることもできる。この場合には、画素毎に25個の転送トランジスタを配置し、露光回数を25回にすればよい。
- [0056] 図6は、本技術の第1の実施の形態における画素ブロック505の一構成例を示す回路図である。この画素ブロック505には、3行×3列の画素300、310、320、330、340、350、360、370および380が配置される。
- [0057] 画素ブロック505内には、光電変換素子301、311、321、331、341、351、361、371および381が配置される。また、転送トランジスタ302、312、322、332、342、352、362、372および382と、キャパシタ343、オペアンプ344およびリセットスイッチ345とが配置される。
- [0058] 光電変換素子301および転送トランジスタ302は画素300内に配置され、光電変換素子311および転送トランジスタ312は画素310内に配置される。光電変換素子321および転送トランジスタ322は画素320内に配置され、光電変換素子331および転送トランジスタ332は画素330内に配置される。光電変換素子351および転送トランジスタ352は画素350内に配置され、光電変換素子361および転送トランジスタ362は画素360内に配置される。光電変換素子371および転送トランジスタ372は画素370内に配置され、光電変換素子381および転送トランジスタ382は画素380内に配置される。
- [0059] なお、同図において、画素340以外の画素内のキャパシタ、オペアンプおよびリセットスイッチは省略されている。また、画素340内の転送トランジスタ410、411、412、413、415、416、417および418は省略されている。
- [0060] 画像認識モードにおいて、着目画素を画素340として、その着目画素に

隣接する画素の転送トランジスタ 302 等は、対応する光電変換素子 301 等から、着目画素のキャパシタ 343 へ、対応する重み係数に応じた量の電荷を外部転送する。

[0061] また、着目画素（画素 340）内の転送トランジスタ 342 は、対応する光電変換素子 341 からキャパシタ 343 へ、対応する重み係数に応じた量の電荷を内部転送する。キャパシタ 343 は、それらの電荷を蓄積する。これにより、画素ブロック 505 内の 9 個の画素のそれぞれにより生成された電荷が加算される。転送された電荷量のそれぞれは、重み係数に応じた量であるため、キャパシタ 343 の蓄積電荷量は、3 行×3 列のカーネルを用いて畳み込んだ積和演算の結果に相当する量となる。

[0062] 一方、通常モードにおいて、それぞれの画素の転送トランジスタ（転送トランジスタ 342 など）は、電荷の内部転送のみを行う。これにより、カーネルを適用しない場合の画像データが生成される。

[0063] 図 7 は、本技術の第 1 の実施の形態における画素アレイ部 220 内の素子のレイアウトの一例を示す図である。光電変換素子 341 の周囲の 8 個の光電変換素子 301、311、321、331、351、361、371 および 381 と信号線 501 との間に転送トランジスタ 302、312、322、332、352、362、372 および 382 が配置される。また、光電変換素子 341 と信号線 501 との間に転送トランジスタ 342 が配置される。

[0064] 信号線 501 は、光電変換素子 341 を囲むように配線され、オペアンプ 344 の入力端子に接続される。なお、キャパシタ 343 およびリセットスイッチ 345 は、同図において省略されている。

[0065] [信号処理部の構成例]

図 8 は、本技術の第 1 の実施の形態における信号処理部 260 の一構成例を示すブロック図である。この信号処理部 260 には、複数の比較器 261 と、複数のカウンタ 262 と、複数のラッチ 263 とが配置される。

[0066] 比較器 261、カウンタ 262 およびラッチ 263 は、列ごとに設けられ

る。列数をJとすると、比較器261、カウンタ262およびラッチ263は、J個ずつ設けられる。

[0067] 比較器261は、DAC250からの参照信号RMPと、対応する列からの画素信号Vinとを比較するものである。この比較器261は、比較結果をカウンタ262に供給する。

[0068] カウンタ262は、比較結果COMPが反転するまでの期間に亘って計数値を計数するものである。このカウンタ262は、計数値を示すデジタル信号をラッチ263に出力し、保持させる。また、カウンタ262には、計数動作を制御するためのカウンタ制御信号が入力される。

[0069] ラッチ263は、対応する列のデジタル信号を保持するものである。このラッチ263は、列走査回路280の制御に従ってデジタル信号を画素データとして画像処理部290に出力する。

[0070] 上述の比較器261およびカウンタ262により、アナログの画素信号がデジタルの画素データに変換される。すなわち、比較器261およびカウンタ262は、ADCとして機能する。このように比較器およびカウンタからなる簡易な構成のADCは、シングルスロープ型のADCと呼ばれる。

[0071] また、信号処理部260は、AD変換の他、リセットレベルと信号レベルとの差分を求めるCDS (Correlated Double Sampling) 処理を列ごとに行う。ここで、リセットレベルは、画素の初期化時の画素信号のレベルであり、信号レベルは、露光終了時の画素信号のレベルである。例えば、リセットレベルの変換時にカウンタ262がダウンカウントおよびアップカウントの一方を行い、信号レベルの変換時にカウンタ262がダウンカウントおよびアップカウントの他方を行うことにより、CDS処理が実現される。なお、カウンタ262がアップカウントのみを行う構成とし、その後段にCDS処理を行う回路を追加することもできる。

[0072] [固体撮像素子の動作例]

図9は、本技術の第1の実施の形態における固体撮像素子200の動作の一例を示すタイミングチャートである。画像認識モードが設定されると、行

走査回路210は、タイミングT0乃至T1においてハイレベルのリセット信号 C_{int_rst} を全画素に供給し、全画素のキャパシタ（キャパシタ343など）の電荷量を初期化する。

[0073] 次にタイミングT1乃至T2の期間に亘って、行走査回路210は、全画素にハイレベルの転送信号 SW_0 を供給する。これにより、タイミングT1乃至T2の期間に亘って全画素で露光が行われ、各画素は、例えば、右下の画素へ電荷を転送する。この露光時間 t_0 は、重み係数 w_0 に応じた時間である。

[0074] そして、タイミングT2乃至T3の期間に亘って、行走査回路210は、全画素にハイレベルの転送信号 SW_1 を供給する。これにより、タイミングT2乃至T3の期間に亘って全画素で露光が行われ、各画素は、例えば、下の画素へ電荷を転送する。この露光時間 t_1 は、重み係数 w_1 に応じた時間である。

[0075] 続いて、タイミングT3乃至T4の期間に亘って、行走査回路210は、全画素にハイレベルの転送信号 SW_2 を供給する。これにより、タイミングT3乃至T4の期間に亘って全画素で露光が行われ、各画素は、例えば、左下の画素へ電荷を転送する。この露光時間 t_2 は、重み係数 w_2 に応じた時間である。以下、同様に、転送信号 SW_4 乃至 SW_8 が順に供給される。

[0076] 図10は、本技術の第1の実施の形態における第0回目から第3回目までの転送制御を説明するための図である。まず、行走査回路210は、転送信号 SW_0 により、重み係数 w_0 に応じた量の電荷を全画素に生成させ、その右下の画素へ転送（すなわち、外部転送）させる。同図において、矢印は、電荷の転送方向を示す。

[0077] 次に行走査回路210は、転送信号 SW_1 により、重み係数 w_1 に応じた量の電荷を全画素に生成させ、その下の画素へ転送させる。続いて行走査回路210は、転送信号 SW_2 により、重み係数 w_2 に応じた量の電荷を全画素に生成させ、その左下の画素へ転送させる。そして、行走査回路210は、転送信号 SW_3 により、重み係数 w_3 に応じた量の電荷を全画素に生成させ、その右の画素へ転送させる。

[0078] 図11は、本技術の第1の実施の形態における第4回目から第7回目までの転送制御を説明するための図である。行走査回路210は、転送信号 SW_4 により、重み係数 w_4 に応じた量の電荷を全画素に生成させ、キャパシタへ内部転送させる。

[0079] 次に行走査回路210は、転送信号 SW_5 により、重み係数 w_5 に応じた量の電荷を全画素に生成させ、その左の画素へ転送させる。続いて行走査回路210は、転送信号 SW_6 により、重み係数 w_6 に応じた量の電荷を全画素に生成させ、その右上の画素へ転送させる。そして、行走査回路210は、転送信号 SW_7 により、重み係数 w_7 に応じた量の電荷を全画素に生成させ、その上の画素へ転送させる。

[0080] 図12は、本技術の第1の実施の形態における第8回目の転送制御を説明するための図である。行走査回路210は、転送信号 SW_8 により、重み係数 w_8 に応じた量の電荷を全画素に生成させ、その左上の画素へ転送させる。

[0081] 図10乃至12に例示した9回の露光および転送により、全画素のキャパシタには、その画素と、その周辺の8画素とのそれぞれの電荷量をカーネルの重み係数により畳み込み演算した結果が保持される。この電荷量に応じた画素信号 V_{in} は、例えば、次の式により表される。

$$\begin{aligned} V_{in} = & V_0 \times w_0 + V_1 \times w_1 + V_2 \times w_2 + V_3 \times w_3 + V_4 \times w_4 \\ & + V_5 \times w_5 + V_6 \times w_6 + V_7 \times w_7 + V_8 \times w_8 \end{aligned}$$

上式において、 V_1 乃至 V_8 は、カーネルを適用しない場合の画素300乃至380のそれぞれの画素信号である。

[0082] なお、行走査回路210は、 SW_0 乃至 SW_8 の順序で、転送信号を供給しているが、これらの9回の転送の順序は、図9乃至12に例示した順序に限定されない。

[0083] ここで、比較例として、デジタルの画素データを配列した画像データに対し、カーネルにより画素毎に順に畳み込み演算を行う固体撮像素子を想定する。

[0084] 図13は、比較例における第0レイヤーの演算の一例を説明するための図

である。この比較例の固体撮像素子は、まず、最も左上、すなわちアドレス（０、０）の画素に着目し、その着目画素と、その周囲の８画素とに対して、カーネルにより畳み込み演算を行う。ただし、左上の画素には、左上、上、右上、左および左下の画素データが無い場合、それらの代わりに「０」の値の画素データが挿入される。言い換えれば、ゼロパディングが行われる。

[0085] 次に固体撮像素子は、アドレス（０、１）の画素に着目し、その着目画素と、その周囲の８画素とに対して、カーネルにより畳み込み演算を行う。そして、固体撮像素子は、アドレス（０、２）の画素に着目し、その着目画素と、その周囲の８画素とに対して、カーネルにより畳み込み演算を行う。以下、同様に、０行目において画素毎に畳み込み演算が実行される。そして、固体撮像素子は、アドレス（１、０）の画素に着目し、その着目画素と、その周囲の８画素とに対して、カーネルにより畳み込み演算を行う。以下、同様に、１行目において画素毎に畳み込み演算が実行される。第０レイヤーの第２行目以降と、第１レイヤー以降についても同様である。これらのレイヤーの処理により、CNNが実現される。

[0086] 同図に例示したように、比較例では、デジタルの画素データのそれぞれについて、順に畳み込み演算が実行される。この構成では、演算回数は入力データ量（すなわち、画素数）に比例して増大するため、多画素化には、消費電力やレイテンシの増大を伴う結果となる。

[0087] これに対して、重み係数に応じた量の電荷を転送する固体撮像素子２００では、図６に例示したアナログ回路が第０レイヤーの畳み込み演算を実行する。このため、デジタルの画素データに対する、第１レイヤー以降の畳み込み演算の演算量が削減される。この演算量の削減により、演算を行うデジタル回路（画像処理部２９０など）の消費電力を削減し、演算時間を短くすることができる。

[0088] また、第０レイヤーの畳み込み演算は、図９乃至図１２に例示したように画素数に関わらず、９回の露光および転送により終了する。このため、比較例と比較して、第０レイヤーを含むCNN全体の畳み込み演算に要する時間

を短くすることができる。また、第0レイヤーの演算に要する露光回数は、画素数が増大しても変動しないため、多画素化の際の演算時間や消費電力の増大を抑制することができる。

[0089] 図14は、本技術の第1の実施の形態におけるCNNを説明するための図である。画像認識モードが設定されると第0レイヤーにおいて、画素310、320、330、340、350、360、370および380は、それぞれの重み係数に応じた量の電荷を生成して転送し、画素340は、それらの電荷量を加算して出力する。他の画素についても同様の処理が並列に実行される。これにより、第0レイヤーの畳み込み演算が実現される。第0レイヤーの処理結果は、信号処理部260によりAD変換され、デジタルの画像データが生成される。

[0090] 画像処理部290は、デジタルの画像データに対し、比較例と同様の方法で第1レイヤーの畳み込み演算を行う。第2レイヤー以降の処理は、その前段のレイヤーの処理結果に対し、比較例と同様の方法で実行される。

[0091] 同図に例示したように、複数段のレイヤーのそれぞれについて、カーネルを用いて、畳み込み演算を実行する処理は、CNNに該当する。

[0092] 図15は、本技術の第1の実施の形態における固体撮像素子200の動作の一例を示すフローチャートである。この動作は、例えば、画像認識を行う所定のアプリケーションが実行されたときに開始される。

[0093] 固体撮像素子200内の行走査回路210は、リセット信号 C_{int_rst} を供給し、全画素の電荷量を初期化する（ステップS901）。そして、行走査回路210は、 n （ n は、整数）に「0」を設定する（ステップS902）。

[0094] 行走査回路210は、転送信号 SW_n により、重み係数 w_n に応じた露光時間に亘って全画素を露光し、電荷を転送させる（ステップS903）。行走査回路210は、 n をインクリメントし（ステップS904）、 n が「8」より大きいかな否かを判断する（ステップS905）。

[0095] n が「8」以下である場合（ステップS905：No）、行走査回路210は、ステップS903以降を繰り返す。一方、 n が「8」より大きい場合

(ステップS905: Yes)、信号処理部260および画像処理部290は、信号処理および画像処理を実行し(ステップS906)、画像認識のための動作を終了する。

[0096] このように、本技術の第1の実施の形態によれば、行走査回路210が重み係数に応じた露光期間に亘って画素300等を露光させるため、各画素は、重み係数に応じた量の電荷を転送して蓄積することができる。このため、固体撮像素子200は、画素数に関わりなく、一定回数(9回など)の転送により畳み込み演算を実行することができる。これにより、画素毎に順に畳み込み演算を行う場合と比較して、畳み込み演算に要する時間を短くすることができる。

[0097] [第1の変形例]

上述の第1の実施の形態では、全画素が、畳み込み演算の結果をそのまま出力していたが、この構成では、画素数が多くなるほど、画像データのデータサイズが増大してしまう。CNNでは、一般に畳み込み演算の他、移動不変性(translation invariance)を持たせ、また、画像データのデータサイズを削減する目的で、プーリング処理が実行されている。ここで、プーリング処理は、画像データを複数のウィンドウに分割し、ウィンドウごとに、画素データの統計量(平均値や最大値)を出力する処理である。この第1の実施の形態の第1の変形例の固体撮像素子200は、プーリング処理をさらに実行する点において第1の実施の形態と異なる。

[0098] 図16は、本技術の第1の実施の形態の第1の変形例における画素アレイ部220の一構成例を示す図である。この第1の実施の形態の第1の変形例の画素アレイ部220は、ウィンドウ506乃至509などの複数のウィンドウにより分割される。ここで、ウィンドウは、M(Mは、整数)個の画素からなる領域であり、例えば、画素アレイ部220は、2行×2列のサイズのウィンドウ506等により分割される。画素数をI×J個とすると、画素アレイ部220は、 $(I \times J) / 4$ 個のウィンドウに分割される。ウィンドウ506には、例えば、画素300、310、330および340が配置さ

れる。

[0099] 図17は、本技術の第1の実施の形態の第1の変形例におけるウィンドウ506の一構成例を示す回路図である。ウィンドウ506において、増幅トランジスタ308、318、338および348がさらに配置される。なお、外部転送のための転送トランジスタは、同図において省略されている。

[0100] 増幅トランジスタ308は、画素300に配置され、増幅トランジスタ318は画素310に配置される。増幅トランジスタ338は、画素330に配置され、増幅トランジスタ348は画素340に配置される。

[0101] また、増幅トランジスタ308のゲートは、オペアンプ304の出力に接続され、キャパシタ303の電圧を増幅する。増幅トランジスタ318、338および348も同様に、対応するキャパシタの電圧を増幅する。そして、これらの増幅トランジスタ308、318、338および348のそれぞれのソースは、垂直信号線VSLに共通に接続される。この接続構成により、画素300、310、330および340のそれぞれの電荷量の最大値に応じた画素信号が、ウィンドウ506から出力される。同図に例示した回路は、一般的にwinner-take-all回路などと呼ばれているもので、単純なソースフォロア回路構成である。

[0102] ウィンドウ507、508および509などの他のウィンドウの構成は、ウィンドウ506と同様である。

[0103] 図18は、本技術の第1の実施の形態の第1の変形例におけるプーリング処理を説明するための図である。ウィンドウ506内の4画素のそれぞれの電荷量が、「1」、「1」、「5」および「6」であり、ウィンドウ507内の4画素のそれぞれの電荷量が、「2」、「4」、「7」および「8」であるものとする。また、ウィンドウ508内の4画素のそれぞれの電荷量が、「3」、「2」、「1」および「2」であり、ウィンドウ509内の4画素のそれぞれの電荷量が、「1」、「0」、「3」および「4」であるものとする。

[0104] この場合、それぞれのウィンドウは、各電荷量のうち、最大値に応じた画

素信号を出力する。すなわち、ウィンドウ 506 は、電荷量「6」に応じた画素信号を出力し、ウィンドウ 507 は、電荷量「8」に応じた画素信号を出力する。また、ウィンドウ 508 は、電荷量「3」に応じた画素信号を出力し、ウィンドウ 509 は、電荷量「4」に応じた画素信号を出力する。

[0105] 同図に例示した処理によりデータ数を $1/4$ に削減することができる。データ数の削減により、後段の信号処理コストをさらに削減することができる。特に、信号処理部 260 で A/D 変換を行う場合は、その電力と回路サイズを低減できる。一般に、システム全体のうち A/D 変換コストが占める割合は大きいことから、信号処理部 260 の信号処理コストの削減により、電力および時間を大幅に削減することができる。

[0106] このように、ウィンドウごとに最大値などの統計量を選択して出力する処理は、プーリング処理と呼ばれる。特に最大値を選択するプーリング処理は、マックスプーリングと呼ばれる。

[0107] なお、ウィンドウのそれぞれは、統計量として最大値を選択しているが、最大値以外の統計量（平均値など）を選択することもできる。また、ウィンドウのサイズを 2 行×2 列としているが、ウィンドウのサイズは 2 行×2 列に限定されない。

[0108] このように、本技術の第 1 の実施の形態の第 1 の変形例によれば、ウィンドウのそれぞれは、各画素の電荷量の統計量（最大値など）に応じた画素信号を出力するため、画素ごとに画素信号を出力する場合と比較してデータ数を削減することができる。

[0109] [第 2 の変形例]

上述の第 1 の実施の形態では、行走査回路 210 は、互いに異なるタイミングで 9 回の露光を開始させていたが、この構成では、それらの露光のそれぞれの露光時間の差が大きくなることがある。この場合には、その露光時間の差に起因して Blur と呼ばれるブレが画像データに生じるおそれがある。この第 1 の実施の形態の第 2 の変形例の行走査回路 210 は、同じタイミングで 9 回の露光を開始させる点において第 1 の実施の形態と異なる。

[0110] 図19は、本技術の第1の実施の形態の第2の変形例における固体撮像素子200の動作の一例を示すタイミングチャートである。この第1の実施の形態の第2の変形例において、行走査回路210は、タイミングT1において、転送信号SW₀乃至SW₉をハイレベルにすることにより、全画素について、同じタイミングで電荷の生成（言い換えれば、露光）を開始させる。

[0111] また、行走査回路210は、重み係数w₀乃至w₉に応じた露光時間t₀乃至t₉から、9個の連立方程式により、露光前に予め露光時間t₀'乃至t₉'を算出しておく。説明を簡易にするため、最初の3回についてのみ露光開始タイミングを揃える場合を考える。この場合、次の3つの連立方程式により、露光時間t₀'乃至t₂'が算出される。

$$t_{0'} = t_{1'} + 2(t_0 - t_1)$$

$$t_{1'} = 3 \times t_1$$

$$t_{2'} = t_{0'} + (t_2 - t_0)$$

[0112] 後段の信号処理部260または画像処理部290は、露光時間t₀'乃至t₂'に対応する画素信号をVin₀'乃至Vin₂'とし、次の連立方程式を解くことにより、露光時間t₀乃至t₂に対応する画素信号をVin₀乃至Vin₂を求める。

$$Vin_{0'} = Vin_{1'} + 2(Vin_0 - Vin_1)$$

$$Vin_{1'} = 3 \times Vin_1$$

$$Vin_{2'} = Vin_{0'} + (Vin_2 - Vin_0)$$

[0113] 9回の露光開始タイミングを揃える場合、信号処理部260等は、9個の連立方程式を解くことにより露光時間t₀'乃至t₉'に対応する画素信号から、露光時間t₀乃至t₉に対応する画素信号を算出すればよい。

[0114] 上述したように、露光開始タイミングを揃えることにより、9回の露光のそれぞれの露光時間差を小さくすることができる。これにより、露光時間差に起因する画像データの画質低下を抑制することができる。

[0115] なお、第1の実施の形態の第2の変形例に、第1の変形例を適用することができる。

[0116] このように、本技術の第1の実施の形態の第2の変形例によれば、行走査回路210は、全画素について同じタイミングで露光を開始させるため、異なるタイミングで露光を開始させる場合よりも9回の露光のそれぞれの露光時間差を小さくすることができる。これにより、露光時間差に起因する画質低下を抑制することができる。

[0117] <2. 第2の実施の形態>

上述の第1の実施の形態では、画素アレイ部220において二次元格子状に画素を配列していたが、この配列では、カーネルのサイズを3行×3列より小さくすることができない。この第2の実施の形態の固体撮像素子200は、ハニカム状に画素を配列することにより、カーネルのサイズを削減した点において第1の実施の形態と異なる。

[0118] 図20は、本技術の第2の実施の形態における画素アレイ部220の一構成例を示す図である。画素アレイ部220には、画素300、310、320、330、340、350および360などの複数の画素がハニカム状に配列される。

[0119] また、画素アレイ部220内の全画素について、その画素を着目画素として、着目画素と、隣接する周囲の6画素とからなる7画素に対してカーネルが適用される。例えば、画素330に着目すると、画素300、310、320、340、350および360は、画素330に隣接する。この着目画素と、その周囲の6個の隣接画素とからなる7画素の画素ブロック505に対してカーネルが適用される。また、カーネル内の重み係数は、7個である。

[0120] 同様に、画素340に着目した場合、その画素340と、画素340に隣接する6画素（画素330など）とに対してカーネルが適用される。他の画素についても同様である。

[0121] 隣接画素（画素300など）は、行走査回路210の制御に従って、その隣接画素に対応する重み係数に応じた量の電荷を生成し、着目画素へ転送する。また、着目画素（画素330など）は、行走査回路210の制御に従っ

て、その着目画素に対応する重み係数に応じた量の電荷を生成し、転送された電荷とともに蓄積する。

[0122] 同図に例示したように、ハニカム状に画素を配列し、7つの重み係数からなるカーネルとすることで、十分な空間情報を保ちつつ、重み係数を9個から7個に削減することができる。これにより、回路、デバイス、光学的演算などについて、2次元乃至3次元構造でのCNNの実現が容易になり、結果として、電力、サイズや速度の総合性能を向上させることができる。

[0123] なお、ハニカム状の配列は、一般的な3行×3列のカーネルに替わる最小構成の汎用CNNカーネルとして、GPU (Graphics Processing Unit) 等の汎用演算手段を使ってソフトウェア実装でCNNを構成し、実行する場合でも適用できる。

[0124] 図21は、本技術の第2の実施の形態における画素330の一構成例を示す回路図である。この第2の実施の形態の画素330は、光電変換素子331、転送トランジスタ332、リセットトランジスタ336、浮遊拡散層337および増幅トランジスタ338と、転送トランジスタ410、411、412、414、415および416とを備える。

[0125] 光電変換素子331は、光電変換により電荷を生成するものである。

[0126] 転送トランジスタ332は、行走査回路210からの転送信号SW₃に従って、光電変換素子331から浮遊拡散層337へ電荷を内部転送するものである。

[0127] 転送トランジスタ410は、行走査回路210からの転送信号SW₀に従って、光電変換素子331から隣接する画素300へ電荷を外部転送するものである。転送トランジスタ411は、行走査回路210からの転送信号SW₁に従って、光電変換素子331から隣接する画素310へ電荷を外部転送するものである。転送トランジスタ412は、行走査回路210からの転送信号SW₂に従って、光電変換素子331から隣接する画素320へ電荷を外部転送するものである。転送トランジスタ414は、行走査回路210からの転送信号SW₄に従って、光電変換素子331から隣接する画素340へ電荷

を外部転送するものである。

[0128] 転送トランジスタ415は、行走査回路210からの転送信号 SW_5 に従って、光電変換素子331から隣接する画素350へ電荷を外部転送するものである。転送トランジスタ416は、行走査回路210からの転送信号 SW_6 に従って、光電変換素子331から隣接する画素360へ電荷を外部転送するものである。

[0129] 浮遊拡散層337は、転送トランジスタ332により内部転送された電荷と、画素300、310、320、340、350および360のそれぞれにより外部転送された電荷とを蓄積して保持するものである。なお、浮遊拡散層337は、特許請求の範囲に記載の電荷蓄積部の一例である。

[0130] 増幅トランジスタ338は、浮遊拡散層337の電圧を増幅し、画素信号として垂直信号線 VSL に出力するものである。

[0131] リセットトランジスタ336は、行走査回路210からのリセット信号 R に従って、浮遊拡散層337の電荷量を初期化するものである。

[0132] 画素330以外の画素（画素300など）の構成は、画素330と同様である。

[0133] なお、浮遊拡散層337、増幅トランジスタ338およびリセットトランジスタ336の代わりに、第1の実施の形態と同様にキャパシタ343、オペアンプ344およびリセットスイッチ345を配置することもできる。

[0134] 同図に例示したように、ハニカム状に画素を配列することにより、転送先の隣接画素が8画素から6画素に削減されるため、画素毎に転送トランジスタを2つ削減することができる。全画素数が $I \times J$ 個である場合、 $I \times J \times 2$ 個の転送トランジスタを削減することができる。

[0135] 図22は、本技術の第2の実施の形態における画素ブロック505の一構成例を示す回路図である。この第2の実施の形態の画素ブロック505には、画素300、310、320、330、340、350および360が配置される。

[0136] 画素ブロック505内には、光電変換素子301、311、321、33

1、341、351および361が配置される。また、転送トランジスタ302、312、322、332、342、352および362と、リセットトランジスタ336、浮遊拡散層337および増幅トランジスタ338とが配置される。

[0137] なお、同図において、画素340以外の画素内の浮遊拡散層、増幅トランジスタおよびリセットトランジスタは省略されている。また、画素340内の転送トランジスタ410、411、412、414、415および416は省略されている。

[0138] 画像認識モードにおいて、着目画素を画素330として、その着目画素に隣接する画素の転送トランジスタ302等は、対応する光電変換素子301等から、着目画素の浮遊拡散層337へ、対応する重み係数に応じた量の電荷を外部転送する。

[0139] また、着目画素（画素330）内の転送トランジスタ332は、対応する光電変換素子331から浮遊拡散層337へ、対応する重み係数に応じた量の電荷を内部転送する。浮遊拡散層337は、それらの電荷を蓄積する。これにより、画素ブロック505内の7個の画素のそれぞれにより生成された電荷が加算される。転送された電荷量のそれぞれは、重み係数に応じた量であるため、浮遊拡散層337の蓄積電荷量は、7つの重み係数からなるカーネルを用いて畳み込んだ積和演算の結果に相当する量となる。

[0140] 図23は、本技術の第2の実施の形態における画素アレイ部220内の素子のレイアウトの一例を示す図である。光電変換素子331の周囲の6個の光電変換素子301、311、321、341、351および361と信号線501との間に転送トランジスタ302、312、322、342、352および362が配置される。また、光電変換素子331と信号線501との間に転送トランジスタ332が配置される。

[0141] 信号線501は、光電変換素子331を囲むように配線され、浮遊拡散層337に接続される。なお、リセットトランジスタ336および増幅トランジスタ338は、同図において省略されている。

[0142] 図24は、本技術の第2の実施の形態における固体撮像素子200の動作の一例を示すタイミングチャートである。画像認識モードにおいて行走査回路210は、タイミングT0乃至T1の期間内に転送信号SW₀乃至SW₆を全画素に同時に供給し、タイミングT1でリセット信号RDを全画素に供給する。これにより、全画素の浮遊拡散層が所望の電位に初期化される。

[0143] そして、行走査回路210は、タイミングT1から露光時間 t_0 が経過したタイミングT2において、転送信号SW₀を供給する。カーネルを適用しない場合の光電変換による電流量を I_{PD} とすると、 $I_{PD} \times t_0$ の電荷量が、タイミングT1乃至T2の期間に光電変換素子で発生し、浮遊拡散層に蓄積される。

[0144] 続いて、行走査回路210は、タイミングT2から露光時間 t_1 が経過したタイミングT3において、転送信号SW₁を供給し、タイミングT3から露光時間 t_2 が経過したタイミングT4において、転送信号SW₂を供給する。以下、同様に、対応する露光時間が経過するタイミングで転送信号SW₃乃至SW₆が順に供給される。

[0145] 上述の7回の露光および転送により、全画素の浮遊拡散層には、その画素と、その周辺の6画素とのそれぞれの電荷量をカーネルの重み係数により畳み込み演算した結果が保持される。

[0146] このように、ハニカム状に画素を配列することにより、カーネルを適用する画素数が9画素から7画素に削減されるため、露光回数を9回から7回に削減することができる。これにより、露光時間の合計をより短くすることができる。

[0147] 図25は、本技術の第2の実施の形態におけるCNNを説明するための図である。画像認識モードが設定されると第0レイヤーにおいて、各画素は、重み係数に応じた量の電荷を生成して、自身を含む7画素に転送する。同図において、矢印は、転送方向を示す。これにより、第0レイヤーの畳み込み演算が実現される。第0レイヤーの処理結果は、信号処理部260によりAD変換され、デジタルの画像データが生成される。

[0148] 画像処理部290は、デジタルの画像データに対し、比較例と同様の方法で第1レイヤーの畳み込み演算を行う。第2レイヤー以降の処理は、その前段のレイヤーの処理結果に対し、比較例と同様の方法で実行される。

[0149] このように、本技術の第2の実施の形態によれば、画素をハニカム状に配列したため、二次元格子状に配列する場合と比較して、隣接する画素数を8画素から6画素に削減することができる。これにより、画素の回路規模を削減し、露光時間の合計を短くすることができる。

[0150] [変形例]

上述の第2の実施の形態では、全画素が、畳み込み演算の結果をそのまま出力していたが、この構成では、画素数が多くなるほど、画像データのデータサイズが増大してしまう。この第2の実施の形態の変形例の固体撮像素子200は、プーリング処理をさらに実行する点において第2の実施の形態と異なる。

[0151] 第2の実施の形態の変形例の画素アレイ部220は、所定数（4など）の画素からなる複数のウィンドウにより分割される。

[0152] 図26は本技術の第2の実施の形態の変形例におけるウィンドウ506の一構成例を示す回路図である。ウィンドウ506において、増幅トランジスタ308、318、338および348のそれぞれのドレインは、垂直信号線VSLに共通に接続される。この接続構成により、画素300、310、330および340のそれぞれの電荷量の最大値に応じた画素信号が、ウィンドウ506から出力される。

[0153] なお、第2の実施の形態の変形例に、露光開始タイミングを揃える第1の実施の形態の第2の変形例を適用することもできる。

[0154] 本技術の第2の実施の形態の変形例によれば、ハニカム状の配列においてウィンドウのそれぞれは、各画素の電荷量の統計量（最大値など）に応じた画素信号を出力するため、画素ごとに画素信号を出力する場合と比較してデータ数を削減することができる。

[0155] <3. 第3の実施の形態>

上述の第1の実施の形態では、画素毎に転送トランジスタを配置して、畳み込み演算を実現していたが、この構成では、畳み込み演算を行わない場合と比較して画素毎の回路規模が増大してしまう。この第3の実施の形態の撮像装置100は、固体撮像素子200の位置を画素単位でずらすことにより、畳み込み演算を実現する点において第1の実施の形態と異なる。

[0156] 図27は、本技術の第3の実施の形態における撮像装置100の一構成例を示すブロック図である。この第3の実施の形態の撮像装置100は、光学部110、固体撮像素子200、画素ずらし制御部451、Y軸アクチュエータ452、X軸アクチュエータ453および記憶部170を備える。

[0157] 第2の実施の形態の光学部110および記憶部170の構成は、第1の実施の形態と同様である。

[0158] X軸アクチュエータ453は、画素ずらし制御部451の制御に従って固体撮像素子200の水平方向の位置を初期位置と異なる位置に画素単位で変更するものである。

[0159] Y軸アクチュエータ452は、画素ずらし制御部451の制御に従って固体撮像素子200の垂直方向の位置を初期位置と異なる位置に画素単位で変更するものである。X軸アクチュエータ453およびY軸アクチュエータ452は、例えば、 piezo素子により実現される。

[0160] なお、X軸アクチュエータ453およびY軸アクチュエータ452は、特許請求の範囲に記載のアクチュエータの一例である。

[0161] 画素ずらし制御部451は、画像認識モードにおいて、X軸アクチュエータ453およびY軸アクチュエータ452を制御して固体撮像素子200の位置を画素単位で変更させるものである。固体撮像素子200の位置は、例えば、初期位置を中心として8方向に画素単位で変更される。初期位置において固体撮像素子200は、画素毎に、着目画素の重み係数に応じた量の電荷を生成する。また、位置の変更のたびに固体撮像素子200は、画素毎に、その位置に係る隣接画素の重み係数に応じた量の電荷を生成する。

[0162] 一方、通常モードにおいて画素ずらし制御部451は、固体撮像素子200

0の位置を初期位置のままにし、固体撮像素子200は、垂直同期信号に同期して画像データを撮像する。

[0163] 図28は、本技術の第3の実施の形態における画素300の一構成例を示す回路図である。この第3の実施の形態の画素300は、周辺の画素へ転送するための転送トランジスタ410、411、412、413、415、416、417および418が配置されない点において第1の実施の形態と異なる。

[0164] 図29は、本技術の第3の実施の形態における第0回目および第1回目の露光制御を説明するための図である。同図において、一点鎖線は、初期位置の固体撮像素子200の画素アレイ部220の外周を示す。

[0165] 初期位置において、行走査回路210は着目画素の重み係数 w_4 に応じた量の電荷を全画素に生成させる。そして、X軸アクチュエータ453およびY軸アクチュエータ452は、固体撮像素子200を初期位置から1画素分だけ左へずらすとともに1画素分だけ上へずらす。行走査回路210は、左上の隣接画素に対応する重み係数 w_0 に応じた量の電荷を全画素に生成させる。

[0166] 図30は、本技術の第3の実施の形態における第2回目および第3回目の露光制御を説明するための図である。X軸アクチュエータ453は、左上へずれた状態から1画素分だけ右へずらして、固体撮像素子200を初期位置から上の位置にする。行走査回路210は、上の隣接画素に対応する重み係数 w_1 に応じた量の電荷を全画素に生成させる。

[0167] そして、X軸アクチュエータ453は、上へずれた状態から1画素分だけ右へずらして、固体撮像素子200を初期位置から右上の位置にする。行走査回路210は、右上の隣接画素に対応する重み係数 w_2 に応じた量の電荷を全画素に生成させる。

[0168] 以下、同様に、X軸アクチュエータ453およびY軸アクチュエータ452は、左、右、左下、下、右下へ順に位置をずらし、全画素は、3行×3列のカーネルを用いて畳み込んだ積和演算の結果に相当する電荷量を生成する。

[0169] なお、第3の実施の形態に、第1の実施の形態の第1の変形例や第2の変形例を適用することができる。

[0170] このように、本技術の第3の実施の形態によれば、固体撮像素子200の位置が画素単位で変更されるたびに、画素が重み係数に応じた量の電荷量を生成するため、画素間で電荷を転送しなくても畳み込み演算を実現することができる。これにより、画素間で電荷を転送するための転送トランジスタ410等が不要となり、その分、画素の回路規模を削減することができる。

[0171] <4. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0172] 図31は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0173] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図31に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

[0174] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等

の制御装置として機能する。

[0175] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0176] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0177] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0178] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判

別してもよい。

- [0179] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む A D A S (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。
- [0180] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0181] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0182] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 31 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。
- [0183] 図 32 は、撮像部 12031 の設置位置の例を示す図である。

[0184] 図32では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0185] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0186] なお、図32には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0187] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0188] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両1210

0に対する相対速度)を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度(例えば、0km/h以上)で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御(追従停止制御も含む)や自動加速制御(追従発進制御も含む)等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0189] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0190] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画

像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0191] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。具体的には、図 1 の撮像装置 100 は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、画像認識における演算時間を短くすることができるため、画像認識を高速に行って車両制御システムの安全性を向上させることができる。

[0192] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0193] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0194] なお、本技術は以下のような構成もとることができる。

(1) 複数の画素が二次元格子状に配列された画素アレイ部と、

前記複数の画素のうち着目した着目画素と前記着目画素に隣接する所定数の隣接画素とのそれぞれに対応付けられた所定の重み係数を保持する係数保持部と、

前記隣接画素に対応付けられた前記重み係数に応じた量の電荷を前記隣接画素に生成させて前記着目画素へ転送させる制御と前記着目画素に対応付けられた前記重み係数に応じた量の電荷を前記着目画素に生成させて前記転送

された電荷とともに蓄積させる制御とを行う走査回路とを具備する固体撮像素子。

(2) 前記複数の画素は、二次元格子状に配列される前記(1)記載の固体撮像素子。

(3) 前記複数の画素は、ハニカム状に配列される前記(1)記載の固体撮像素子。

(4) 前記複数の画素のそれぞれは、
光電変換により前記電荷を生成する光電変換素子と、
前記電荷を保持する電荷保持部と、
前記電荷を前記光電変換素子から前記電荷保持部へ内部転送する内部転送トランジスタと、

前記電荷を前記光電変換素子から前記複数の画素のうち周囲の画素へ外部転送する前記所定数の外部転送トランジスタと
を備える前記(1)から(3)のいずれかに記載の固体撮像素子。

(5) 前記電荷保持部は、キャパシタである前記(4)記載の固体撮像素子。

(6) 前記電荷保持部は、浮遊拡散層である前記(4)記載の固体撮像素子。

(7) 前記走査回路は、前記所定数の前記隣接画素と前記着目画素とのそれぞれについて互いに異なるタイミングで前記電荷の生成を開始させる前記(1)から(6)のいずれかに記載の固体撮像素子。

(8) 前記走査回路は、前記所定数の前記隣接画素と前記着目画素とのそれぞれについて同じタイミングで前記電荷の生成を開始させる前記(1)から(6)のいずれかに記載の固体撮像素子。

(9) 前記画素アレイ部は、所定サイズの複数のウィンドウに分割されており、

前記複数のウィンドウのそれぞれは、ウィンドウ内の画素のそれぞれに蓄積された前記電荷の量の統計量に応じた画素信号を出力する

前記（１）から（８）のいずれかに記載の固体撮像素子。

（１０）前記画素アレイ部が出力する画像データに対して所定の畳み込み演算を行う画像処理部をさらに具備する

前記（１）から（９）のいずれかに記載の固体撮像素子。

（１１）複数の画素が二次元格子状に配列された画素アレイ部と、

前記複数の画素のうち着目した着目画素と前記着目画素に隣接する所定数の隣接画素とのそれぞれに対応付けられた所定の重み係数を保持する係数保持部と、

前記隣接画素に対応付けられた前記重み係数に応じた量の電荷を前記隣接画素に生成させて前記着目画素へ転送させる制御と前記着目画素に対応付けられた前記重み係数に応じた量の電荷を前記着目画素に生成させて前記転送された電荷とともに蓄積させる制御とを行う走査回路とを具備する撮像装置。

（１２）複数の画素が二次元格子状に配列された画素アレイ部と、

前記複数の画素のうち着目した着目画素と前記着目画素に隣接する所定数の隣接画素とのそれぞれに対応付けられた所定の重み係数を保持する係数保持部と、

前記複数の画素のそれぞれの位置を所定の初期位置と異なる位置に画素単位で変更するアクチュエータと、

前記初期位置の前記複数の画素のそれぞれに前記着目画素に対応する前記重み係数に応じた量の電荷を生成させる制御と前記画素アレイ部の位置が変更されるたびに変更後の位置に係る前記隣接画素に対応する前記重み係数に応じた量の電荷を生成させる制御とを行う走査回路とを具備する撮像装置。

（１３）着目画素に隣接する隣接画素が、当該隣接画素に対応付けられた前記重み係数に応じた量の電荷を生成して着目画素へ転送する転送手順と、

前記着目画素が、当該着目画素に対応付けられた前記重み係数に応じた量の電荷を生成して前記転送された電荷とともに蓄積する蓄積手順と

を具備する固体撮像素子の制御方法。

符号の説明

- [0195] 1 0 0 撮像装置
- 1 1 0 光学部
- 1 2 0 D S P (Digital Signal Processing) 回路
- 1 3 0 表示部
- 1 4 0 操作部
- 1 5 0 バス
- 1 6 0 フレームメモリ
- 1 7 0 記憶部
- 1 8 0 電源部
- 2 0 0 固体撮像素子
- 2 1 0 行走査回路
- 2 2 0 画素アレイ部
- 2 3 0、係数保持部
- 2 5 0 D A C (Digital to Analog Converter)
- 2 6 0 信号処理部
- 2 6 1 比較器
- 2 6 2 カウンタ
- 2 6 3 ラッチ
- 2 7 0 タイミング制御部
- 2 8 0 列走査回路
- 2 9 0 画像処理部
- 3 0 0、3 1 0、3 2 0、3 3 0、3 4 0、3 5 0、3 6 0、3 7 0、3
- 8 0 画素
- 3 0 1、3 1 1、3 2 1、3 3 1、3 4 1、3 5 1、3 6 1、3 7 1、3
- 8 1 光電変換素子
- 3 0 2、3 1 2、3 2 2、3 3 2、3 4 2、3 5 2、3 6 2、3 7 2、3

82、410～418 転送トランジスタ

303、313、333、343 キャパシタ

304、314、334、344 オペアンプ

305、315、335、345 リセットスイッチ

306、316、336、346 リセットトランジスタ

308、318、338、348 増幅トランジスタ

337 浮遊拡散層

420 負荷MOS (Metal-Oxide-Semiconductor) トランジスタ

451 画素ずらし制御部

452 Y軸アクチュエータ

453 X軸アクチュエータ

12031 撮像部

請求の範囲

- [請求項1] 複数の画素が二次元格子状に配列された画素アレイ部と、
前記複数の画素のうち着目した着目画素と前記着目画素に隣接する所定数の隣接画素とのそれぞれに対応付けられた所定の重み係数を保持する係数保持部と、
前記隣接画素に対応付けられた前記重み係数に応じた量の電荷を前記隣接画素に生成させて前記着目画素へ転送させる制御と前記着目画素に対応付けられた前記重み係数に応じた量の電荷を前記着目画素に生成させて前記転送された電荷とともに蓄積させる制御とを行う走査回路と
を具備する固体撮像素子。
- [請求項2] 前記複数の画素は、二次元格子状に配列される
請求項1記載の固体撮像素子。
- [請求項3] 前記複数の画素は、ハニカム状に配列される
請求項1記載の固体撮像素子。
- [請求項4] 前記複数の画素のそれぞれは、
光電変換により前記電荷を生成する光電変換素子と、
前記電荷を保持する電荷保持部と、
前記電荷を前記光電変換素子から前記電荷保持部へ内部転送する内部転送トランジスタと、
前記電荷を前記光電変換素子から前記複数の画素のうち周囲の画素へ外部転送する前記所定数の外部転送トランジスタと
を備える請求項1記載の固体撮像素子。
- [請求項5] 前記電荷保持部は、キャパシタである
請求項4記載の固体撮像素子。
- [請求項6] 前記電荷保持部は、浮遊拡散層である
請求項4記載の固体撮像素子。
- [請求項7] 前記走査回路は、前記所定数の前記隣接画素と前記着目画素とのそ

れぞれについて互いに異なるタイミングで前記電荷の生成を開始させる

請求項 1 記載の固体撮像素子。

[請求項8] 前記走査回路は、前記所定数の前記隣接画素と前記着目画素とのそれぞれについて同じタイミングで前記電荷の生成を開始させる
請求項 1 記載の固体撮像素子。

[請求項9] 前記画素アレイ部は、所定サイズの複数のウィンドウに分割されており、

前記複数のウィンドウのそれぞれは、ウィンドウ内の画素のそれぞれに蓄積された前記電荷の量の統計量に応じた画素信号を出力する

請求項 1 記載の固体撮像素子。

[請求項10] 前記画素アレイ部が出力する画像データに対して所定の畳み込み演算を行う画像処理部をさらに具備する
請求項 1 記載の固体撮像素子。

[請求項11] 複数の画素が二次元格子状に配列された画素アレイ部と、
前記複数の画素のうち着目した着目画素と前記着目画素に隣接する所定数の隣接画素とのそれぞれに対応付けられた所定の重み係数を保持する係数保持部と、

前記隣接画素に対応付けられた前記重み係数に応じた量の電荷を前記隣接画素に生成させて前記着目画素へ転送させる制御と前記着目画素に対応付けられた前記重み係数に応じた量の電荷を前記着目画素に生成させて前記転送された電荷とともに蓄積させる制御とを行う走査回路と、

前記画素アレイ部により出力された画像データに対して所定の処理を行う画像処理部と
を具備する撮像装置。

[請求項12] 複数の画素が二次元格子状に配列された画素アレイ部と、
前記複数の画素のうち着目した着目画素と前記着目画素に隣接する

所定数の隣接画素とのそれぞれに対応付けられた所定の重み係数を保持する係数保持部と、

前記複数の画素のそれぞれの位置を所定の初期位置と異なる位置に画素単位で変更するアクチュエータと、

前記初期位置の前記複数の画素のそれぞれに前記着目画素に対応する前記重み係数に応じた量の電荷を生成させる制御と前記画素アレイ部の位置が変更されるたびに変更後の位置に係る前記隣接画素に対応する前記重み係数に応じた量の電荷を生成させる制御とを行う走査回路と

を具備する撮像装置。

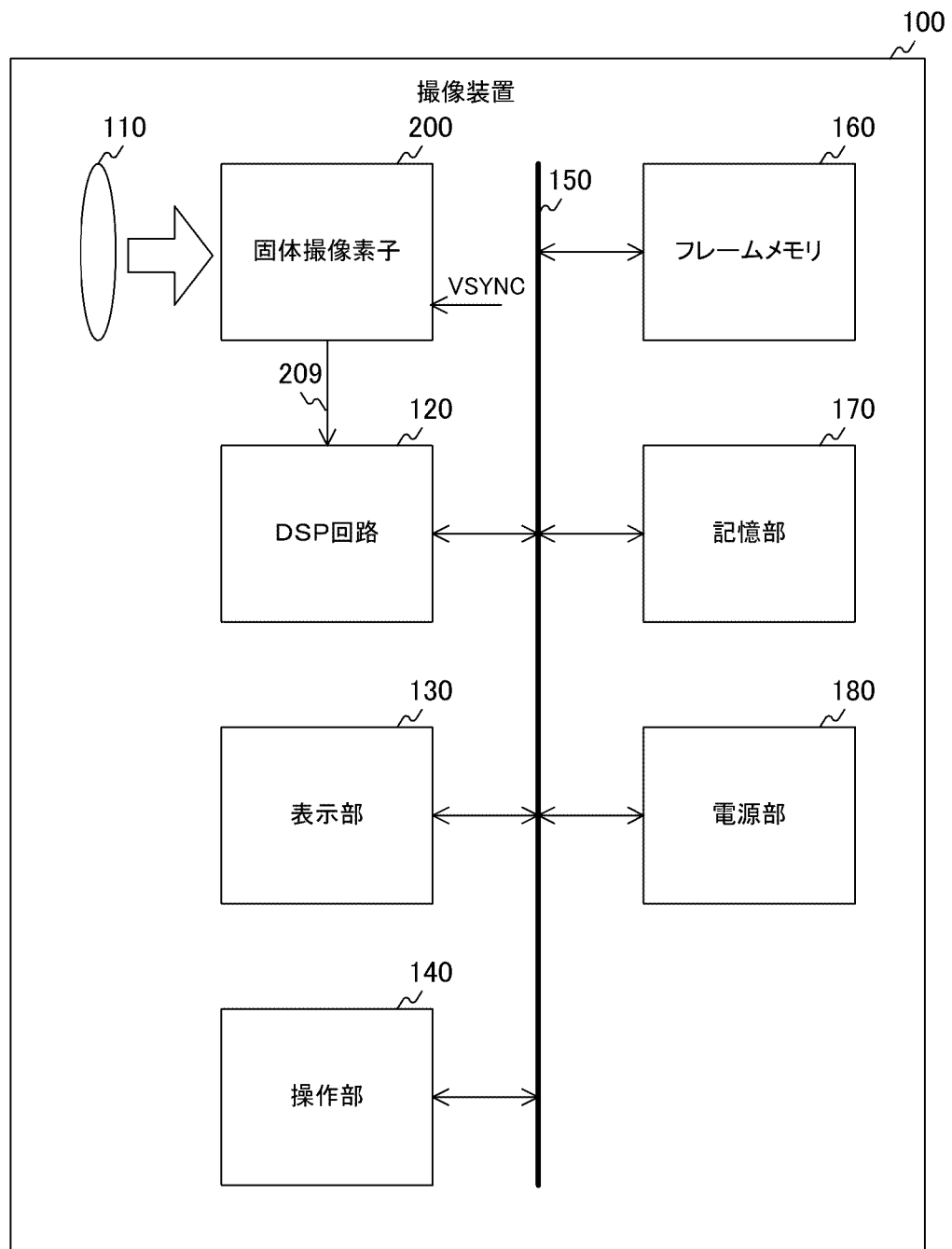
[請求項13]

着目画素に隣接する隣接画素が、当該隣接画素に対応付けられた前記重み係数に応じた量の電荷を生成して着目画素へ転送する転送手順と、

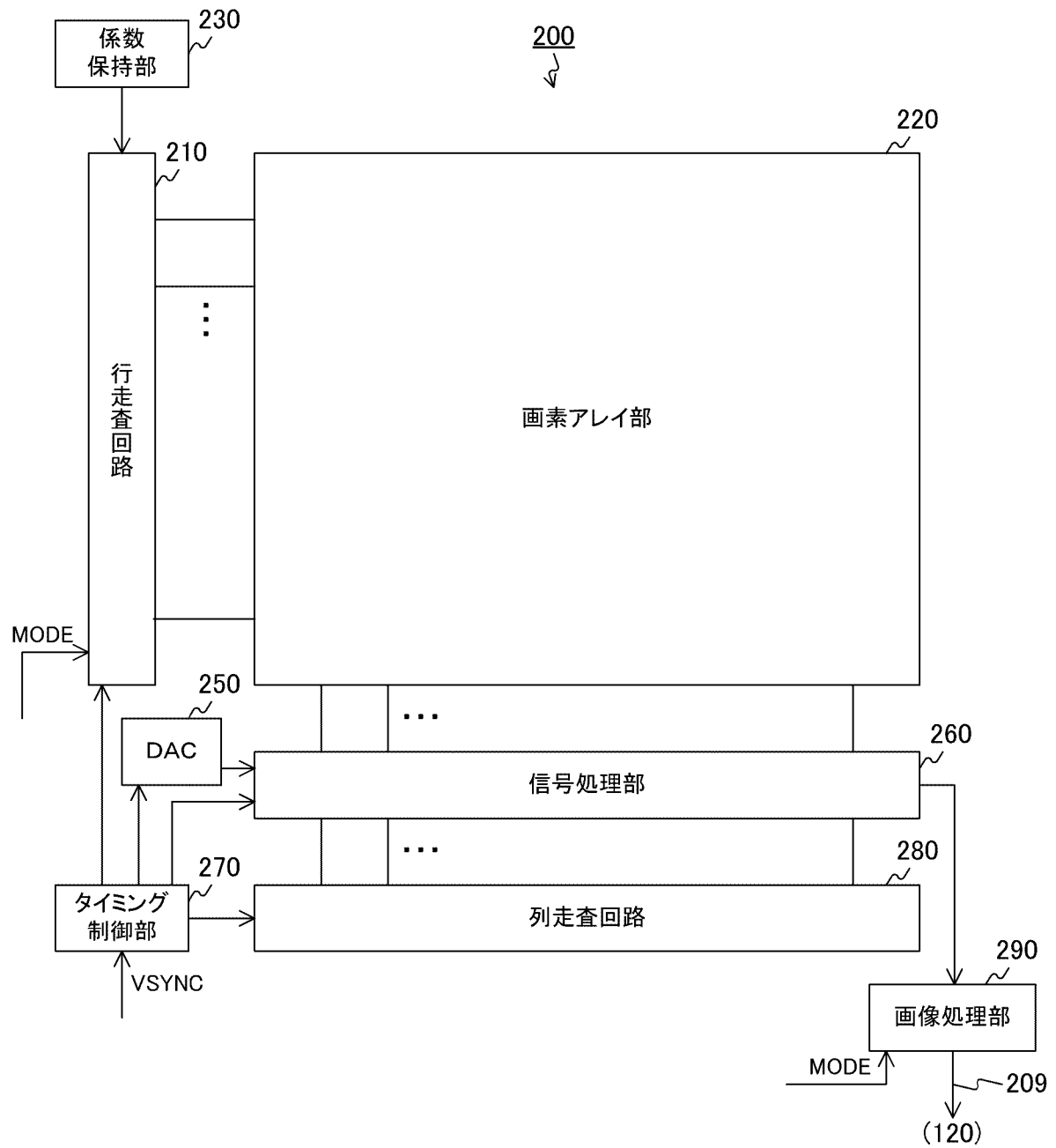
前記着目画素が、当該着目画素に対応付けられた前記重み係数に応じた量の電荷を生成して前記転送された電荷とともに蓄積する蓄積手順と

を具備する固体撮像素子の制御方法。

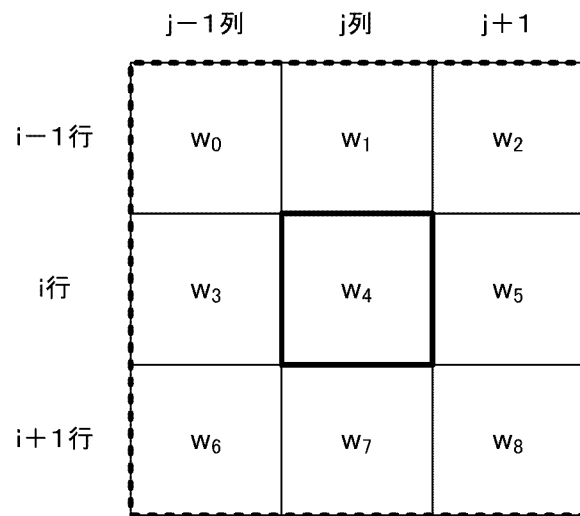
[図1]



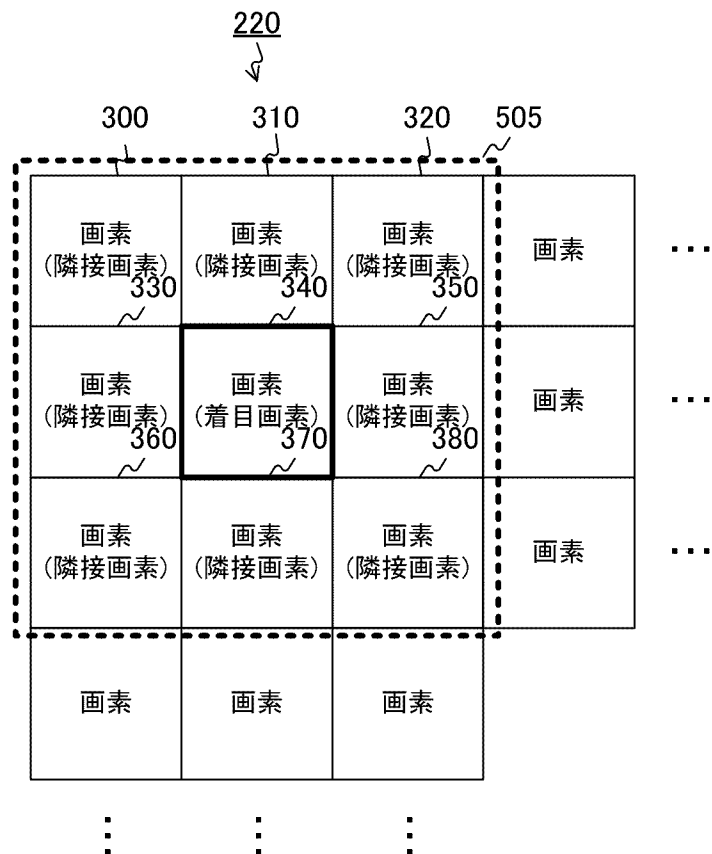
[図2]

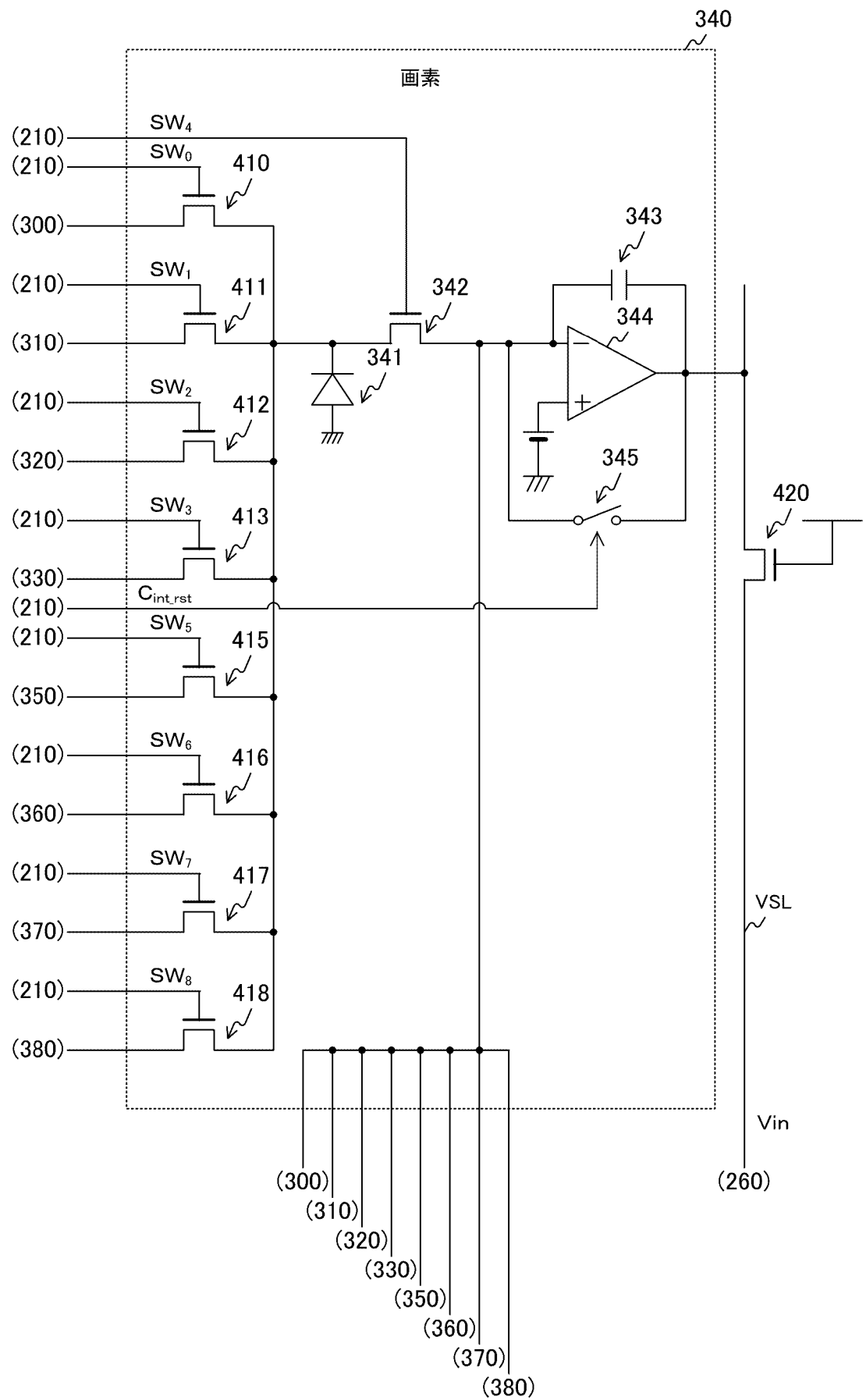


[図3]

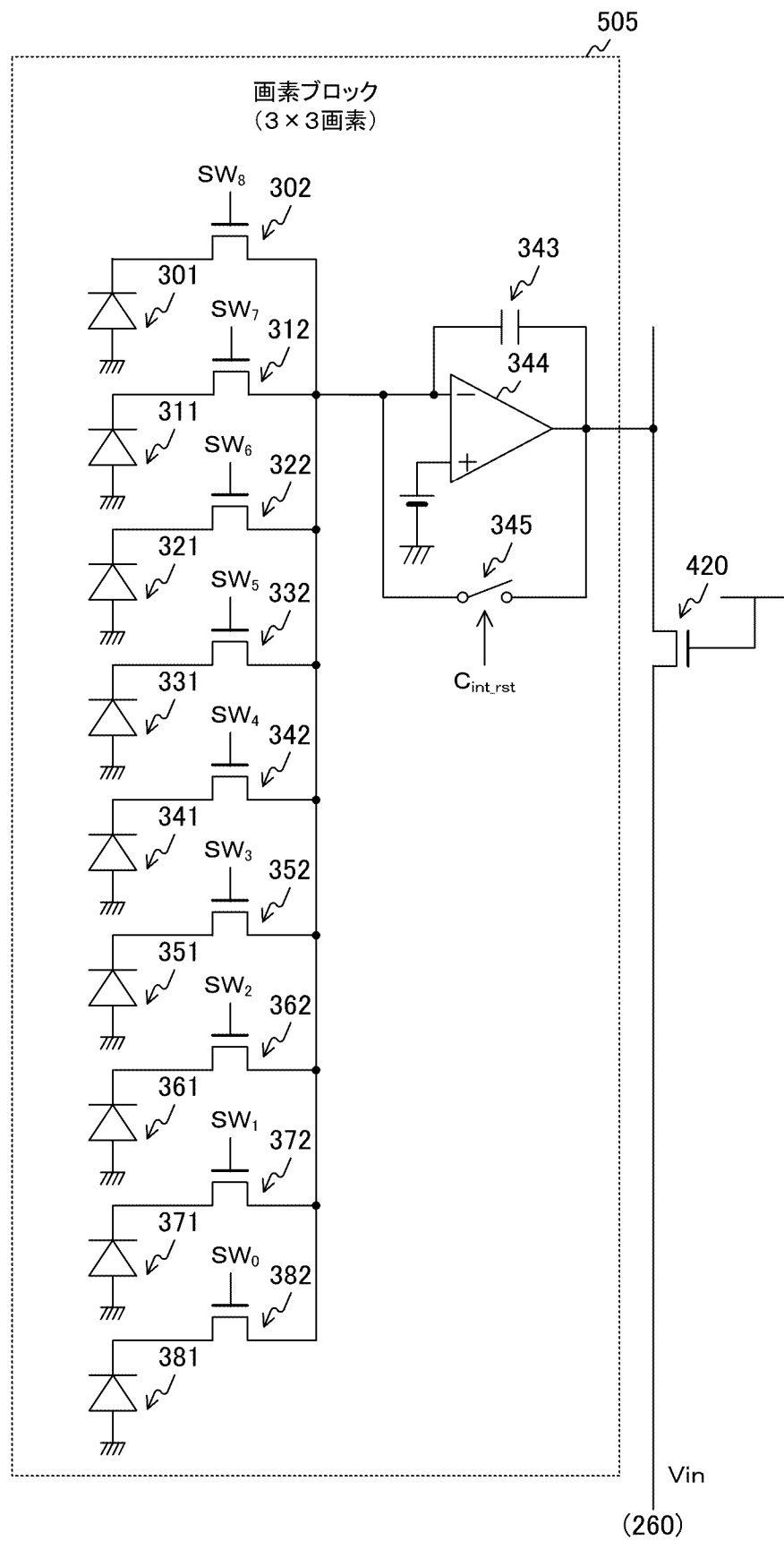


[図4]

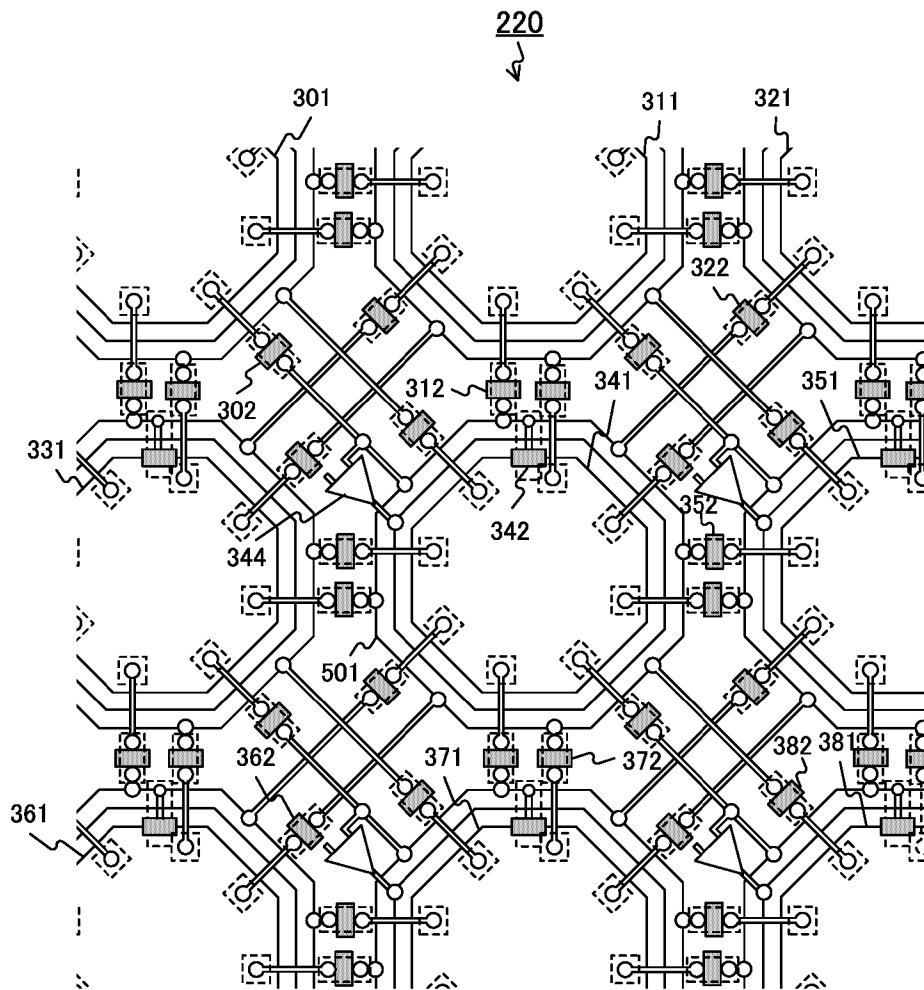




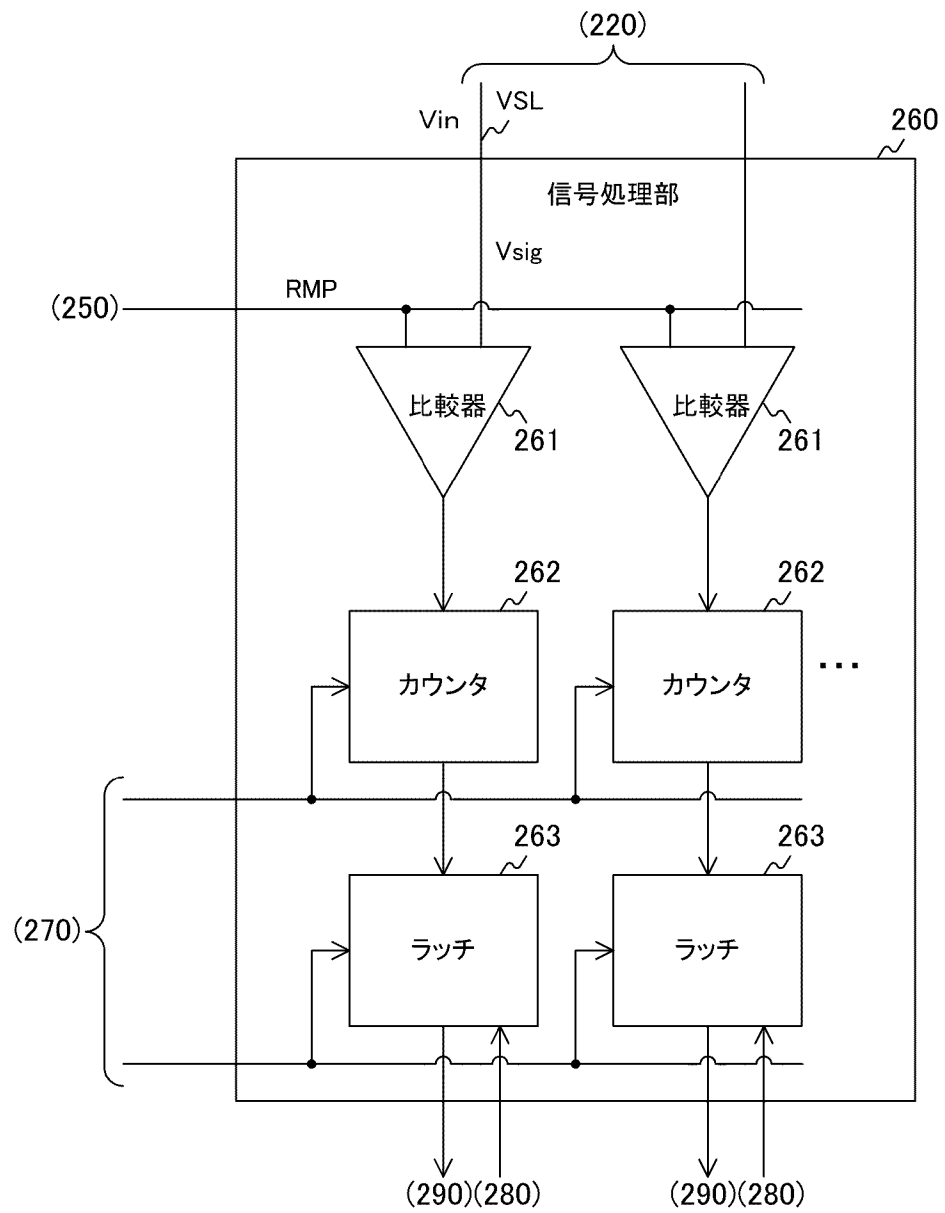
[図6]



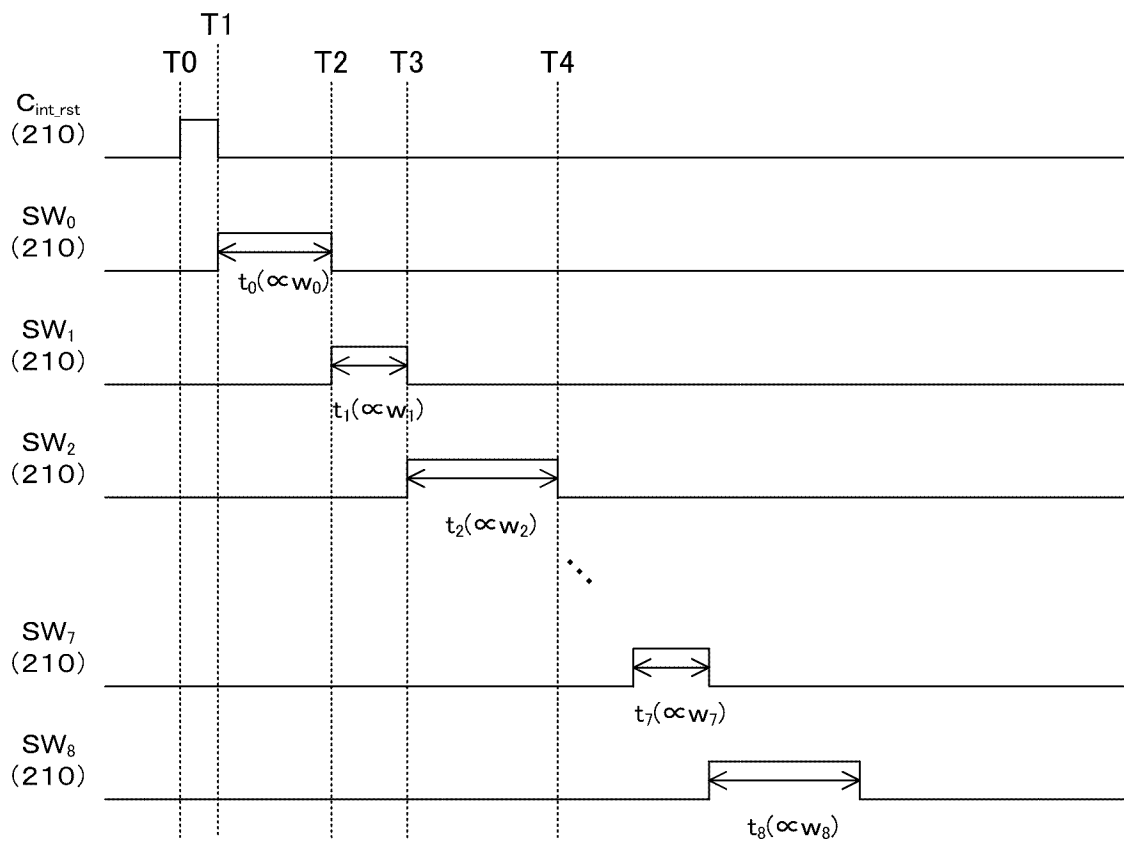
[図7]



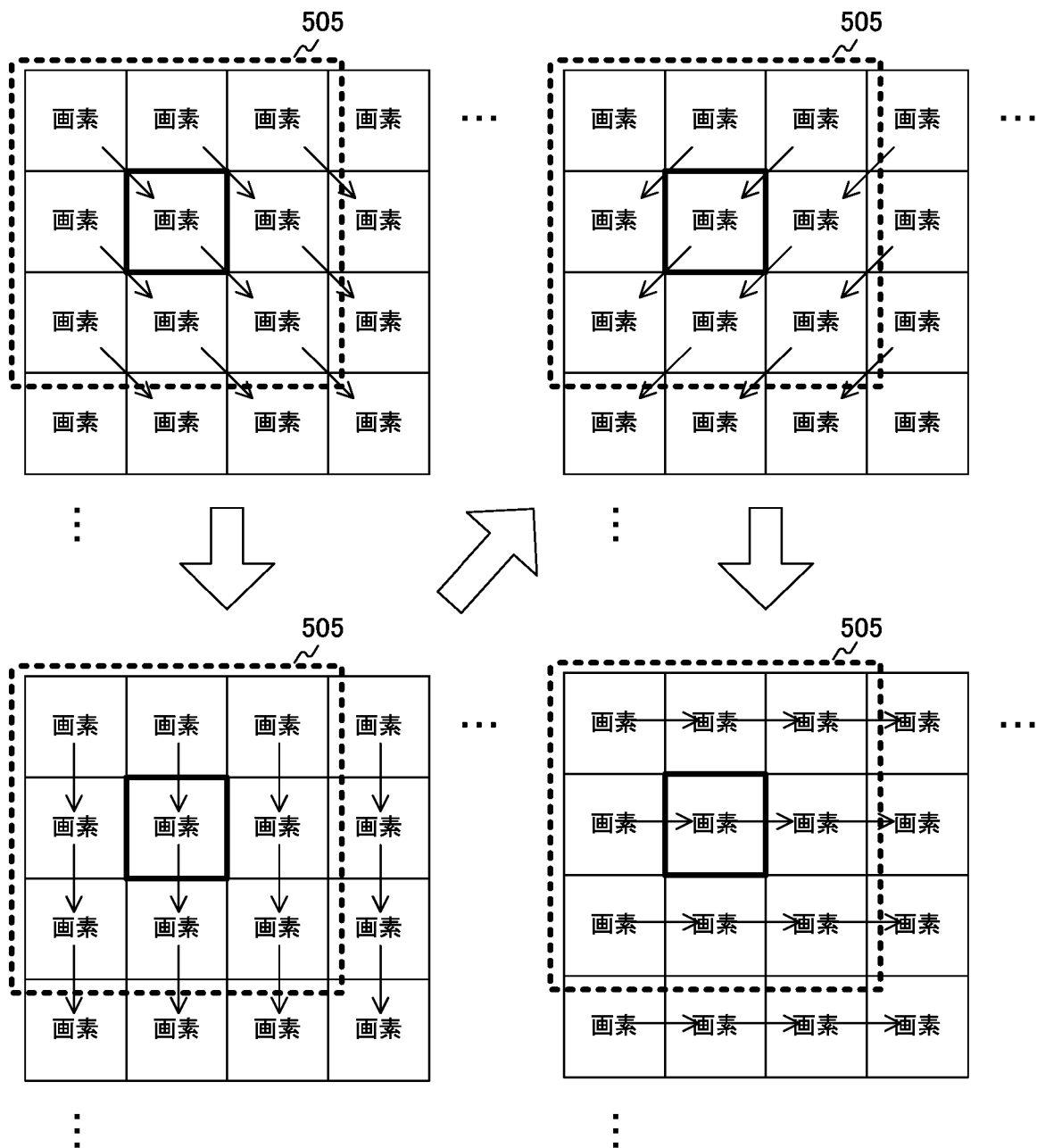
[図8]



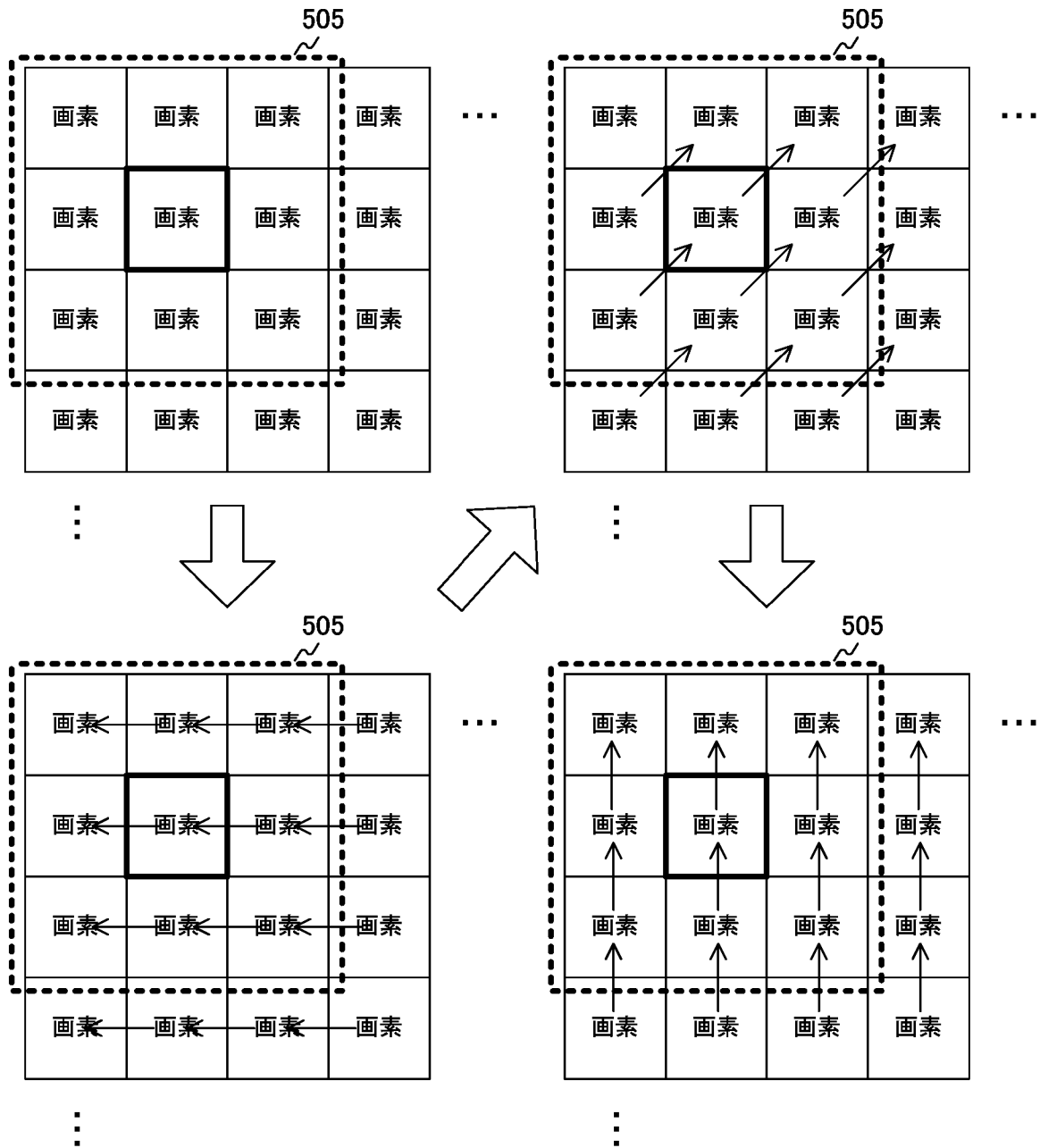
[図9]



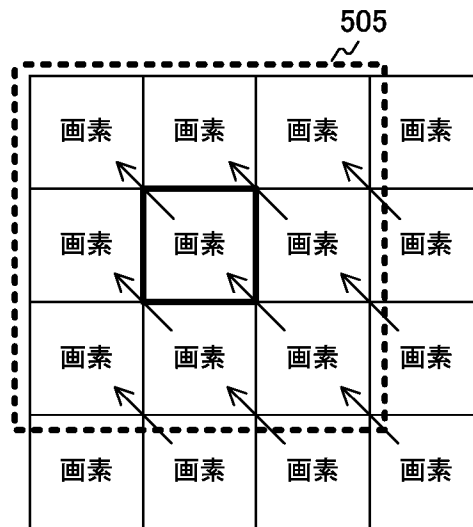
[図10]



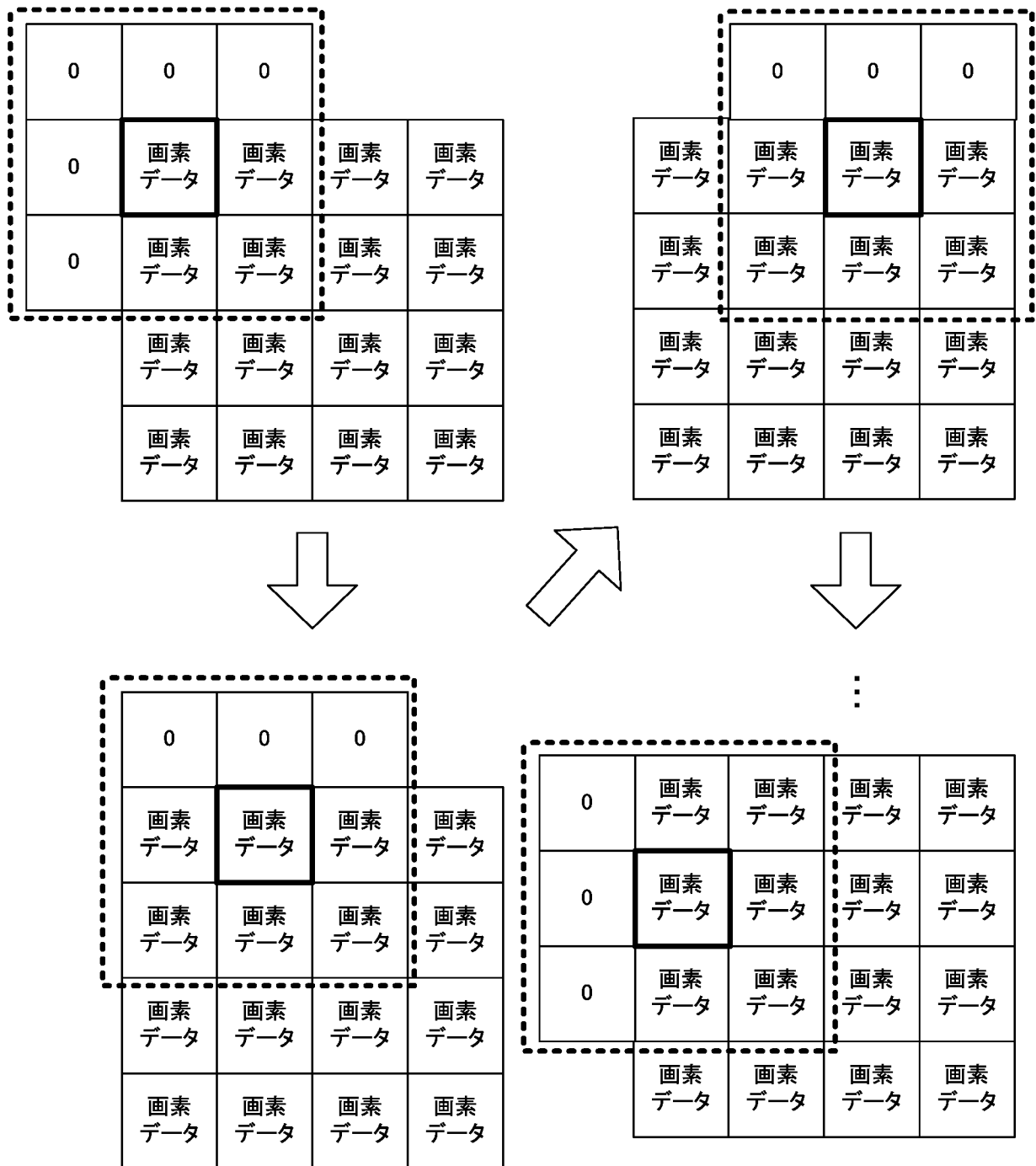
[図11]



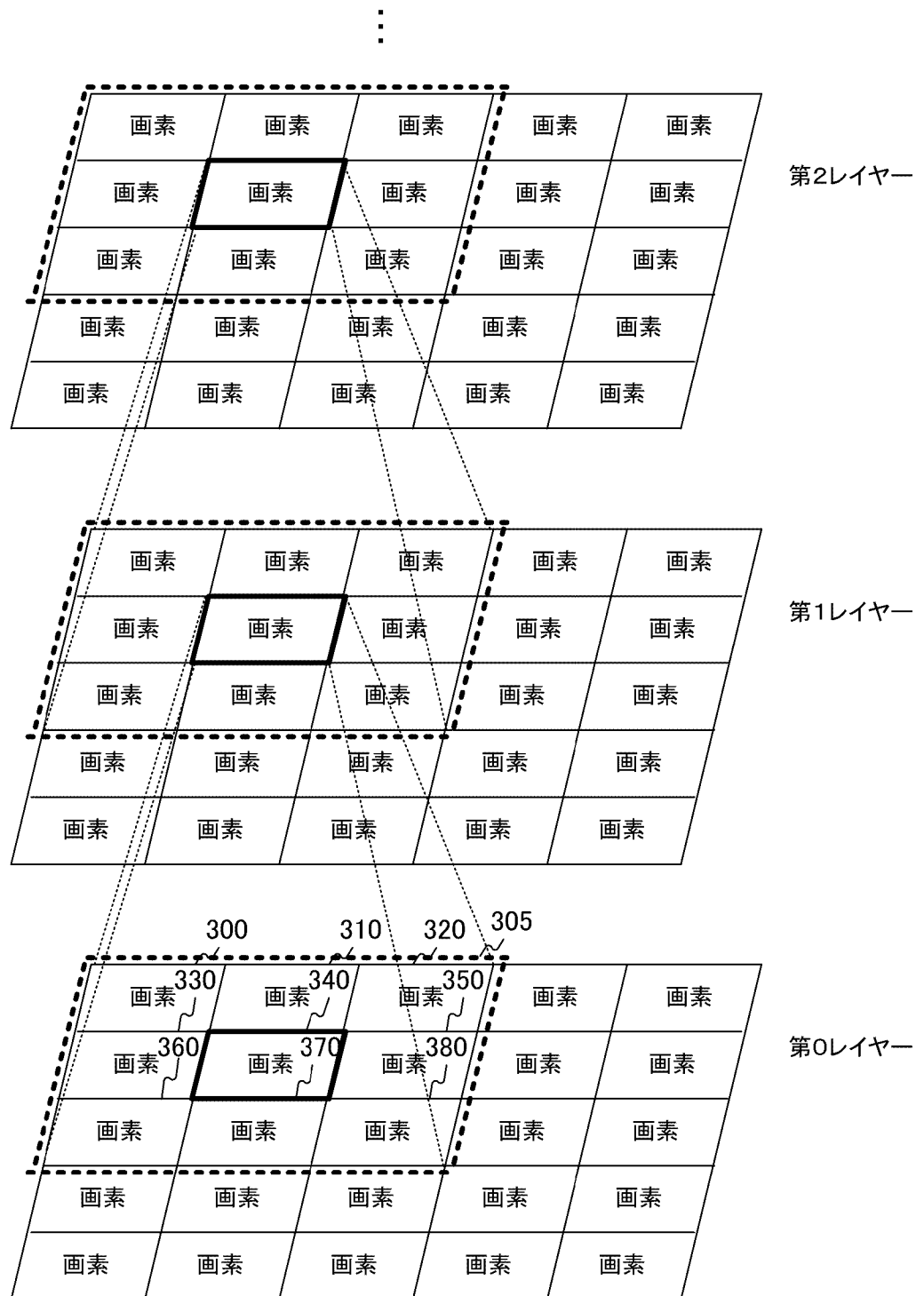
[図12]



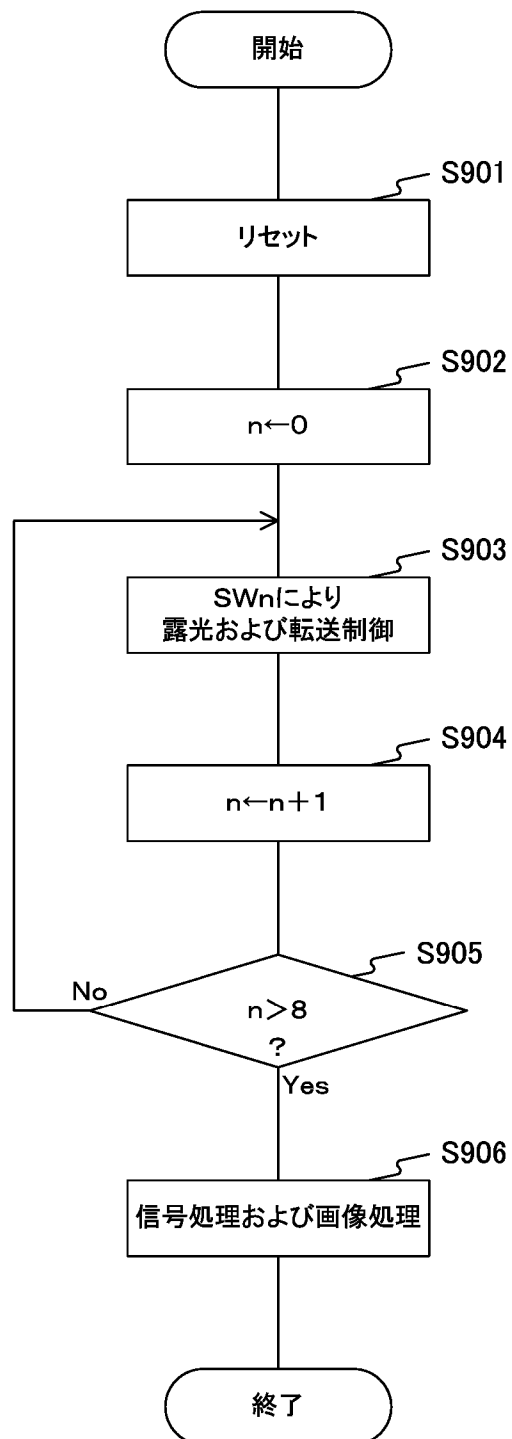
[図13]



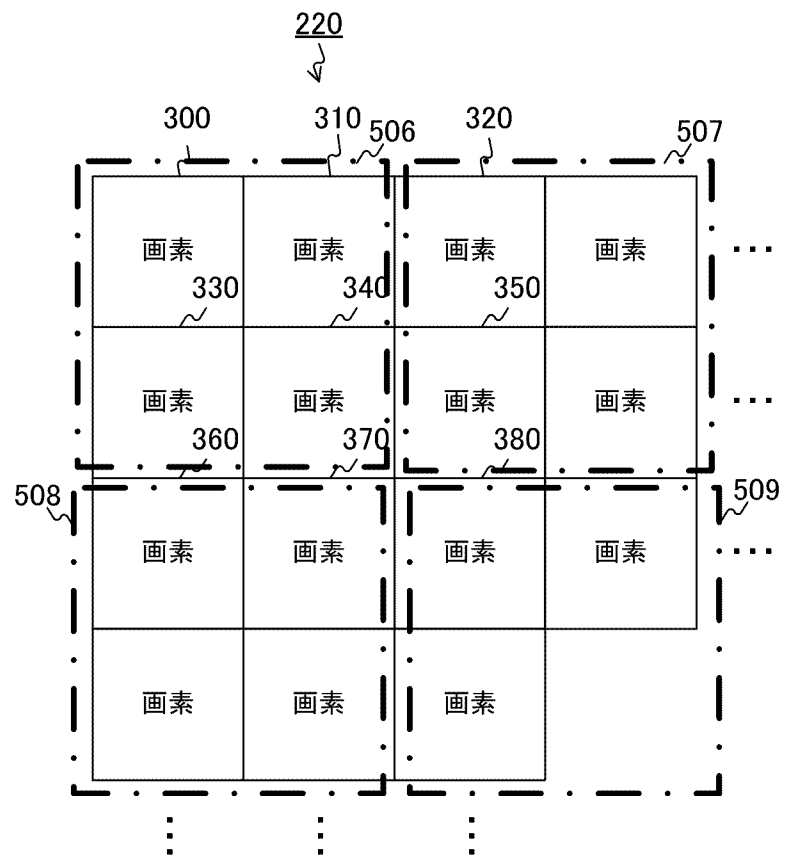
[図14]



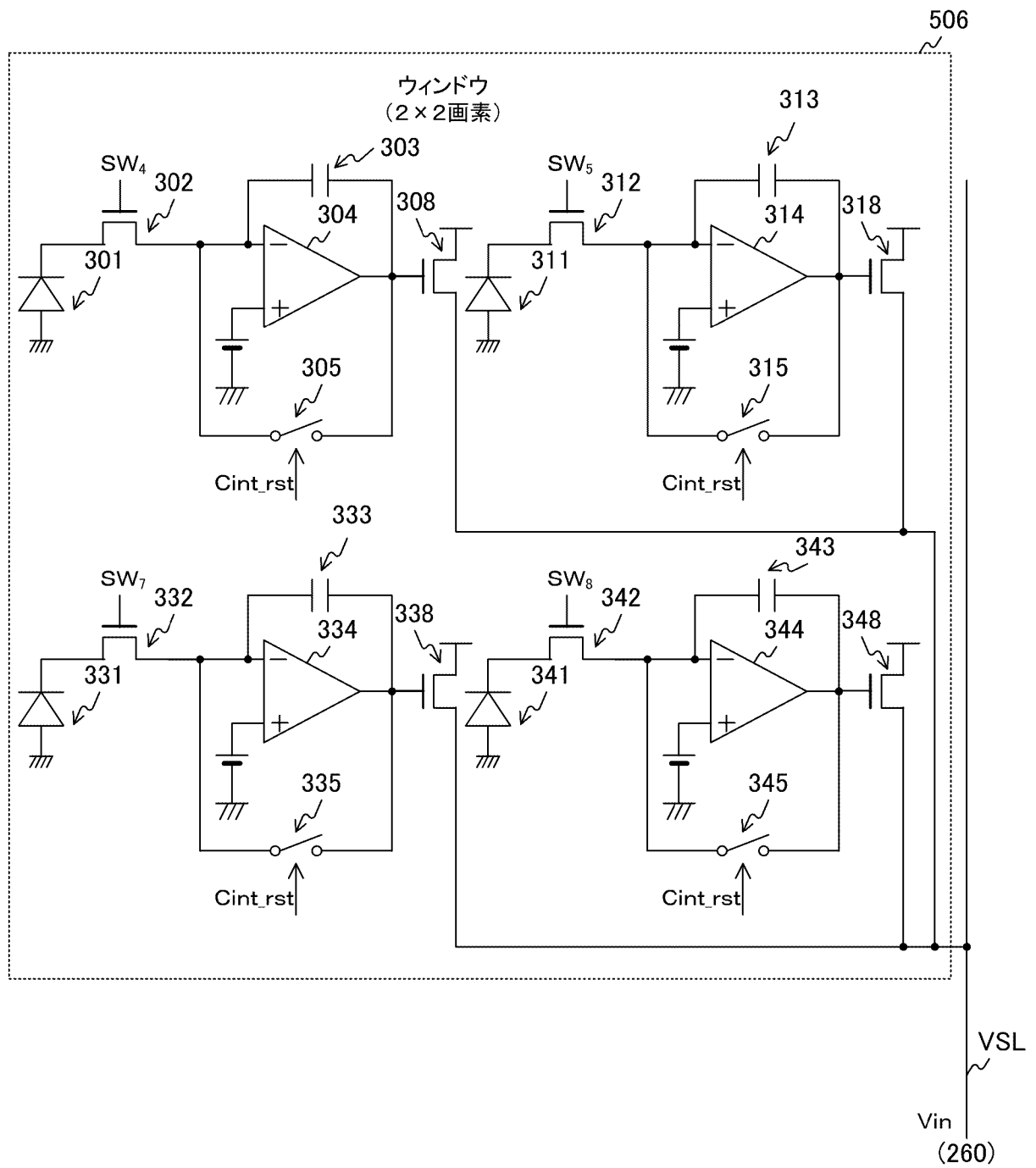
[図15]



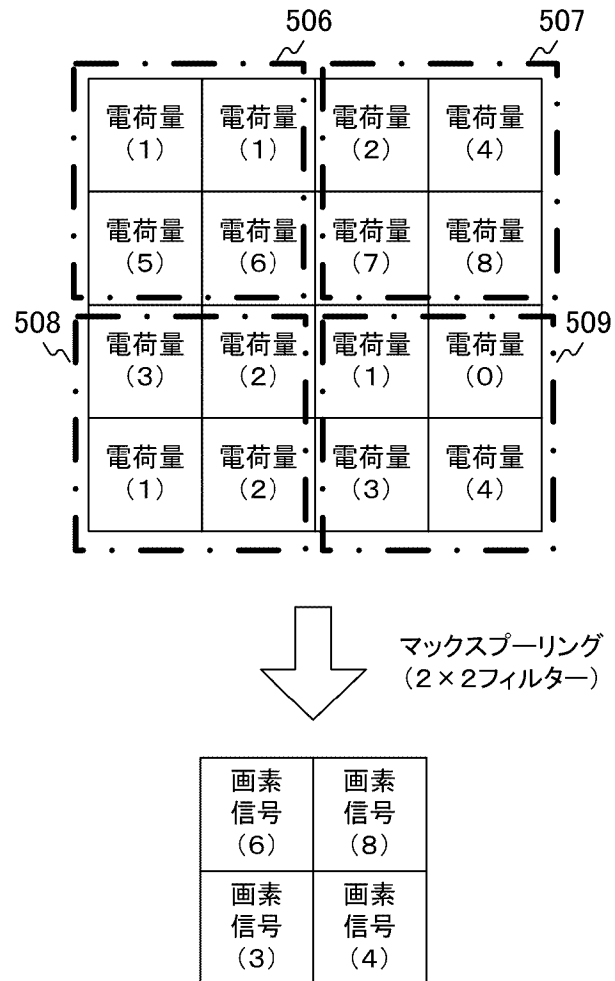
[図16]



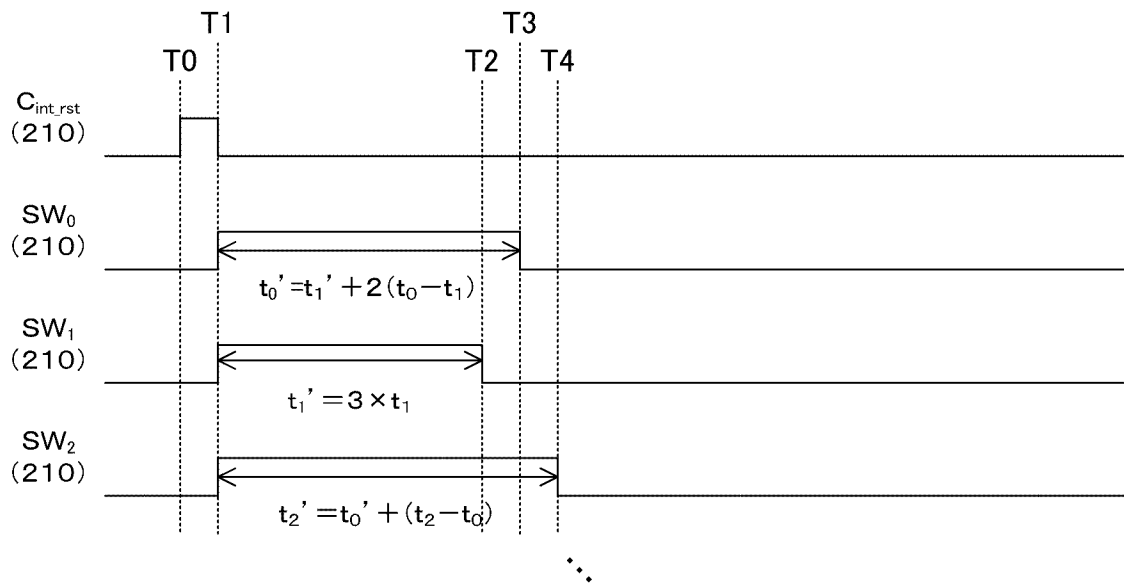
[図17]



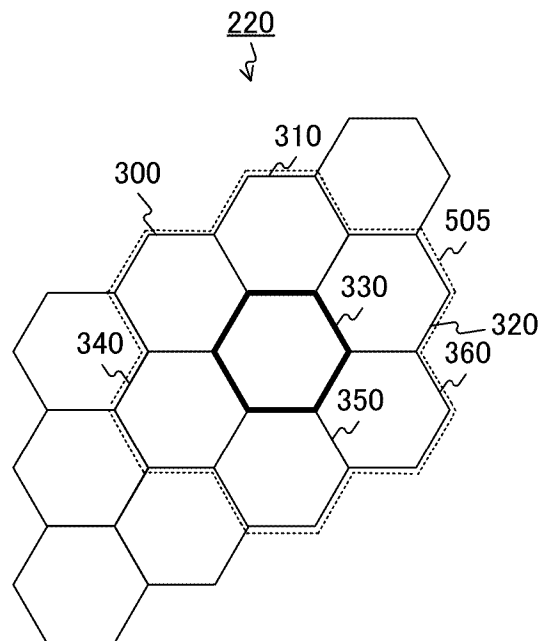
[図18]



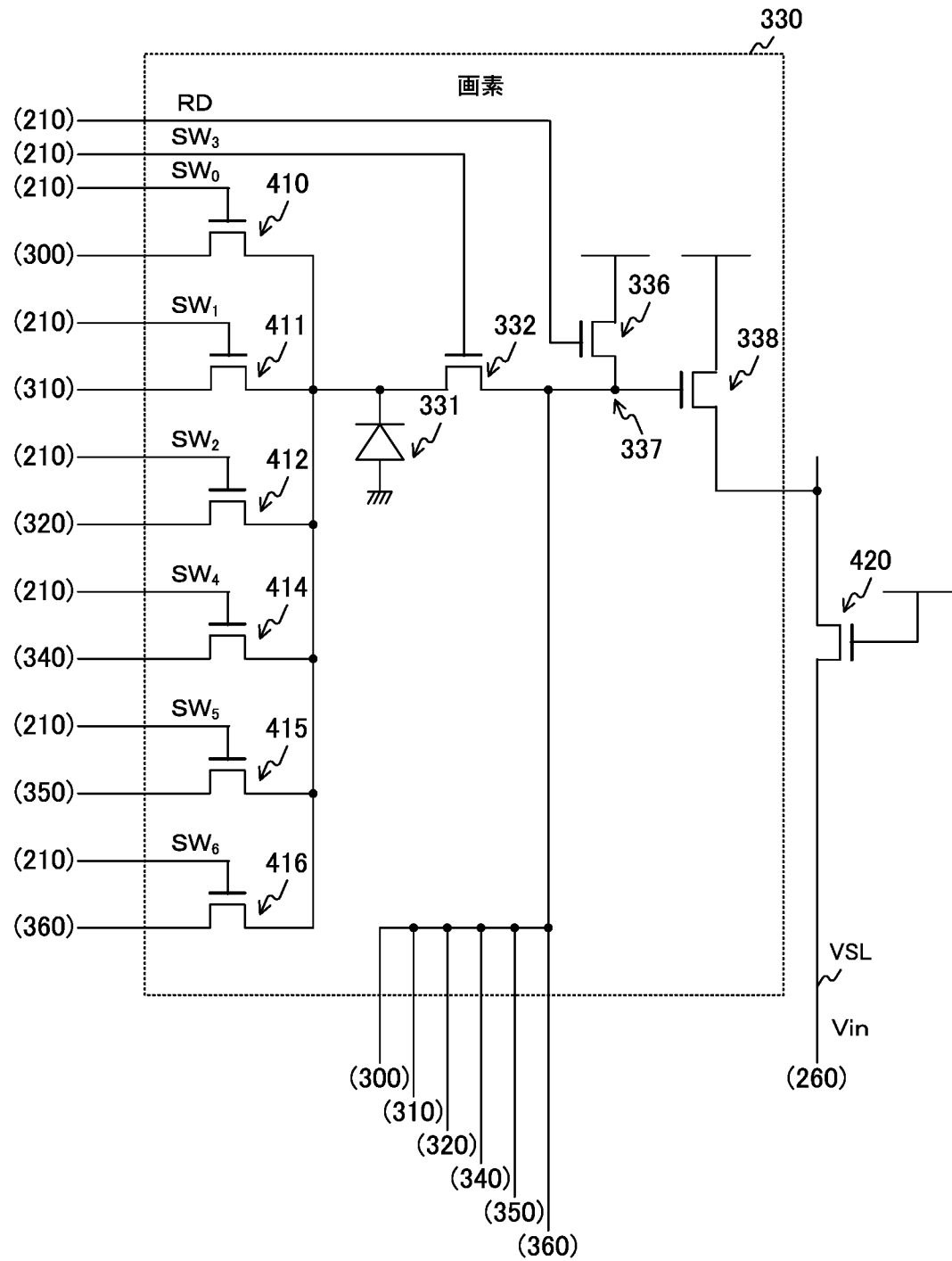
[図19]



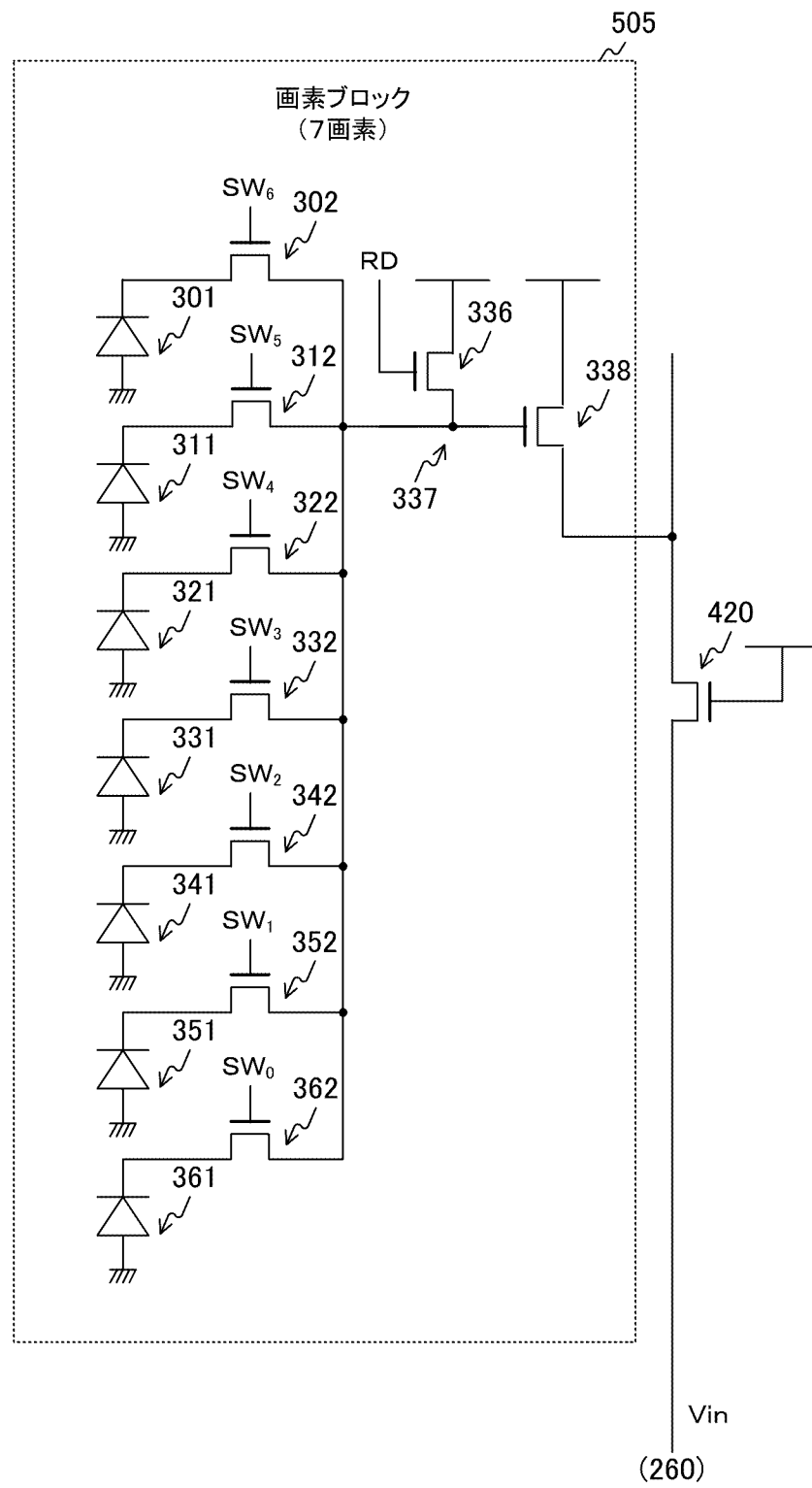
[図20]



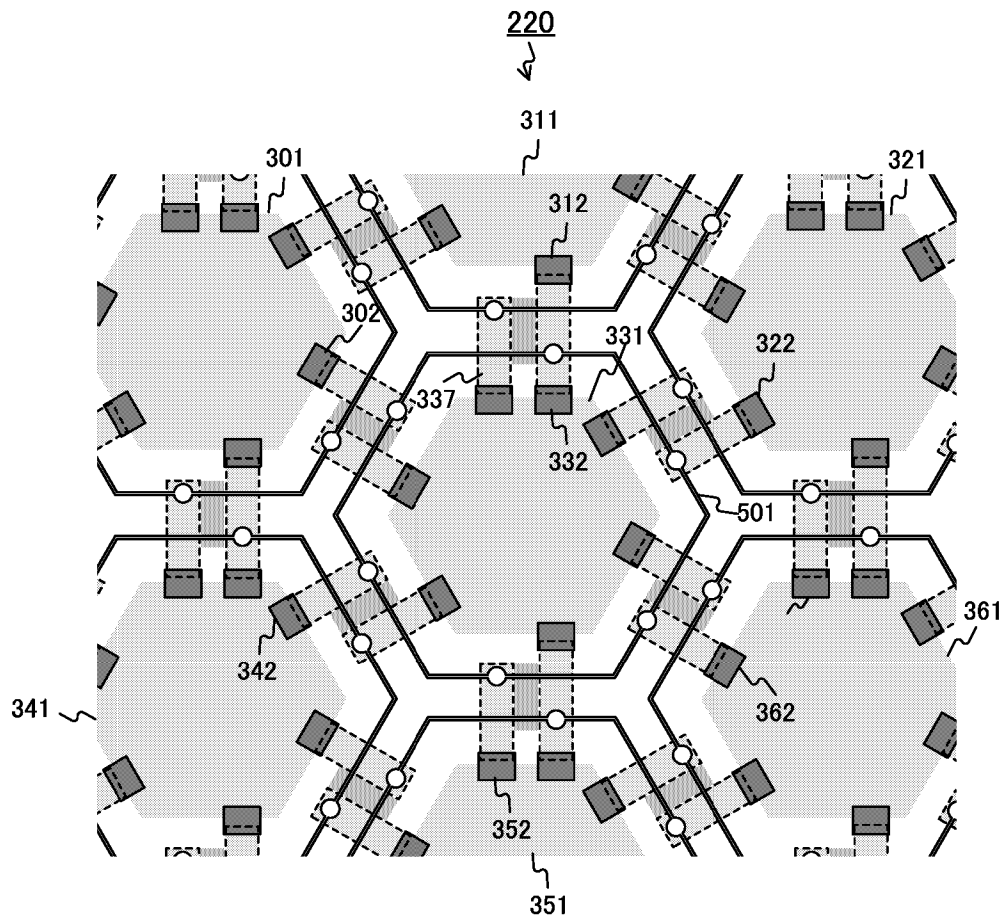
[図21]



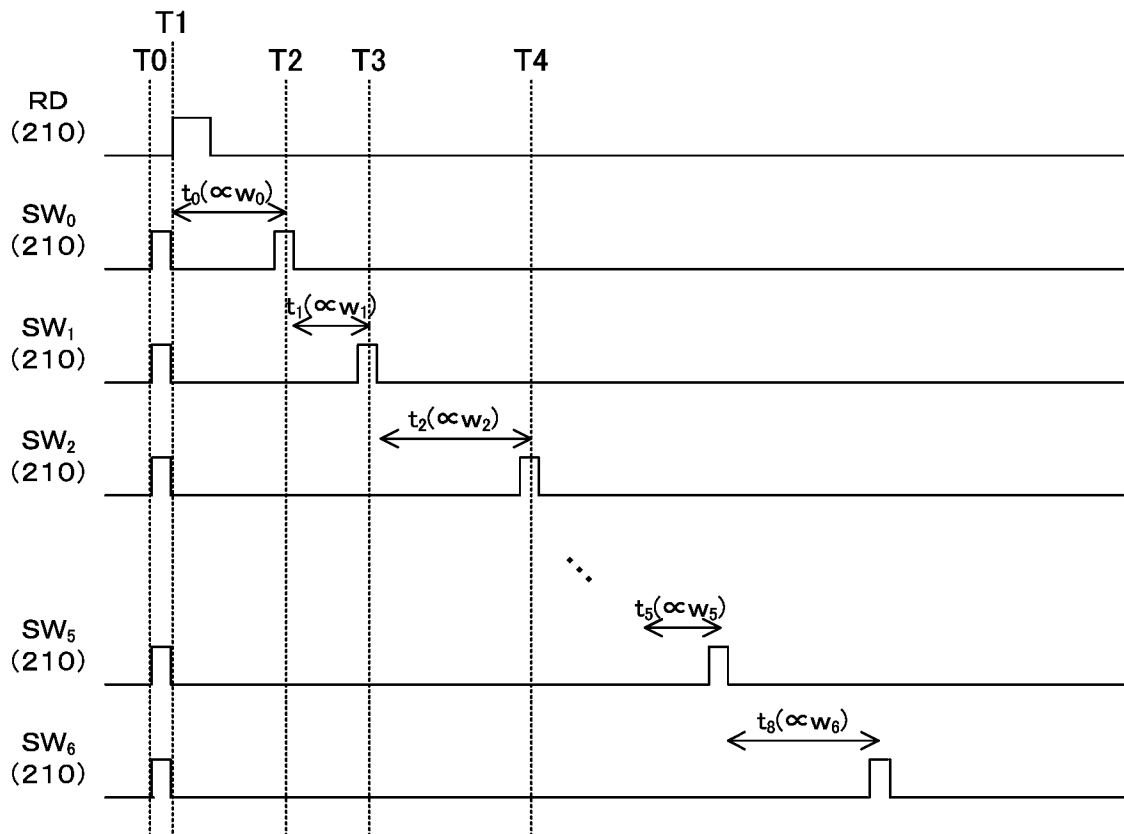
[図22]



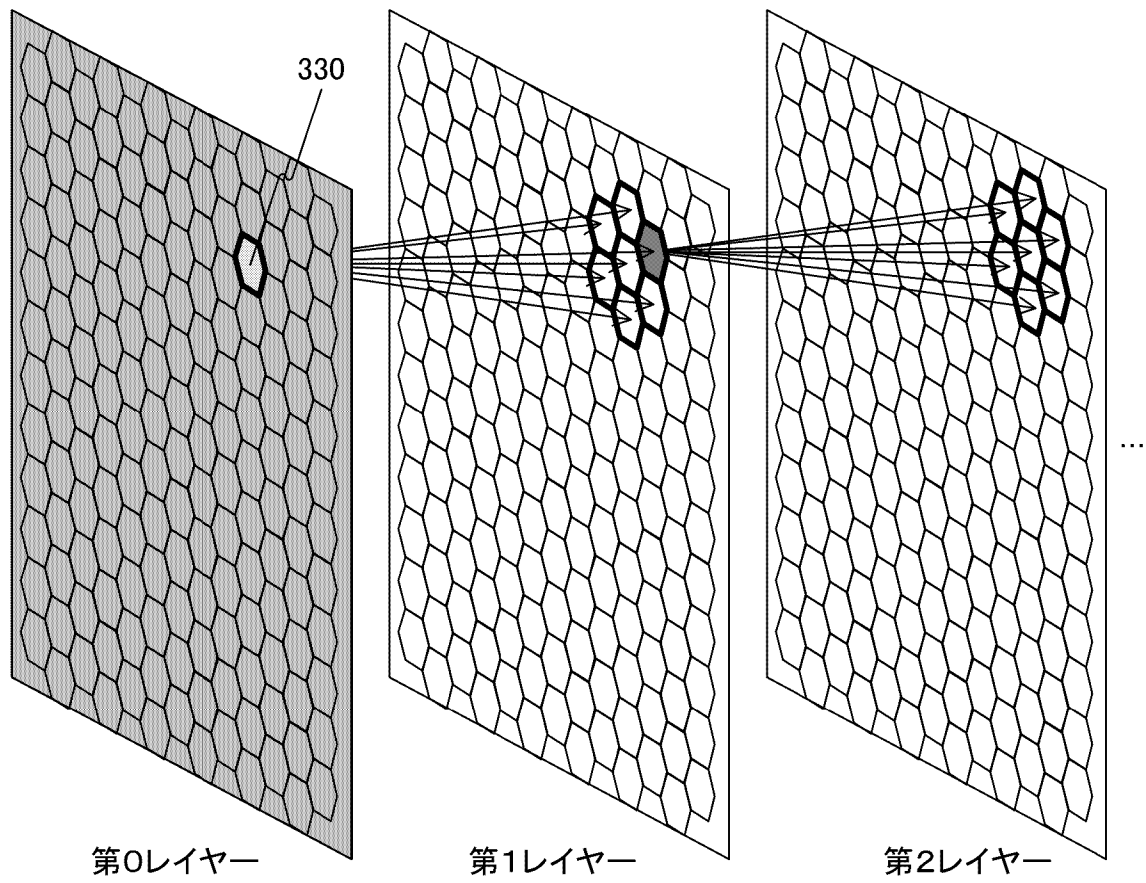
[図23]



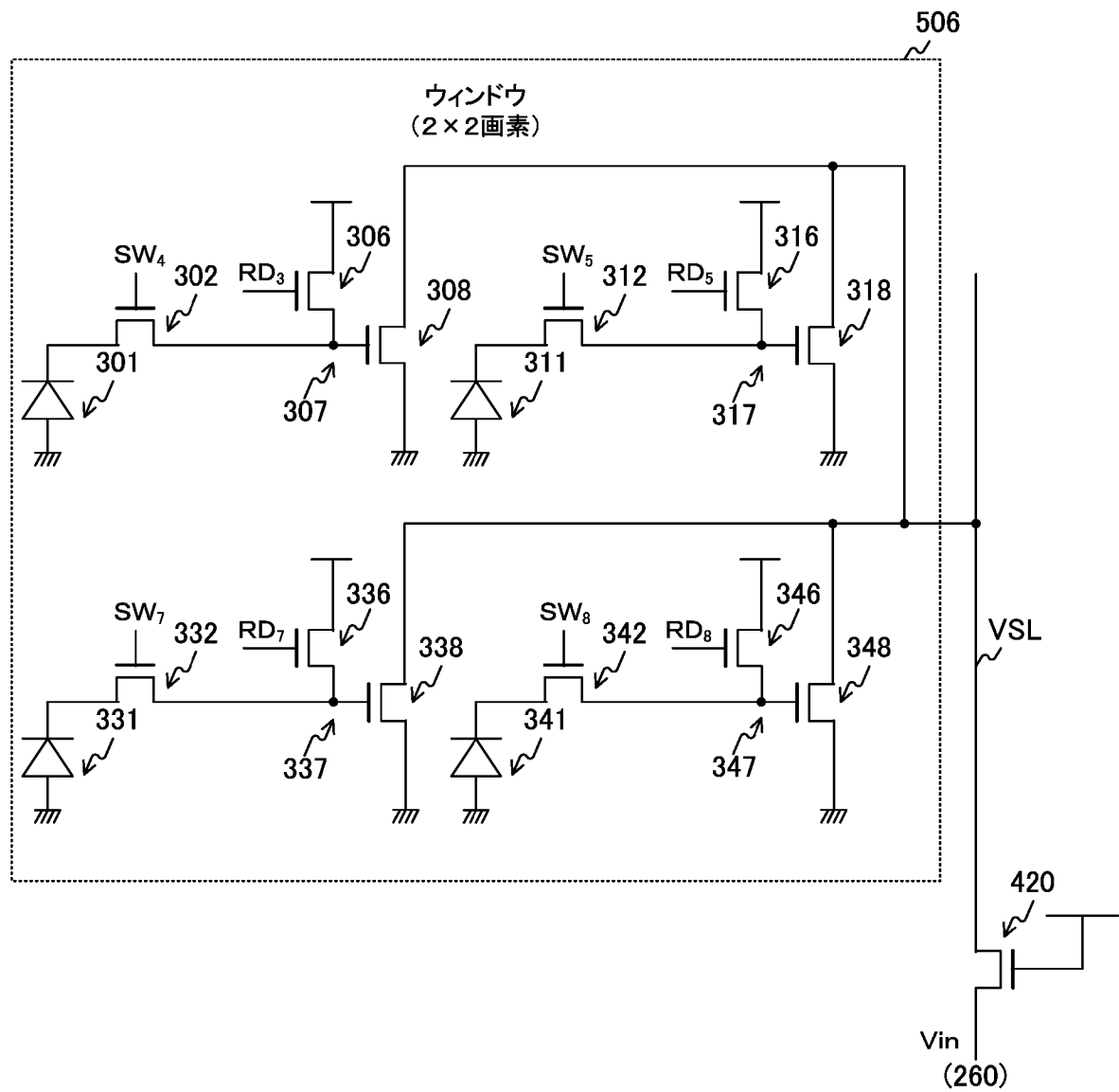
[図24]



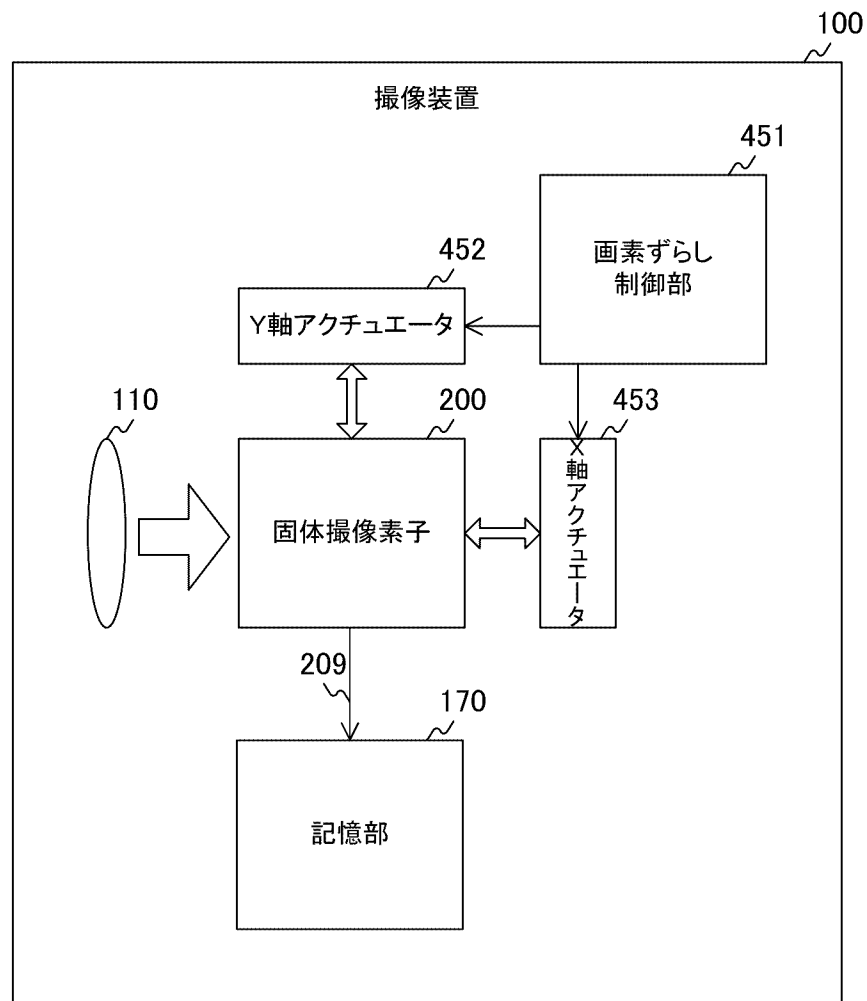
[図25]



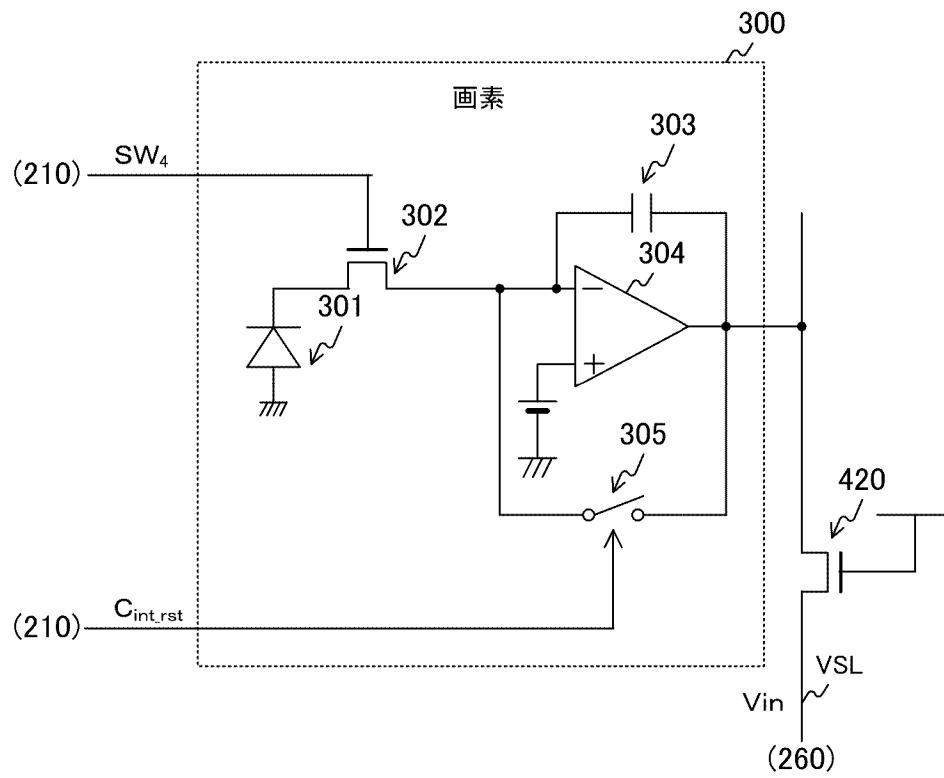
[図26]



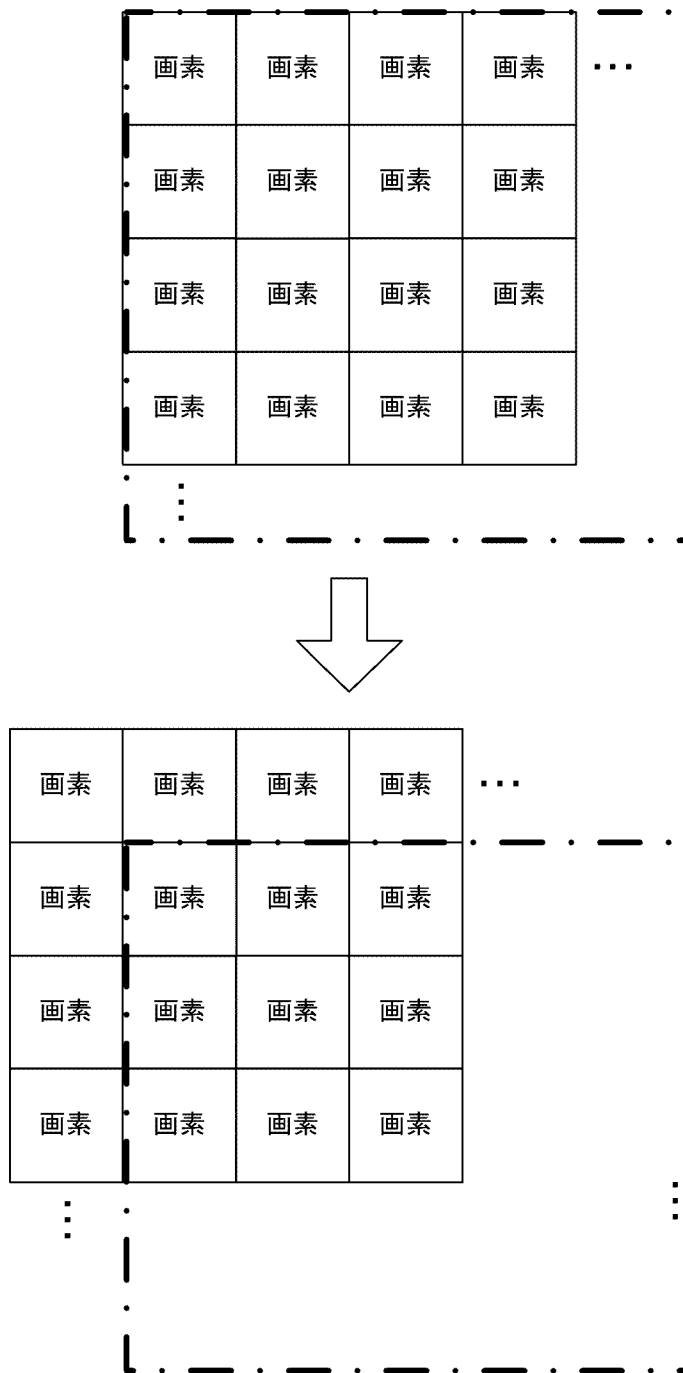
[図27]



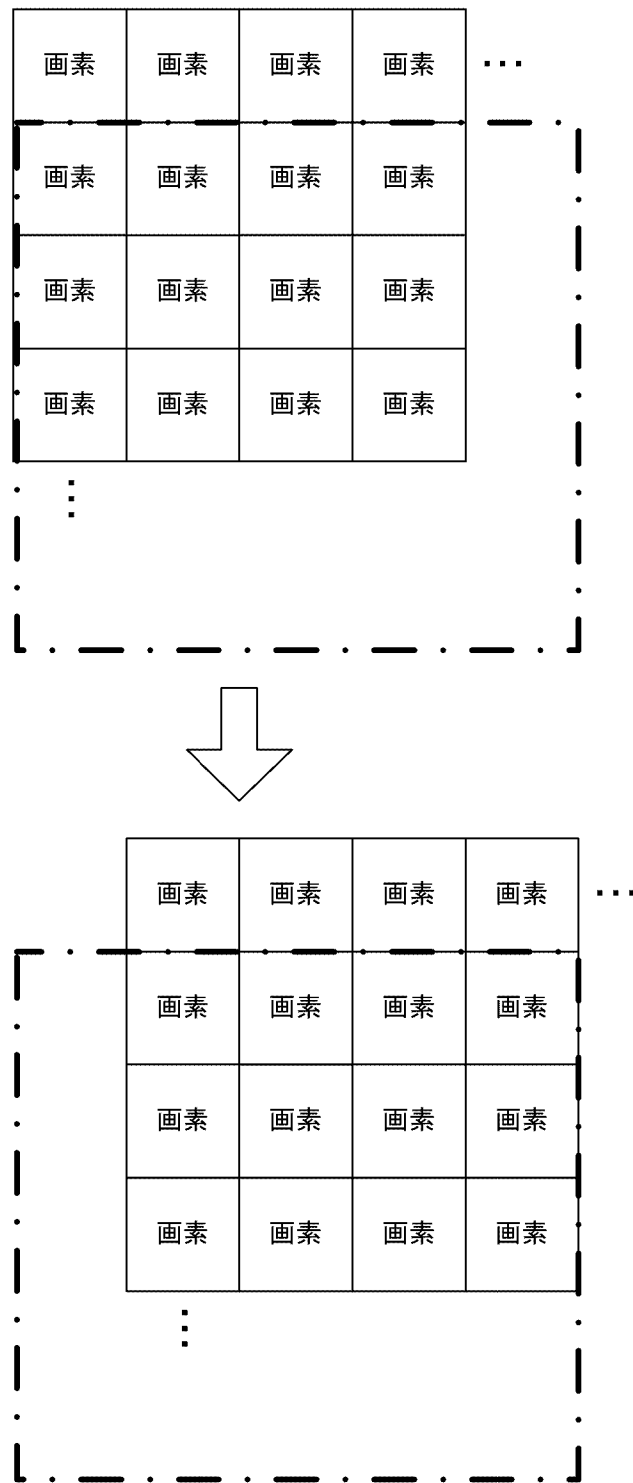
[図28]



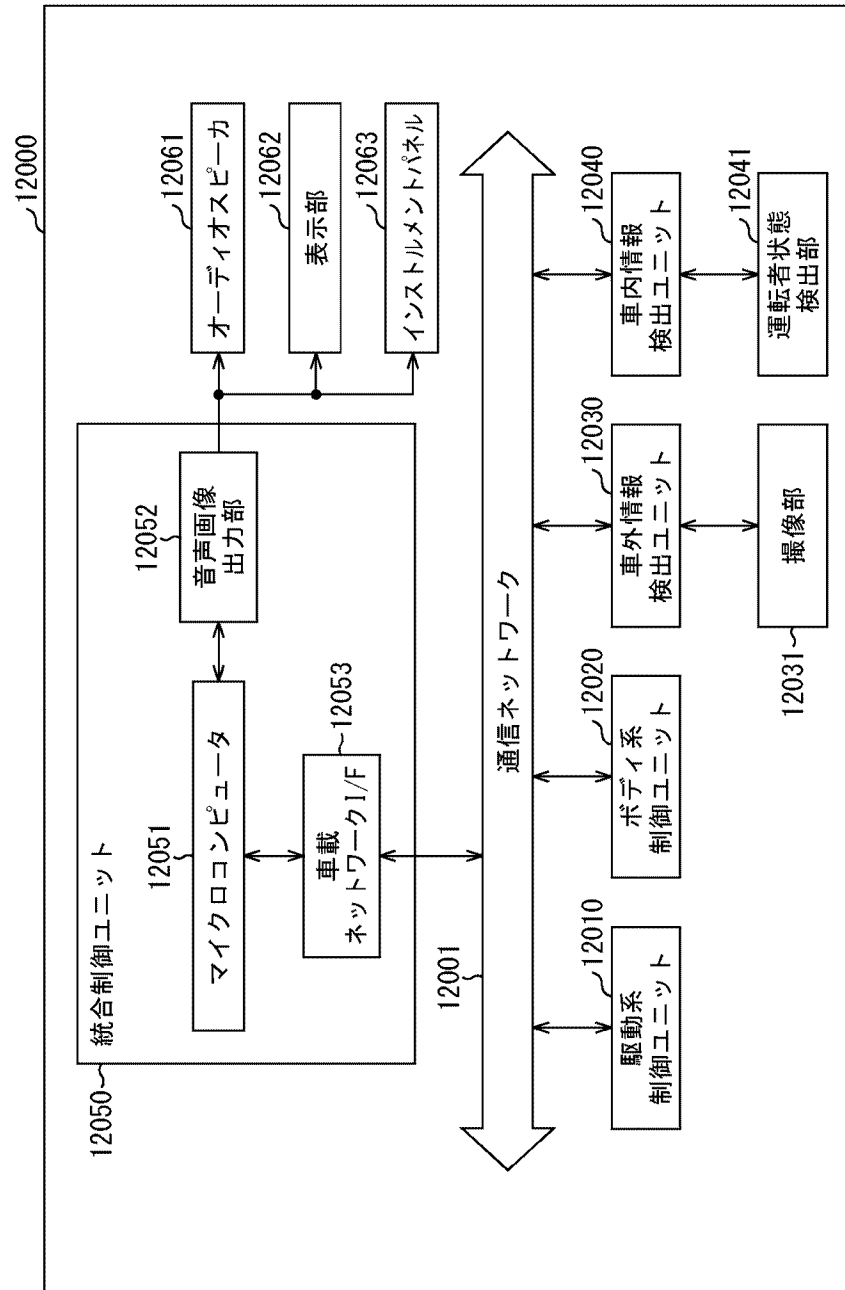
[図29]



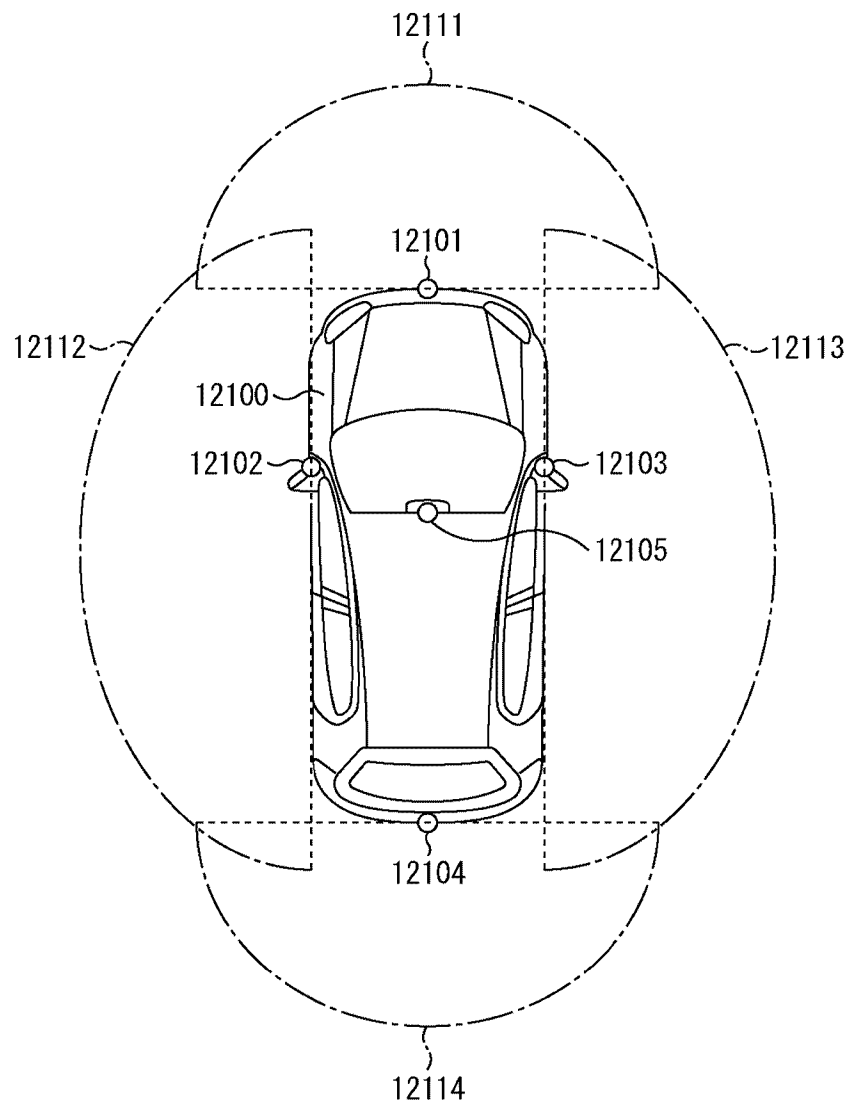
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/007303

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/341 (2011.01) i, H04N5/369 (2011.01) i
FI: H04N5/341, H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/341, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-9172 A (OLYMPUS CORPORATION) 10.01.2013 (2013-01-10), paragraphs [0022]-[0080], fig. 1-10	1-3, 7-13 4-6
A	US 2018/0198994 A1 (SONY CORPORATION) 12.07.2018 (2018-07-12), entire text	1-13
A	WO 2018/047618 A1 (SONY CORPORATION) 15.03.2018 (2018-03-15), entire text	1-13
A	JP 2010-256776 A (OLYMPUS CORPORATION) 11.11.2010 (2010-11-11), entire text	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27.04.2020

Date of mailing of the international search report
12.05.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/007303

JP 2013-9172 A	10.01.2013	(Family: none)
US 2018/0198994 A1	12.07.2018	EP 3349359 A1 entire text
WO 2018/047618 A1	15.03.2018	US 2019/0228497 A1 entire text EP 3512193 A1
JP 2010-256776 A	11.11.2010	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/341(2011.01)i; H04N 5/369(2011.01)i FI: H04N5/341; H04N5/369		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H04N5/341; H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-9172 A（オリンパス株式会社）10.01.2013（2013-01-10） 段落[0022]-[0080], 図1-10	1-3, 7-13
A		4-6
A	US 2018/0198994 A1（SONY CORPORATION）12.07.2018（2018-07-12） 全文	1-13
A	WO 2018/047618 A1（ソニー株式会社）15.03.2018（2018-03-15） 全文	1-13
A	JP 2010-256776 A（オリンパス株式会社）11.11.2010（2010-11-11） 全文	1-13
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 27.04.2020		国際調査報告の発送日 12.05.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 橘 高志 5V 8391 電話番号 03-3581-1101 内線 3571

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/007303

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-9172	A	10.01.2013	(ファミリーなし)	
US	2018/0198994	A1	12.07.2018	EP 3349359	A1
				全文	
WO	2018/047618	A1	15.03.2018	US 2019/0228497	A1
				全文	
				EP 3512193	A1
JP	2010-256776	A	11.11.2010	(ファミリーなし)	