



(12)发明专利申请

(10)申请公布号 CN 105988464 A

(43)申请公布日 2016.10.05

(21)申请号 201610128485.1

(22)申请日 2016.03.08

(30)优先权数据

2015-058012 2015.03.20 JP

(71)申请人 瑞萨电子株式会社

地址 日本东京

(72)发明人 西川卓郎

(74)专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 刘偶

(51)Int.Cl.

G05B 23/02(2006.01)

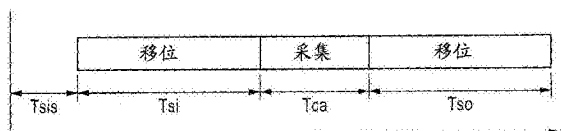
权利要求书3页 说明书8页 附图13页

(54)发明名称

半导体装置、电子装置以及用于半导体装置
的自诊断方法

(57)摘要

本发明涉及半导体装置、电子装置以及用于
半导体装置的自诊断方法。半导体装置解决了其
中在BIST执行期间电流消耗变化率增加导致在
电源线中生成谐振噪声这样的问题。该半导体装
置包括：自诊断控制电路、包括组合电路和扫描
触发器的扫描目标电路、以及电可重写非易失性
存储器。通过耦接多个扫描触发器来配置扫描
链。自诊断控制电路可以根据存储于非易失性存
储器中的参数，改变扫描输入时段、扫描输出时
段以及采集时段中的至少一个的长度，并且也可
以改变扫描开始时序。



1. 一种半导体装置,包括:
自诊断控制电路;
扫描目标电路,所述扫描目标电路包括组合电路和扫描触发器;以及
电可重写非易失性存储器,
其中,通过耦接多个所述扫描触发器来配置扫描链,以及
其中,根据存储于所述非易失性存储器中的参数,所述自诊断控制电路能够改变以下中的至少一个的长度:其中测试数据被输入到所述扫描链的扫描输入时段,其中测试结果被从所述扫描链输出的扫描输出时段,以及其中在所述组合电路上的测试结果被采集入所述扫描链中的采集时段;并且所述自诊断控制电路还能够改变扫描开始时序。
2. 根据权利要求1所述的半导体装置,还包括扫描链控制电路,
其中,所述扫描目标电路包括用于在所述扫描触发器的输出之间切换的选择器,以及
其中,所述扫描链控制电路能够通过根据存储于所述非易失性存储器中的参数控制所述选择器来改变扫描链配置。
3. 根据权利要求2所述的半导体装置,
其中所述扫描目标电路包括多个能同时操作的扫描链。
4. 根据权利要求2所述的半导体装置,
其中,耦接在所述扫描链中的扫描触发器的数量能够改变。
5. 根据权利要求1所述的半导体装置,还包括时钟控制电路,
其中,所述时钟控制电路能够根据存储于所述非易失性存储器中的参数改变用于所述扫描链的移位时钟频率。
6. 根据权利要求1所述的半导体装置,还包括时钟控制电路,
其中,根据存储于所述非易失性存储器中的参数,所述时钟控制电路能够改变用于将所述组合电路上的测试结果采集入所述扫描链的采集时钟低时段。
7. 根据权利要求1所述的半导体装置,还包括:
模式生成电路,所述模式生成电路用于生成测试数据;
压缩电路,所述压缩电路用于压缩扫描测试结果;以及
比较结果电路,所述比较结果电路用于存储压缩结果,
其中,预期的扫描测试结果值存储于所述非易失性存储器中。
8. 根据权利要求7所述的半导体装置,
其中,所述扫描目标电路包括CPU,所述CPU将存储于所述非易失性存储器中的预期的扫描测试结果值写入所述扫描目标电路,以使得所述扫描目标电路将扫描测试结果与所述预期的扫描测试结果值进行比较。
9. 根据权利要求1所述的半导体装置,还包括:
自诊断非目标电路,所述自诊断非目标电路包括存储器;以及
存储器自诊断电路,存储器自诊断电路用于自诊断所述存储器,
其中,所述自诊断非目标电路包括所述存储器自诊断电路。
10. 根据权利要求9所述的半导体装置,
其中,所述存储器自诊断电路包括:
存储器自诊断控制电路;

存储器模式生成电路;以及
存储器自诊断结果检查电路。

11. 根据权利要求1所述的半导体装置,

其中所述扫描触发器包括复用器和触发器,所述复用器在所述组合电路的输出与扫描触发器的输出之间切换以输入到所述触发器。

12. 一种电子装置,包括:

第一半导体装置;

第二半导体装置;

电源电路;以及

无源元件,

其中,所述第一半导体装置和第二半导体装置每个都包括自诊断控制电路、扫描目标电路以及电可重写非易失性存储器,所述扫描目标电路包括多个扫描触发器以及用于在所述扫描触发器的输出之间切换的选择器,

其中,在所述第一半导体装置和第二半导体装置中的每一个中,所述扫描触发器被耦接来配置扫描链,以及

其中,所述自诊断控制电路根据存储于所述非易失性存储器中的数据控制所述选择器,以使得所述第一半导体装置和第二半导体装置具有相同的扫描链配置,并使得所述第一半导体装置和第二半导体装置在不同时间开始扫描。

13. 根据权利要求12所述的电子装置,

其中,所述第一半导体装置和第二半导体装置中的每个都包括:

电源电压监测A/D转换电路;以及

通信电路,

其中,所述电源电压监测A/D转换电路在扫描测试期间监测所述电源电压,

其中,所述第二半导体装置经由所述通信电路将电源电压变化数据传递到所述第一半导体装置,以及

其中,当在所述第一半导体装置中确定已超出电源电压变化阈值时,存储于所述非易失性存储器中的所述数据被重新计算以改变所述扫描链配置,并且重新计算的数据被传送到所述第二半导体装置。

14. 根据权利要求13所述的电子装置,

其中,所述第一半导体装置基于流过所述无源元件的电流重新计算存储于所述非易失性存储器中的所述数据。

15. 一种用于半导体装置的自诊断方法,其中所述半导体装置包括自诊断控制电路、扫描目标电路以及电可重写非易失性存储器,所述方法包括以下步骤:

(a) 在重置解除之后,使所述自诊断控制电路从所述非易失性存储器读取参数,并设置用于所述扫描目标电路的扫描链配置;

(b) 在预定量的时间之后,对所述扫描目标电路执行扫描测试;以及

(c) 在所述扫描测试之后,将存储于所述非易失性存储器中的预期值与扫描测试结果进行比较。

16. 根据权利要求15所述的用于半导体装置的自诊断方法,

其中,基于所设置的扫描链配置来确定扫描触发器的数量。

17.根据权利要求15所述的用于半导体装置的自诊断方法,

其中,所述半导体装置还包括存储器,

其中,所述扫描目标电路还包括用于所述存储器的自诊断控制电路,以及

其中,所述方法还包括在步骤(b)之后的自诊断所述存储器的步骤。

半导体装置、电子装置以及用于半导体装置的自诊断方法

[0001] 相关申请的交叉引用

[0002] 通过引用将2015年3月20日提交的日本专利申请No.2015-058012的公开(包括说明书、附图和摘要)全部并入此处。

技术领域

[0003] 本公开涉及半导体装置,并且适用于例如具有自诊断功能的半导体装置。

背景技术

[0004] 当前,由国际标准化组织提出的ISO26262作为车载电子装置的功能安全性标准一直受到关注。功能安全性指的是:在万一车载电子装置的任何元件(例如微控制器)产生故障的情况,通过实现功能手段来确保最低可容忍的安全性。在ISO26262中,要求高的故障检测率,车载微控制器并入了用于执行内建自测试(BIST)的扫描电路。一般地,在微控制器中,在微控制器通电后且在微控制器开始实际操作(车载控制,诸如引擎控制和制动控制)前之间的时间段期间执行BIST。在车载微控制器中执行的BIST需要在预定量的时间中获得高的故障检测率,使得当被执行时BIST涉及高的电流消耗变化率。一般地,已知的是,当在电路中电流消耗变化率高时,在电路中的电源线中生成谐振噪声。在日本未经审查的专利申请公开No.2009-188881(专利文献1)中公开了一种降低电源谐振噪声的方法。

发明内容

[0005] 本发明人发现,当对逻辑电路执行BIST(逻辑BIST)时,扫描操作,尤其是扫描移位操作和采集操作,导致电源噪声生成。

[0006] 在通过扫描链的移位操作中,通过构成扫描链的扫描触发器,数据从扫描输入移位到扫描输出。在采集操作中,在测试数据设置于扫描触发器之后,电路以正常模式操作,并且操作结果被取入到扫描触发器中。

[0007] 在日本未经审查的专利申请公开No.2009-188881公开的技术中,观测电源噪声并且调整电路的时钟频率以降低电源噪声。然而,由于扫描操作不同于正常操作,所以使用日本未经审查的专利申请公开No.2009-188881中公开的技术难以在BIST操作期间降低噪声。

[0008] 本公开的目的和新颖特征将通过本说明书以及附图的以下描述而变得清楚。

[0009] 本公开的代表性方面可以简述如下。

[0010] 即,对于半导体装置,可以改变扫描输入时段、扫描输出时段以及采集时段中的至少一个的长度,并且也可以改变扫描操作开始时间。

[0011] 根据以上的半导体装置,可以降低扫描测试期间电流消耗变化率。

附图说明

[0012] 图1是用于解释复用器型扫描触发器的配置的图示。

[0013] 图2是用于解释扫描测试配置的图示。

- [0014] 图3是用于解释扫描测试时序的图示。
- [0015] 图4是用于解释根据实施方式的半导体装置的时序图。
- [0016] 图5是用于解释根据实施方式的半导体装置的效果的时序图。
- [0017] 图6是用于解释根据实施例示例的微控制器的配置的框图。
- [0018] 图7是用于解释根据实施例示例的微控制器的操作的框图。
- [0019] 图8是用于解释根据实施例示例的微控制器的操作的框图。
- [0020] 图9是用于解释根据实施例示例的微控制器的扫描测试目标块的内部配置的框图。
- [0021] 图10是用于解释根据实施例示例的微控制器的第一扫描链配置示例的框图。
- [0022] 图11是用于解释根据实施例示例的微控制器的第二扫描链配置示例的框图。
- [0023] 图12是用于解释根据应用示例1的电子装置的配置的框图。
- [0024] 图13是用于解释根据应用示例2的电子装置的配置的框图。
- [0025] 图14是用于解释根据应用示例2的电子装置的第一操作的框图。
- [0026] 图15是用于解释根据应用示例2的电子装置的第二操作的框图。

具体实施方式

[0027] 下面,将参考附图描述本公开的实施方式、实施例示例和应用示例。在以下描述中,将由相同的符号表示相同的项并且可以省略这些相同项的重复描述。

[0028] 首先,将参考图1至3描述包括在逻辑内建自测试(BIST)中的扫描测试。

[0029] 图1是示出复用器型扫描触发器电路的配置的图示。图2是示出扫描测试配置的图示。图3是示出扫描测试时序的图示。

[0030] 扫描测试基于可测性设计(DFT)技术(其是用于易于测试的设计方法)。该技术应用于通过组合诸如与(AND)电路、或(OR)电路、反相器以及触发器这样的逻辑电路实现的配置规定的逻辑功能的随机逻辑。如图1中示出的,在扫描测试中,包括在要被测试的电路中的触发器(F)被用扫描触发器(SFF)代替。复用器型扫描触发器配置有复用器(MUX)和普通触发器(F),并使用扫描使能(SE)信号以在正常操作与测试模式操作之间切换。如图2中示出的,在测试模式中,包括在电路中的扫描触发器串联耦接以形成移位寄存器,并且形成路径(扫描链)来启用(使能)从扫描测试目标块的输入和输出端子观测和控制扫描触发器。

[0031] 当如以上所述地配置扫描触发器时,扫描触发器可以被认为等同于扫描测试目标块的输入和输出端子。因此,仅组合电路(CL)成为扫描测试目标。用于组合电路(CL)的测试模式(test pattern)可以由自动测试模式生成(ATPG)(其是已建立的技术)自动并有效地生成。

[0032] 如图3中示出的,在扫描测试中,多次重复一系列操作,即扫描输入(SCAN IN)、采集(CAPTURE)以及扫描输出(SCAN OUT)。

[0033] 首先,通过扫描使能信号设置扫描模式,之后经由扫描输入端子(SCAN_IN)将测试模式加载到扫描触发器中。接着,通过扫描使能信号设置正常操作模式,并且扫描触发器之间的组合电路操作。之后,操作测试时钟,并且将组合电路的输出输入到扫描触发器。随后,通过扫描使能信号再次设置扫描模式,并在扫描输出端子(SCAN_OUT)处观测被取入扫描触发器中的值。

[0034] 在第一扫描输入中,进入扫描模式,并且经由扫描输入端子将测试模式输入到扫描触发器。由于串行地输入测试模式,所以将测试模式输入到所有扫描触发器需要将移位操作执行与扫描触发器的数量一样多次(使用与扫描触发器的数量一样多的时钟)。

[0035] 在随后的采集阶段,进入正常操作模式,并且在扫描触发器之间的组合电路操作。随后,组合电路的输出输入到扫描触发器(SFF)。

[0036] 在随后的扫描输出中,再次进入扫描模式。在扫描输出端子处观测存储于扫描触发器中的值。将观测到的值与预定的期望值(当没有故障时要获得的值)相比较来确定是否存在任何故障。扫描输出也是串行的输出,所以从所有扫描触发器读取值需要将移位操作执行与扫描触发器的数量一样多次(使用与扫描触发器的数量一样多的时钟)。

[0037] 扫描输入移位和扫描输出移位涉及大电流消耗,而用于采集操作的电流消耗较小。此外,当同时进行多个BIST时,扫描输入和扫描输出操作中涉及的电流消耗进一步增大。在这种情况下,当扫描输入/扫描输出移位与采集之间的电流消耗变化率增大时,电源线中生成谐振噪声的可能性也增大。

[0038] <实施方式>

[0039] 将参考图4和5描述根据本公开的实施方式的半导体装置。

[0040] 图4是用于解释根据实施方式的半导体装置的扫描测试时序的图示。图5是用于解释根据实施方式的半导体装置的效果的时序图。

[0041] 如以上所述的,扫描测试包括扫描输入移位、采集和扫描输出移位。

[0042] 对于扫描测试,扫描输入开始延迟时段(T_{sis})、扫描输入时段(T_{si})、采集时段(T_{ca})以及扫描输出时段(T_{so})是可变的。对于扫描输入开始延迟时段(T_{sis}),扫描测试开始与扫描输入开始之间的时间或者扫描测试开始时间可以改变。扫描输入时段 T_{si} 和扫描输出时段 T_{so} 可以表示为如下,其中 n 是扫描移位长度(扫描触发器的级数), f_s 是扫描时钟频率,以及 T_s 是扫描时钟周期。

[0043] $T_{si} = T_{so} = n \times 1/f_s = n \times T_s$

[0044] 因此,可以通过改变扫描触发器的数量(n)和扫描时钟频率(f_s)中的至少一个来改变扫描输入时段(T_{si})和扫描输出时段(T_{so})。可以通过改变扫描链配置来改变扫描触发器的数量(n)。

[0045] 采集时钟一旦变高(high)以输入到扫描触发器,从而可以通过改变在采集时钟变高之前的低(low)时段,或通过改变在采集时钟变高之后的低时段(在下一个扫描时钟变高之前的低时段),来改变采集时段(T_{ca})。

[0046] 根据本实施方式的半导体装置包括用于执行BIST的扫描电路。对于扫描电路,可以改变扫描输入时段、扫描输出时段以及采集时段中的至少一个的长度,并且也可以改变扫描操作开始时间。

[0047] 例如如图5中示出的,当两个BIST要被同时执行时,将用于第一BIST的扫描输入开始时间(T_{sis1})和用于第二BIST的扫描输入开始时间(T_{sis2})设置为不同,会使得能够导致其中电流消耗小的采集操作和其中电流消耗大的移位操作同时发生。这降低了电流消耗变化率,并减少了电源线中谐振噪声的生成。在这种情况下,优选地,在两个BIST之间均衡扫描输入时段(T_{si})、采集时段(T_{ca})以及扫描输出时段(T_{so})的长度。这种做法不限于同时执行两个BIST的情况,并且它也适用于同时执行三个或更多BIST的情况。这样的多个BIST可

以在单个半导体装置中或者多个半导体装置中执行。

[0048] [实施例示例]

[0049] 接着,将参考图6描述根据实施例示例的微控制器配置。

[0050] 图6是示出根据本公开的实施例示例的微控制器的配置的框图。

[0051] 根据实施例示例的微控制器1是具有逻辑单元自诊断(逻辑BIST)功能和存储器单元自诊断(存储器BIST)功能的半导体装置,其包括在半导体衬底之上形成的逻辑BIST电路10、扫描非目标电路30以及扫描目标电路20。

[0052] 逻辑BIST电路10包括BIST控制电路(BC)11、链控制电路(链控制)12、时钟控制电路(时钟控制)13、重置控制电路(重置控制)14以及模式生成器电路(PG)15。逻辑BIST电路10还包括扫描使能控制电路(SEC)16、压缩电路(压缩)17、结果比较状态电路(RCS)18、以及作为电可重写非易失性存储器的闪存存储器19。

[0053] 扫描目标电路20包括微控制器的功能块,诸如中央处理单元(CPU)21、直接存储器存取控制装置(DMA)、计时器(TIMER)、PWM生成电路(PWM)、作为通信电路的控制器局域网络(CAN)、A/D转换器电路(ADC)以及串行外设接口(SPI)这样的微控制器的功能块。扫描目标电路20还包括存储器BIST电路,诸如存储器BIST控制电路(MBC)22、存储器模式生成器电路(MPG)23以及存储器BIST结果检查电路(MBRC)24。这允许存储器BIST电路被扫描测试。

[0054] 扫描非目标电路30包括作为存储器的SRAM 31和模拟电路(ANALOG H/M)32。要由CPU 21执行的程序以及数据存储于闪存存储器19中。在制造半导体装置后,程序和参数(之后将描述)被写入闪存存储器19。

[0055] 将参考图7和8描述微控制器1的BIST操作。

[0056] 图7是用于解释根据实施例示例的在扫描测试之前由微控制器1执行的BIST操作的框图。图8是用于解释根据实施例示例的在扫描测试之后由微控制器1执行的BIST操作的框图。

[0057] 在重置解除后,BIST控制电路11从闪存存储器19读取参数并将参数扩展用于链控制电路12、时钟控制电路13、重置控制电路14、模式生成器电路15以及扫描使能控制电路16。当在重置解除后经过了预定量的时间时,开始扫描测试。例如通过开始向扫描目标电路20馈送扫描时钟信号来开始扫描测试。

[0058] 链控制电路12基于从BIST控制电路11给出的参数为扫描测试目标电路20设置扫描链配置。以下将描述这方面的细节。

[0059] 在扫描测试期间,基于从BIST控制电路11给出的参数,时钟控制13控制扫描时钟和采集时钟。可以通过设置扫描时钟供给开始时序来改变扫描开始延迟时间。例如,由计数器计数扫描时钟脉冲,并且在计数了扫描时钟脉冲的预定数量之后,扫描时钟信号被馈送给扫描链。此外,设置扫描时钟频率和采集时钟低时段,使得能够改变扫描输入时段、扫描输出时段以及采集时段。当执行BIST时,包括扫描输入、采集和扫描输出阶段的扫描测试重复多次。可以设置第n次扫描测试与第(n+1)次扫描测试之间的时段。以这种方式,可以为多个半导体装置同时执行BIST,此外,时分模式的操作也是可能的。

[0060] 重置控制电路14控制包括在扫描链中的触发器的设置和重置,以防止触发器在扫描测试期间采取不期望的值。

[0061] 模式生成器电路15基于从BIST控制电路11给出的参数为扫描链生成适当的扫描

测试模式。压缩电路17逻辑地压缩扫描测试结果。

[0062] 在扫描测试之后,测试结果被压缩进压缩电路17中,并且之后被存储于结果比较状态电路18中。在存储器BIST控制电路22的控制下对SRAM 31执行存储器测试,并且测试结果被存储于结果比较状态电路18中。CPU 21开始正常操作并将存储于闪存存储器19中的期望值写入结果比较状态电路18。结果比较状态电路18将期望值与测试结果进行比较并且保存比较结果。CPU 21从结果比较状态电路18读取比较结果并做出判断。通过使BIST的一部分由CPU 21来执行,可以防止结果比较状态电路18硬件规模变得更大。

[0063] 接着,将参考图9和图1描述扫描测试目标块的内部配置。

[0064] 图9是用于解释根据实施例示例的微控制器的扫描测试目标块的内部配置的框图。

[0065] 如图9中可见的,扫描链被配置为横向延伸。如图9中可见的,第一至第三扫描输入信号(SIN1、SIN2、SIN3)从左侧输入作为测试信号。如图9中可见的,第一至第三扫描输出信号(OUT1、OUT2、OUT3)从右侧输出。如图1中示出的,每个扫描触发器(SFF)包括具有与复用器(MUX)耦接的数据输入端子(D)的触发器(FF)。复用器(MUX)将组合电路的输出信号(IN_{CL})或者扫描链中的前一扫描触发器的输出信号(SC_{n-1})输入到触发器(FF)的数据输入端子(D)。对此,基于扫描使能信号(SE)在两个输出信号之间切换。扫描时钟信号(CLK)被输入到扫描触发器(SFF)(触发器(FF))。参考图9,虚线表示测试电路以外的普通逻辑电路(组合电路)CLC1至CLC4。所述组合电路被与扫描链中的扫描触发器序列无关地设置并耦接到扫描触发器。各扫描触发器(SFF_n)耦接在扫描链中,并且通过使得相应的扫描触发器的触发器值通过扫描链被设置(扫描输入)和读出(扫描输出)而对组合电路进行测试。此外,根据本实施例示例的扫描链包括使扫描链配置可变的选择器SEL1至SEL6。即,通过基于BIST控制电路11给出的参数而设置的选择器SEL1至SEL6来限定扫描链配置。

[0066] 接着,将参考图10描述第一扫描链配置示例。图10是示出根据实施例示例的用于微控制器的第一扫描链配置示例的框图。

[0067] 在第一扫描链配置示例中,相应的选择器基于BIST控制电路11给出的参数来选择以下信号。

[0068] 选择器SEL1:第一扫描输入信号(SIN1)

[0069] 选择器SEL2:第二扫描输入信号(SIN2)

[0070] 选择器SEL3:第三扫描输入信号(SIN3)

[0071] 选择器SEL4:第100个扫描触发器(SFF100)的输出信号

[0072] 选择器SEL5:第150个扫描触发器(SFF150)的输出信号

[0073] 选择器SEL6:第300个扫描触发器(SFF300)的输出信号

[0074] 在这种情况下,第一扫描链配置示例包括以下三个扫描链。

[0075] 扫描链CH11: SIN1、SFF1、SFF2、---、SFF100、OUT1

[0076] 扫描链CH12: SIN2、SFF101、---、SFF200、OUT2

[0077] 扫描链CH13: SIN3、SFF201、---、SFF300、OUT3

[0078] 扫描链CH11、CH12和CH13每个都包括100个扫描触发器。

[0079] 接着,将参考图11描述第二扫描链配置示例。图11是示出根据实施例示例的第二扫描链配置示例的框图。

[0080] 在第二扫描链配置示例中,相应的选择器基于BIST控制电路11给出的参数来选择以下信号。

[0081] 选择器SEL1:第一扫描输入信号(SIN1)

[0082] 选择器SEL2:第300个扫描触发器(SFF300)的输出信号

[0083] 选择器SEL3:第三扫描输入信号(SIN3)

[0084] 选择器SEL4:第200个扫描触发器(SFF200)的输出信号

[0085] 选择器SEL5:第100个扫描触发器(SFF100)的输出信号

[0086] 选择器SEL6:第150个扫描触发器(SFF150)的输出信号

[0087] 在这种情况下,第二扫描链配置示例包括以下两个扫描链。

[0088] 扫描链CH21:SIN1、SFF1、SFF2、---、SFF100、SFF151、---、SFF200、OUT1

[0089] 扫描链CH22:SIN3、SFF201、---、SFF300、SFF101、---、SFF150、OUT3

[0090] 扫描链CH21和CH22每个都包括150个扫描触发器。

[0091] 根据该实施例示例,在制造半导体装置之后可以改变扫描链配置。利用这样的扫描链配置(即,包括在每个扫描链中的扫描触发器的数量是可改变的),可以改变扫描输入时段和扫描输出时段的长度。此外,在制造半导体装置之后可以改变采集时段的长度。这使得能够在不同半导体装置之间均衡扫描测试时段。此外,在制造半导体装置之后可以改变扫描开始时间。因此,可以在不同的半导体装置之间同时执行需要长扫描测试时段(即,涉及大电流消耗)的移位操作和涉及小电流消耗的采集操作。以这种模式,可以降低电流消耗变化率。

[0092] <应用示例1>

[0093] 接着,将参考图12描述根据第一应用示例(应用示例1)的电子装置的配置,所述电子装置包括每个都具有内建BIST的微控制器。图12是示出根据应用示例1的电子装置的配置的框图。

[0094] 根据应用示例1的电子装置101包括在单个或多个印刷电路板上形成的第一半导体装置(即,微控制器(MCU)1A)、第二半导体装置(即,微控制器(MCU)1B)、电源IC(电源)2、以及无源元件(PE)3。耦接在微控制器1A与1B以及无源元件3的电源线和地线包括诸如电感L1至L7和电容C的组件。电子装置101是用于各种车载控制(例如,自动引擎控制和制动控制)的电子控制单元(ECU)。

[0095] 微控制器1A和1B被配置为与根据实施例示例的微控制器1类似。用于微控制器1A和1B的BIST参数设置如下。

[0096] (1)参数被写入微控制器1A和1B中每一个的闪存存储器以使得微控制器1A和1B具有相同的扫描链配置。例如,可以为微控制器1A和1B设置用于形成根据实施例示例的第一(或第二)扫描链配置的参数。

[0097] (2)微控制器1A与1B之间的扫描测试开始时序不同。具体地说,在微控制器1A的移位操作期间,微控制器1B执行采集操作,并且在微控制器1B的移位操作期间,微控制器1A执行采集操作。例如,在微控制器1A的移位操作完成之后,微控制器1B开始扫描输入移位操作。在这种情况下,包括扫描输入时段、采集时段和扫描输出时段的微控制器1A的扫描测试时段等同于微控制器1B的扫描测试时段。以这样的方式:微控制器1A的采集操作和微控制器1B的扫描输入操作被同时执行;微控制器1A的扫描输出操作和微控制器1B的采集操作被

同时执行;并且微控制器1A的扫描输入操作和微控制器1B的采集操作被同时执行。这可以降低电流消耗变化率以及电源谐振噪声的生成。

[0098] 在微控制器1A和1B是不同类型的情况中,例如,当微控制器1A具有包括150个扫描触发器的固定的扫描链配置时,微控制器1B可以像前面的第二扫描链配置示例那样来配置。

[0099] <应用示例2>

[0100] 接着,将参考图13至15描述根据第二应用示例(应用示例2)的包括具有内建BIST的微控制器的电子装置的配置。图13是示出根据应用示例2的电子装置的配置的框图。图14是示出根据应用示例2的电子装置的第一操作的框图。图15是示出根据应用示例2的电子装置的第二操作的框图。

[0101] 根据应用示例2的电子装置102包括在单个或多个印刷电路板上形成的无源元件3、在主侧上的半导体装置(LSI)1M、在从侧上的半导体装置(LSI)1S1、在从侧上的半导体装置(LSI)1S2以及电源IC2。耦接在电源IC2、半导体装置1M、1S1和1S2以及无源元件PE之间的电源线和地线包括诸如电感L1至L9和电容C的组件。与电子装置101相似,电子装置102是用于各种车载控制(例如,自动引擎控制和制动控制)的电子控制单元(ECU)。

[0102] 半导体装置1M、1S1和1S2被与根据实施列示例的微控制器1类似地配置,除了半导体装置1M、1S1和1S2每个包括作为非扫描目标电路的用于电源电压监测的A/D转换器电路33。半导体装置1M可以称为第一半导体装置,而半导体装置1S1或1S2可以称为第二半导体装置。

[0103] 将参考图14描述根据应用示例2的电子装置的第一操作。

[0104] (A1)半导体装置1M的电源电压监测A/D转换器电路33在扫描测试期间监测电感L2与L4之间的电源电压。类似地,半导体装置1S1的电源电压监测A/D转换器电路33在扫描测试期间监测电感L4与L6之间的电源电压。半导体装置1S2的电源电压监测A/D转换器电路33在扫描测试期间监测电感L6与L8之间的电源电压。

[0105] (A2)在扫描测试之后,在从侧上的半导体装置1S1和1S2中的每一个例如经由CAN将电源电压变化数据传递到半导体装置1M。

[0106] (A3)在主侧上的半导体装置1M处重新计算参数,并且重新计算的参数被传送到从侧上的半导体装置1S1和1S2。当电源电压变化大于预定的阈值时,确定发生了谐振并且改变扫描链配置。例如,改变参数以增加或减少主侧上的半导体装置1M中的扫描触发器的数量。

[0107] (A4)当下次以及此后执行BIST时,应用如上述(A3)中所述的那样设置的新参数。

[0108] 在根据应用示例2的第一操作中,监测实际电源电压变化使得能够比应用示例1中更多地降低电源谐振噪声。

[0109] 将参考图15描述根据应用示例2的电子装置的第二操作。

[0110] (B1)类似于上面(A1)所述的电源电压监测,在扫描测试期间在相应的电源电压监测A/D转换器电路33处监测用于半导体装置1M、1S1和1S2的电源电压。

[0111] (B2)类似于上面(A2)所述的数据传递,如上面(B1)所述的那样检测的关于电源电压变化的数据例如经由CAN被传递到半导体装置1M。

[0112] (B3)在主侧上的半导体装置1M处重新计算参数。此时,考虑到流过无源元件3的异

常的电流部分而重设参数。当电源IC2的容量超出时,BIST从同时操作转移到时分操作,并且通知错误状态。以这样的方式,即使当超出电源容量时,也可以执行BIST。

[0113] 当存在故障,例如无源元件3中的短路时,异常电流(I_{ab})在电源和地之间稳定地流过无源元件3。在这种状态中,三个半导体装置1M、1S1和1S2使用从电源IC2供应的小于异常电流(I_{ab})的电流。即,三个半导体装置可获得的操作电流小于正常状态中可获得的。因此,当检测到元件故障时,改变扫描链配置(扫描触发器的数量)。此外,将用于三个半导体装置1M、1S1和1S2中的每一个的扫描时钟频率改变为低于正常无故障状态中的扫描时钟频率。以这种方式,即使例如由于无源元件中的故障导致可获得的操作电流降低时,也可以执行BIST。

[0114] 已经基于实施方式、实施例示例以及应用示例详实地描述了发明人做出的本发明。然而,本发明不限于以上的实施方式、实施例示例以及应用示例,并且本发明可以以各种方式进行修改。

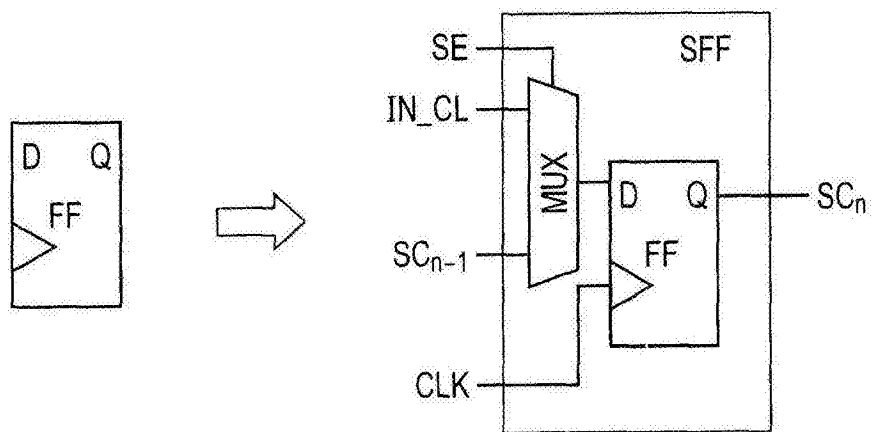


图1

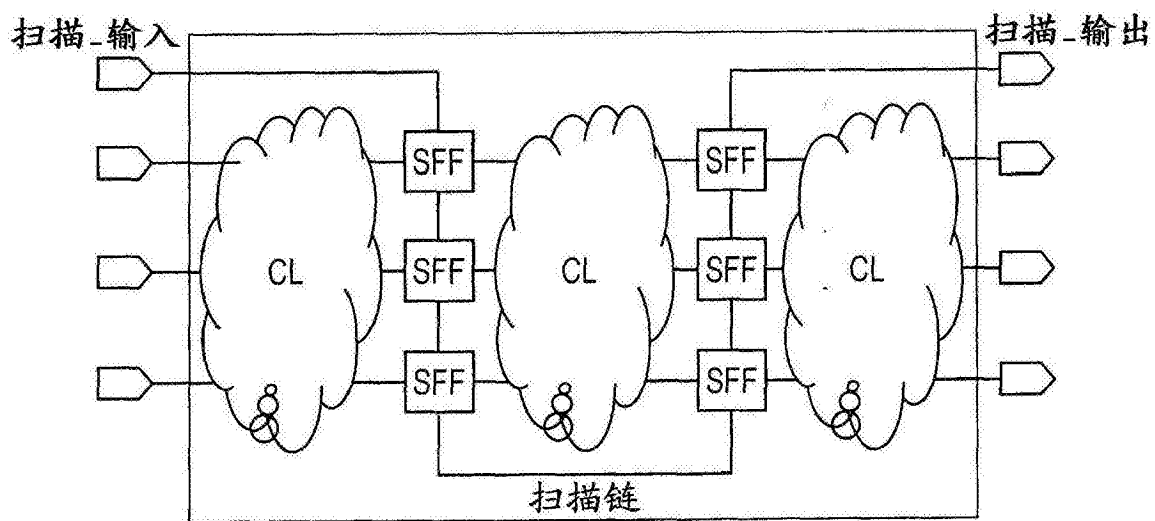


图2

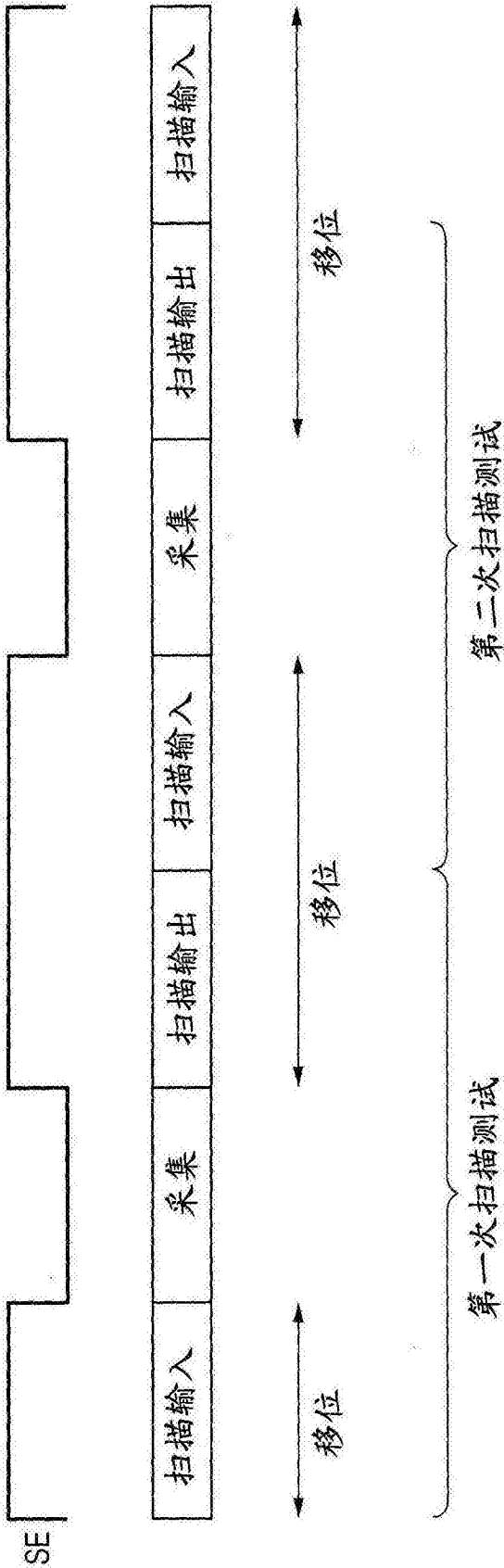


图3

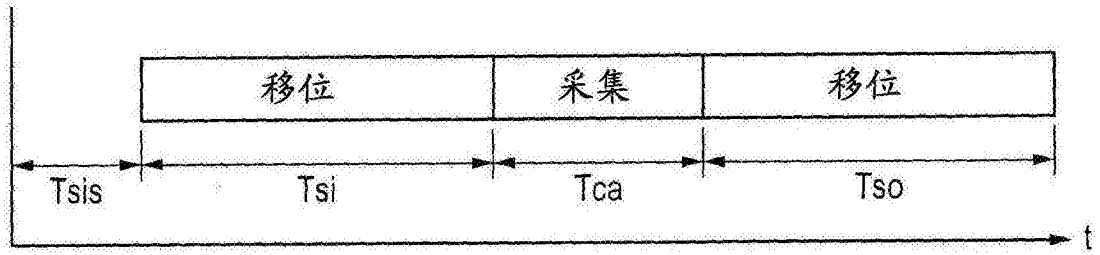


图4

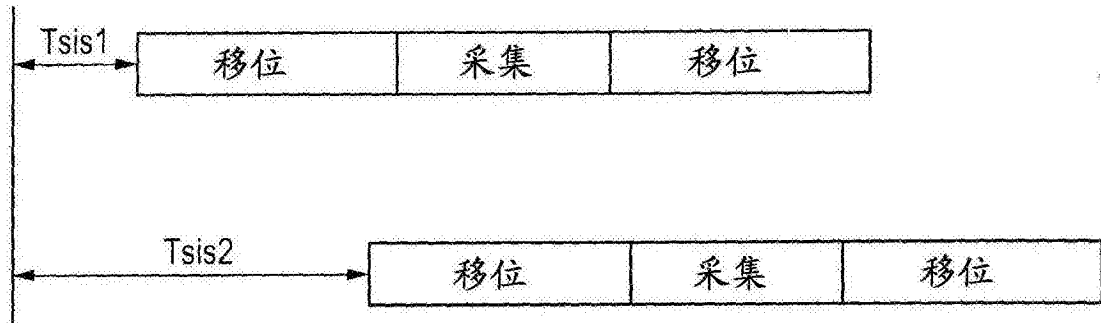


图5

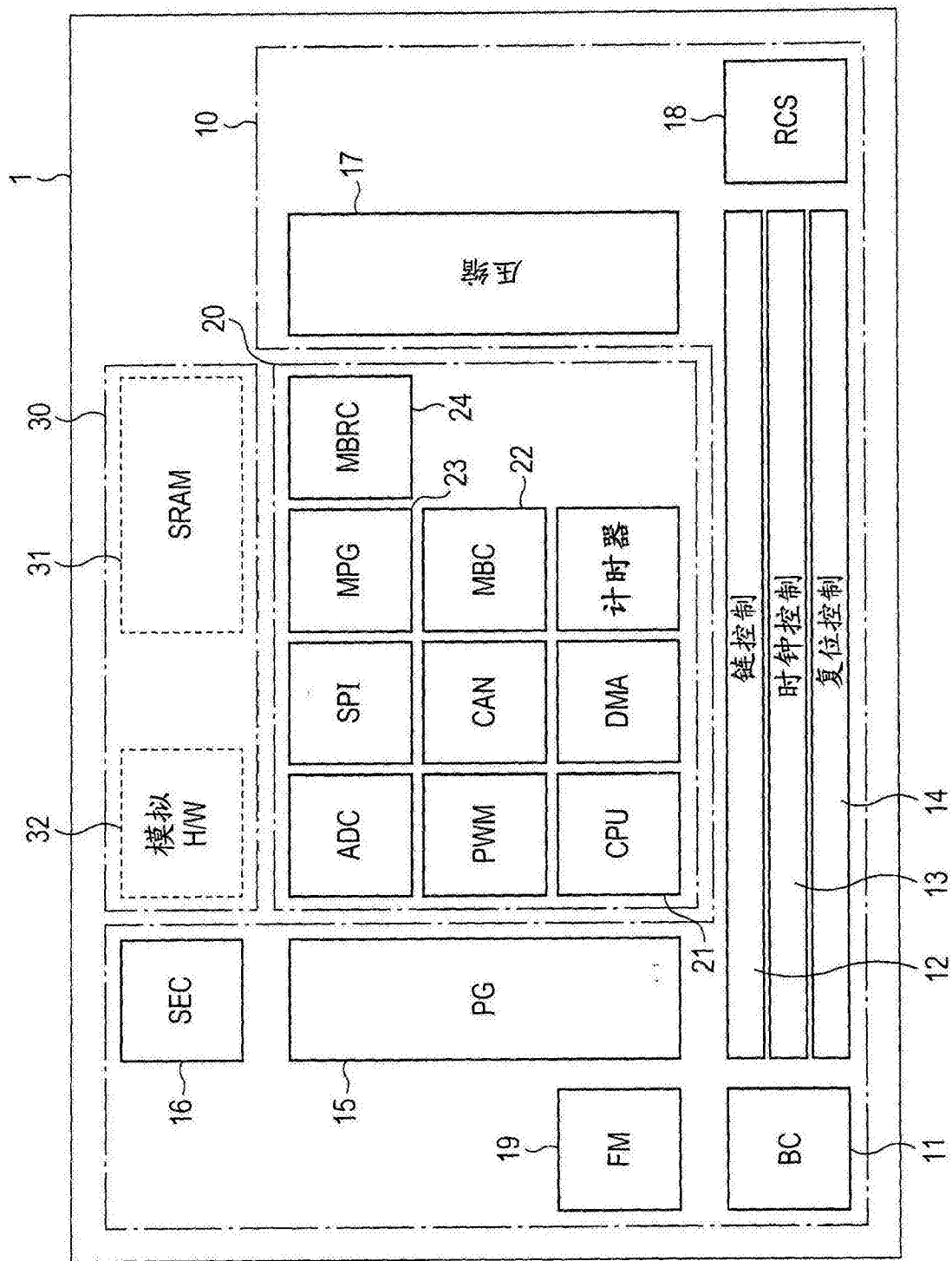


图6

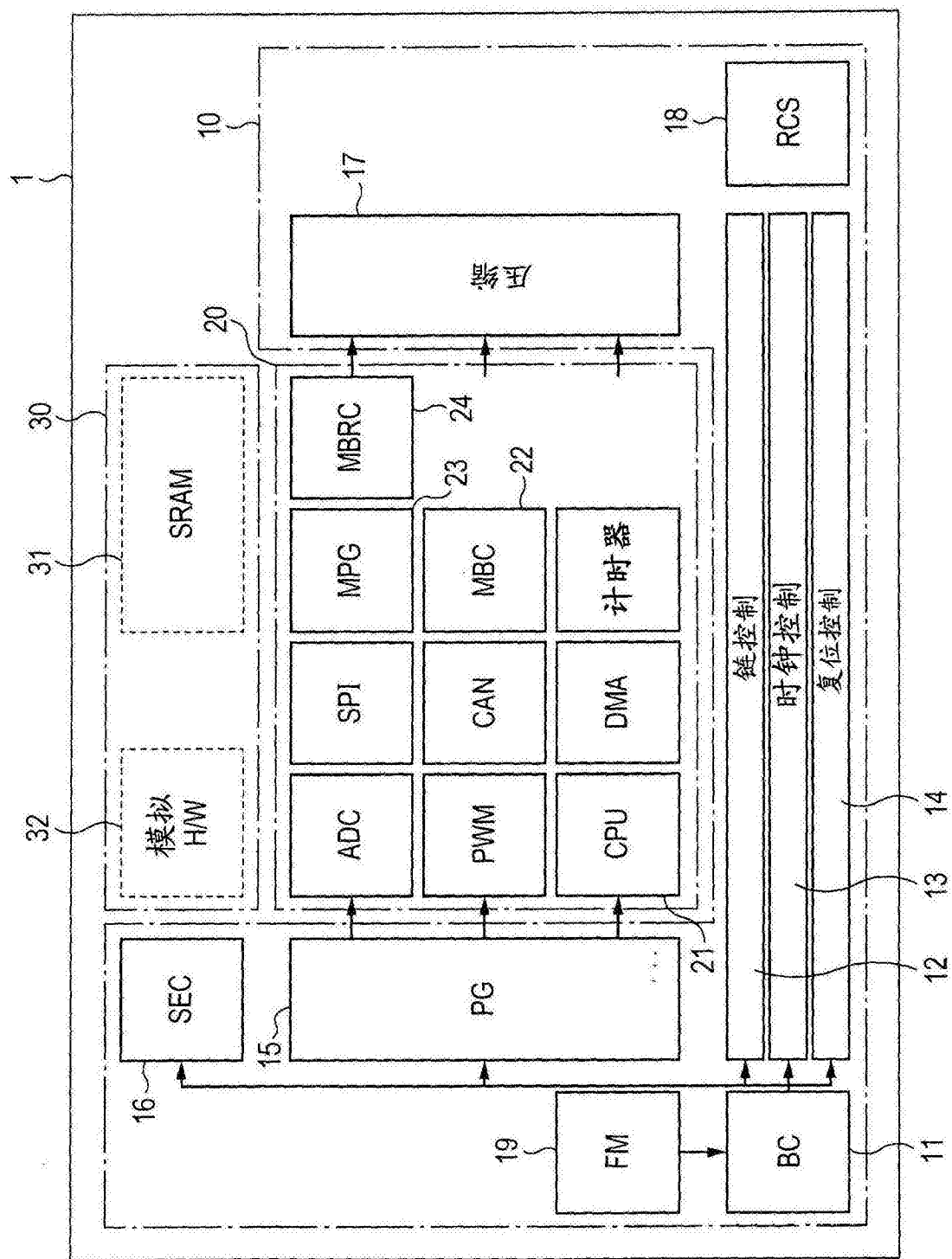


图7

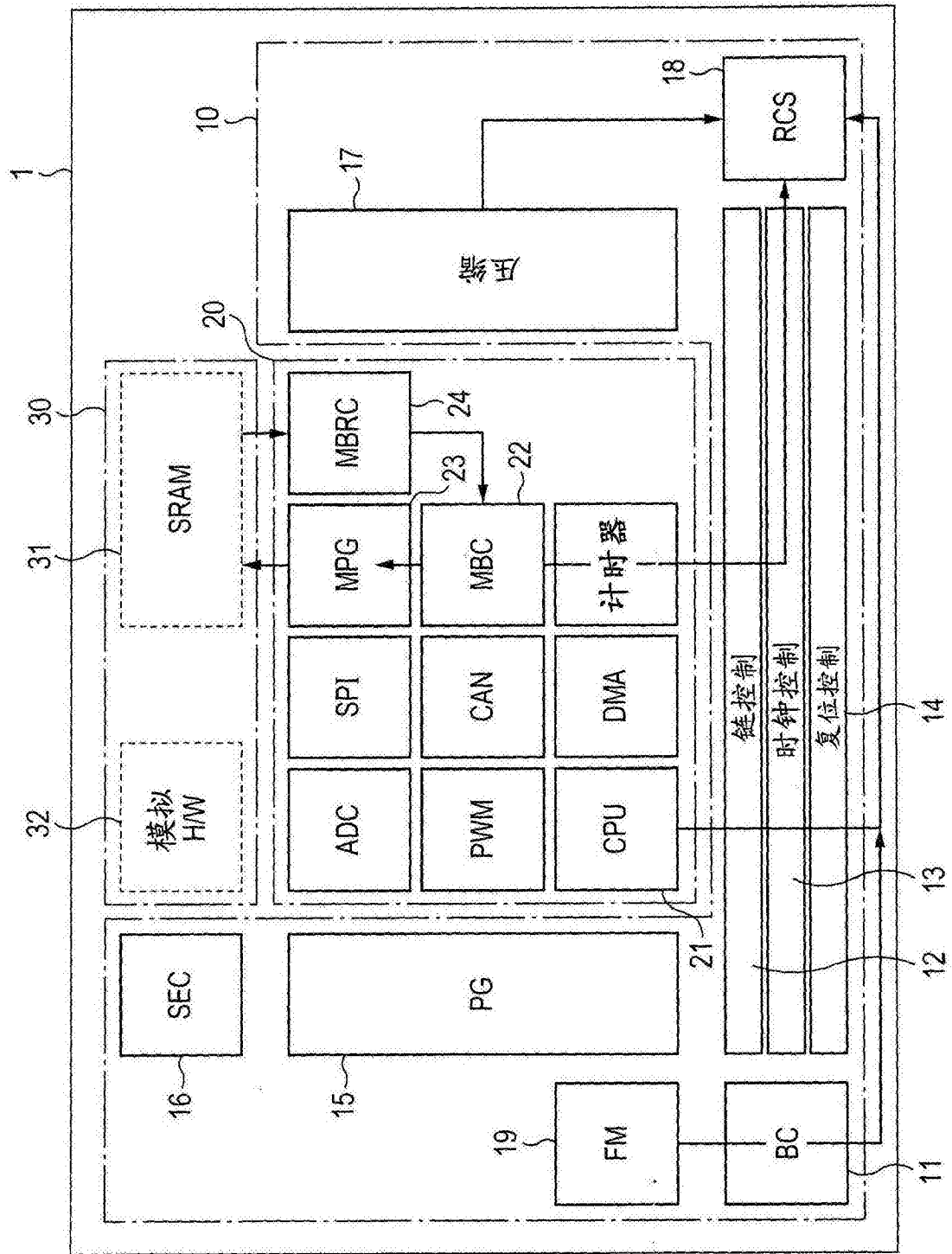


图8

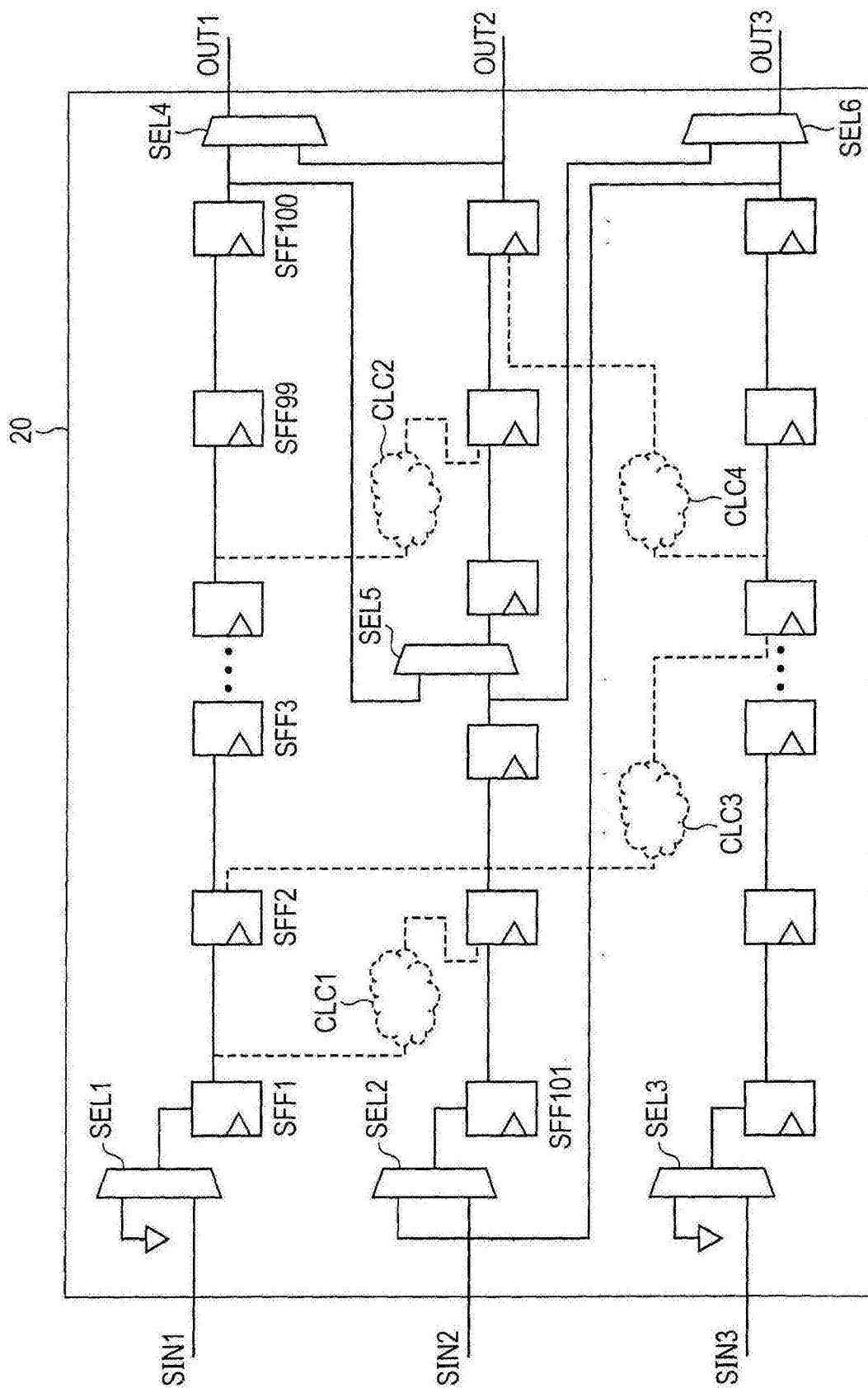


图9

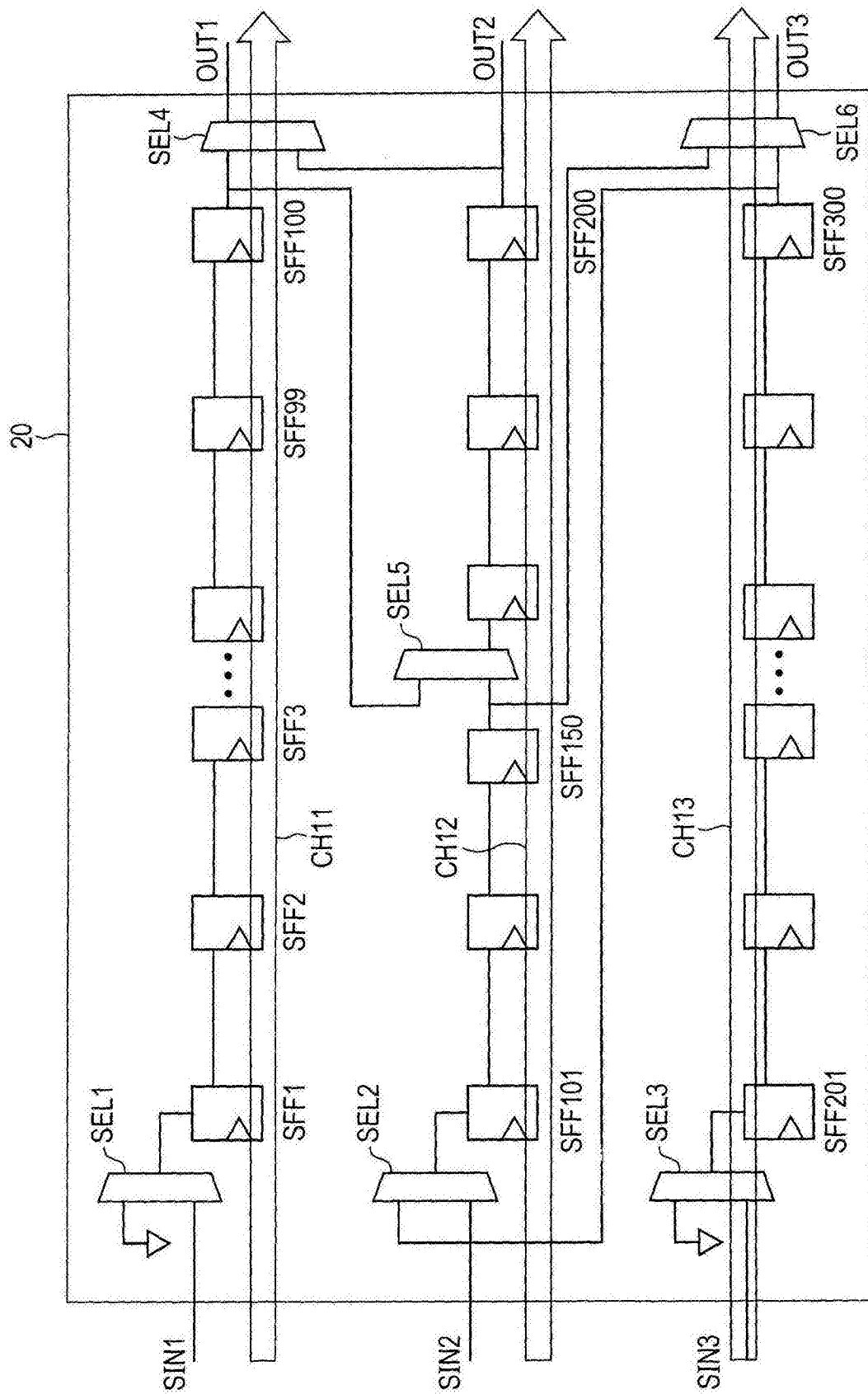


图10

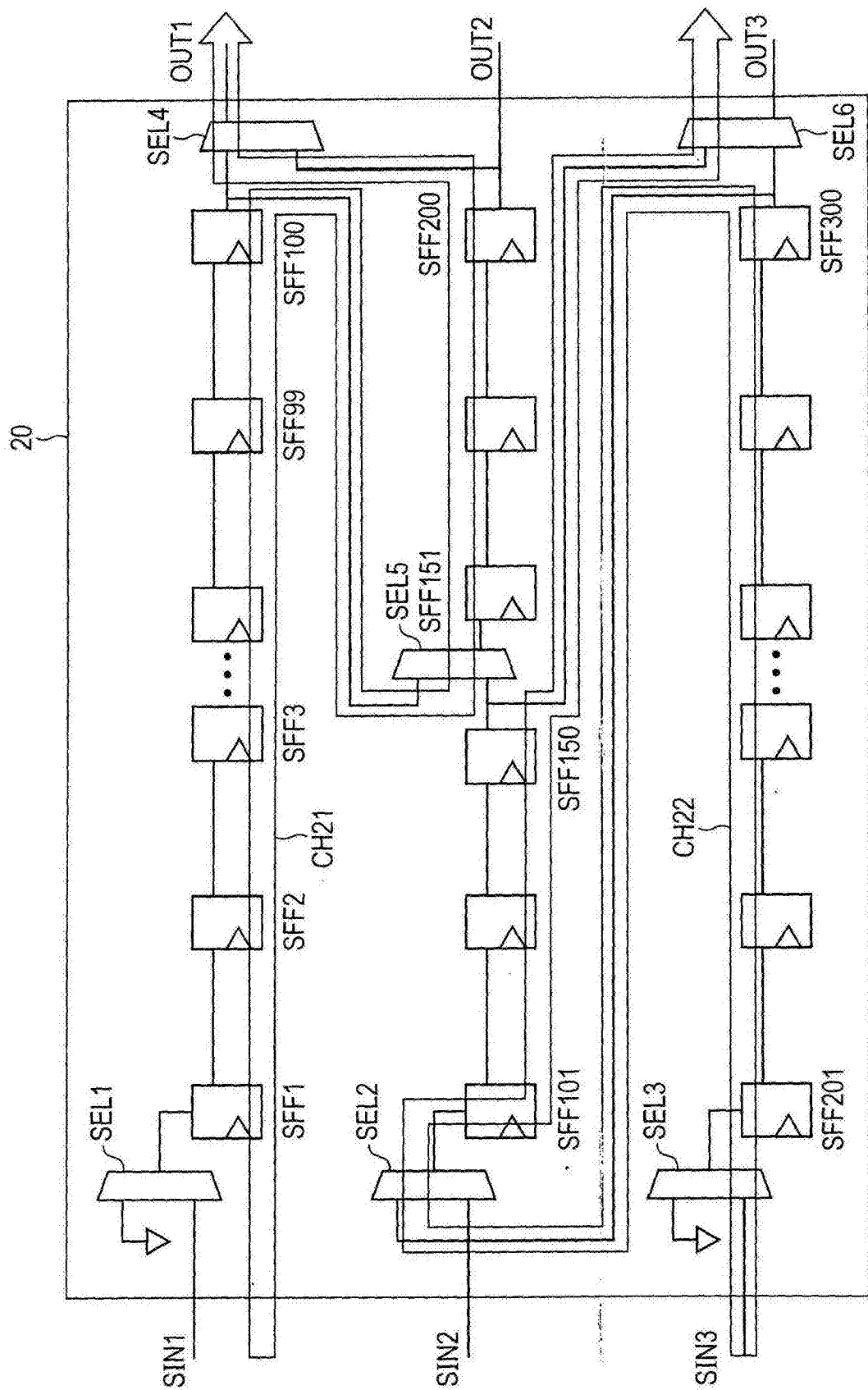


图11

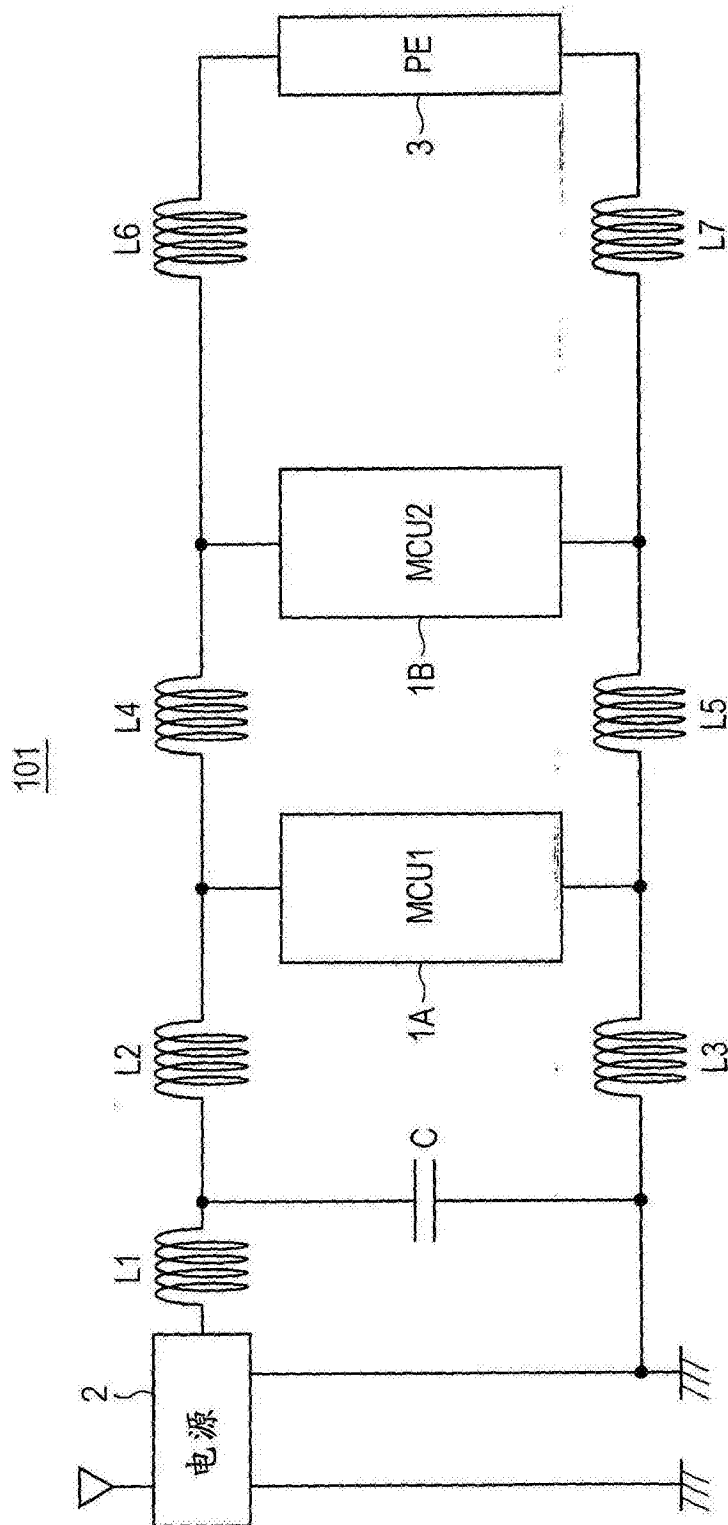


图12

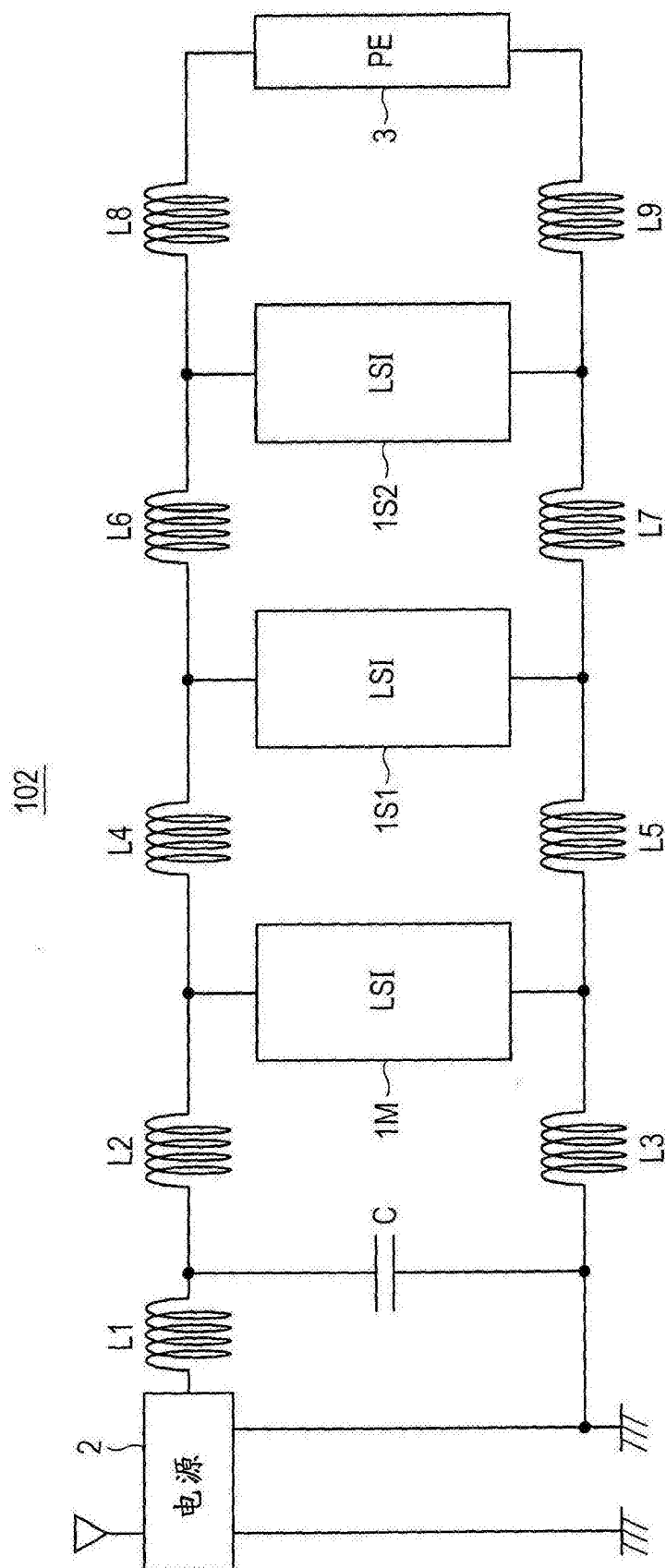


图13

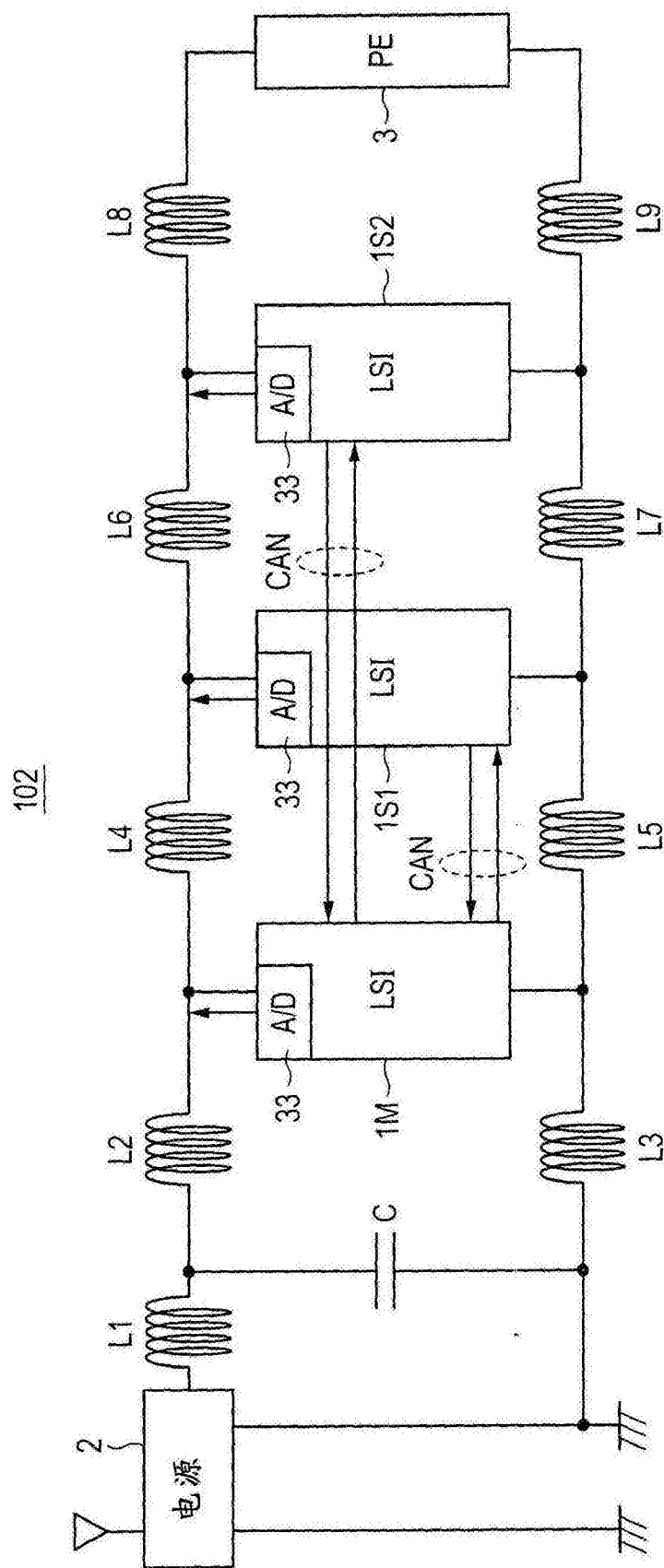


图14

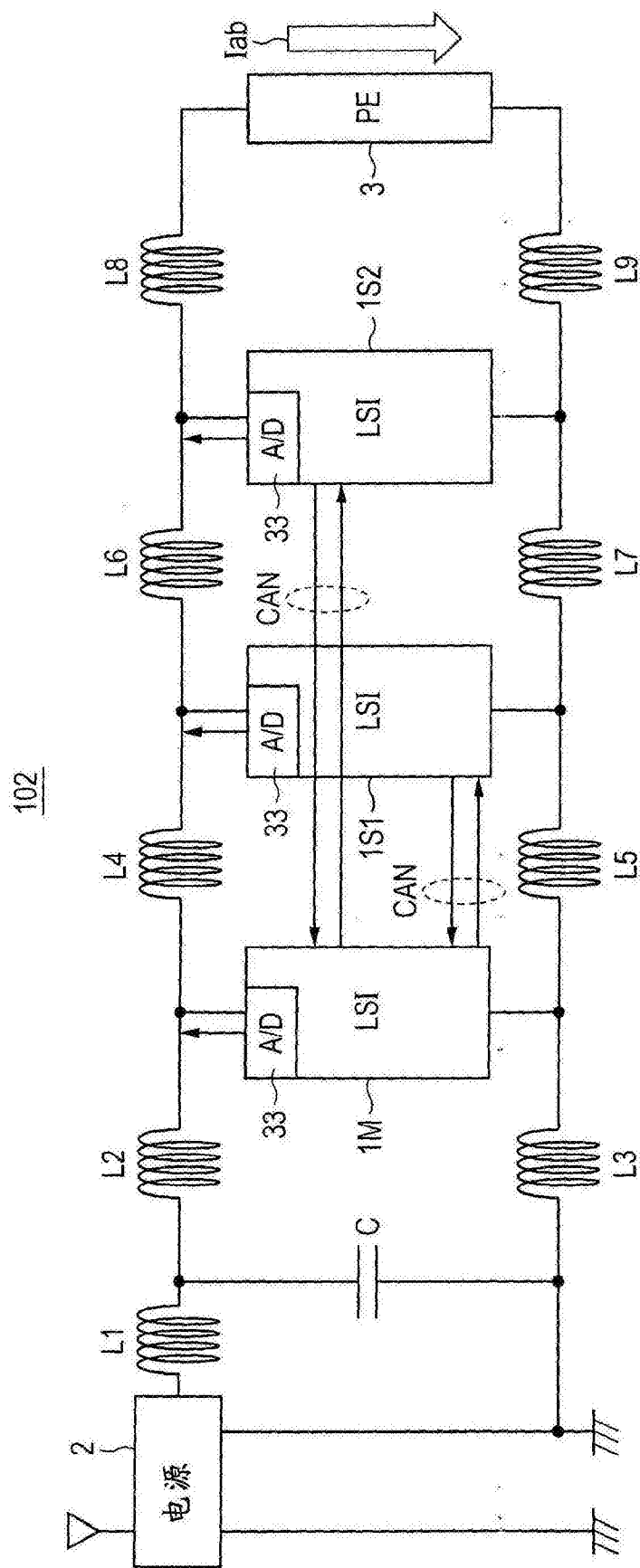


图15