(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3570287号
(P3570287)
(45)発行日　平成16年9月29日(2004.9.29)　(24)登録日　平成16年7月2日(2004.7.2)

(51)Int.Cl.[7]　F I
G06F 9/318　G06F 9/30 320B
G06F 9/30　G06F 9/30 310A
G06F 9/30 350A

請求項の数 3　(全 11 頁)

(21)出願番号　特願平11-94060
(22)出願日　平成11年3月31日(1999.3.31)
(65)公開番号　特開2000-284962(P2000-284962A)
(43)公開日　平成12年10月13日(2000.10.13)
審査請求日　平成15年4月8日(2003.4.8)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　松岡　弘樹
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　後藤　彰

最終頁に続く

(54)【発明の名称】マイクロコンピュータ

(57)【特許請求の範囲】

【請求項１】

命令コード解析手段とプリフィックス用レジスタと命令実行手段とを有するマイクロコンピュータであって、前記命令コード解析手段は、プリフィックス命令入力後にターゲット命令を入力した場合、該ターゲット命令のオペレーション内容を拡張して解釈するターゲット命令機能拡張手段を含み、前記プリフィックス用レジスタは前記プリフィックス命令に含まれるソースレジスタのデータを格納する手段を含み、命令実行手段は、前記ターゲット命令機能拡張手段で拡張されたオペレーション内容で前記プリフィックス用レジスタに格納されたデータを用いて該ターゲット命令を実行することを特徴とするマイクロコンピュータ。

【請求項２】

請求項１記載の、前記ターゲット命令機能拡張手段は、プリフィックス命令入力後に２オペランド命令である所定のターゲット命令を入力した場合、該ターゲット命令の２つのオペランドとプリフィックス命令に含まれた該レジスタの内容を用いて、該ターゲット命令のオペレーション内容を３オペランド命令に拡張して解釈することを特徴とするマイクロコンピュータ。

【請求項３】

請求項１記載の、前記ターゲット命令機能拡張手段は、プリフィックス命令入力後にレジスタ指定値を有する所定のターゲット命令を入力した場合、プリフィックス命令の命令コードに含まれたレジスタ番号のレジスタの内容に基づき、ターゲット命令の命令コードに

指定されたレジスタに格納されたアドレスのディスプレースメントを作成し、該ディスプレースメントを用いて実行するようにオペレーション内容を拡張することを特徴とするマイクロコンピュータ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、情報処理回路及び半導体集積回路装置、前記情報処理回路を内蔵するマイクロコンピュータ、該マイクロコンピュータを用いて構成された電子機器に関する。

【０００２】

【従来の技術】

従来、３２ビットのデータを処理できるＲＩＳＣ方式のマイクロコンピュータでは、３２ビット幅に固定された命令コードを用いられていた。その理由は、固定長ビット幅の命令コードを用いると、可変長ビット幅の命令コードを用いる場合に比べ、命令のデコードに要する時間を短縮でき、また、マイクロコンピュータの回路規模を小さくすることが出来るからである。

【０００３】

ところが、３２ビットのマイクロコンピュータにおいても、特に３２ビットも必要としない命令コードも多い。従って全ての命令の命令コードを３２ビットで記述すると、命令コードに冗長な部分が生じる命令が多くなり、メモリーの使用効率が悪くなる。

【０００４】

この様な場合、冗長な命令コードを論理圧縮しておき、マイクロコンピュータの内部で元の命令にデコードしながら、命令を実行することも可能である。しかし、この様な方式では、制御回路が複雑になるという問題があった。

【０００５】

【発明が解決しようとする課題】

そこで、本願の発明者は、制御回路を複雑にすることなくメモリの使用効率を向上させるために、処理出来るデータのビット幅より短いビット幅の固定長命令コードを処理するマイクロコンピュータについての検討を行っていた。しかし、例えば３２ビット固定長の命令コードを単に１６ビットの固定長にすると以下のような問題点が生じる。例えば、１６ビットの命令コードでは、３オペランド命令のオペランドのフィールドを確保することは難しい。従って、この様に短い命令コードでは記述が難しいオペレーションをどの様に処理するのかという問題が生じる。上記問題を解決するためには、短い命令コードで記述出来ないオペレーションを実行するために、オペレーション内容を拡張する機能が必要となる。

【０００６】

また、本発明の他の目的は、制御回路を複雑にすることなく、オペレーション内容を拡張する機能を有する情報処理回路、半導体集積回路装置、マイクロコンピュータを提供することである。

【０００７】

【課題を解決するための手段】

本発明のマイクロコンピュータで処理される命令は、通常の命令と、プリフィックス命令にわけることができる。通常の命令のうち所定の命令については、プリフィックス命令のターゲットとなることができる（プリフィックス命令のターゲットなった命令をターゲット命令という）。プリフィックス命令は、それ単独では命令実行手段において実行されず、後続のターゲット命令が実行される際に、そのターゲット命令の機能を拡張する機能を有する。

【０００８】

前記目的を達成するため、本発明は、命令コード解析手段とプリフィックス用レジスタと命令実行手段とを有するマイクロコンピュータであって、前記命令コード解析手段は、プリフィックス命令入力後にターゲット命令を入力した場合、該ターゲット命令のオペレー

ション内容を拡張して解釈するターゲット命令機能拡張手段を含み、前記プリフィックス用レジスタは前記プリフィックス命令に含まれるソースレジスタのデータを格納する手段を含み、命令実行手段は、前記ターゲット命令機能拡張手段で拡張されたオペレーション内容で該ターゲット命令を実行することを特徴とするマイクロコンピュータに関係する。

【０００９】

命令コード解析手段は、入力した命令コードを解読し、命令の対象となるデータの記憶されている記憶手段の番地を計算する等、命令実行手段が命令を実行するために必要な処理を行う。

【００１０】

前記命令コード解析手段は、プリフィックス命令入力後にターゲット命令を入力した場合、該ターゲット命令のオペレーション内容を拡張して解釈するターゲット命令機能拡張手段を含み、前記命令実行手段は、前記ターゲット命令機能拡張手段で拡張されたオペレーション内容で該ターゲット命令を実行することを特徴とする。

【００１１】

この様にすると、ターゲット命令をプリフィックス命令と組み合わせて実行させることにより、ターゲット命令に拡張された機能を実現させることができる。このため、命令数を減らすことができ、さらには命令コードに使用するビット数を減らすことが可能となる。

【００１２】

また、ビット数の少ない命令コードでは、実現が難しい機能を、プリフィックス命令とターゲット命令を組み合わせることにより実現することも可能となる。このため、命令コードの短縮によるメモリの使用効率を改善することができる。

【００１３】

請求項２の発明は、請求項１において、前記ターゲット命令機能拡張手段は、プリフィックス命令入力後に２オペランド命令である所定のターゲット命令を入力した場合、該ターゲット命令の２つのオペランドとプリフィックス命令に含まれた番号のレジスタのデータを用いて、該ターゲット命令のオペレーション内容を３オペランド命令に拡張して解釈することを特徴とする。

【００１４】

この様すると、２オペランド命令のターゲット命令をプリフィックス命令と組み合わせて実行させることにより、該ターゲット命令の操作機能を３オペランド命令に拡張して実行させることができる。従って、２オペランド分記述領域しかない短い命令コードを使用しても３オペランド命令を実現することが出来る。このため、命令数及び命令コードに使用するビット数を減らすことが可能となる。

【００１５】

請求項３の発明は、請求項１において、前記ターゲット命令機能拡張手段は、プリフィックス命令入力後にレジスタ指定値を有する所定のターゲット命令を入力した場合、プリフィックス命令の命令コードに含まれた番号のレジスタのデータを、ターゲット命令の命令コードに指定されたレジスタに格納されたアドレスのディスプレースメントとして使い実行するようにオペレーション内容を拡張することを特徴とする。

【００１６】

このようにすると、プリフィックス命令を用いることにより、オペランドのビット数に限定されずにディスプレースメントの付加が可能になり、レジスタのデータ幅のビット分までディスプレースメントを増やせる。

【００１７】

また、ＲＩＳＣ方式のマイクロコンピュータは、固定長の短い命令コードを処理することにより、命令のデコードに要する時間を短縮し、マイクロコンピュータの回路規模を小さくすることを目的としている。従って、本発明によれば、これらの目的を容易に実現出来るＲＩＳＣ方式のマイクロコンピュータを提供することが出来る。

【００１８】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づき説明する。

【００１９】

１．ＣＰＵの機能説明

図１は、本発明の実施の形態のＣＰＵの機能ブロック図である。該ＣＰＵ３０は３２ビット幅のデータを扱うが１６ビットの命令コードを処理するよう構成されている。

【００２０】

本ＣＰＵ３０は、命令デコード部４０と、命令実行部６０とレジスタファイル９０を含む。そしてこのＣＰＵは、１６ビットの命令データバス１３０と、命令データアクセスのための命令アドレスバス１２０と、３２ビットのデータバス１４０と、データアクセスのためのデータアドレスバス３１０と、コントロール信号のためのコントロールバス３９０を介して外部と信号のやり取りを行う。

【００２１】

前記命令デコード部４０は、入力した命令コードを解読し、該命令を実行するために必要な処理を行うもので、本発明の特徴的な機能であるｅｘｔ命令処理部５０を含む。レジスタファイル９０は、汎用レジスタＲ０～Ｒ１５の１６本の汎用レジスタ、プログラムカウンタ（ＰＣ）、プロセッサーステータスレジスタ（ＰＳＲ）、スタックポインタ（ＳＰ）、算術ローレジスタ（ＡＬＲ）、算術ハイレジスタ（ＡＨＲ）等のＣＰＵで使用するレジスタを有している。命令実行部６０は、前記命令デコード部４０が解析した命令のオペレーション内容に基づき該命令の実行をおこなうもので、データの演算を行うデータ演算部７０と、アドレスの演算を行うアドレス演算部８０を含む。

【００２２】

該ＣＰＵ内部のハードウエアのデータサイズは３２ビットであるため、前記命令実行部６０のデータ演算部７０やアドレス演算部８０で行われる算術論理演算や、前記レジスタファイルのレジスタのビット数および、データの転送等はすべて３２ビットになる。ところが、前記ＣＰＵ３０が処理する命令コードは１６ビットの固定長である。通常、命令コードは該命令の基本的なオペレーションを定めるクラスコード、オペコード、ソースレジスタ（ｒｓ）やデスティネーションレジスタ（ｒｄ）、即値のオペランドで構成される。このため、１６ビットの命令コードを使用する場合、使用できる即値のビット数が小さくなり、また、ソースレジスタが一つしか指定できなくなる。

【００２３】

そこで、本実施の形態では、ｅｘｔ命令という固定長１６ビットの命令を新たに設け、レジスタ番号を指定出来るよう構成している。また、ｅｘｔ命令を用いることにより固定長１６ビットという短いビット幅の命令コードでは記述出来ないオペレーションを可能にするよう構成している。ｅｘｔ命令は、それ単独ではＣＰＵにおける実行を何ら行わないが、ターゲット命令の直前におくことにより、そのターゲット命令の機能を拡張する命令であるプリフィックス命令である。なお、該プリフィックス命令による機能拡張の対象となる命令を、ターゲット命令という。ｅｘｔ命令の命令コードの構成は図５に示すように、ビット１５からビット１３に３ビットのクラス指定領域５０１と、ビット１２からビット８に５ビットのオペコードを指定する領域５０２と、ビット７からビット０に８ビットのレジスタ指定領域４０３とを有している。レジスタ指定領域４０３には、いずれかの汎用レジスタを示すコードが格納されている。

【００２４】

従って、本実施の形態では、プリフィックス命令で指定する汎用レジスタの値を用いて、後続のターゲット命令のオペレーションを拡張することを特徴とする。この様なｅｘｔ命令の処理を行うのがｅｘｔ命令処理部５０であり、詳細は後述する。

【００２５】

２．半導体集積回路の構成

マイクロコンピュータに内蔵されている半導体集積回路を例にとり、本発明の特徴的な機能を実現するための回路構成の一例と動作内容について説明する。

【００２６】

図２は、マイクロコンピュータに内蔵されている半導体集積回路の構成の説明に必要な部分を図示したものである。該半導体集積回路１００は、ＣＰＵ３０と、ＲＯＭ１１０、ＲＡＭ３２０を含む。

【００２７】

前記ＣＰＵ３０は、前記ＲＯＭ１１０、前記ＲＡＭ３２０と、１６ビットの命令データバス１３０、該命令データアクセスのための命令アドレスバス１２０、３２ビットのデータバス１４０、該データアクセスのためのデータアドレスバス３１０とを介して、外部と信号のやり取りを行う。

【００２８】

前記ＲＯＭ１１０には、ＣＰＵ３０に実行させる処理を記述した１６ビットの命令コードが記憶されており、命令コード記憶手段として機能する。そして、該ＲＯＭ１１０に通常の命令の命令コードと同じように、前記プリフィックス命令やターゲットとなる命令の命令コードが記憶される。

【００２９】

前記ＲＡＭ３２０は、実行に使用するデータ等を記憶している。

【００３０】

前記ＣＰＵ３０は、命令レジスタ１５０と、命令デコード回路１６０と、ＥＸＴレジスタ１７２、レジスタファイル９０と、ＡＬＵ１９０と、プログラムカウンタＰＣ３３０、アドレス演算器３４０を含む。

【００３１】

命令レジスタ１５０は、前記ＲＯＭ１１０から、命令データバス１３０を介して入力された命令コードを格納する。命令デコード回路１６０は、命令レジスタ１５０に格納された命令コードを解読し、実行に必要な制御信号１６１を出力する。また、命令コード中の汎用レジスタ値を切り出し、必要に応じてＥＸＴレジスタに保持したりする。アドレス演算器３４０は加減乗除等の演算を行うが、本具体例では、便宜上加算演算をする機能のみを取り上げ説明する。

【００３２】

プログラムカウンタＰＣ３３０には、現在実行中の命令のアドレスが格納されている。

【００３３】

ＡＬＵ１９０は、前記拡張された即値やレジスタファイル９０のレジスタに格納された値や前記ＲＡＭ３２０のデータに対して、算術演算や論理演算やシフト演算を行う。すなわち、ＡＬＵ１９０は図１に示された命令実行部４０のデータ演算部７０として機能する。

【００３４】

ターゲット命令機能拡張回路１７０は、命令デコード回路１６０が判断したターゲット命令と命令ＥＸＴレジスタ１７２から該ターゲット命令のオペレーションを拡張する。すなわち、命令デコード回路１６０とターゲット命令機能拡張回路１７０とＥＸＴレジスタ１７２は図１に示された命令デコード部４０及びｅｘｔ命令処理部５０として機能する。

【００３５】

３．ｅｘｔ命令（プリフィックス命令）を用いたターゲット命令の拡張の具体例まずプリフィックス命令の命令コードに含まれる汎用レジスタの番号を保持する手段について説明する。手段として、ｅｘｔ命令を命令デコード回路１６０が検出すると、該当するレジスタのデータをＥＸＴレジスタ１７２に保存する。

【００３６】

次に、前記ＥＸＴレジスタのデータを使いターゲット命令のオペレーションを変更する手段について説明する。

【００３７】

図３は、入力される命令コード及び前記命令デコード回路が生成する制御信号との関係を示したタイミングチャート図である。

【００３８】

前記命令デコード回路が生成する前記制御信号はｅｘｔ信号３３０と、ｅｘｔ＿ｌｏｗ信

号３４０とである。図３の３１０は入力される命令コードを表している。またクロック信号３２０は、図２において図示しないクロック信号発生器で生成されるか又はクロック入力端子から入力される信号である。該クロック信号５２０は、ＣＰＵにおける各種動作の同期をとるために用いられる。例えば、該クロック信号３２０の立ち上がりに同期して命令アドレスバス１２０に命令アドレスが出力される。また、該クロック信号３２０の１周期（１マシンサイクル）毎に前記命令アドレスに基づいてＲＯＭ１１０から命令コードが読み出され、命令レジスタ１５０に保持される。そして、読み出された命令コードに応じたオペレーションは、１マシンサイクル内で完了する。

【００３９】

ｅｘｔ信号３３０は、ｅｘｔ命令が入力されたときに’１’となる信号である。すなわち、前記命令デコード回路は、入力された命令がｅｘｔ命令である場合ｅｘｔ信号３３０を’１’にし、入力された命令が通常の命令である場合ｅｘｔ信号３３０を’０’にするよう動作する。

【００４０】

ｅｘｔ＿ｌｏｗ信号３４０は、ｅｘｔ信号３４０の状態に応じて出力される信号である。すなわち、前記命令デコード回路は、ｅｘｔ信号３３０が’１’である時、次のクロック信号の立ち上がりに同期をとって、ｅｘｔ＿ｌｏｗ信号３４０を’１’にし、その次のクロック信号の立ち上がりに同期をとって、ｅｘｔ＿ｌｏｗ信号３４０を’０’とする。

【００４１】

ｅｘｔ信号３３０が’０’ｅｘｔ＿ｌｏｗ信号５５０＝’０’の場合は、通常の命令を処理している状態であり、この場合には、ターゲット命令拡張回路１７０は、オペレーションの変更を行わない。

【００４２】

ｅｘｔ信号３３０が’１’の場合は、ＣＰＵがプリフィックス命令であるｅｘｔ命令を処理している状態である。この時、ｅｘｔ命令の指定するレジスタのデータをＥＸＴレジスタ１７２に保存する。この場合には、ターゲット命令拡張回路１７０は、オペレーションの変更を行わない。

【００４３】

ｅｘｔ信号３３０が’０’で　ｅｘｔ＿ｌｏｗ信号５５０＝’１’の場合は、ｅｘｔ命令の後にターゲット命令である通常の命令を処理している状態である。この場合には、ＥＸＴレジスタ１７２に保持されている先のｅｘｔ命令の命令コードに含まれていた指定レジスタのデータを使いオペレーションを変更する。

【００４４】

４．プリフィックス命令によるターゲット命令のオペレーション内容拡張の代表的な実施例

次に、本発明のプリフィックス命令によるターゲット命令のオペレーション内容拡張の代表的な実施の形態を、２つ汎用レジスタを用いて演算を行うタイプの命令（便宜上、以下タイプ１命令という）の場合を例に取り説明する。

【００４５】

まず、タイプ１命令の命令コードの構成について説明する。図５は、該タイプ１命令の命令コードのビットフィールドを示した図である。

【００４６】

同図に示すように、タイプ１命令の命令コードは、ビット１５からビット１３に３ビットのクラス指定領域４０１と、ビット１２からビット８に５ビットのオペコードを指定する領域４０２と、ビット７からビット４に４ビットのレジスタ指定領域４０３と、ビット３からビット０に４ビットのレジスタ指定領域４０４とを有している。

【００４７】

また、前記レジスタ指定領域４０３、４０４には、それぞれいずれかの汎用レジスタ（ｒｓ）（ｒｄ）を示すコードが格納されている。ｒｓとはレジスタソース、ｒｄとはレジスタディステネーションを意味するものある。タイプ１命令は、汎用レジスタ（ｒｓ）に格

納されているデータと汎用レジスタ（ｒｄ）に格納されているデータにたいしてオペコードで示される演算を行い、結果を汎用レジスタ（ｒｄ）に書き込む動作を行う２オペランド命令である。

【００４８】

次に、タイプ１命令が単独で実行された場合のＣＰＵの動作について説明する。図２において、まず、タイプ１命令はＲＯＭ１１０から命令データバス１３０を介して命令レジスタ１５０に入力される。そして、命令デコード回路１６０で解読され、内容に応じた演算がおこなわれる。タイプ１命令においては、命令コードで指定された汎用レジスタ（ｒｄ）に格納されたデータがレジスタファイル９０よりデータバス１８２を介して、ＡＬＵ１９０に入力される。また、命令コードで指定された汎用レジスタ（ｒｓ）に格納されたデータがレジスタファイル９０よりデータバス１８４を介して、ＡＬＵ１９０に入力される。そしてＡＬＵ１９０はタイプ１命令のオペコードで示される演算を行い、演算結果をデータバス１９２を介して、レジスタファイル９０の汎用レジスタ（ｒｄ）に格納する。

【００４９】

前記タイプ１命令は単独で実行することも出来るし、直前ののｅｘｔ命令と組み合わせて実行することも可能である。

【００５０】

タイプ１命令を単独で実行する場合及びｅｘｔ命令と組み合わせて実行する場合のオペレーションを表した式は以下の通りである。

【００５１】

（Ａ）タイプ１命令のオペレーション

ｒｄ＝ｒｓ　ｏｐ．ｒｄ

（Ｂ）ＥＸＴ命令＋タイプ１命令のオペレーション

ｒｄ＝ｒｓ　ｏｐ．ＥＸＴレジスタ

式（Ａ）は、タイプ１命令が単独で実行された場合のオペレーションを表した式である。単独で実行される場合は、同式に示すように、タイプ１命令の本来のオペレーションが実行されるため、ＥＸＴレジスタのデータは使用されない。なお、タイプ１命令が単独で実行された場合の実行内容については前述した通りである。

【００５２】

式（Ｂ）は、タイプ１命令が直前のｅｘｔ命令と組み合わせて実行された場合のオペレーションを表した式である。同式に示すように、タイプ１命令が直前のｅｘｔ命令と組み合わせて実行された場合は、ＥＸＴレジスタのデータと、汎用レジスタ（ｒｓ）の内容との演算結果を、汎用レジスタ（ｒｄ）に書き込むようにオペレーション内容が拡張する。

【００５３】

タイプ１命令がｅｘｔ命令と組み合わせて実行された場合の実行内容について説明する。図２において、まず、タイプ１命令はＲＯＭ１１０から命令データバス１３０を介して命令レジスタ１５０に入力される。そして、命令デコード回路１６０で解読されるが、このとき該命令がターゲット命令になっている場合は、以下のオペレーションを実行する。すなわち、命令コードで指定された汎用レジスタ（ｒｓ）に格納されたデータがレジスタファイル９０よりデータバス１８２を介して、ＡＬＵ１９０に入力される。また、ＥＸＴレジスタ１７２に保持されていた直前のｅｘｔ命令が指定したレジスタのデータが、ＡＬＵ１９０に入力される。そして、ＡＬＵ１９０はタイプ１命令のオペコードで示される演算を行い、演算結果をデータバス１９２を介して、レジスタファイル９０の汎用レジスタ（ｒｄ）に格納する。

【００５４】

なお、ｅｘｔ命令が指定したレジスタのデータをＥＸＴレジスタ１７２に保持する過程は、図２～図３で説明した通りである。

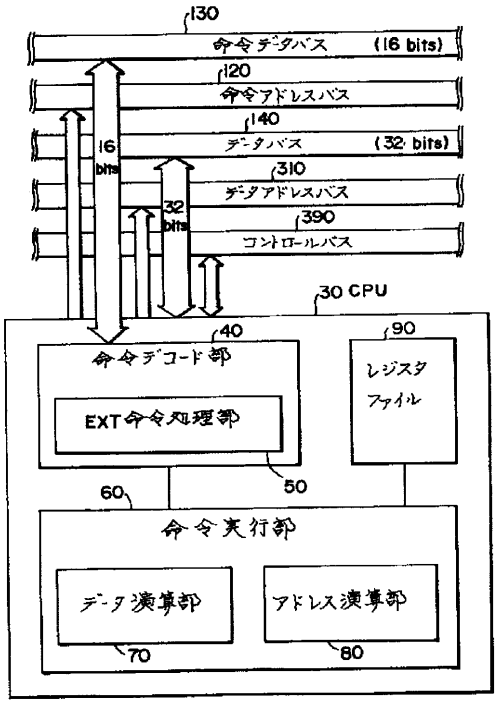
【００５５】

従って、タイプ１命令をｅｘｔ命令と組み合わせて実行した場合、オペランドに１つのディスティネーションレジスタと２つのソースレジスタとを有するような３オペランド命令

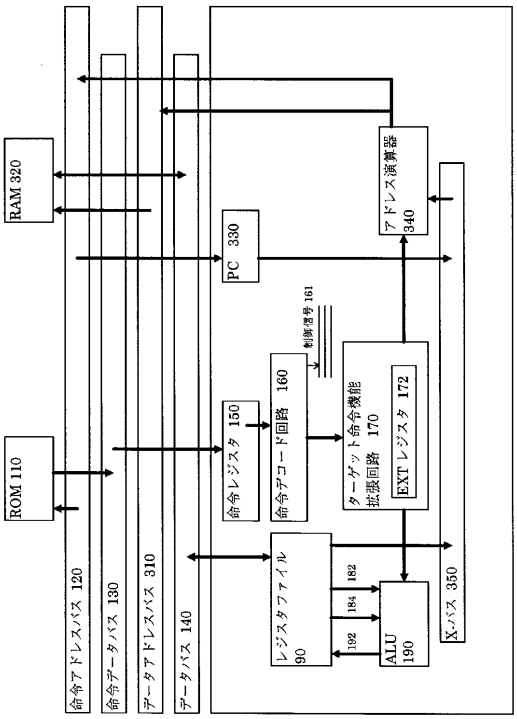
を実行したのと同様の効果を有する。
【００５６】
５．プリフィックス命令を用いてターゲット命令の命令中にディスプレースメントを付加する実施例
次に、オペランドに指定したレジスタに格納された値をアドレスとして用いて実行を行うタイプの命令（便宜上、以下タイプ２命令という）において、プリフィックス命令を用いてアドレスのディスプレースメントを付加する例を説明する。
【００５７】
命令コードの構成は図４に示すタイプ１命令と、２個のレジスタの指定領域をオペランドに有する点で共通する。オペコードの内容が異なってくるが、本実施の形態の説明において特に影響は無いので説明を省略する。タイプ２命令の一例であるロード命令を例にとり、説明する。ロード命令は、ｒｓで指定されるアドレスに記憶されているデータをｒｄに示すレジスタにロードするための命令である。
【００５８】
まず、該ロード命令が単独で実行される場合のＣＰＵの動作について説明する。ＣＰＵは、命令コードで指定された汎用レジスタ（ｒｓ）に格納された値をアドレスとするデータをＲＡＭ３２０から読み出し、命令コードで指定された汎用レジスタ（ｒｄ）に格納する。
【００５９】
ロード命令のようなタイプ２命令は、単独で実行することも出来るし、直前のｅｘｔ命令と組み合わせて実行することも可能である。ｅｘｔ命令と組み合わせて実行された場合は、ｅｘｔ命令の命令コードで指定されたレジスタのデータによって、ディスプレースメントが付加されて、タイプ２命令が実行される。
【００６０】
タイプ２命令がｅｘｔ命令と組み合わせて実行された場合の実行内容について図２を用いて説明する。まず、タイプ２命令はＲＯＭ１１０から命令データバス１３０を介して命令レジスタ１５０に入力される。そして、命令デコード回路１６０で解読されるが、このとき該命令がターゲット命令になっている場合は、命令コードで指定された汎用レジスタ（ｒｓ）に格納されたアドレスをレジスタファイル９０から取り出してＸバス３５０を介して、アドレス演算器３４０に入力する。
【００６１】
また、ＥＸＴレジスタ１７２に保持されていた直前のｅｘｔ命令が指定したレジスタのデータが、アドレス演算器３４０に入力される。アドレス演算器３４０はこれらの２つの入力を加算してアドレスを生成する。生成されたアドレスによりデータアドレスバス３１０を介して、ＲＡＭ３２０のアドレスを指定し、該アドレスに格納されたデータをデータバス１４０を介してレジスタファイル９０に入力し、命令コードで指定された汎用レジスタ（ｒｄ）に格納する。
【００６２】
なお、この過程に先だってｅｘｔ命令の即値がＥＸＴレジスタ１７２保持される過程は、図２～図３で説明した通りである。
【００６３】
従って、タイプ２命令をｅｘｔ命令と組み合わせて実行した場合、オペランドにディスプレースメントを付加して実行するようにオペレーション内容が拡張する。
【図面の簡単な説明】
【図１】本発明の実施の形態のＣＰＵの機能ブロック図である。
【図２】マイクロコンピュータに内蔵されている半導体集積回路の構成の説明に必要な部分を図示したものである。
【図３】入力される命令コード及び命令デコード回路が生成するオペレーション変更用信号との関係を示したタイミングチャート図である。
【図４】タイプ１命令の命令コードのビットフィールドを示した図である。

【図５】ＥＸＴ命令の命令コードのビットフィールドを示した図である。
【符号の説明】
１０　マイクロコンピュータ
３０　ＣＰＵ
４０　命令デコード部
５０　ｅｘｔ命令処理部
６０　命令実行部
７０　データ演算部
８０　アドレス演算部
９０　レジスタファイル
１１０　ＲＯＭ
１２０　命令アドレスバス
１３０　命令データバス
１４０　データバス
１５０　命令レジスタ
１６０　命令デコード回路
１６１　制御信号
１７０　ターゲット命令機能拡張回路
１７２　ＥＸＴレジスタ
１９０　ＡＬＵ
３１０　データアドレスバス
３２０　ＲＡＭ
３３０　プログラムカウンタＰＣ
３４０　アドレス演算器

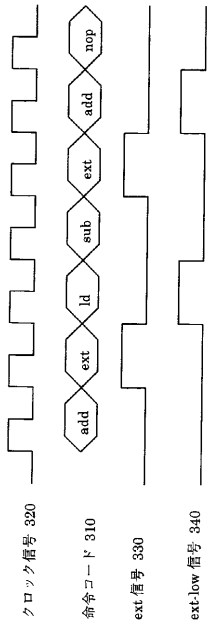
【図１】




【図２】



【図３】




【図４】

タイプ１命令の命令コードの構成

| クラス<br>401 | オペコード<br>402 | rs<br>403 | rd<br>404 |
|---|---|---|---|

15 ----- 13 12 ---------- 8 7 ---------- 4 3 --------- 0

【図５】

EXT 命令

| クラス<br>501 | オペコード<br>502 | rs<br>503 |
|---|---|---|

15 ------ 13 12 ---------- 8 7 ---------- 0

フロントページの続き

(56)参考文献 特開平９－２３１０７０（ＪＰ，Ａ）
特開平１０－２１０７１（ＪＰ，Ａ）
特開昭６２－１７４８３３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G06F 9/30 - 9/355