(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3709214号

(P3709214)

(45)発行日　平成17年10月26日(2005.10.26)　(24)登録日　平成17年8月12日(2005.8.12)

(51)Int.Cl.[7]　F I

H01L 21/8247　H01L 29/78　371

H01L 27/10　H01L 27/10　451

H01L 29/66　H01L 29/66　S

H01L 29/788

H01L 29/792

請求項の数 11　(全 12 頁)

(21)出願番号　特願平6-226661

(22)出願日　平成6年9月21日(1994.9.21)

(65)公開番号　特開平8-97305

(43)公開日　平成8年4月12日(1996.4.12)

審査請求日　平成12年5月8日(2000.5.8)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号

(74)代理人　100068504
弁理士　小川　勝男

(72)発明者　松岡　秀行
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社日立製作所中央研究所内

(72)発明者　木村　紳一郎
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社日立製作所中央研究所内

審査官　松嶋　秀忠

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

第１導電型を有する半導体基板の表面領域内に所定の間隔を介して互いに離間して形成された、上記第１導電型とは逆の第２導電型を有する不純物拡散層と、隣接する当該不純物拡散層の間の上記半導体基板の表面上にトンネル絶縁膜ではない第１の絶縁膜を介して形成された第１のゲート電極と、当該第１のゲート電極上に交互に複数回積層されたトンネル絶縁膜の第２の絶縁膜および前記第１のゲート電極より薄く前記第１のゲート電極と容量結合している第２のゲート電極と、上記第１のゲート電極および第２のゲート電極と上記第２の絶縁膜からなる多重トンネル接合の側壁上にトンネル絶縁膜ではない第３の絶縁膜を介して形成された第３のゲート電極を具備し、前記第２のゲート電極から前記第１のゲート電極に注入された電荷はクーロン遮蔽により保持されることを特徴とする半導体記憶装置。

【請求項２】

上記第２の絶縁膜は、電子のトンネルが可能である膜厚を有しその膜厚は３ｎｍ以下、１ｎｍ以上であることを特徴とする請求項１に記載の半導体記憶装置。

【請求項３】

上記第２の絶縁膜は、シリコン酸化膜若しくは窒化シリコン膜であることを特徴とする請求項１または２のいずれか一に記載の半導体記憶装置。

【請求項４】

上記第３の絶縁膜の膜厚は、上記第２の絶縁膜の膜厚より大きく、かつ、電子のトンネ

ルが不可能な厚さであり、１０ｎｍであることを特徴とする請求項１から３のいずれか一に記載の半導体記憶装置。
【請求項５】
上記第２のゲート電極の面積は１、０００ｎｍ^{2}以下、１００ｎｍ^{2}以上であることを特徴とする請求項１から４のいずれか一に記載の半導体記憶装置。
【請求項６】
上記第１のゲート電極と上記第３のゲート電極の間の容量は、上記第２ゲート電極と上記第３ゲート電極の間の容量より大きいことを特徴とする請求項１に記載の半導体記憶装置。
【請求項７】
上記不純物拡散層は、上記第１および第２のゲート電極に対してオフセットした位置に形成されていることを特徴とする請求項１から６のいずれか一に記載の半導体記憶装置。
【請求項８】
上記第１のゲート電極と上記不純物拡散層によってスイッチングトランジスタが構成されていることを特徴とする請求項１から７のいずれか一に記載の半導体記憶装置。
【請求項９】
上記スイッチングトランジスタの閾値電圧は、上記第１のゲート電極によって形成されたメモリノードの取り得る二つの安定値の間にあることを特徴とする請求項８に記載の半導体記憶装置。
【請求項１０】
上記スイッチングトランジスタは単一電子トランジスタであることを特徴とする請求項８若しくは９に記載の半導体記憶装置。
【請求項１１】
上記第１のゲート電極および最上部に配置された上記第２のゲート電極にそれぞれ所定の電位を印加する手段を具備していることを特徴とする請求項１から１０のいずれか一に記載の半導体記憶装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は半導体記憶装置に関し、詳しくは、室温で動作が可能で、消費電力が少なく、かつ、リフレッシュが不要でデータ書き換えが無制限に可能な、クーロン遮蔽現象を利用した半導体記憶装置に関する。
【０００２】
【従来の技術】
従来の代表的な半導体記憶装置として、ＤＲＡＭおよびフラッシュメモリがあげられる。このうち、ＤＲＡＭは蓄積容量部とスイッチングトランジスタからなるが、蓄積容量部から電荷が流出するためにリフレッシュが必要であり、消費電力が大きいという欠点があった。また、フラッシュメモリは、リフレッシュは不要であるが、データの書き換え時に酸化膜にダメージが生じるため、書き換え回数に制限があるという欠点があった。
【０００３】
ＤＲＡＭやフラッシュメモリを含めた半導体メモリについては、例えばセミコンダクターメモリーズ、ジョンウイリーアンドサンズ（Semiconductor Memories---A Handbook of Design Manufacture and Application---second edition、Betty Prince、 JOHN WILEY & SONS)など、多くのレビューが知られている。
【０００４】
また、クーロン遮蔽を利用したメモリについては、シングルチャージトンネリング第９章（Single Charge Tunneling、 Edited by H. Graber and M. H. Devoret、 Plenum Prtess、 New York、 1992、 Chapter 9)に、基本概念について記述されている。このクーロン遮蔽を利用したメモリの特長は、電子の数を１個単位で制御することが可能なことである。

【０００５】
また、上記ＤＲＡＭやフラッシュでは、集積密度を１ギガビット以上にするために、さらに微細化を進めて最小寸法が０．１５μｍ以下になると、統計的な電子数のゆらぎが無視できない程に大きくなるため、記憶装置としての動作は困難になる。
【０００６】
しかし、クーロン遮蔽を利用したメモリは、原理的には上記ＤＲＡＭやフラッシュよりもはるかに高集積の記憶装置となることが可能である。クーロン遮蔽を利用するということは、こうした電子の数のゆらぎを抑えるということであり、今後微細化を進めるためには必須の条件になると考えられる。
【０００７】
クーロン遮蔽を利用したメモリの実験的検証については、中里らによる報告が１９９３年２月１８日発行のエレクトロニクスレターズ，Ｖｏｌ．２９、Ｎｏ４（Electronics Letters Vol.29、No4)に記載されている。
【０００８】
【発明が解決しようとする課題】
上記のように、上記シングルチャージトンネリング第９章によれば、クーロン遮蔽を利用したメモリは、電子の数を１個単位で制御することが可能であるという、極めて顕著な特長を有しているが、このような特長を実現するための半導体記憶装置の具体的な構造については全く記載がない。
【０００９】
また、室温で動作することができる、クーロン遮蔽を利用したメモリを実現するためには、半導体記憶装置中の記憶ノードの持つ容量が、極めて小さいことが必須であるが、上記中里らの記憶装置では、デルタドープ構造のＧａＡｓ基板を用い、２次元平面内にメモリセルを形成している。そのため、記憶ノードに相当する電極を引き回す結果となり、容量を小さくすることが困難な構造になっている。その結果、記憶装置の動作温度は３０ｍＫと低く、さらに微細化を進めても室温での動作は期待できない。
【００１０】
本発明の目的は、上記従来の問題を解決し、消費電力が少なく、リフレッシュが不要で、かつ、データ書き換え回数に制限がない、高信頼性を有する半導体記憶装置を提供することにある。
【００１１】
本発明の他の目的は、通常のＳｉ－ＬＳＩプロセスを用いて形成することができ、室温での動作が可能な、クーロン遮蔽を利用した半導体記憶装置を提供することである。
【００１２】
【課題を解決するための手段】
上記目的を達成するため、本発明は、第１導電型を有する半導体基板上に第１の絶縁膜を介して設けられた第１のゲート電極の上に、厚さが極めて薄い第２の絶縁膜と上記第１のゲート電極より厚さの薄い第２のゲート電極を、複数回交互に積層して形成し、これら第１および第２のゲート電極と第２の絶縁膜の側壁上に第３の絶縁膜を介して第３のゲート電極を形成するものである。
【００１３】
このように構成することによって、直列につながった多重トンネル接合と容量が実現され、上記第１のゲート電極を記憶ノードとし、最上部に配置された上記第２の電極と上記第３のゲート電極に、それぞれ所定電位を印加することにより、クーロン遮蔽現象を利用して、上記記憶ノードに電子を１個ずつ注入し、その結果として、記憶ノードの電位が２つの安定値をとることを利用し、しかも記憶ノードがデータ読み出しトランジスタのゲート電極となっている半導体記憶装置が形成される。
【００１４】
【作用】
本発明の動作原理になるクーロン遮蔽および多重トンネル接合列と容量のつながった系に

おけるメモリ動作については、本発明者による特願平６－９９９７２号において既に詳細に開示されているので、上記動作原理自体についての説明は省略し、上記動作原理にもとづく半導体記憶装置が、本発明によってどのように実現されているかを説明する。

【００１５】

図１は本発明の半導体記憶装置の断面構造の一例を示し、この半導体記憶装置の等価回路を図２に示した。図２において、記号Ｃｇは、酸化膜３を挟む電極４と基板１の間の容量、Ｃ１は極薄酸化膜５を挟む電極４と電極６の間の容量、Ｃ２は極薄酸化膜７を挟む電極６と電極８の間の容量、Ｃ０ｇは酸化膜９を挟む電極４と電極１０′の間の容量、Ｃ０１は酸化膜９を挟む電極６と電極１０′の間の容量、Ｃ０２は酸化膜９を挟む電極８と電極１０′の間の容量を、それぞれ表わす。なお、図１に示した半導体記憶装置の作成方法は、実施例１に記載されている。

【００１６】

上記電極６、８の厚さは上記電極４にくらべて充分に薄い。従って、電極６、８と電極１０′との対向面積は、電極４と電極１０′との対向面積にくらべていずれも充分に小さくなり、Ｃ０１およびＣ０２もＣ０ｇにくらべて充分に小さくなって無視することができる。

【００１７】

従って、図２に示した等価回路は、実効的に図３のようになる。こうして、多重トンネル接合と容量の直列接続が実現され、上記特願平６－９９９７２号に記載されているメモリの動作原理が適用できる。すなわち、最上部に配置された第２のゲート電極８に接続された端子１５′と最下部に配置された第１のゲート電極４に接続された１５′′′に、それぞれ図４（ａ）に示したように電位を印加すると、第１のゲート電極４に電子が注入されて、メモリノード（第１のゲート電極４）の電位がハイ(High)状態になる。端子１５′と１５′′′に印加された電位を０に戻しても、クーロン遮蔽によって電子が抜けることはないから、メモリノード４における電子数は減少することなしに保たれる。そのため、本発明によればリフレッシュが不要である。

【００１８】

一方、図４（ｂ）に示したように電位を印加すると、上記図４（ａ）に示したように電位を印加した場合とは逆に、第１のゲート電極４から電子が離脱して、電子が欠けた状態になり、メモリーノードの電位はロー(Low)状態になる。このメモリーノードの電位の変化は、端子１５と１５′′間を流れる電流によって検出される。すなわち、第１のゲート電極４、不純物拡散層１３および１３′によってデータ読み出しトランジスタが構成される。

【００１９】

上記機構から明らかなように、本発明においては、クーロン遮蔽という物理現象を利用して、データの書き込みを行っているので、書き込みの際に、酸化膜にダメージが与えられることはなく、データ書き換えに関して極めて高い信頼性が得られる。

【００２０】

次に、本発明の室温動作の条件を説明する。

本発明において最も大きな容量は、明らかにトンネル接合列であり、これによってメモリの動作温度が決定される。トンネル酸化膜（第２のゲート絶縁膜）の厚さを３ｎｍとして、トンネル接合の帯電エネルギーが、室温の熱エネルギーよりも大きくなるためのトンネル接合の対向面積Ｓを求めると、対向面積Ｓは３００ｎｍ^{2}以下でなければならないことがわかった。必要とされるトンネル接合の面積は、酸化膜の厚さによって変わることはいうまでもないが、酸化膜の薄膜化の限界はほぼ１ｎｍであるから、上記対向面積Ｓは、ほぼ１００ｎｍ^{2}以上１、０００ｎｍ^{2}以下とすることが必要である。

【００２１】

【実施例】

以下、本発明の実施例を図面を用いて詳細に説明する。

〈実施例１〉

図５～１４は、図１に示した半導体記憶装置の製造工程を示す図である。各図において、図（ｂ）はそれぞれの段階における平面図であり、図（ａ）は図（ｂ）のＡＡ´断面図である。

【００２２】

まず、図５に示したように、比抵抗１０Ω・ｃｍのｐ型Ｓｉ基板１に、周知のＬＯＣＯＳ法を用いて素子分離領域２を形成した後、８５０℃、３０分のウエット酸化を行って、第１のゲート絶縁膜として厚さ１０ｎｍのシリコン酸化膜３を形成した。これにより、図５（ｂ）に示したように、中央がくびれた形状の素子形成領域が形成された。当該くびれた部分の長さＬおよび幅Ｗは、いずれも約０．１ミクロンであった。この後、しきい値電圧制御のためのボロンイオンの打ち込みを行った（図示せず）。

【００２３】

次に、図６に示したように、周知のＬＰＣＶＤ法（低圧化学蒸着法）を用いて厚さ１００ｎｍの第１の多結晶シリコン膜４を形成し、８７５℃、２０分間という条件でリンの拡散を行った後、さらに、水蒸気雰囲気中で８５０℃、５分の熱酸化を行って、厚さ３ｎｍの第２のシリコン酸化膜５を形成し、図７に示す構造を得た。当該シリコン酸化膜５は、厚さが極めて薄いためトンネル酸化膜として機能する。なお、本実施例では、上記水蒸気雰囲気中での熱酸化によって形成された酸化膜５を第２のゲート絶縁膜として用いたが、電子のトンネルが可能な厚さを有していればよいのであるから、例えば、自然酸化膜あるいはシリコン窒化膜など、このような厚さを有する各種絶縁膜を使用できる。

【００２４】

上記第１の多結晶シリコン膜４および第２のシリコン酸化膜５の形成条件と同じ条件で、ＬＰＣＶＤ、熱酸化およびリンの拡散を繰り返し行って、図８に示したように、厚さ１５ｎｍの第２の多結晶シリコン膜６、厚さ３ｎｍの第２のシリコン酸化膜７および厚さ１５ｎｍの第３の多結晶シリコン膜８を順次積層して形成した。第２および第３の多結晶シリコン膜６、８の厚さは、上記第１の多結晶シリコン膜４よりも、厚さを充分に薄くした。

【００２５】

周知の写真蝕刻法と異方性ドライエッチングを用いて、上記第３の多結晶シリコン８、第２のシリコン酸化膜７、第２の多結晶シリコン膜６、第１のシリコン酸化膜５および第１の多結晶シリコン４膜を、順次パターニングして所定の形状に加工して、図９に示したように、第１のゲート電極４、第２のゲート電極６、８および第２ゲート電極５、７からなる多重トンネル接合を有する積層構造を形成した。

【００２６】

次に、水蒸気雰囲気中で８５０℃、１５分の熱処理を行って、図１０に示したように、厚さ１０ｎｍの第３のシリコン酸化膜９を全面に形成した。上記熱処理の代わりに周知のＬＰＣＶＤ法を用いてもよく、また、例えばシリコン窒化膜など、シリコン酸化膜以外の絶縁膜を用いてもよい。ただし、上記第３のシリコン酸化膜９は、電子のトンネルが不可能であるだけの厚さを有していることが必要であり、他の種類の絶縁膜を用いた場合も同じである。

【００２７】

図１１に示したように、周知のＬＰＣＶＤ法を用いて厚さ５０ｎｍの第４の多結晶シリコン膜１０を全面に形成した後、８７５℃、２０分間という条件でリンの拡散を行ない、さらに厚さ０．５ミクロンのレジスト膜１１を塗布し、周知の露光と現像を行って所定の形状とした。

【００２８】

次に、上記第４の多結晶シリコン膜１０を全面異方性ドライエッチングし、図１２に示したように、上記第４の多結晶シリコン膜１０のうち、上記レジスト膜１１に覆われた部分および上記第１および第２のゲート電極４、６、８と上記第第２および第３のゲート絶縁膜５、７の側壁上に上記第４のシリコン酸化膜を介して形成された部分を残し、他の領域上に形成された部分は除去した。この工程は、通常用いられる側壁膜の形成工程と同じ工程である。

【００２９】
その結果、上記第４のシリコン酸化膜からなる第３のゲート絶縁膜９を介して、上記側壁を選択的に覆う第４の多結晶シリコン膜からなる第３のゲート電極１０′が形成され、多重トンネル接合と直列につながった容量部が構成された。
【００３０】
次に、図１３に示したように、加速電圧２０ｋＶで砒素イオン１２をイオン打ち込みし、さらに８００℃、１０分の窒素雰囲気中でのアニール工程を行って、図１４に示したように、ｎ型不純物拡散層領域１３、１３′を自己整合的に形成した。砒素イオンの打ち込み量は3×10^{15}個/cm^2とした。ｎ型不純物としては、砒素イオンのみではなく、リンイオンを用いてもよい。
【００３１】
上記砒素イオンのイオン打ち込みは、上記第１のゲート電極４の側壁上に、第３のゲート絶縁９および第３のゲート電極１０′が形成された状態で行われたため、ｎ型不純物拡散層領域１３、１３′は、第１のゲート電極４からオフセットした位置に形成される。オフセットの量は１０ｎｍ程度であるので、第１のゲート電極４によって形成されるチャネルと不純物拡散層１３、１３′の間の伝導は、トンネル現象によって行われる。
【００３２】
また、第１のゲート電極によって形成されるチャネルの面積は充分に小さいので、その帯電エネルギーは室温の熱エネルギーよりも充分に大きい。従って、第１のゲート電極４と不純物拡散層１３、１３′によって単一電子トランジスタが形成される。単一電子トランジスタは、トンネル現象によって伝導が起こるので、通常のトランジスタで問題となる短チャネル効果が生じないという長所があり、本実施例のような極度に微細な半導体記憶装置には極めて好適である。
【００３３】
厚さ２００ｎｍのＰＳＧ（Phosphorous Silicate Glass）膜などからなる層間絶縁膜１４を、周知のＬＰＣＶＤ法によって形成した後、周知の写真蝕刻法と異方性ドライエッチングを用いてコンタクト孔を形成した後、Ａｌ配線１５を形成して、図１に示した構造の半導体装置を得た。
【００３４】
本実施例においては、第２および第３の多結晶シリコン膜６、８の厚さが、第１の多結晶シリコン４の厚さにくらて充分薄いので、第４の多結晶シリコン膜１０′と第２および第３の多結晶シリコン膜６、８との間の容量は極めて小さく無視することができる。その結果、図３に示した等価回路が実現され、半導体記憶装置として動作できることが確認された。
なお、本実施例においてはｐ型基板１を用いたが、すべての極性を変えればｎ型基板でも使用できることはいうまでもない。
【００３５】
〈実施例２〉
図１５～１８に第２の実施例の製造工程の一部を示す。本実施例における製造工程は、基本的には実施例１と同様であるが、素子分離領域２と第一ゲート電極群の形状が異なる。そのため、実施例１では必要であった、ゲート電極と素子分離領域との合わせ余裕が、本実施例によって増大され、加工をさらに容易にすることができた。
【００３６】
本実施例における素子分離領域形成後の形状を図１５には示す。実施例１の場合（図５）とは異なり、ゲート酸化膜３に覆われた素子形成領域の形状は、くぼみを有しない長方形である。
【００３７】
上記第１および第２ゲート電極４、６、８と第２のゲート絶縁膜５、７の積層構造を３組形成した形状を図１６に示す。同一の積層構造の間のの間隔Ｓは、５０ｎｍとした。３組の積層構造と素子分離領域３との位置関係は、図１７に示したように、上部若しくは下部

における余裕が過大であると、ソースとドレインが互いに短絡する恐れがあるため、図１６に示したように、上部と下部の余裕をほぼ等しくする必要がある。

【００３８】

余裕ｄは下記【数１】のように表わされる。

【００３９】

【数１】

ｄ＝（Ｗｇ－Ｗｌ）／２

従って、ゲート電極群の幅Ｗｇが大きいほど、合わせは容易になる。Ｗｇを大きくするためには、上記積層構造８の数を３個以上にすることは有効である。

【００４０】

図１８は、第４の多結晶シリコン膜１０′からなる第２ゲート電極を形成した後、イオン打ち込みを行って、２つの不純物拡散層１３、１３′を形成した後の形状を示す。図１８（ｂ）から明らかなように、第２のゲート電極６、８などの上記積層体および上記第３のゲート電極１０′が、イオン打ち込みのマスクとして作用するので、イオン打ち込みによって形成された、上記２つの不純物拡散層１３、１３′が電気的に互いに短絡してしまう恐れはない。

【００４１】

以下、実施例１と同様の製造工程を経て所望の半導体記憶装置を形成した。本実施例によれば、上記第２のゲート電極６、８などの上記積層体と素子分離領域３との間の位置合わせが容易になったばかりでなく、データ読み出しトランジスタの実効的なチャネル幅が大きくなったため、電流が増大してノイズマージンが大きくなるという効果も得られた。

【００４２】

〈実施例３〉

上記実施例１および２においては、２つのトンネル接合が直列につながっていた。本実施例は、４つのトンネル接合が直列につながった例を示す。基本的な製造工程は実施例１と同様であり、図８に示した工程を繰り返すことによって、トンネル接合の数を増やすことができる。この方法によって、任意の数のトンネル接合列を容易に実現できる。

図１９は、実施例１においてトンネル接合の数を４にした場合を示し、図２０は、実施例２においてトンネル接合の数を４にした場合の、最終形状を示す上面図である。なお、理解を容易にするため、図１９（ａ）においては、円Ａで包囲された部分を取り出して拡大して示してある。

【００４３】

本実施例のように、トンネル接合の数が増大すると、２つの顕著な効果が得られる。第１の効果は、メモリーノードの取り得る２つの安定値の差が大きくなってデータの読み出しが容易になることであり、第２の効果は、巨視的量子トンネル現象にもとづくリーク電流が大幅に減少して、素子としての信頼性が著しく向上することである。しかし、接合の数が多くなると、抵抗が増大して電圧も高くになるので、接合の数は適当な数に適宜選択することが好ましい。接合の数は、ほぼ２～１０の範囲で可能であるが、通常の場合は５前後が実用上好ましい。

【００４４】

上記第２のゲート電極の厚さには特に制限はないが、厚さが大きくなると、微細加工が困難になるので、ほぼ１０ｎｍ～３０ｎｍの範囲から適宜選択される。ただし、上記のように、上記第２のゲート電極の厚さは、上記第１のゲート電極より薄く、かつ、電子のトンネルが可能な厚さを有していなければならない。

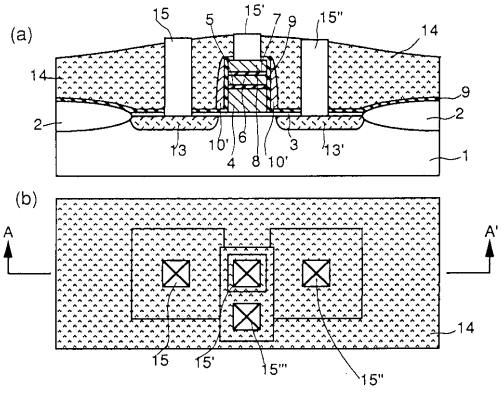
【００４５】

上記第１および第２のゲート電極としては、上記実施例では多結晶シリコン膜を用いた場合を示したが、多結晶シリコンのみではなく、各種金属、合金もしくはシリサイドなど、通常のＭＯＳトランジスタのゲート電極と同様に、多くの種類の各種導電性膜を使用できることはいうまでもない。上記側壁上に第３の絶縁膜を介して形成されれ上記第２のゲート電極も同様である。

【００４６】
【発明の効果】
上記説明から明らかなように、本発明によれば、クーロン遮蔽現象を利用することによって、リフレッシュが不要で、室温において低電圧で動作し、かつ、書き替え回数に制限の無いランダムアクセスメモリを得ることができる。従って、本発明は、集積密度が極度に大きい将来の半導体記憶装置の実現に極めて有効である。
【図面の簡単な説明】
【図１】本発明の断面および上面構造を示す図、
【図２】本発明の等価回路の一例を示す図、
【図３】本発明の実効的な等価回路の一例を示す図、
【図４】本発明におけるデータ書き込み電圧を説明するための図、
【図５】実施例１における製造工程を示す断面図および上面図、
【図６】実施例１における製造工程を示す断面図および上面図、
【図７】実施例１における製造工程を示す断面図および上面図、
【図８】実施例１における製造工程を示す断面図および上面図、
【図９】実施例１における製造工程を示す断面図および上面図、
【図１０】は実施例１における製造工程を示す断面図および上面図、
【図１１】実施例１における製造工程を示す断面図および上面図、
【図１２】実施例１における製造工程を示す断面図および上面図、
【図１３】実施例１における製造工程を示す断面図、
【図１４】実施例１における製造工程を示す断面図、
【図１５】実施例２における製造工程を示す断面図および上面図、
【図１６】実施例２における製造工程を示す断面図および上面図、
【図１７】実施例２において合わせズレが過大な場合を示す上面図、
【図１８】実施例２における製造工程を示す断面図および上面図、
【図１９】実施例３における製造工程を示す断面図および上面図、
【図２０】実施例３を説明するための上面図。
【符号の説明】
１……シリコン基板、　２……素子分離領域、　３……シリコン酸化膜、
４……多結晶シリコン膜、　５……極薄シリコン酸化膜、
６……多結晶シリコン膜、　７……極薄シリコン酸化膜、
８……多結晶シリコン膜　、９……シリコン酸化膜、
１０……多結晶シリコン膜、　１１……レジスト膜、　１２……砒素イオン、
１３……不純物拡散層、　１４……層間絶縁膜、　１５……Ａｌ電極。

【図１】

図１



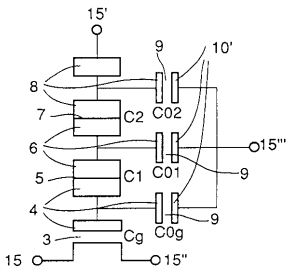
１：シリコン基板、　４、６、８；多結晶シリコン膜、

５、７；極薄シリコン酸化膜、　３、９；シリコン酸化膜、

１３；不純物拡散層、　１４；層間絶縁膜、　１５；Ａｌ電極、

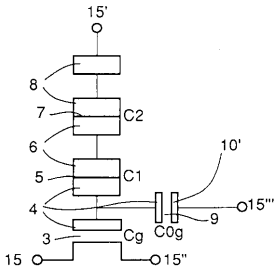
【図２】

図２



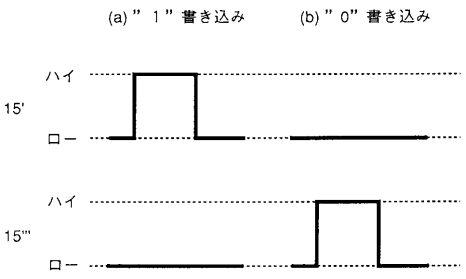
【図３】

図３



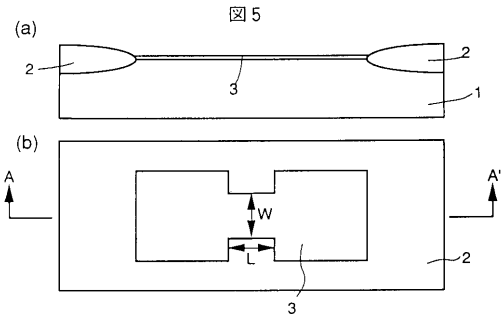
【図４】

図４



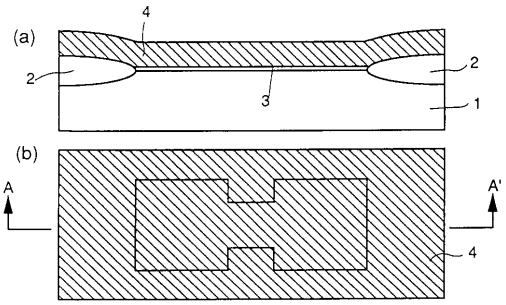
【図５】

図５



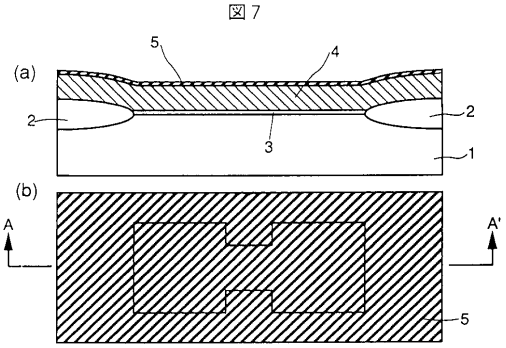
【図６】

図６



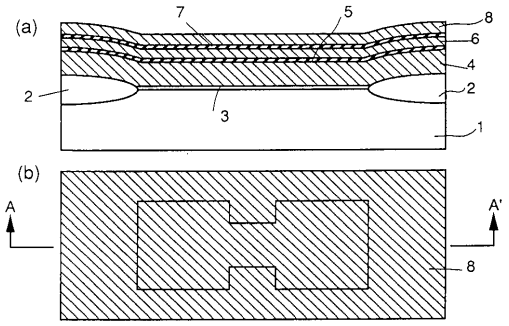
【図７】

図７



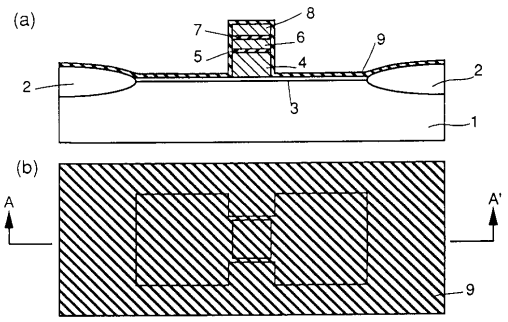
【図８】

図８



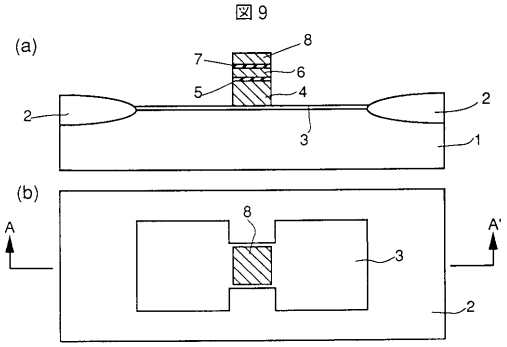
【図１０】

図１０



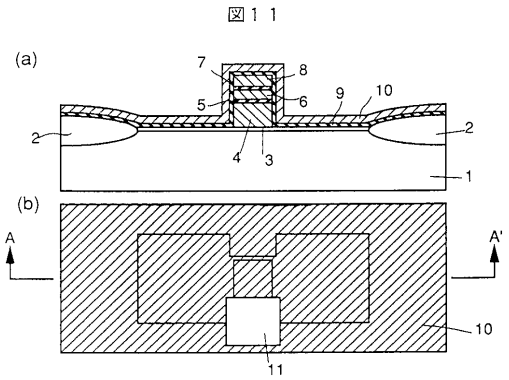
【図９】

図９



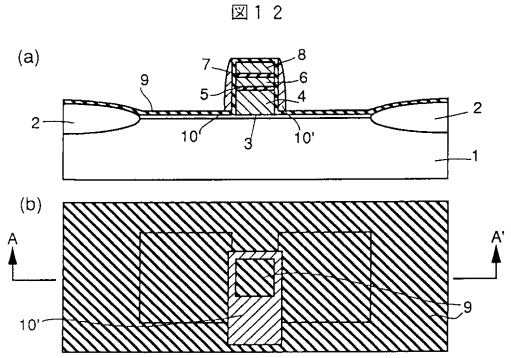
【図１１】

図１１



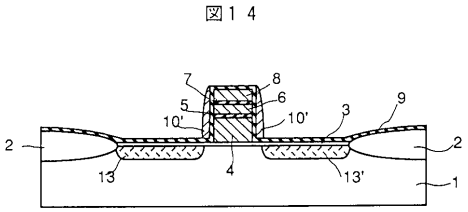
【図１２】

図１２



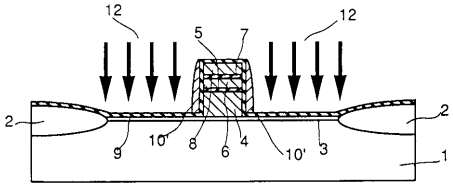
【図１４】

図１４



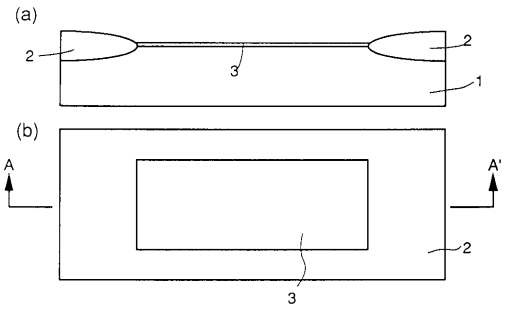
【図１３】

図１３



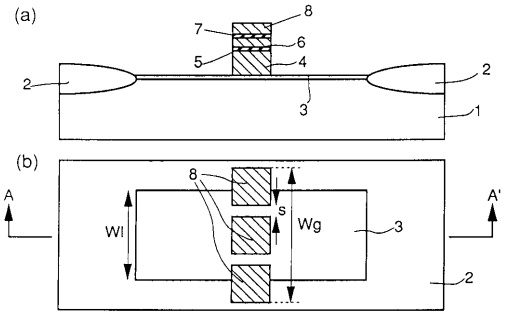
【図１５】

図１５



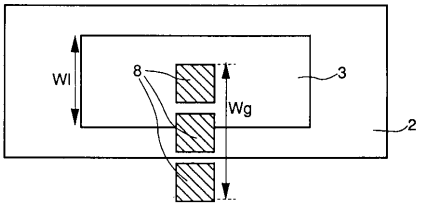
【図１６】

図１６



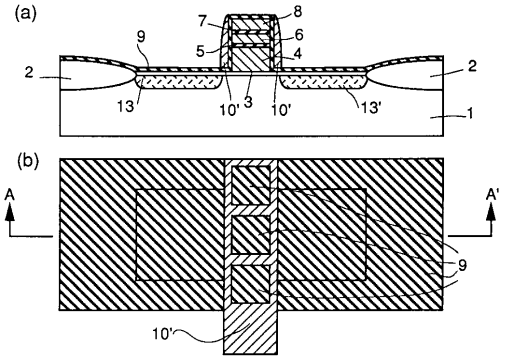
【図１７】

図１７



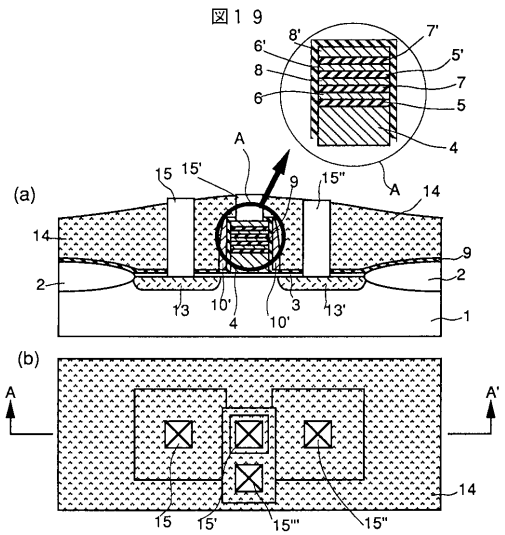
【図１８】

図１８



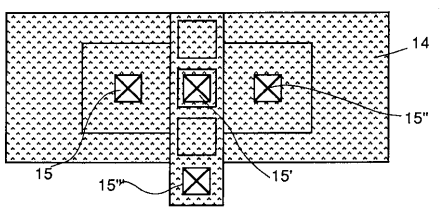
【図１９】

図１９



【図２０】

図２０



フロントページの続き

(56)参考文献 特開平０８－０８３８５５（ＪＰ，Ａ）
特開平０８－０３１９６０（ＪＰ，Ａ）
特開平０６－２５２４１７（ＪＰ，Ａ）
特開平０７－３０７４４５（ＪＰ，Ａ）
国際公開第９４／１５３４０（WO，Ａ１）
特開平０８－１３９３０９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/8247
H01L 27/10 451
H01L 29/66
H01L 29/788