

公告本

388876

申請日期	87. 7. 16
案號	87111633
類別	G11C 11/22

A4
C4

388876

(以上各欄由本局填註)

發明專利說明書

一、發明 新型名稱	中文	鐵電性記憶裝置
	英文	FERROELECTRIC MEMORY DEVICE
二、發明 創作人	姓名	(1)山田淳一 (2)小池 洋紀
	國籍	(1)~(2)日 本
	住、居所	(1)~(2)日本國東京都港區芝五丁目七番一號 日本電氣股份有限公司內
三、申請人	姓名 (名稱)	日本電氣股份有限公司
	國籍	日 本
	住、居所 (事務所)	日本國東京都港區芝五丁目七番一號
	代表人 姓名	金子 尚 志

裝

訂

線

388876

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

日 本 1997 年 7 月 16 日 日本特願平 9-191207

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

【發明所屬技術領域】

本發明係有關於一種非揮發性半導體記憶裝置，尤有關於一種用鐵電性材料作成的鐵電性記憶裝置。

【發明之背景】

於一鐵電性記憶裝置中，在大多數的情況下，儲存於記憶單元中的資料係以虛設單元（dummy cell）產生的基準電壓為基準被讀取，極大的努力已被付出以求改善虛設單元的特性。然而，在習用的虛設單元中已有兩個缺點被指出。

在包含一鐵電性電容器(當基準電壓一產生此鐵電性電容器的電容極化方向即隨之而反向)的一虛設單元中，當多次產生該基準電壓時會因虛設單元中之鐵電性材料的介電質疲乏(dielectric fatigue)而使該基準電壓變得不確定。

在另一種虛設單元中，鐵電性電容器被設計成使其電容與記憶單元的電容不同。然而，根據這個方法，虛設單元中鐵電性電容器的電容器尺寸之設計方法過於複雜。

如上所述，發展一個極化不隨基準電壓產生而反向且其鐵電性電容器與記憶單元之電容器相同的虛設單元乃為吾人所迫切企盼者。

【發明之概述】

因此，本發明之一目的係解決和使用一電晶體一電容器型鐵電性材料之半導體記憶裝置所須要之基準電壓的產生方法相關連之問題，並提供設有高度可靠性之讀取電路的一鐵電性記憶裝置。

五、發明說明()

根據本發明的特徵，一鐵電性記憶裝置包含：多數之記憶單元，分別連接於前述位元線，各該記憶單元由一鐵電性電容器及一 MOS 電晶體組成，

其中前述鐵電性電容器之鐵電性材料的極化方向對應至儲存於前述記憶單元中的資料，

二個虛設單元，分別連接於前述位元線，各該虛設單元與前述記憶單元具有相同的結構及相同的鐵電性電容器；

其中該虛設單元之鐵電性電容器之鐵電性材料的極化方向被設定成使得在讀取儲存於前述虛設單元中的資料時並不會被反向；以及

一感測放大器，連接於該等位元線，設有刻意地使其不平衡以於其內產生偏移量之裝置，且依由該偏移量所產生之一電壓及自前述虛設單元讀取的一訊號電壓為基準而讀取儲存於該記憶單元中的資料。

【圖式之簡單說明】

以下將配合附圖對本發明作更詳盡之說明。

圖 1 為一用以說明產生基準電壓的一習用方法之電路圖。

圖 2 為一用以說明產生基準電壓的一習用方法之電路圖。

圖 3 為一用以說明產生基準電壓的一習用方法之電路圖。

圖 4 為依本發明第一較佳實施例之鐵電性記憶裝置之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

電路圖。

圖 5 為依本發明第二較佳實施例之鐵電性記憶裝置之電路圖。

圖 6A 為顯示當儲存於本發明之鐵電性記憶裝置的記憶單元中之資料被讀取時，位元線的電壓在時間域中(time domain)的變化之圖式。

圖 6B 為顯示當儲存於本發明之鐵電性記憶裝置的記憶單元中之資料被讀取時，位元線的電壓在時間域中(time domain)的變化之圖式。

圖 7 為顯示鐵電性材料的介電質磁滯現象(hysteresis)之圖式。

圖 8 為顯示鐵電性材料的極化電荷量與讀取週期次數之間的關係之圖式。

【較佳實施例之說明】

在說明依本發明較佳實施例的鐵電性記憶裝置之前，將參考圖 1 至圖 3 以說明前述習用的鐵電性記憶裝置。

在一使用含一電晶體一電容器型 (1T1C-type 或 One Transistor One Capacitor Type) 記憶單元的鐵電性記憶裝置中，必須產生一基準電壓以辨別自記憶單元中讀取的資料是 0 或 1。吾人熟知的一種產生基準電壓之方法是使用虛設單元的技術。關於建構虛設單元的方法，可列舉者有例如日本專利公開昭 7-192476 號及日本專利公開昭 7-93978 號中所揭露者。在這些方法中，分別包含有鐵電性電容器的 2 個虛設單元被設立，而且資料 1 與 0 分別都被寫入兩

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

個虛設單元中。基準電壓藉由讀取這些資料及算得它們的平均值而產生。

日本專利公開昭 7-93978 號中的方法將參考圖 1 說明之。資料“1”及“0”分別被寫入虛設單元 DMCa1 及 DMCa2 中。在位元線 BLa1 及 BLa2 預先充電(pre-charge)後，虛設單元 DMCa1 及 DMCa2 分別被字元線(word line)DWLa1 及 DWLa2 所選取，藉此而於位元線 BLa1 及 BLa2 分別產生對應於“1”及“0”的訊號電壓。接著，藉由一訊號另電晶體 TSW1 成為 ON，造成位元線的短路，於是在兩條位元線上產生介在對應於“1”及“0”之電壓間的一中間值之訊號電壓。然後，讓 TSW1 成為 OFF，而位元線 BLa1 再一次的預先充電且一筆儲存於記憶單元 MCa1 中的資料被讀取。在此情形下，位元線 BLa1 的電壓對應至從記憶單元 MCa1 讀取的資料也就是“1”及“0”，而位元線 BLa2 的電壓對應至介於“1”及“0”之間的一資料。如此，乃可建構成一電晶體—電容器型的鐵電性記憶裝置。此外，在日本專利公開昭 7-192476 號中所揭露的技術中，藉由虛設單元產生的基準電壓儲存於記憶單元中，其後，基準電壓不再藉由虛設單元產生。因此，由鐵電性材料的介電質疲乏所造成虛設單元的變質可被避免。

其他建構虛設單元的方法，可列舉者有揭露於日本專利公開昭 2-301093 號及美國專利第 4873664 號中的技術。於這些技術中，虛設單元之鐵電性電容器的尺寸與記憶單

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

元中的不同，而基準電壓藉由此一結構產生。

日本專利公開昭 2-301093 號中所揭露的技術將參考圖 2 予以說明。在此圖中，記憶單元 MCa1 被字元線 WL_{a1} 選取，且一訊號電壓藉由驅動屏極 (plate) 線 PL_{a1} 產生於位元線 BL_{a1} 上。虛設單元 DMCa1 被字元線 DWL_{a1} 選取，且一訊號電壓藉由驅動屏極線 DPL_{a1} 產生於位元線 BL_{a2} 上。虛設單元中電容的尺寸係被選為比記憶單元中的電容小；且其極化方向係被設定為當基準電壓產生時，其極化方向即成為反向。

此外，於不使極化反向的情況下 CFa1 之電容值比使極化反向的情況下 DCFa1 之電容值小。因此，DCFa1 於極化反向的情況下其電容值小於 CFa1 的電容值，而於極化未反向時其電容值大於 CFa1 的電容值。因此，對應於介於”0”與”1”間的一中間訊號電壓可被產生於位元線 BL_{a2} 上。在前述例子中，DCFa1 的電容器尺寸小於 CFa1 的電容器。但於下述情況下，類似的結果可被獲得，亦即 DCFa1 的電容器尺寸大於 CFa1，且虛設單元的極化方向被設定成在基準電壓產生時並不反向，如美國專利 4873664 號中所示。

此外，可列舉的另一項建構虛設單元的技術，係揭露於日本專利公開昭 5-114741 號中。於此技術中，包含一般介電材料的電容被當作虛設單元使用，且利用儲存於虛設單元中的電荷將藉由讀取記憶單元而獲得之一訊號電壓予以升壓，以使預先充電電壓達到對應於介於”1”及”0”間的一中間位準。

五、發明說明()

此技術將參考圖 3 說明之。一電壓 $V_{cc}/2$ 由外界加於記憶單元電容 $CFa1$ 的兩個電極。此外，記憶單元 $MCa1$ 被字元線 $WL a1$ 選取，且一訊號電壓產生於位元線 $BL a1$ 上。虛設單元電容 $DCa1$ 被虛設單元字元線 $DWL a1$ 選取且位元線 $BL a1$ 的電壓被提高。當記憶單元 $MCa1$ 中的資料被讀取，首先，位元線 $BL a1$ 及 $BL a2$ 預先充電至 V_{cc} 的電壓值，然後字元線 $WL a1$ 被選取，且資料於位元線上被讀取。接著，虛設單元字元線 $DWL a1$ 被選取，且位元線的電壓被提高。在此情況下的虛設單元電容被選取使得位元線被提高的電壓在資料為 1 時比預先充電電壓高，資料為 0 時比預先充電電壓低。於是，資料可藉由以 $BL a2$ 之預先充電電壓為基準電壓的感測放大器檢測出。

如果資料重複自包含具有圖 7 中所示之介電質磁滯特徵之一鐵電性材料的鐵電性記憶裝置中讀取，極化電荷量宜保持常數而和讀取次數無關。然而，如圖 8 所示，如果鐵電性材料的極化在每次讀取資料時都會反向，極化電荷量會隨著讀取週期增加而造成鐵電性材料的疲乏而減少。相反地，如果極化在每次讀取資料時並不反向，極化電荷量幾乎保持常數而與讀取週期次數無關。基於前述原因，根據第一個虛設單元，其中“1”及“0”分別被寫入 2 個虛設單元中且基準電壓被定為介於由上述 2 個虛設單元中讀取的電壓間的一中間位準，因為記憶單元和虛設單元使用次數的不同，確切的基準電壓在被使用多次之後不能被產生。這個問題也發生於日本專利公開昭 7-192476 號中所揭

五、發明說明()

示的虛設單元。

此外，在圖 2 所示的第二個虛設單元中，其中虛設單元電容器與記憶單元的電容器尺寸不同，首先估計記憶單元電容器的電容值，其後再就虛設單元之極化被反向與未被反向兩種情況估計虛設單元的電容值，並基於前述估計決定虛設單元的電容器尺寸，因此虛設單元的電容器尺寸之設計是困難的。在圖 3 所示之第 3 個虛設單元中，於其中包含一般介電材料的電容器被使用於虛設單元中，相似的問題也會發生。

接著，本發明之實施例將被說明。圖 4 顯示本發明之第一較佳實施例，此為與依本發明之非揮發性半導體記憶裝置相關的一基本電路結構。在兩條相鄰位元線 BL1 及 BL2 的末端，連接著一個藉由放大兩條位元線間之電壓差而檢測資料的感測放大器 SA1。為了刻意使感測放大器 SA1 不平衡而於其中產生偏移量，PMOS 電晶體 T1 及 T2 和習用閥型(latch type)感測放大器的 PMOS 電晶體並聯連接。PMOS 電晶體 T1 及 T2 中的溝道(channel)寬度係選定為使得一微量之偏移量被引進感測放大器 SA1，且若虛設單元之極化未被反向，則一表觀基準電壓會略高於由位元線上讀取的電壓，如圖 8 所示。

記憶單元 MC1 係由一鐵電性電容器 CF1 及一單元電晶體(cell transistor)TC1 組成。鐵電性電容器 CF1 之一端部與屏極線 PL1 相連接，而另一端部與單元電晶體 TC1 的源極或汲極其中之一相連接。單元電晶體 TC1 的源極或汲極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

中之未與 CF1 相連接的另一極與位元線 BL1 相連接，且閘極與字元線 WL1 相連接。另一個記憶單元 MC2 及虛設單元 DMC1 和 DMC2 與記憶單元 MC1 有相同的電路結構，且其中結構元件的尺寸也都與記憶單元 MC1 相同。

接著，說明圖 4 所示之用以讀取儲存於記憶裝置中資料之電路的動作。在虛設單元電容 DCF1 及 DCF2 中，極化方向被預先設定俾於其內資料被讀取時其極化方向不會被反向。首先，位元線 BL1 及 BL2 被預先充電至接地電壓。接著，藉由施加”高”電位於字元線 WL1 而選取記憶單元 MC1，且藉由施加”高”電位於屏極線 PL1，而在位元線 BL1 上讀取記憶單元 MC1 中的資料。爲了產生一基準電壓，乃藉由施加”高”電位於字元線 DWL2 而選取一虛設單元 DMC2，且藉由施加高電位於屏極線 DPL2 而在位元線 BL2 上讀取一對應於極化未被反向的情形之電荷。然後，爲使感測放大器 SA1 不平衡，令 PMOS 電晶體 T1 成爲 OFF 且令電晶體 T2 成爲 ON，於是感測放大器 SA1 被啓動。

因此，如圖 8 所示，基準電壓明顯地高於在和極化方向未被反向之記憶單元相連接的位元線上所讀取的電壓，而低於在和極化方向被反向之記憶單元相連接的位元線上所讀取的電壓。然後，考慮位元線 BL1 及 BL2 的電壓。如果記憶單元的極化被反向，記憶單元側的位元線是高電位，而虛設單元側的位元線是低電位，如圖 6A 所示。如果記憶單元的極化並未反向，則記憶單元側的位元線是低電位，而虛設單元側的位元線是高電位，如圖 6B 所示。因

五、發明說明()

此，記憶單元 MC1 中的資料可被精確地讀取。此外，由於虛設單元的極化不會因讀取其中資料而被反向，發生於極化方向反復地反向之場合的介電質疲乏問題，也就是因記憶單元與虛設單元使用次數的不同而造成基準電壓之不確定性的問題乃不致發生。

圖 5 顯示本發明之第二較佳實施例。記憶單元及虛設單元的結構與第一較佳實施例中的結構相同。感測放大器 SA2 被設置於位元線 BL1 及 BL2 的末端，且 NMOS 電晶體 T3 及 T4 與習用的閃型感測放大器之 NMOS 電晶體並聯連接。

接著，說明圖 5 所示用以讀取儲存於記憶裝置中資料之電路動作。相似於第一較佳實施例，虛設單元 DMC1 及 DMC2 的極化方向被預先設定以使得其中資料被讀取時極化方向不會反向。然後，位元線 BL1 及 BL2 被預先充電至接地電壓。接著，藉由施加高電位於字元線 WL1 而選取一記憶單元 MC1，藉由施加高電位於屏極線 PL1 而在位元線 BL1 上讀取記憶單元 MC1 中的資料。為了產生基準電壓，藉由施加高電位於字元線 DWL2 而選取一虛設單元 DMC2，且藉由施加高電位於屏極線 DPL2，而在位元線 BL2 上讀取一對應於虛設單元的極化方向未被反向之情形的電荷。之後，令 NMOS 電晶體 T3 成為 ON 且令 NMOS 電晶體 T4 成為 OFF 以使感測放大器 SA2 不平衡，於是感測放大器 SA2 被啟動。因此，若記憶單元的極化方向並未反向，則位元線 BL2 之表觀電壓高於自位元線 BL1 讀取的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

電壓；又若記憶單元的極化方向被反向，則位元線 BL2 之表觀電壓低於自位元線 BL1 讀取的電壓，故記憶單元中的資料可被精確地讀取。此外，類似於第一較佳實施例的情形，由於虛設單元的極化方向不會因讀取其中資料而反向，發生於極化方向重複反向的介電質疲乏之問題乃不致發生。

如上所述，依本發明由於虛設單元的極化方向不會因讀取其中資料而反向，虛設單元電容的介電質疲乏可被抑制，且因記憶單元與虛設單元使用次數的不同而造成之基準電壓的不確定性可被消除。此外，由於虛設單元的電容器尺寸與記憶單元的電容器尺寸相同，電容器尺寸的設計乃可被簡化。

雖然本發明已對特定之實施例作完全而清楚的敘述，但隨附之申請專利範圍不應被視為受到此等實施例之限制，而應解釋為包含熟習於此一技藝者依據本發明所揭露之基本內容所可能具體實現之所有修改及其他替代的結構。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 鐵電性記憶裝置)

本發明之目的在於利用 1T1C 型(一電晶體一電容器型)鐵電性記憶裝置的感測放大器以提供產生基準電壓的方法。虛設單元 DMC1 及 DMC2 的極化方向被設定為使得其中資料被讀取時並不會被反向。當儲存於記憶單元中的資料被讀取時，電晶體 T1 及 T2 被添加於感測放大器中使得感測放大器不平衡。當儲存於記憶單元中的資料被讀取時，令位於虛設單元側的電晶體成為 ON 而位於記憶單元側的成為 OFF。T1 及 T2 的溝道寬度係被選取成使得：當虛設單元的極化方向未被反向時，表觀基準電壓略高於在位元線上所讀取的電壓。

英文發明摘要 (發明之名稱： FERROELECTRIC MEMORY DEVICE)

It is an object of the invention to provide a method for generating a reference voltage by means of a sense amplifier in a ferroelectric memory device in a 1T1C type (One Transistor One Capacitor type). The directions of the polarizations of dummy cell DMC1 and DMC2 are set so that they are not inverted in case that data stored therein are read. Transistors T1 and T2 are added to the sense amplifier in order to make it be unbalanced, when a datum stored in a memory cell is read. In case that a datum stored in the memory cell is read, the transistor on the dummy cell side is on and that on the memory cell side is off. Widths of channels of T1 and T2 are selected so that an apparent reference voltage is slightly higher than a voltage read on a bit line in case that the polarization of

四、中文發明摘要(發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：

)

the dummy cell is not inverted.

六、申請專利範圍

1. 一種鐵電性記憶裝置，由多數對相互鄰接的位元線組成，包含：

多數之記憶單元，分別連接於前述位元線，各該記憶單元由一鐵電性電容器及一 MOS 電晶體組成，

其中前述鐵電性電容器之鐵電性材料的極化方向對應至儲存於前述記憶單元中的資料，

二個虛設單元，分別連接於前述位元線，各該虛設單元與前述記憶單元具有相同的結構及相同的鐵電性電容器；

其中該虛設單元之鐵電性電容器之鐵電性材料的極化方向被設定成使得在讀取儲存於前述虛設單元中的資料時並不會被反向；以及

一感測放大器，連接於該等位元線，設有刻意地使其不平衡以於其內產生偏移量之裝置，且依由該偏移量所產生之一電壓及自前述虛設單元讀取的一訊號電壓為基準而讀取儲存於該記憶單元中的資料。

2. 如申請專利範圍第 1 項之鐵電性記憶裝置，其中：
該產生偏移量之裝置包含兩 MOS 電晶體，分別和串聯於各位元線的該感測放大器之電路元件相連接，且當儲存於前述虛設單元中的資料被讀取時令其中一個電晶體成為 ON。

3. 如申請專利範圍第 2 項之鐵電性記憶裝置，其中：
該兩 MOS 電晶體為 PMOS 電晶體。

4. 如申請專利範圍第 2 項之鐵電性記憶裝置，其中：

六、申請專利範圍

該兩 MOS 電晶體為 NMOS 電晶體。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

87111637

388876

A9
B9
C9
D9

圖式

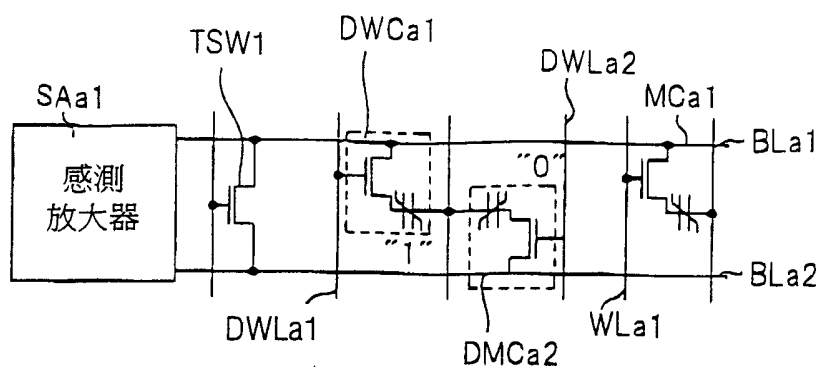


圖 1

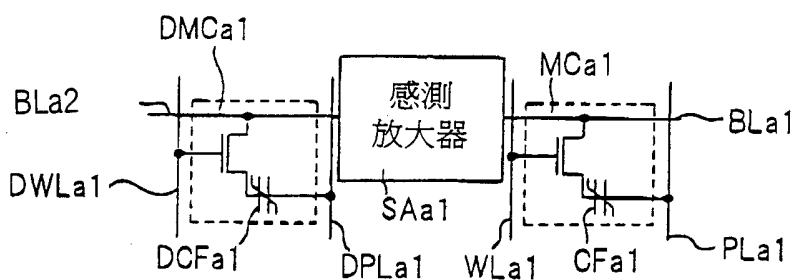


圖 2

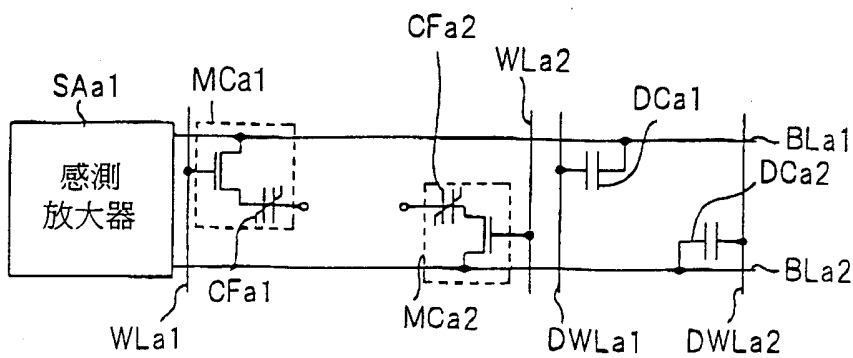


圖 3

(請先閱讀背面之注意事項再行繪製)

裝

訂

線

圖式

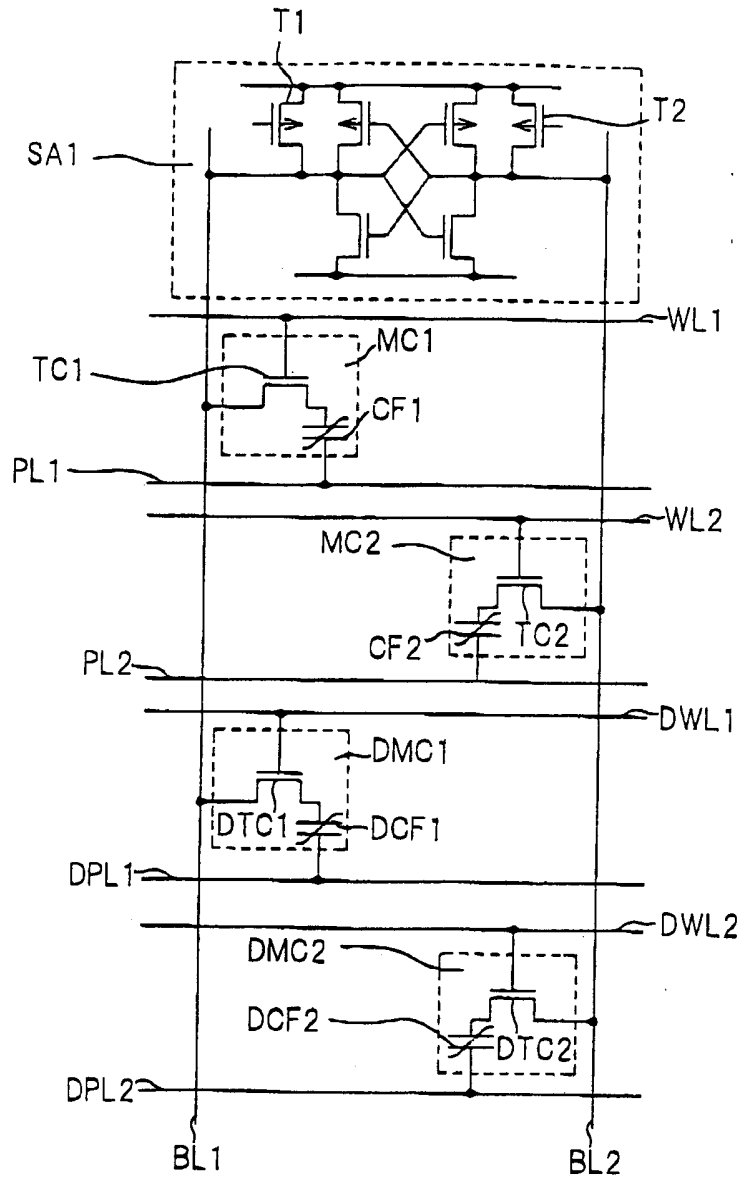


圖 4

(請先閱讀背面之注意事項再行繪製)

裝

訂

線

圖式

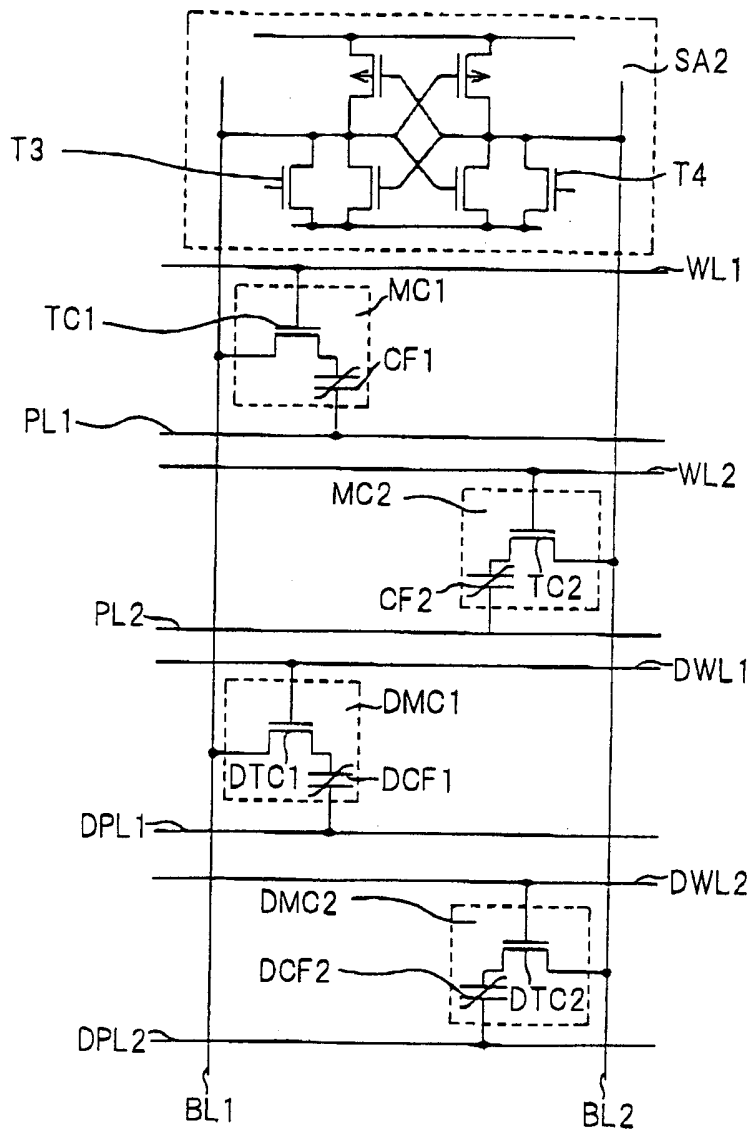


圖 5

(請先閱讀背面之注意事項再行繪製)

裝

訂

線

圖式

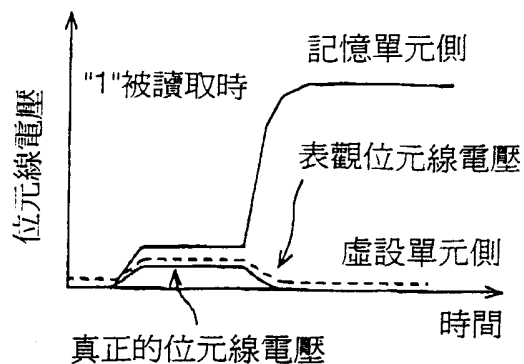


圖 6A

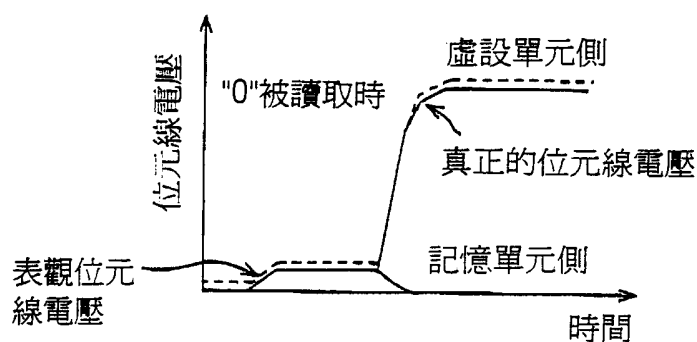


圖 6B

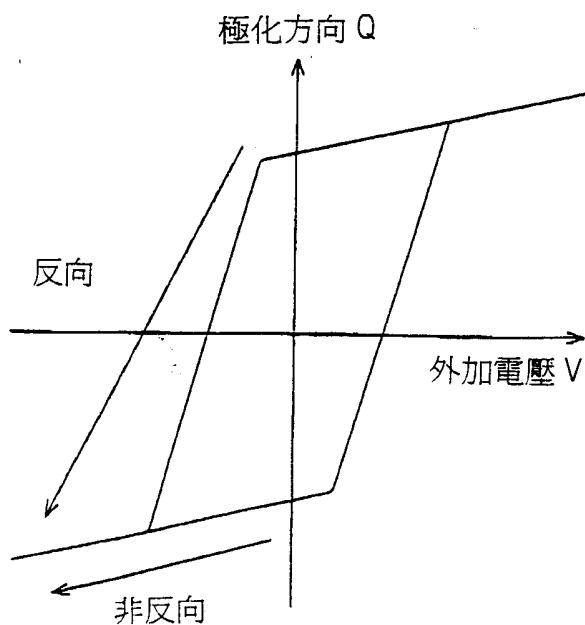


圖 7

(請先閱讀背面之注意事項再行繪製)

裝

訂

線

圖式

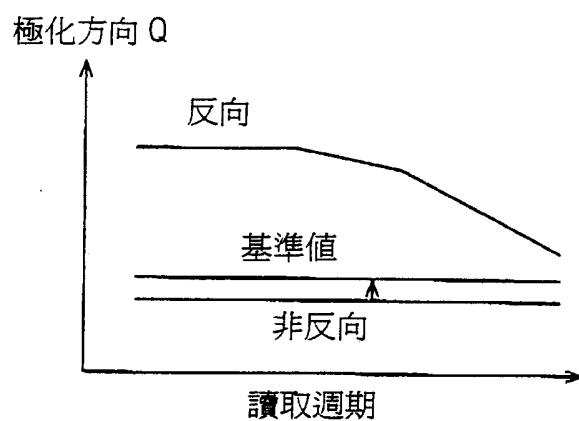


圖 8

(請先閱讀背面之注意事項再行繪製)

裝

訂

線