

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月10日(10.09.2020)



(10) 国際公開番号

WO 2020/179452 A1

(51) 国際特許分類:

H01L 27/04 (2006.01) H01L 23/522 (2006.01)
H01L 21/3205 (2006.01) H01L 25/065 (2006.01)
H01L 21/768 (2006.01) H01L 25/07 (2006.01)
H01L 23/12 (2006.01) H01L 25/18 (2006.01)

(21) 国際出願番号: PCT/JP2020/006552

(22) 国際出願日: 2020年2月19日(19.02.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-037386 2019年3月1日(01.03.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

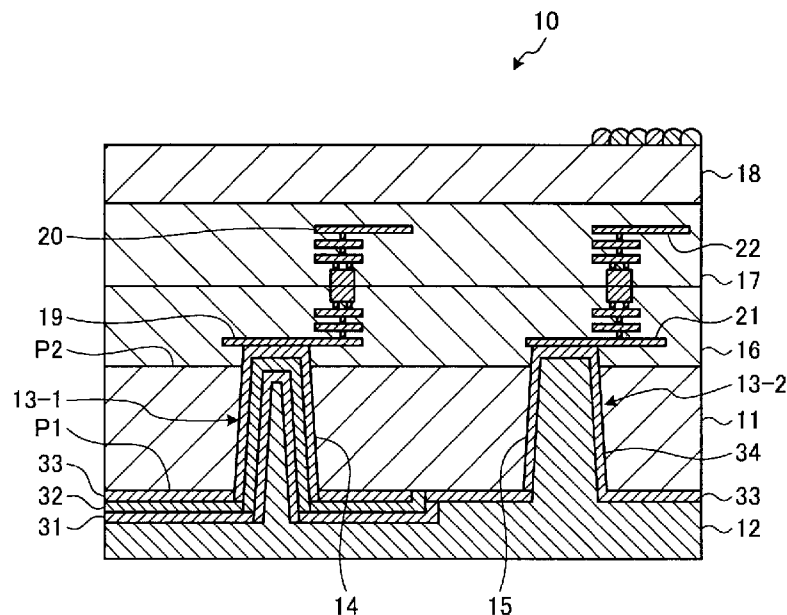
(72) 発明者: 西岡 裕太 (NISHIOKA, Yuta);
〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: CAPACITATIVE ELEMENT, SEMICONDUCTOR ELEMENT SUBSTRATE, AND ELECTRONIC DEVICE

(54) 発明の名称: 容量素子、半導体素子基板及び電子機器



(57) Abstract: A capacitive element (14) according to the present disclosure comprises: a plurality of electroconductive film layers (31, 33) disposed facing each other on an inner circumferential surface of a through-hole (13-1) formed to penetrate a second face (P2) on the opposite side, of an insulator substrate (11), from a first face (P1) thereof; and an insulator layer (32) formed between the opposing pair of electroconductive film layers (31, 33). At least one of the plurality of electroconductive film layers (31, 33) is one of a pair of electrodes constituting the capacitive element (14), and can be connected to circuit wiring (20) formed on the second face (P2).

HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

(57) 要約：本開示の容量素子（14）は、絶縁体基板（11）の第1面（P1）から反対側の第2面（P2）に貫通するように形成された貫通孔（13-1）の内周面において互いに対向するように配置された複数の導電膜層（31, 33）と、対向する一対の導電膜層（31, 33）間に形成された誘電体層（32）と、を備え、複数の導電膜層31, 33のうち、いずれか少なくとも一つが容量素子（14）を構成する一対の電極のうちいずれか一方として第2面（P2）側に形成された回路配線（20）に接続可能とされている。

明 細 書

発明の名称：容量素子、半導体素子基板及び電子機器

技術分野

[0001] 本開示は、容量素子、半導体素子基板及び電子機器に関する。

背景技術

[0002] 従来、回路構成によっては、大容量の容量素子が必要とされている。

例えば、テスト済み補償のベア・ダイ（TD：Tested Die）製品のロジックチップ内のチャージポンプ回路には、電源容量及び安定動作を確保するため、大規模容量素子が必要とされている。

[0003] ところで容量素子の容量（静電容量）は、容量素子として誘電体を介して対向配置された平行平板導体を想定した場合、平行平板導体の面積に比例している。

したがって、実際の容量素子においても、容量を大きくするためには、容量素子の設置面積も増大することとなっていた。

先行技術文献

特許文献

[0004] 特許文献1：特表2010-530128号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、面積制約の大きい製品チップ内に大規模容量素子を搭載することは回路の高集積化に対する影響が大きく、次世代タイプのチップサイズシュリンクにおいて課題となることが容易に想定される。したがって、可能な限り容量素子の設置面積を縮小することが望まれている。

[0006] 本開示は、このような状況に鑑みてなされたものであり、半導体基板上に設ける場合に、設置面積を低減しつつ、容量を確保することが可能な容量素子及び設置面積の少ない半導体素子基板及び電子機器を提供することを目的としている。

課題を解決するための手段

[0007] 上記目的を達成するために、本開示の容量素子は、絶縁体基板の第1面から反対側の第2面に貫通するように形成された貫通孔の内周面において互いに対向するように配置された複数の導電膜層と、対向する一对の導電膜層間に形成された誘電体層と、を備え、前記複数の導電膜層のうち、いずれか少なくとも一つが容量素子を構成する一对の電極のうちいずれか一方として前記第2面側に形成された回路配線に接続可能とされている。

図面の簡単な説明

[0008] [図1]第1実施形態の容量素子を積層構造を有する半導体素子基板に適用した場合の部分断面図である。

[図2]第1実施形態の容量素子の製造プロセスの説明図（その1）である。

[図3]第1実施形態の容量素子の製造プロセスの説明図（その2）である。

[図4]第1実施形態の第1変形例の半導体素子の説明図である。

[図5]第1実施形態の第2変形例の半導体素子の説明図である。

[図6]第1実施形態の具体例の半導体素子基板における第1シリコン基板の外観図である。

[図7]第2実施形態の容量素子を積層構造を有する半導体素子基板に適用した場合の部分断面図である。

[図8]第3実施形態の容量素子を積層構造を有する半導体素子基板に適用した場合の部分断面図である。

[図9]第3実施形態の容量素子の製造プロセスの説明図（その1）である。

[図10]第3実施形態の容量素子の製造プロセスの説明図（その2）である。

[図11]上記各実施形態の容量素子及び半導体素子基板が適用された電子機器としてのデジタルスチルカメラの外観図である。

発明を実施するための形態

[0009] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0010] [1] 第1実施形態

図1は、第1実施形態の容量素子を積層構造を有する半導体素子基板に適用した場合の部分断面図である。

半導体素子基板10は、第1シリコン(Si)基板11と、第1シリコン基板11の第1面(図中、下側の面)P1側に積層された半田レジスト層12と、第1シリコン基板11の第1面P1から第2面(図中、上側の面)P2側に貫通されてTSV(Through-Silicon-Via)として形成された第1貫通孔13-1に形成された容量素子14と、シリコン基板11の第1面P1側から第2面(図中、上側の面)P2側に貫通されてTSVとして形成された第2貫通孔13-2に形成されたシリコン貫通電極15と、第1シリコン基板11の第2面P2上に積層された第1絶縁体層16と、第1絶縁体層16に積層された第2絶縁体層17と、固体撮像素子が形成された第2シリコン基板18と、第1絶縁体層16内に形成され、容量素子14の一方の電極に接続された上部電極19と、第2絶縁体層17内に形成され、上部電極19に接続された第1配線20と、第1絶縁体層16内に形成され、シリコン貫通電極15に接続された下部電極21と、第2絶縁体層17内に形成され、下部電極21に接続された第2配線22と、を備えている。

[0011] 上記構成において、容量素子14は、上部電極19側を底側とみなした場合に、第1貫通孔13-1内において有底円筒形状を有し、第1シリコン基板11の第1面P1上で各部への配線がなされる第1導電膜層33と、容量素子14を構成する誘電体(絶縁体)として機能する誘電体層32と、第1導電膜層33に誘電体層32を介して対向するとともに、第1貫通孔13-1内において有底円筒形状を有し、第1シリコン基板11の第1面P1上で各部への配線及びシリコン貫通電極15への配線がなされる第2導電膜層31と、を備えている。

[0012] また、シリコン貫通電極15は、容量素子14と同様に、第1貫通孔13-2内において有底円筒形状を有し、第1シリコン基板11の第1面P1上で各部への配線がなされる第1導電膜層33を備えている。

[0013] ここで、容量素子 1 4 を構成している第 1 導電膜層 3 3 は、第 1 シリコン基板 1 1 の第 1 面 P 1 側で上部電極 1 9 に電氣的に接続され、シリコン貫通電極 1 5 を構成し、第 2 導電膜層 3 1 に接続されている第 1 導電膜層 3 3 は、第 1 シリコン基板 1 1 の第 1 面 P 1 側で下部電極 2 1 に電氣的に接続されている。

[0014] これらの結果、容量素子 1 4 は、第 1 導電膜層 3 3 及び第 2 導電膜層 3 1 で誘電体層 3 2 を挟んだ構成となる。したがって、容量素子 1 4 は、上部電極 1 9 と下部電極 2 1 との間、ひいては、第 1 配線 2 0 と第 2 配線 2 2 に接続されたコンデンサとして機能することとなる。

[0015] 次に第 1 実施形態の容量素子の製造プロセスについて図 2 及び図 3 を参照して説明する。

図 2 は、第 1 実施形態の容量素子の製造プロセスの説明図（その 1）である。

図 3 は、第 1 実施形態の容量素子の製造プロセスの説明図（その 2）である。

[0016] 以下の説明においては、第 1 シリコン基板 1 1 には、予めドライエッチング法等により T S V（Through-Silicon-Via）としての第 1 貫通孔 1 3 - 1 及び第 2 貫通孔 1 3 - 1 が形成されているものとする。

さらに第 1 シリコン基板 1 1 の第 2 面 P 2 上には、上部電極 1 9 及び下部電極 2 1 が形成された第 1 絶縁体層 1 6 が積層されているものとする。

[0017] 上記状態において、図 2（a）に示すように、まず、第 1 導電膜層 3 3 及び誘電体層 3 2 を形成する。

具体的には、例えば、第 1 シリコン基板 1 1 に対し、スパッタリング法によるチタン層形成、チタン層への C V D（Chemical Vapor Deposition）法による銅層形成及び湿式 R D L（Redistribution Layer）により第 1 導電膜層 3 3 を形成する。

[0018] 続いて、C V D 法により誘電体層 3 2 としての S i O 層を形成し、電子ビーム（E B : Electron Beam）除去法により余分な S i O 層を除去して所望

形状を有する誘電体層 3 2 とする。

[0019] 次に図 2 (b) に示すように、第 2 導電膜層 3 1 を形成する。

具体的には、例えば、第 1 導電膜層 3 3 の形成と同様に、第 1 シリコン基板 1 1 に対し、スパッタリング法によるチタン層形成、チタン層への CVD 法による銅層形成及び湿式 RDL により第 2 導電膜層 3 1 を形成する。

[0020] 続いて、図 2 (c) に示すように、容量素子 1 4 を構成する第 2 導電膜層 3 1 を保護するように、フォトマスク MSK を配置する。

そして、図 2 (d) に示すように余分な第 2 導電膜層 3 1 を除去する。

具体的には、電子ビーム除去法等によりフォトマスク MSK が配置された部分以外の第 2 導電膜層 3 1 を除去する。

[0021] この結果、図 2 (c) のようにフォトマスク MSK を配置した場合には、図 3 (a) に示すように、第 2 導電膜層 3 3 のうち、誘電体層 3 2 に積層された部分及びシリコン貫通電極 1 5 を構成している第 1 導電膜層 3 3 と接続されている部分以外の第 2 導電膜層 3 3 が除去されている。

[0022] 次に図 3 (b) に示すように、第 2 導電膜層 3 1 を電氣的に絶縁し、物理的に保護するための絶縁体層 4 1 としての SiO 層を CVD 法等により形成する。

[0023] 続いて、図 3 (c) に示すように、容量素子 1 4 を構成する第 2 導電膜層 3 1 に積層された絶縁体層 4 1 を保護するように、再びフォトマスク MSK を配置する。

[0024] そして、図 3 (d) に示すように、余分な絶縁体層 4 1 を除去する。

具体的には、電子ビーム除去法等によりフォトマスク MSK が配置された部分以外の絶縁体層 4 1 を除去する。

この結果、図 3 (d) のようにフォトマスク MSK を配置した場合には、図 3 (e) に示すように、絶縁体層 4 1 のうち、第 2 導電膜層 3 1 に積層された部分以外の絶縁体層 4 1 が除去され、図 1 に示した容量素子 1 4 が形成されることとなる。

[0025] 本実施形態の容量素子 1 4 によれば、一つの容量素子のサイズを既存の T

S Vの径（数十～100 μm ）程度としても、十分な容量を確保することができる。

具体的には、TSVの径＝60 μm 、TSV深さ＝85 μm とし、誘電体層32としてのSiOの厚さを40 nmとした場合、以下の通りとなる。

$$\text{TSVに対応するビアホール面積} = 60 \times 85 = 18840 \mu\text{m}^2$$

とすると、TSV1個あたりの容量C＝16 pF程度となる。

[0026] したがって、このような容量素子14をシリコン基板（上述の例の場合、第1シリコン基板11）内に複数形成することで、大容量の容量素子（群）を容易に構築できる。

[0027] また、上記構成によれば、容量素子14を絶縁基板（第1シリコン基板）に形成したTSV内に配置するとともに、従来使用されていなかった絶縁基板の裏面側（第1シリコン基板11の第1面P1側）の領域を容量素子14の配線に用いることで、既存の設計領域を圧迫すること無く、大規模容量素子を搭載することができ、対象回路のさらなる高集積化を実現できる。

[0028] [1. 1] 第1実施形態の第1変形例

次に第1実施形態の第1変形例の半導体素子について説明する。

図4は、第1実施形態の第1変形例の半導体素子の説明図である。

本変形例の半導体素子基板10Bが、第1実施形態の半導体素子基板10と異なる点は、第2導電膜層31をシリコン貫通電極15ではなく、導電膜層34を介して第1シリコン基板11の第1面P1側にフリップチップ接続用の電極端子として形成された銅ピラー37に接続した点である。

これにより、当該半導体素子基板10Bを図示しない外部の基板上に設ける場合でも実装面積の不要な増大を招くことなく電子機器を構築することができる。

以上の説明は、半導体素子基板10Bにピラー電極（銅ピラー37）を設ける場合で有ったが、バンプ電極を設けるようにし、容量素子14を構成している一対の電極のうち、いずれか他方をバンプ電極に接続するようにしてもよい。

[0029] [1. 2] 第1実施形態の第2変形例

次に第1実施形態の第2変形例の半導体素子について説明する。

図5は、第1実施形態の第2変形例の半導体素子の説明図である。

[0030] 本変形例の半導体素子基板10Cが、第1実施形態の半導体素子基板10と異なる点は、容量素子14と同様の複数の容量素子14-1~14-5を設け、容量素子14-1~14-5の第1導電膜層33を共通接続して、上部電極19に接続した点と、容量素子14-1~14-5の第2導電膜層33を共通接続して、シリコン貫通電極15を介して下部電極21に接続した点と、である。

[0031] このように構成することにより、容量素子14-1~14-5を並列接続した場合と等価となり、容量素子としての容量は、容量素子14-1~14-5の合成容量となり、容易に大容量の容量素子を構築できる。

[0032] より具体的には、第1実施形態の具体例で示した場合と同様に各容量素子14-1~14-5の容量が16pFであった場合、図5の第2変形例による容量素子14-1~14-5全体の容量は、 $16 \times 5 = 80$ pFとなる。

このような構成とした場合も、製造プロセスは、第1実施形態の場合と同様となり、容易に大容量の容量素子（群）を得ることができる。

[0033] [1. 3] 第1実施形態の具体例

次に第1実施形態の具体例について説明する。

図6は、第1実施形態の具体例の半導体素子基板における第1シリコン基板の外観図である。

半導体素子基板10を構成している第1シリコン基板11は、図6(a)のシリコン基板の第2面P2側からみた平面図に示すように、図中、砂地模様の領域ARには、部品配置領域あるいは配線配置領域は設けられていない。

[0034] そこで、本第1実施形態においては、図6(b)のシリコン基板の第1面P1側からみた平面図に示すように領域ARに対応する領域に複数（図6の場合、76個）の容量素子を形成している。

[0035] このように構成することにより、第1実施形態の具体例で示した場合のように、各容量素子14の容量が16 pFであった場合、図6の場合における容量素子14全体の容量は、 $16 \times 76 = 1216$ pFとなる。

[0036] 同様の設置面積で、従来の方法で容量を形成した場合には、940 pF程度となっており、十分に置き換えが可能となる。換言すれば、従来と同様の容量を確保しようとする場合には、半導体素子基板の設置面積をおよそ3%程度縮小することが可能となる。

したがって、本第1実施形態によれば、半導体素子基板ひいては、半導体素子基板を用いた電子機器の小型化を容易に図ることが可能となる。

[0037] [2] 第2実施形態

図7は、第2実施形態の容量素子を積層構造を有する半導体素子基板に適用した場合の部分断面図である。

[0038] 第2実施形態の半導体素子基板100においては、第1実施形態の半導体素子基板10とは、第2絶縁体層17から上の構成は同様であるので、図示の簡略化のため、これらの図示を省略している。また、図7において、図1と同様の部分については、同一の符号を付すものとする。

[0039] 第2実施形態の半導体素子基板100は、第1シリコン基板11と、第1シリコン基板11の第1面P1側に積層された半田レジスト層12と、シリコン基板11の第1面P1から第2面P2側に貫通されてTSVとして形成された第1貫通孔13-1に形成された容量素子14Aと、シリコン基板11の第1面P1から第2面（図中、上側の面）P2側に貫通されてTSVとして形成された第2貫通孔13-2に形成されたシリコン貫通電極15と、シリコン基板11の第2面P2上に積層された第1絶縁体層16と、第1絶縁体層16に積層された第2絶縁体層17と、固体撮像素子が形成された第2シリコン基板18と、第1絶縁体層16内に形成され、容量素子14の一方の電極に接続された上部電極19と、第2絶縁体層17内に形成され、シリコン貫通電極15に接続された下部電極21と、を備えている。

上記構成において、容量素子14Aは、上部電極19側を底側とみなした

場合に、第1貫通孔13-1内において有底円筒形状を有し、第1シリコン基板11の第1面P1上で各部への配線がなされる第1の電極（電極A）を構成する導電膜層33に電氣的に接続されている第1導電膜層33-1と、容量素子14を構成する誘電体（絶縁体）として機能する第1誘電体層32-1と、第1導電膜層33-1に第1誘電体層32-1を介して対向するとともに、第1貫通孔13-1内において有底円筒形状を有し、第1シリコン基板11の第1面P1上で各部への配線及びシリコン貫通電極15への配線がなされる第2の電極（電極B）を構成する導電膜層34に電氣的に接続されている第2導電膜層34-1と、容量素子14を構成する誘電体（絶縁体）として機能する第2誘電体層32-2と、を備えている。

また、容量素子14Aは、第2導電膜層33-2に第2誘電体層32-2を介して対向するとともに、第1貫通孔13-1内において有底円筒形状を有し、第1シリコン基板11の第1面P1上で各部への配線がなされる第1の電極（電極A）を構成する導電膜層33に電氣的に接続されている第3導電膜層34-2と、容量素子14を構成する誘電体（絶縁体）として機能する第3誘電体層32-3と、を備えている。

さらに、容量素子14Aは、第3導電膜層33-2に第3誘電体層32-3を介して対向するとともに、第1貫通孔13-1内において有底円筒形状を有し、第1シリコン基板11の第1面P1上で各部への配線及びシリコン貫通電極15への配線がなされる第2の電極（電極B）を構成する導電膜層34に電氣的に接続されている第4導電膜層34-2を備えている。

[0040] また、シリコン貫通電極15は、第1実施形態と同様に、第1貫通孔13-2内において有底円筒形状を有し、第1シリコン基板11の第1面P1上で各部への配線がなされる導電膜層34を備えている。

[0041] ここで、容量素子14Aを構成している第1導電膜層33-1、ひいては、第3導電膜層33-2及び導電膜層33は、第1シリコン基板11の第1面P1側で上部電極19に電氣的に接続されている。

また、シリコン貫通電極15を構成し、導電膜層34に接続されている第

2導電膜層34-1、ひいては、第4導電膜層34-2は、第1シリコン基板11の第1面P1側で下部電極21に電氣的に接続されている。

これらの結果、容量素子14Aは、第1導電膜層33-1及び第2導電膜層34-1で第1誘電体層32-1を挟み、第2導電膜層33-2及び第3導電膜層33-2で第2誘電体層32-2を挟み、第3導電膜層34-1及び第4導電膜層34-2で第3誘電体層32-3を挟んだ構成となる。

すなわち、容量素子14Aは、上部電極19と下部電極21との間、ひいては、第1配線20と第2配線に接続された3個の並列接続されたコンデンサとして機能することとなる。

[0042] 本第2実施形態によれば、第1実施形態と比較して容量素子14Aとしての極板面積は、実効的に3倍程度となっているので、容量もおおよそ3倍となっている。したがって、第1実施形態の具体例で示した場合のように、各容量素子14の容量が16pFであった場合、図6の場合における容量素子14A全体の容量は、 $16 \times 76 \times 3 = 3648$ pFとなる。

[0043] 上述したように、同様の設置面積で、従来の方法で容量を形成した場合には、940pF程度となっているので、従来と同様の容量を確保しようとする場合には、半導体素子基板の設置面積をおおよそ30%程度縮小することが可能となる。

したがって、本第2実施形態によれば、第1実施形態と比較して、同一の設置面積で、より大きな容量の容量素子を形成することができ、半導体素子基板ひいては、半導体素子基板を用いた電子機器のより一層の小型化を容易に図ることが可能となる。

[0044] 以上の説明は、3個の並列接続されたコンデンサとして機能させる場合であったが、第3誘電体層32-3及び第4導電膜層34-2を設けない構成とすれば、2個の並列接続されたコンデンサとして機能させることができ、さらには、製造工程の許す限り4個の並列接続されたコンデンサとして機能させることも可能である。

[0045] [3] 第3実施形態

図8は、第3実施形態の容量素子を積層構造を有する半導体素子基板に適用した場合の部分断面図である。

[0046] 第3実施形態の半導体素子基板10Eにおいては、第2実施形態と同様に、第1実施形態の半導体素子基板10とは、第2絶縁体層17から上の構成は同様であるので、図示の簡略化のため、これらの図示を省略している。また、図8において、図1と同様の部分については、同一の符号を付すものとする。

[0047] 第3実施形態の半導体素子基板10Eが、第1実施形態の半導体素子基板10と異なる点は、第1シリコン基板11及び第1絶縁体層16と、容量素子14Bあるいはシリコン貫通電極15Bとの間に第3絶縁体層51を設けた点である。

本第3実施形態によれば、第1貫通孔13-1の内周面を第1貫通孔13-1を単にドライエッチング法等により形成した場合と比較して平滑化することができ、その後の容量素子形成における処理の安定性、ひいては、形成した容量素子の容量の変動を抑制することができる。

[0048] 次に第3実施形態の容量素子の製造プロセスについて図9及び図10を参照して説明する。

図9は、第3実施形態の容量素子の製造プロセスの説明図（その1）である。

図10は、第3実施形態の容量素子の製造プロセスの説明図（その2）である。

以下の説明においては、第1シリコン基板11には、予めドライエッチング法等によりTSV（Through-Silicon-Via）としての第1貫通孔13-1及び第2貫通孔13-1が形成されているものとする。

さらに第1シリコン基板11の第2面P2上には、上部電極19及び下部電極21が形成された第1絶縁体層16、第1配線20及び第2配線22が形成された第2絶縁体層17及び固体撮像素子が形成された第2シリコン基板18と、が積層されているものとする。

[0049] 上記状態において、図9（a）に示すように、まず、第3絶縁体層51を形成する。

具体的には、第3絶縁体層51としてのSiO層をCVD法等により形成する。

続いて、図9（b）に示すように、第1導電膜層33を形成する。

具体的には、例えば、第1シリコン基板11に対し、スパッタリング法によるチタン層形成、チタン層へのCVD法による銅層形成及び湿式RDLにより第1導電膜層33を形成する。

[0050] さらに図9（c）に示すように、誘電体層32を形成する。

具体的には、CVD法により誘電体層32としてのSiO層を形成する。

次に、図10（a）に示すように、余分なSiO層を除去して所望形状を有する誘電体層32を形成する。

具体的には、誘電体層32に電子ビームを照射して除去する電子ビーム除去法により余分なSiO層を除去して所望形状を有する誘電体層32とする。

[0051] 次に図10（b）に示すように、第2導電膜層33を形成する。

具体的には、例えば、第1導電膜層33の形成と同様に、第1シリコン基板11に対し、スパッタリング法によるチタン層形成、チタン層へのCVD法による銅層形成及び湿式RDLにより第2導電膜層31を形成する。

[0052] 続いて、図10（c）に示すように、半田レジスト層12を第1シリコン基板11の第1面（図中、下側の面）P1側に積層して形成する。

具体的には、印刷法により、半田レジスト層12を形成する。

この結果、図8に示した第3実施形態の容量素子14が形成された半導体素子基板が得られる。

[0053] 図11は、上記各実施形態の容量素子及び半導体素子基板が適用された電子機器としてのデジタルスチルカメラの外観図である。

[0054] 電子機器としてのレンズ交換式一眼レフレックスタイプのデジタルスチルカメラのカメラ本体部（カメラボディ）50は、撮像装置として上述した

容量素子 14 を有する半導体素子基板（例えば、CMOS イメージセンサ基板）を備えた半導体素子基板 10 を内蔵している。

[0055] このような構成とすることにより、電子機器の安定動作を図り、小型化を容易とすることができる。

[0056] 以上、実施の形態および変形例を挙げて本技術を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。

[0057] 例えば、上記説明においては、容量素子が電源回路を構成するチャージポンプ回路を例として説明したが、大容量の容量素子が要求される回路を備えた半導体素子基板であれば同様に適用が可能である。

また以上の説明は、容量素子を並列に接続した場合について説明したが、容量調整など必要に応じて少なくとも一部の容量素子を直列に接続するように配線を行うことも可能である。

以上の説明においては、絶縁層の材料として、SiO₂を用いる場合について説明したが、絶縁層の材料としてSiN等の他の絶縁材料を用いることも可能である。

以上の説明においては、容量素子のいずれかの導電層として、シリコン貫通電極と同一の導電材料を用いていたが、異なる導電材料を用いるように構成することも可能である。

[0058] [5] 実施形態の効果

以上の説明のように、本実施形態によれば、容量素子を絶縁基板に形成した貫通孔（TSV）内に配置するとともに、従来使用されていなかった絶縁基板の裏面側の領域を容量素子の配線に用いた半導体素子基板を構成することで、既存の設計領域を圧迫すること無く、大規模容量素子を搭載することができ、対象回路のさらなる高集積化を実現できる。ひいては、対象回路を用いた電子回路の小型化を容易に図ることができる。

[0059] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0060] なお、本技術は以下のような構成も採ることができる。

(1)

絶縁体基板の第1面から反対側の第2面に貫通するように形成された貫通孔の内周面において互いに対向するように配置された複数の導電膜層と、

対向する一对の導電膜層間に形成された誘電体層と、を備え、

前記複数の導電膜層のうち、いずれか少なくとも一つが容量素子を構成する一对の電極のうちいずれか一方として前記第2面側に形成された回路配線に接続可能とされている、

容量素子。

(2)

前記導電膜層は、少なくとも三つ以上設けられており、

二つの前記誘電体層及び一つの前記導電膜層を介して配置された前記導電膜層同士は、共通接続されている、(1)記載の容量素子。

(3)

前記貫通孔と最外周側に形成された前記導電膜層との間に形成された絶縁体層を備えた、(1)または(2)記載の容量素子。

(4)

絶縁体基板と、

前記絶縁体基板の第1面から反対側の第2面に貫通するように形成された貫通孔の内周面において互いに対向するように配置された複数の導電膜層と、対向する一对の導電膜層間に形成された誘電体層と、を有する容量素子と、を備え、

前記複数の導電膜層のうち、いずれか少なくとも一つが容量素子を構成する一对の電極のうちいずれか一方として前記第2面側に形成された回路配線に接続されている、

半導体素子基板。

(5)

前記導電膜層は、少なくとも三つ以上設けられており、

二つの前記誘電体層及び一つの前記導電膜層を介して配置された前記導電

膜層同士は、共通接続されている、（４）記載の半導体素子基板。

（６）

前記半導体素子基板は、前記絶縁体基板に設けられた貫通電極、ピラー電極あるいはバンプ電極を有し、

前記容量素子を構成している前記一对の電極のうち、いずれか他方は、前記絶縁体基板に設けられた貫通電極、ピラー電極あるいはバンプ電極に接続されている、（４）または（５）記載の半導体素子基板。

（７）

前記絶縁体基板には、複数の前記貫通孔が設けられており、前記複数の貫通孔内に前記容量素子がそれぞれ形成され、一の前記容量素子の電極のいずれか一方は、他の前記容量素子の電極のいずれか他方に共通接続されている、（４）乃至（６）のいずれかに記載の半導体素子基板。

（８）

前記絶縁体基板に積層された第２の絶縁体基板を有し、前記容量素子は、前記貫通孔を介して前記第２の絶縁体基板に形成された回路配線に電極が接続されている、（４）乃至（７）のいずれかに記載の半導体素子基板。

（９）

絶縁体基板と、

前記絶縁体基板の第１面から反対側の第２面に貫通するように形成された貫通孔の内周面において互いに対向するように配置された複数の導電膜層と、対向する一对の導電膜層間に形成された誘電体層と、を備え、前記複数の導電膜層のうち、いずれか少なくとも一つが容量素子を構成する一对の電極のうちいずれか一方として前記第２面側に形成された回路配線に接続可能とされた容量素子を有する電子回路を備えた電子機器。

（１０）

容量素子において、前記導電膜層は、少なくとも三つ以上設けられており、

二つの前記誘電体層及び一つの導電膜層を介して配置された前記導電膜層

同士は、共通接続されている、（９）記載の電子機器。

（１１）

前記貫通孔と最外周側に形成された前記導電膜層との間に形成された絶縁体層を備えた、（９）または（１０）記載の電子機器。

（１２）

絶縁体基板と、前記絶縁体基板の第１面から反対側の第２面に貫通するように形成された貫通孔の内周面において互いに対向するように配置された複数の導電膜層と、対向する一对の導電膜層間に形成された誘電体層と、を有する容量素子と、備え、前記複数の導電膜層のうち、いずれか少なくとも一つが容量素子を構成する一对の電極のうちいずれか一方として前記第２面側に形成された回路配線に接続されている半導体素子基板を有する電子回路を備えた電子機器。

（１３）

前記半導体素子基板において、前記導電膜層は、少なくとも三つ以上設けられており、

二つの前記誘電体層及び一つの導電膜層を介して配置された前記導電膜層同士は、共通接続されている、（１２）記載の電子機器。

（１４）

前記半導体素子基板は、前記絶縁体基板に設けられた貫通電極、ピラー電極あるいはバンプ電極を有し、

前記容量素子を構成している前記一对の電極のうち、いずれか他方は、前記絶縁体基板に設けられた貫通電極、ピラー電極あるいはバンプ電極に接続されている、（１２）または（１３）記載の電子機器。

（１５）

前記絶縁体基板には、複数の前記貫通孔が設けられており、前記複数の貫通孔内に前記容量素子がそれぞれ形成され、一の前記容量素子の電極のいずれか一方は、他の前記容量素子の電極のいずれか他方に共通接続されている、（１２）乃至（１４）のいずれかに記載の電子機器。

(16)

前記絶縁体基板に積層された第2の絶縁体基板を有し、前記容量素子は、前記貫通孔を介して前記第2の絶縁体基板に形成された回路配線に電極が接続されている、(12)乃至(15)のいずれかに記載の電子機器。

符号の説明

- [0061] 10 半導体素子基板
10B～10E 半導体素子基板
11 第1シリコン基板
12 半田レジスト層
13-1 第2貫通孔
13-2 第1貫通孔
14、14A、14B 容量素子
15、15B シリコン貫通電極
16 第1絶縁体層
17 第2絶縁体層
18 第2シリコン基板
19 上部電極
20 第1配線
21 下部電極
22 第2配線
31 第2導電膜層
32-1 第1誘電体層
32-2 第2誘電体層
32-3 第3誘電体層
33 導電膜層
33-1 第1導電膜層
33-2 第3導電膜層
34 導電膜層

3 4 - 1 第 2 導電膜層

3 4 - 2 第 4 導電膜層

3 7 銅ピラー

4 1 絶縁体層

5 1 第 3 絶縁体層

1 0 0 半導体素子基板

A R 領域

P 1 第 1 面

P 2 第 2 面

請求の範囲

- [請求項1] 絶縁体基板の第1面から反対側の第2面に貫通するように形成された貫通孔の内周面において互いに対向するように配置された複数の導電膜層と、
- 対向する一対の導電膜層間に形成された誘電体層と、を備え、
- 前記複数の導電膜層のうち、いずれか少なくとも一つが容量素子を構成する一対の電極のうちいずれか一方として前記第2面側に形成された回路配線に接続可能とされている、
- 容量素子。
- [請求項2] 前記導電膜層は、少なくとも三つ以上設けられており、
- 二つの前記誘電体層及び一つの前記導電膜層を介して配置された前記導電膜層同士は、共通接続されている、
- 請求項1記載の容量素子。
- [請求項3] 前記貫通孔と最外周側に形成された前記導電膜層との間に形成された絶縁体層を備えた、
- 請求項1記載の容量素子。
- [請求項4] 絶縁体基板と、
- 前記絶縁体基板の第1面から反対側の第2面に貫通するように形成された貫通孔の内周面において互いに対向するように配置された複数の導電膜層と、対向する一対の導電膜層間に形成された誘電体層と、を有する容量素子と、を備え、
- 前記複数の導電膜層のうち、いずれか少なくとも一つが容量素子を構成する一対の電極のうちいずれか一方として前記第2面側に形成された回路配線に接続されている、
- 半導体素子基板。
- [請求項5] 前記導電膜層は、少なくとも三つ以上設けられており、
- 二つの前記誘電体層及び一つの前記導電膜層を介して配置された前記導電膜層同士は、共通接続されている、

請求項4記載の半導体素子基板。

[請求項6] 前記半導体素子基板は、前記絶縁体基板に設けられた貫通電極、ピラー電極あるいはバンプ電極を有し、

前記容量素子を構成している前記一对の電極のうち、いずれか他方は、前記絶縁体基板に設けられた貫通電極、ピラー電極あるいはバンプ電極に接続されている、

請求項4記載の半導体素子基板。

[請求項7] 前記絶縁体基板には、複数の前記貫通孔が設けられており、前記複数の貫通孔内に前記容量素子がそれぞれ形成され、一の前記容量素子の電極のいずれか一方は、他の前記容量素子の電極のいずれか他方に共通接続されている、

請求項4記載の半導体素子基板。

[請求項8] 前記絶縁体基板に積層された第2の絶縁体基板を有し、前記容量素子は、前記貫通孔を介して前記第2の絶縁体基板に形成された回路配線に電極が接続されている、

請求項4記載の半導体素子基板。

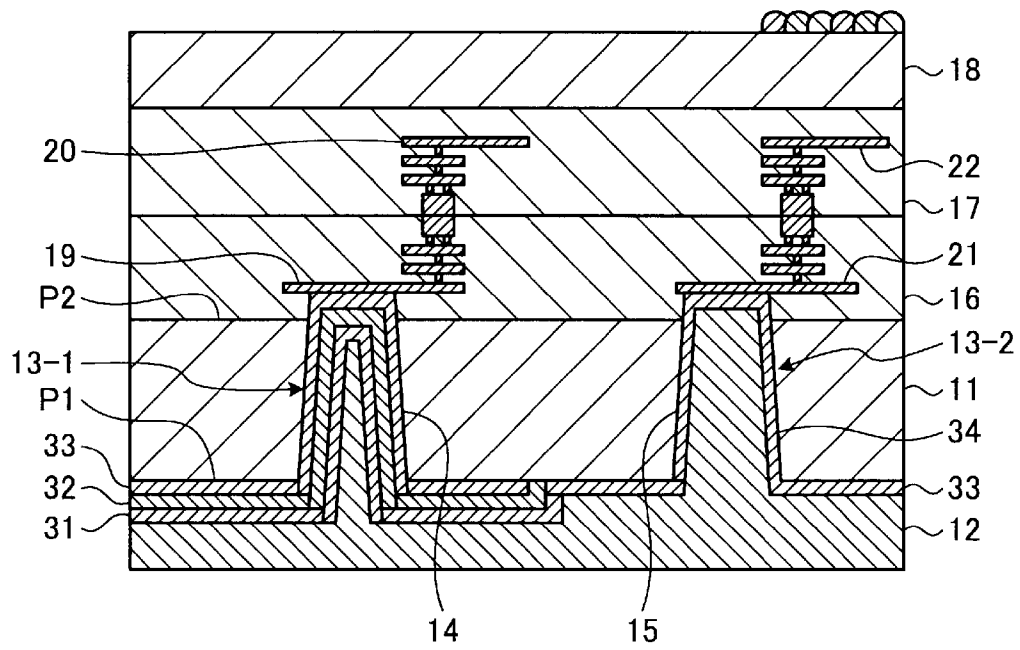
[請求項9] 絶縁体基板と、

前記絶縁体基板の第1面から反対側の第2面に貫通するように形成された貫通孔の内周面において互いに対向するように配置された複数の導電膜層と、対向する一对の導電膜層間に形成された誘電体層と、を備え、前記複数の導電膜層のうち、いずれか少なくとも一つが容量素子を構成する一对の電極のうちいずれか一方として前記第2面側に形成された回路配線に接続可能とされた容量素子を有する電子回路を備えた電子機器。

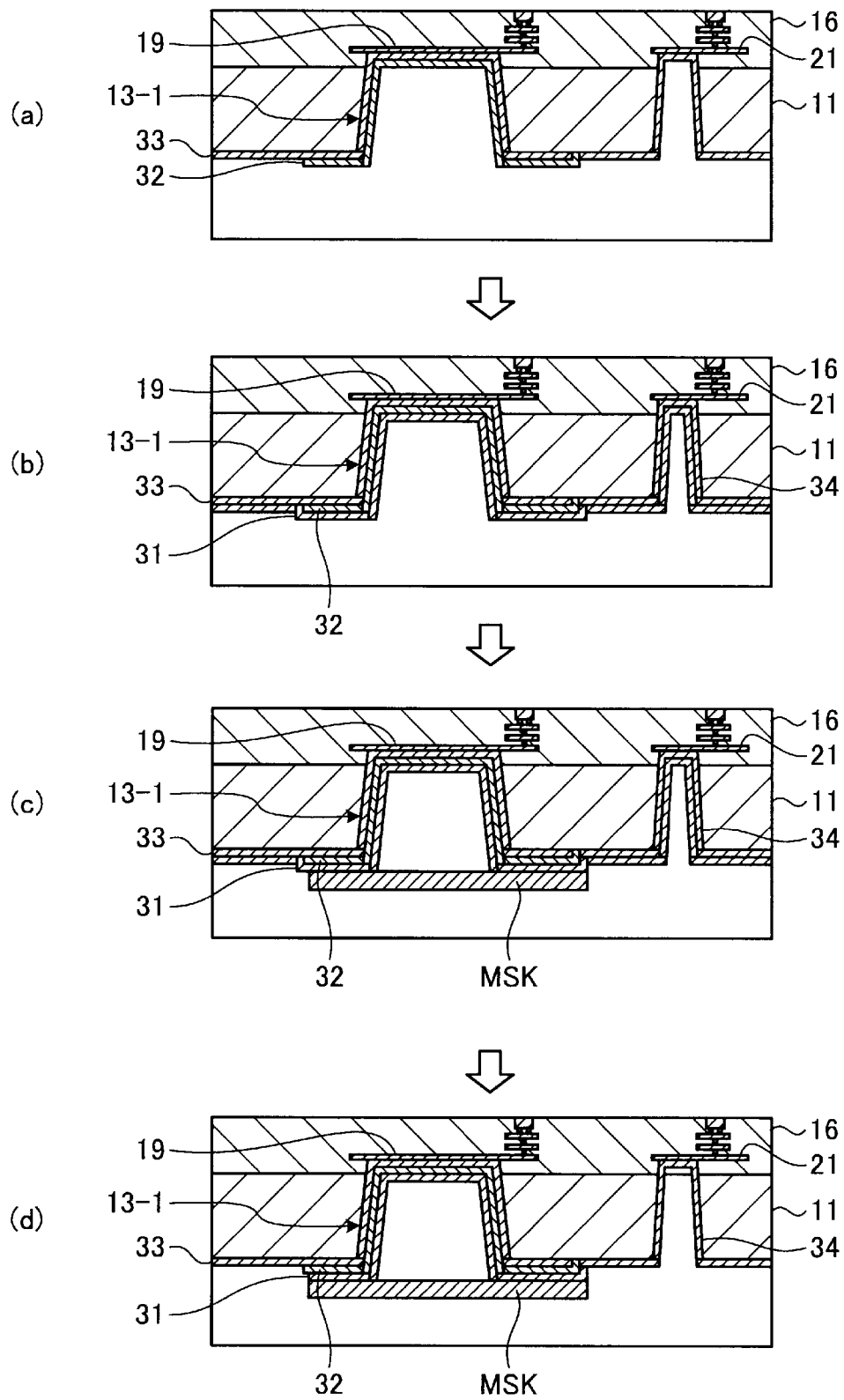
[請求項10] 絶縁体基板と、前記絶縁体基板の第1面から反対側の第2面に貫通するように形成された貫通孔の内周面において互いに対向するように配置された複数の導電膜層と、対向する一对の導電膜層間に形成された誘電体層と、を有する容量素子と、備え、前記複数の導電膜層のう

ち、いずれか少なくとも一つが容量素子を構成する一対の電極のうち
いずれか一方として前記第2面側に形成された回路配線に接続されて
いる半導体素子基板を有する電子回路を備えた電子機器。

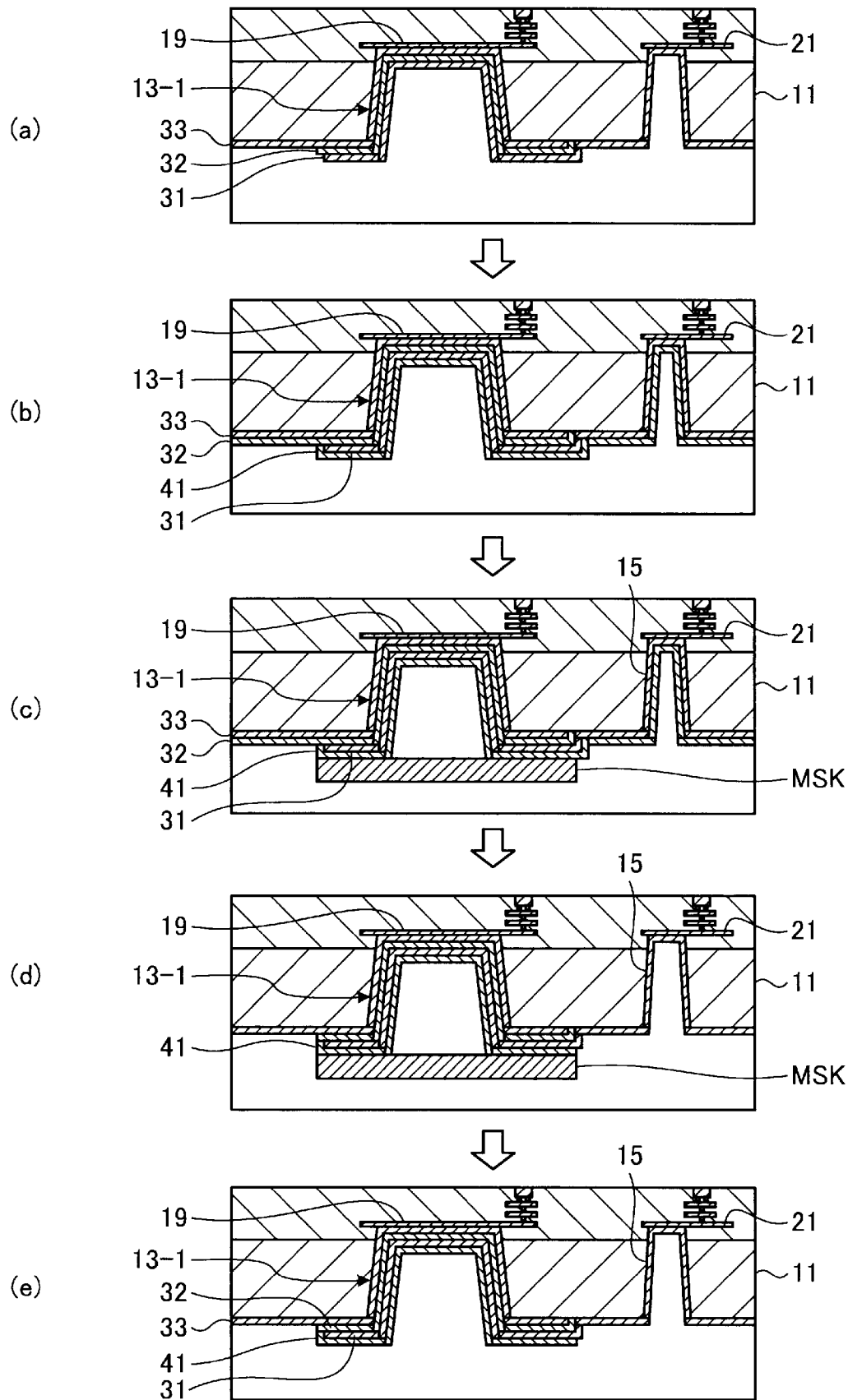
10



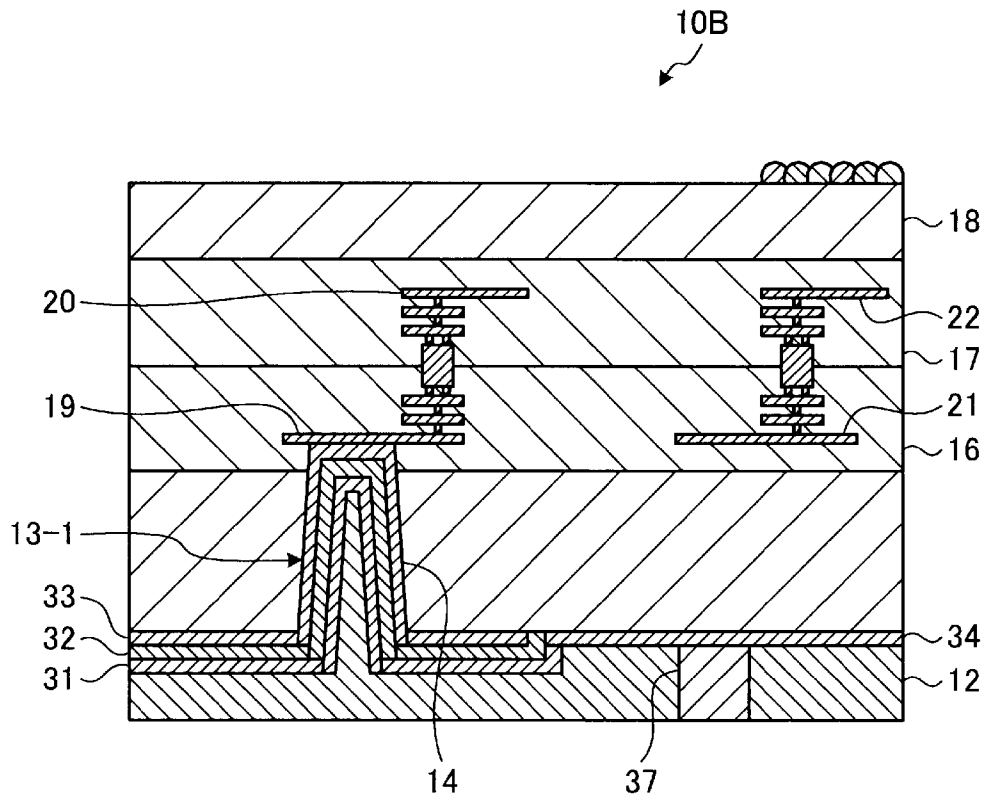
[図2]



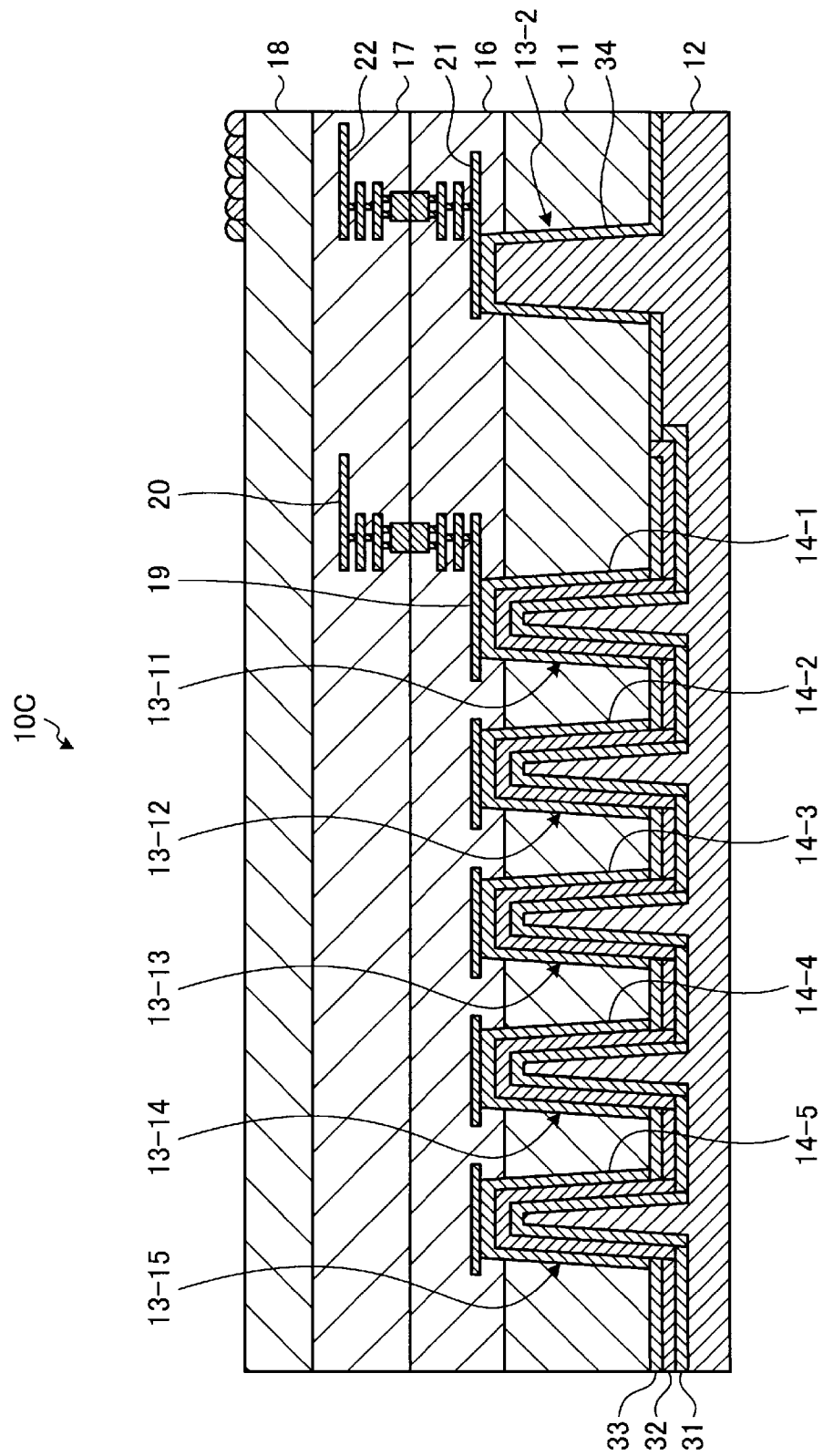
[図3]



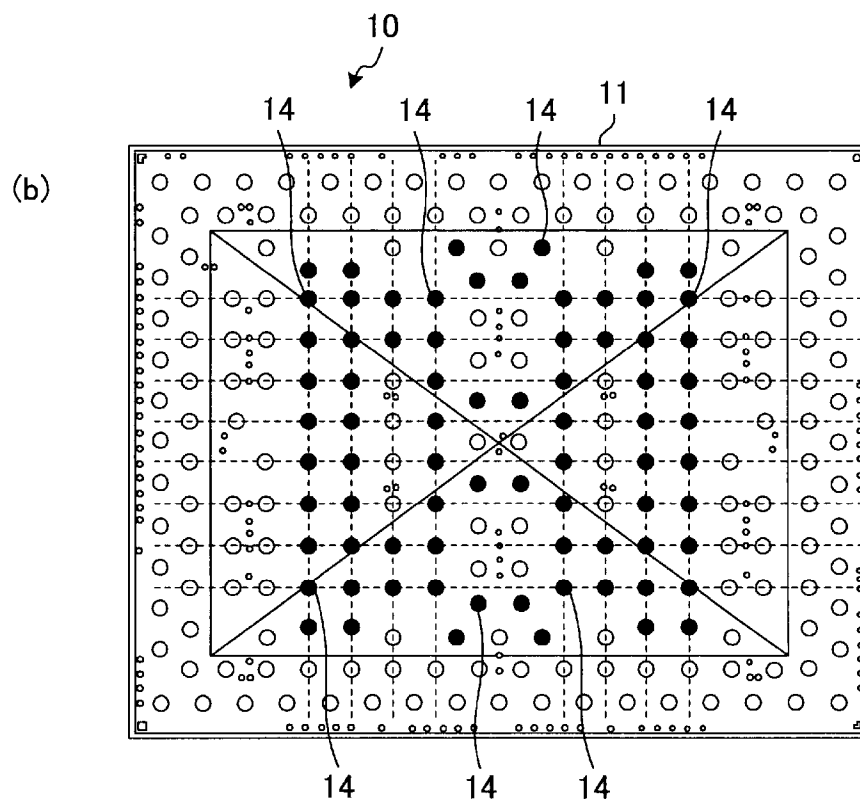
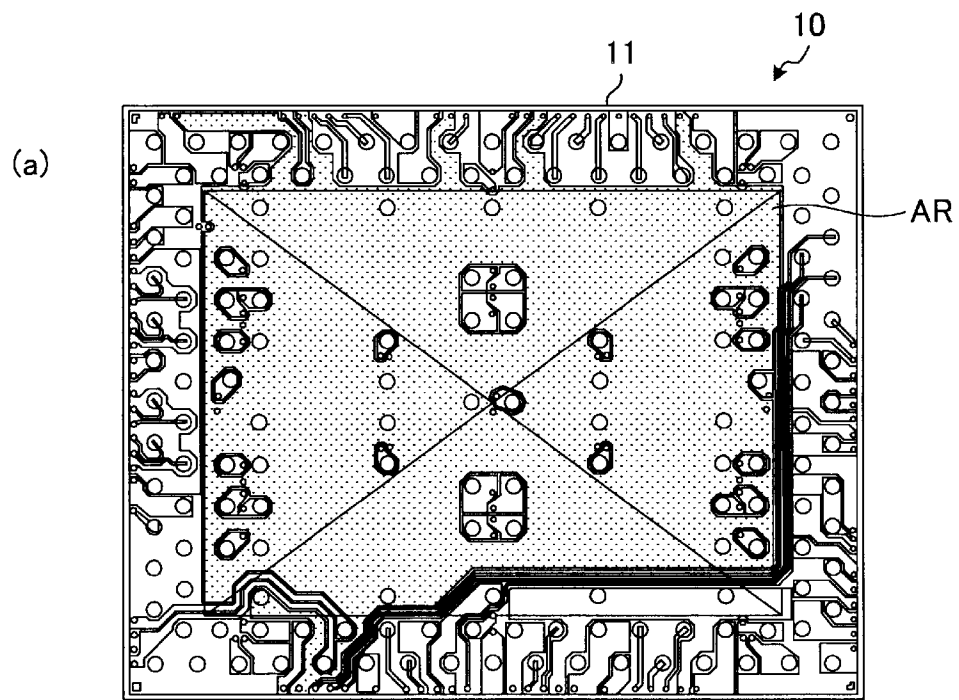
[図4]



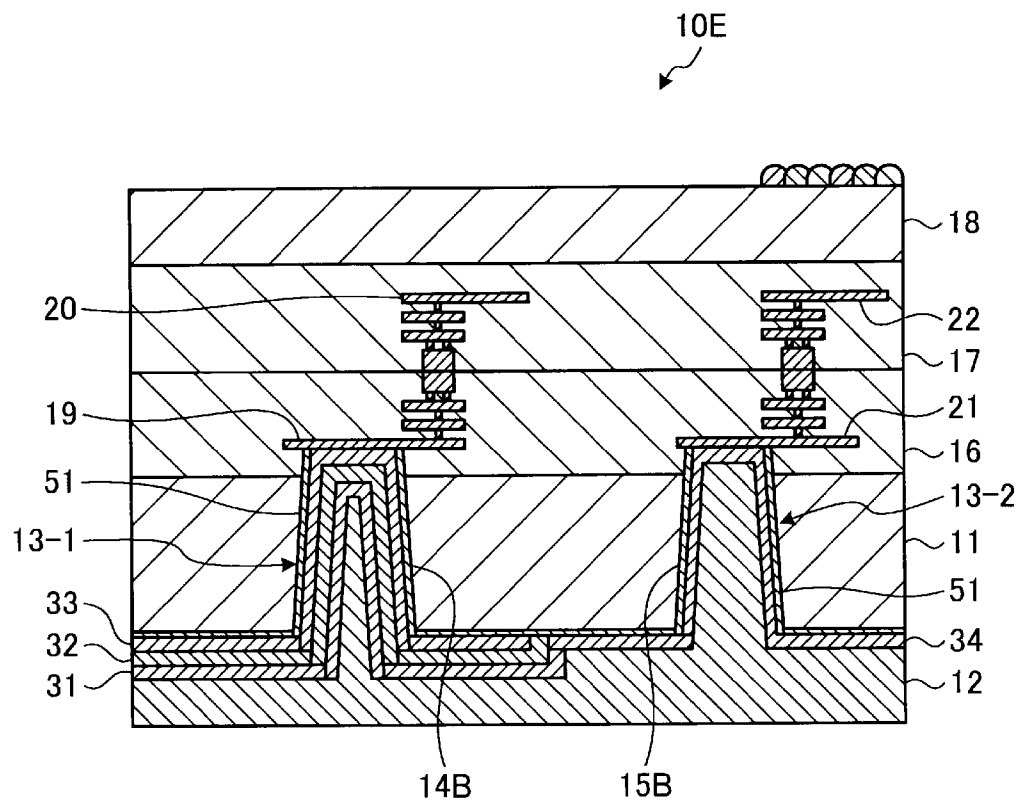
[図5]



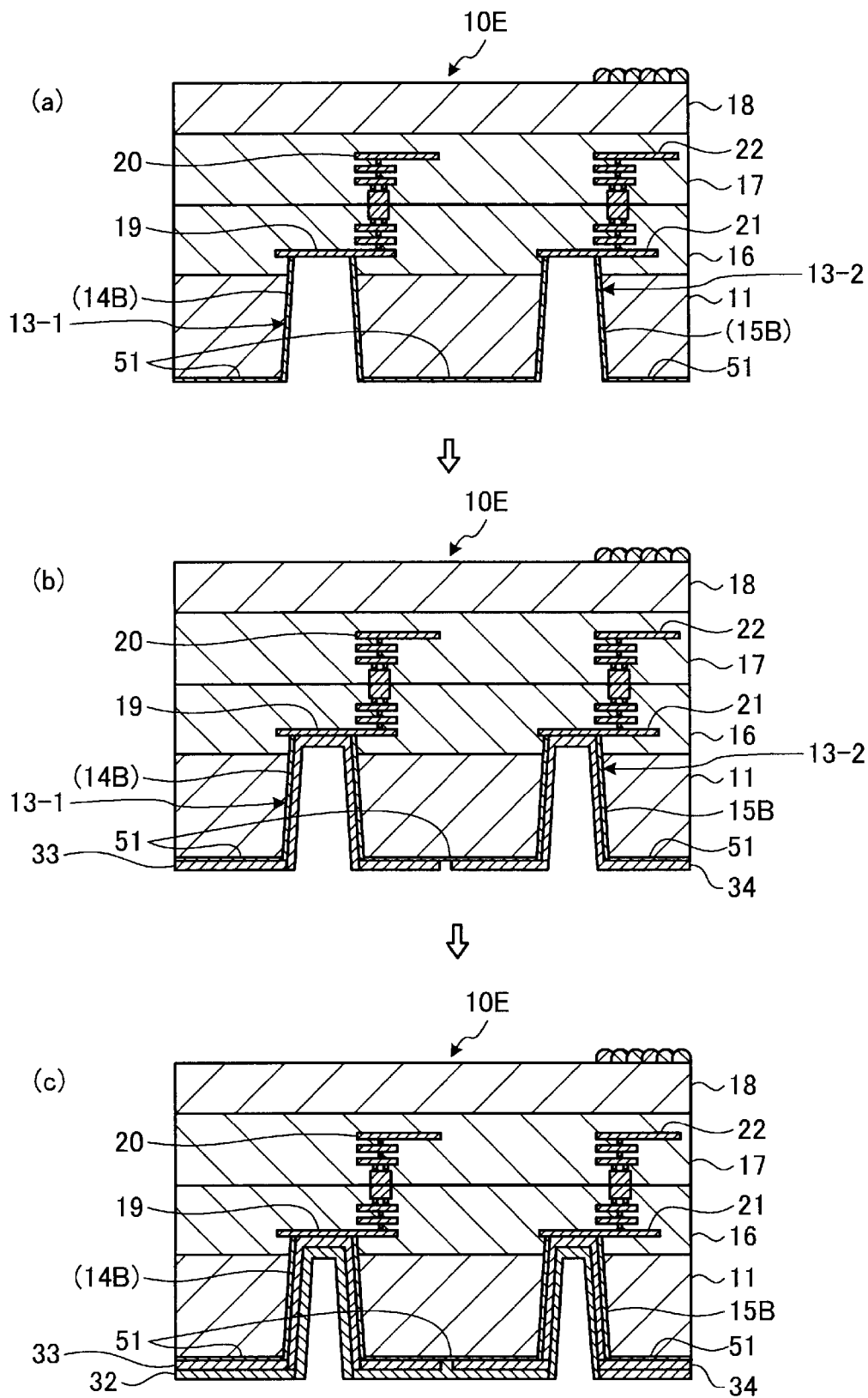
[図6]



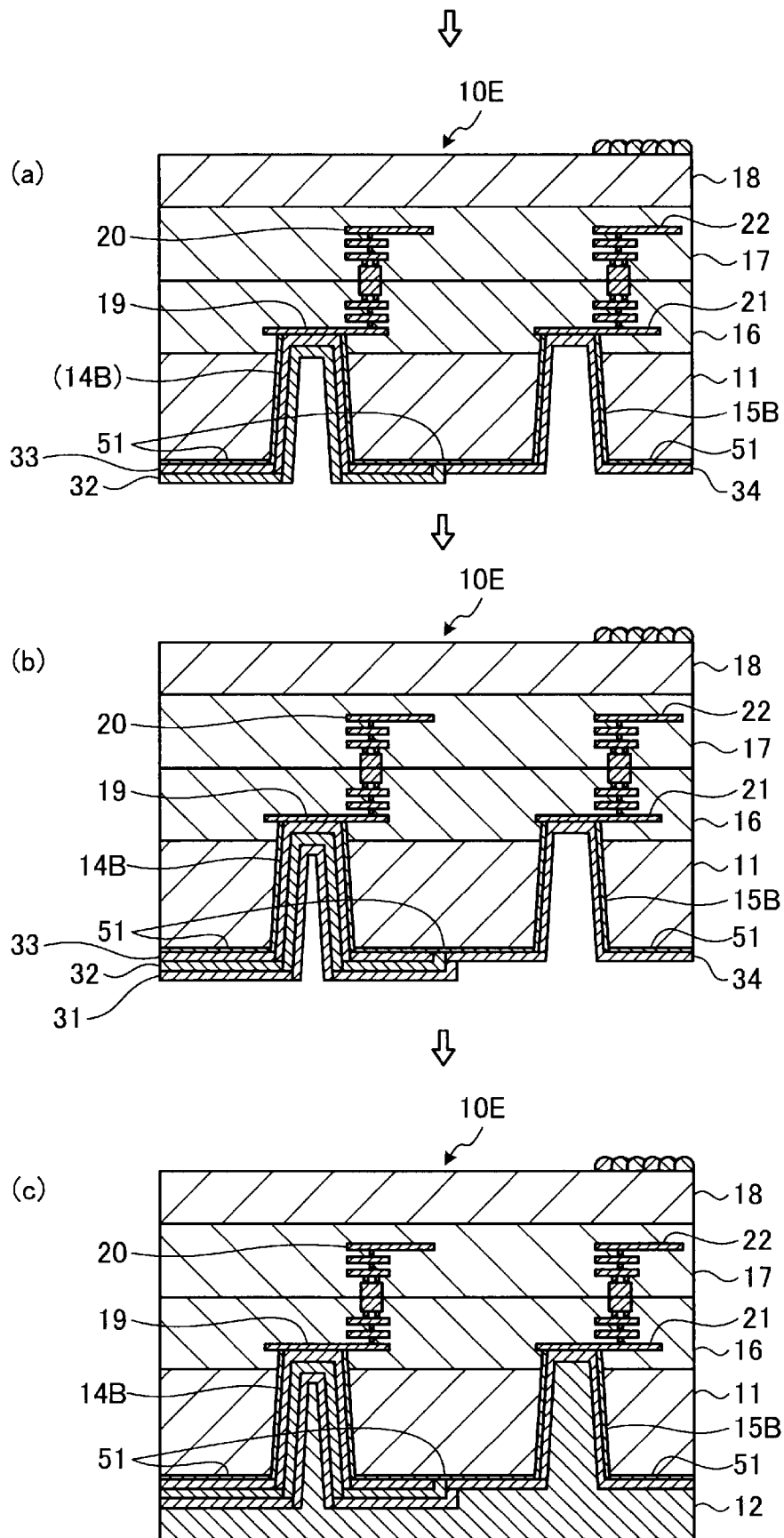
[図8]



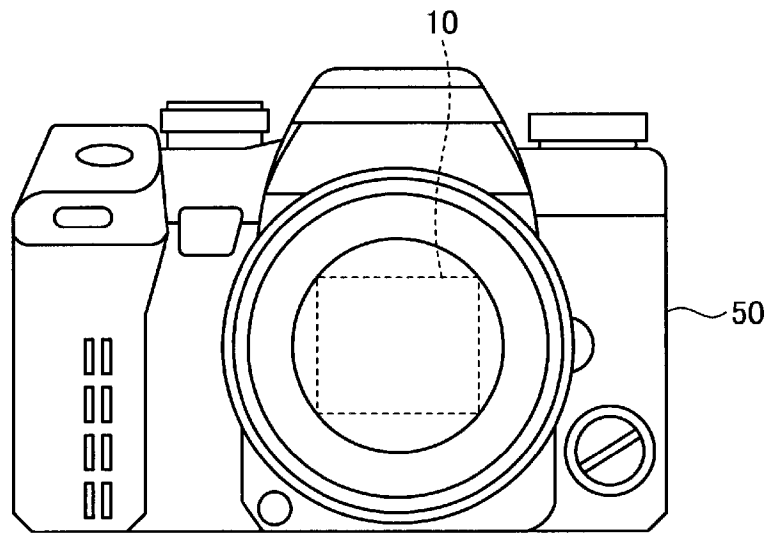
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/006552

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/04(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/12(2006.01)i, H01L23/522(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

FI: H01L27/04C, H01L21/88J, H01L23/12501P, H01L25/08C, H01L27/04D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/04, H01L21/3205, H01L21/768, H01L23/12, H01L23/522, H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 8-97375 A (TOSHIBA CORPORATION) 12.04.1996 (1996-04-12), paragraphs [0001], [0018]-[0027],	1, 3, 4, 6, 7, 9, 10
Y	[0049], [0050], fig. 1-3	2, 5, 8
X	JP 11-195751 A (NEC CORPORATION) 21.07.1999 (1999-07-21), paragraphs [0038]-[0068], fig. 1-4	1, 4, 9, 10
A		2, 3, 5-8
Y	JP 2017-513218 A (IPDIA) 25.05.2017 (2017-05-25), paragraphs [0027]-[0053], fig. 1-7	2, 5
Y	JP 2015-503228 A (QUALCOMM INCORPORATED) 29.01.2015 (2015-01-29), paragraphs [0002], [0004], [0015]-[0019], [0022], fig. 1-7	8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19.03.2020

Date of mailing of the international search report
31.03.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/006552

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-97367 A (MURATA MANUFACTURING CO., LTD.) 12.04.1996 (1996-04-12), entire text, all drawings	1-10
A	JP 2008-288309 A (SONY CORPORATION) 27.11.2008 (2008-11-27), entire text, all drawings	1-10
A	JP 2015-41677 A (RENESAS ELECTRONICS CORP.) 02.03.2015 (2015-03-02), entire text, all drawings	1-10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/006552

JP 8-97375 A	12.04.1996	US 5614743 A column 1, lines 7-15, column 4, line 26 to column 7, line 25, fig. 6A-8E KR 10-1996-0005996 A
JP 11-195751 A	21.07.1999	(Family: none)
JP 2017-513218 A	25.05.2017	US 2017/0053979 A1 paragraphs [0056]-[0080], fig. 1-7 WO 2015/144755 A1 EP 2924730 A1 CN 106170858 A
JP 2015-503228 A	29.01.2015	US 2013/0120951 A1 paragraphs [0002], [0004], [0017]-[0021], [0024], fig. 1-7 WO 2013/075007 A1 EP 2780942 A1 CN 104054175 A KR 10-2014-0100526 A
JP 8-97367 A	12.04.1996	(Family: none)
JP 2008-288309 A	27.11.2008	US 2008/0283951 A1 entire text, all drawings CN 101308845 A KR 10-2008-0101662 A TW 200908220 A
JP 2015-41677 A	02.03.2015	US 2015/0054110 A1 entire text, all drawings CN 104425531 A

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/04(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/12(2006.01)i; H01L 23/522(2006.01)i; H01L 25/065(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i FI: H01L27/04 C; H01L21/88 J; H01L23/12 501P; H01L25/08 C; H01L27/04 D		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/04; H01L21/3205; H01L21/768; H01L23/12; H01L23/522; H01L25/065; H01L25/07; H01L25/18		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 8-97375 A (株式会社東芝) 12.04.1996 (1996 - 04 - 12) 段落[0001], [0018]-[0027], [0049], [0050], 図1-3	1, 3, 4, 6, 7, 9, 10
Y		2, 5, 8
X	JP 11-195751 A (日本電気株式会社) 21.07.1999 (1999 - 07 - 21) 段落[0038]-[0068], 図1-4	1, 4, 9, 10
A		2, 3, 5-8
Y	JP 2017-513218 A (アイピーディーアイエイ) 25.05.2017 (2017 - 05 - 25) 段落[0027]-[0053], 図1-7	2, 5
Y	JP 2015-503228 A (クアルコム, インコーポレイテッド) 29.01.2015 (2015 - 01 - 29) 段落[0002], [0004], [0015]-[0019], [0022], 図1-7	8
A	JP 8-97367 A (株式会社村田製作所) 12.04.1996 (1996 - 04 - 12) 全文, 全図	1-10
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 19.03.2020		国際調査報告の発送日 31.03.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 市川 武宜 5F 4056 電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-288309 A (ソニー株式会社) 27.11.2008 (2008 - 11 - 27) 全文, 全図	1-10
A	JP 2015-41677 A (ルネサスエレクトロニクス株式会社) 02.03.2015 (2015 - 03 - 02) 全文, 全図	1-10

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/006552

引用文献			公表日	パテントファミリー文献	公表日
JP	8-97375	A	12.04.1996	US 5614743 A 第1欄第7行目-第15行目, 第4 欄第26行目-第7欄第25行目, 図6A-8E KR 10-1996-0005996 A	
JP	11-195751	A	21.07.1999	(ファミリーなし)	
JP	2017-513218	A	25.05.2017	US 2017/0053979 A1 段落[0056]-[0080], 図1-7 WO 2015/144755 A1 EP 2924730 A1 CN 106170858 A	
JP	2015-503228	A	29.01.2015	US 2013/0120951 A1 段落[0002], [0004], [0017]- [0021], [0024], 図1-7 WO 2013/075007 A1 EP 2780942 A1 CN 104054175 A KR 10-2014-0100526 A	
JP	8-97367	A	12.04.1996	(ファミリーなし)	
JP	2008-288309	A	27.11.2008	US 2008/0283951 A1 全文, 全図 CN 101308845 A KR 10-2008-0101662 A TW 200908220 A	
JP	2015-41677	A	02.03.2015	US 2015/0054110 A1 全文, 全図 CN 104425531 A	