

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5584827号
(P5584827)

(45) 発行日 平成26年9月3日(2014.9.3)

(24) 登録日 平成26年7月25日(2014.7.25)

(51) Int.Cl.	F I
HO 2M 7/12 (2006.01)	HO 2M 7/12 Q
HO 2M 3/155 (2006.01)	HO 2M 3/155 J
	HO 2M 3/155 P

請求項の数 7 (全 25 頁)

(21) 出願番号	特願2013-511900 (P2013-511900)	(73) 特許権者	302062931
(86) (22) 出願日	平成24年4月6日(2012.4.6)		ルネサスエレクトロニクス株式会社
(86) 国際出願番号	PCT/JP2012/002416		神奈川県川崎市中原区下沼部1753番地
(87) 国際公開番号	W02012/147286	(74) 代理人	100103894
(87) 国際公開日	平成24年11月1日(2012.11.1)		弁理士 冢入 健
審査請求日	平成25年8月20日(2013.8.20)	(72) 発明者	高田 泰寛
(31) 優先権主張番号	特願2011-98790 (P2011-98790)		神奈川県横浜市神奈川区金港町3番地1
(32) 優先日	平成23年4月26日(2011.4.26)		ルネサスマイクロシステム株式会社内
(33) 優先権主張国	日本国(JP)		

審査官 今井 貞雄

最終頁に続く

(54) 【発明の名称】 PFC信号生成回路、それを用いたPFC制御システム、及びPFC制御方法

(57) 【特許請求の範囲】

【請求項1】

第1のスイッチに接続された第1のインダクタと、第2のスイッチに接続された第2のインダクタと、を有するPFC回路を制御するPFC信号を生成するPFC信号生成回路であって、

前記第1のインダクタのゼロ電流が検出される第1のタイミングに基づいて、カウント値がクリアされるカウンタと、

前記第1のタイミングが、周期下限値を下回る場合、当該周期下限値まで待機してから前記カウンタ値をクリアするカウンタクリア制御回路と、

前記カウンタ値がクリアされるタイミングで、前記第1のスイッチをオンにする第1のPFC信号を出力する第1の制御信号出力部と、

前記第2のインダクタのゼロ電流が検出される第2のタイミングに基づいて、前記第2のスイッチをオンにする第2のPFC信号を出力する第2の制御信号出力部と、を備えるPFC信号生成回路。

【請求項2】

前記周期下限値の設定値と、前記カウンタのカウント値とを比較する第1のデジタル比較器を更に備え、

前記カウンタクリア制御回路は、前記第1のデジタル比較器の比較結果に基づいて、前記第1のタイミングが、周期下限値を下回っているか否かを判断することを特徴とする請求項1に記載のPFC信号生成回路。

10

20

【請求項 3】

前記 P F C 回路からのフィードバック信号に基づいて決定される前記第 1 の P F C 信号のパルス幅の設定値と、前記カウンタのカウント値を比較する第 2 のデジタル比較器を更に備えることを特徴とする請求項 1 又は 2 に記載の P F C 信号生成回路。

【請求項 4】

前記 P F C 回路からのフィードバック信号に基づいて決定される前記第 2 の P F C 信号のパルス幅の設定値をカウントダウンするダウンカウンタを更に備えることを特徴とする請求項 1 ～ 3 のいずれか一項に記載の P F C 信号生成回路。

【請求項 5】

前記フィードバック信号に基づいて決定される前記第 1 の P F C 信号のパルス幅の設定値と、前記カウンタのカウント値を比較する第 2 のデジタル比較器を更に備えることを特徴とする請求項 4 に記載の P F C 信号生成回路。

10

【請求項 6】

交流電源に接続された P F C 回路と、

前記 P F C 回路を制御する P F C 信号を生成する P F C 信号生成回路と、を備えた P F C 制御システムであって、

前記 P F C 回路は、

第 1 のスイッチに接続された第 1 のインダクタと、

第 2 のスイッチに接続された第 2 のインダクタと、を備え、

前記 P F C 信号生成回路は、

20

前記第 1 のインダクタのゼロ電流が検出される第 1 のタイミングに基づいて、カウント値がクリアされるカウンタと、

前記第 1 のタイミングが、周期下限値を下回る場合、当該周期下限値まで待機してから前記カウンタ値をクリアするカウンタクリア制御回路と、

前記カウント値がクリアされるタイミングで、前記第 1 のスイッチをオンにする第 1 の P F C 信号を出力する第 1 の制御信号出力部と、

前記第 2 のインダクタのゼロ電流が検出される第 2 のタイミングに基づいて、前記第 2 のスイッチをオンにする第 2 の P F C 信号を出力する第 2 の制御信号出力部と、を備える P F C 制御システム。

【請求項 7】

30

第 1 のスイッチに接続された第 1 のインダクタと、第 2 のスイッチに接続された第 2 のインダクタと、を有する P F C 回路を制御する P F C 制御方法であって、

前記第 1 のインダクタのゼロ電流が検出される第 1 のタイミングに基づいて、カウンタのカウント値をクリアし、

前記カウント値がクリアされるタイミングで、前記第 1 のスイッチをオンにし、

前記第 2 のインダクタのゼロ電流が検出される第 2 のタイミングに基づいて、前記第 2 のスイッチをオンにし、

前記カウンタのカウント値をクリアする際、

前記第 1 のタイミングが、周期下限値を下回る場合、当該周期下限値まで待機してから前記カウンタ値をクリアする P F C 制御方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、P F C 信号生成回路、それを用いた P F C 制御システム、及び P F C 制御方法に関する。

【背景技術】**【0002】**

近年、電子機器の小型化、低消費電力化等の要請から、周期的にオンオフを繰り返すスイッチング回路を用いた電源いわゆるスイッチング電源が多用されている。スイッチング電源では、例えば入力パルス信号のデューティ比を調整する P W M (Pulse Width Modula

50

tion) 制御を用いることにより、電子機器の動作状態に応じて出力電圧を調整することができる。

【0003】

加えて、変換効率の向上によるさらなる低消費電力化が要求されるようになってきた。例えば、国際エネルギースタープログラム (Energy Star) では、75W以上の電子機器に対して力率改善 (PFC: Power Factor Correction) が必要となる。PFC制御には、シングル方式とインターリーブ方式とがある。インターリーブ方式では、位相差 π (180°) の2つのPFC制御パルス信号により相補的にスイッチング動作を行なう。これにより、位相差 π の2つのコイル電流が生成される。そのため、インターリーブ方式では、シングル方式に比べ2倍の電力が得られる。さらに、出力電流のリプルが小さいため、これを低減するためのコンデンサの容量を小さくすることができる。

10

【0004】

特許文献1には、臨界モードインターリーブ方式のPFC制御を採用したスイッチング電源が開示されている。特許文献1には、1つのコイル電流におけるゼロ電流のみを検出し、自動的に位相差 π のPFC制御パルス信号を生成する手法と、2つのコイル電流におけるゼロ電流をそれぞれ検出し、2つのPFC制御パルス信号を生成する手法が開示されている。後者の場合、双方のコイル電流について臨界モードを保証することができるため、効率が向上する。

【0005】

なお、特許文献2には、プログラムの実行に伴って、計数される一定時間内にクリア信号が入力されることを検出してコンピュータにリセット信号を出力し異常を報知するウォッチドッグタイマが開示されている。このウォッチドッグタイマは、前記一定時間の終了時に対し設定時間前のみ前記クリア信号の入力を許可する信号制御手段を備えている。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】国際公開第2008/032769号

【特許文献2】特開平1-293449号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0007】

発明者は以下の課題を見出した。

特許文献1において、コイル電流におけるゼロ電流を検出する場合、ノイズなどが原因で、PFC制御パルス信号の周期が小さくなり過ぎるおそれがあった。そして、このような異常なPFC制御パルス信号により、電力ロスが増大し、力率が低下するおそれがあった。

【課題を解決するための手段】

【0008】

本発明に係るPFC信号生成回路は、第1のスイッチに接続された第1のインダクタと、第2のスイッチに接続された第2のインダクタと、を有するPFC回路を制御するPFC信号を生成するPFC信号生成回路である。第1のインダクタのゼロ電流が検出される第1のタイミングに基づいて、カウント値がクリアされるカウンタと、第1のタイミングが、周期下限値を下回る場合、当該周期下限値まで待機してからカウント値をクリアするカウンタクリア制御回路と、カウント値がクリアされるタイミングで、第1のスイッチをオンにする第1のPFC信号を出力する第1の制御信号出力部と、第2のインダクタのゼロ電流が検出される第2のタイミングに基づいて、第2のスイッチをオンにする第2のPFC信号を出力する第2の制御信号出力部と、を備える。

40

【0009】

本発明に係るPFC制御システムは、交流電源に接続されたPFC回路と、PFC回路を制御するPFC信号を生成するPFC信号生成回路と、を備えたPFC制御システムで

50

ある。P F C回路は、第1のスイッチに接続された第1のインダクタと、第2のスイッチに接続された第2のインダクタと、を備える。P F C信号生成回路は、第1のインダクタのゼロ電流が検出される第1のタイミングに基づいて、カウント値がクリアされるカウンタと、第1のタイミングが、周期下限値を下回る場合、当該周期下限値まで待機してからカウンタ値をクリアするカウンタクリア制御回路と、カウント値がクリアされるタイミングで、第1のスイッチをオンにする第1のP F C信号を出力する第1の制御信号出力部と、第2のインダクタのゼロ電流が検出される第2のタイミングに基づいて、第2のスイッチをオンにする第2のP F C信号を出力する第2の制御信号出力部と、を備える。

【0010】

本発明に係るP F C制御方法は、第1のスイッチに接続された第1のインダクタと、第2のスイッチに接続された第2のインダクタと、を有するP F C回路を制御するP F C制御方法である。第1のインダクタのゼロ電流が検出される第1のタイミングに基づいて、カウンタのカウント値をクリアし、カウント値がクリアされるタイミングで、第1のスイッチをオンにし、第2のインダクタのゼロ電流が検出される第2のタイミングに基づいて、第2のスイッチをオンにし、カウンタのカウント値をクリアする際、第1のタイミングが、周期下限値を下回る場合、当該周期下限値まで待機してからカウンタ値をクリアする。

10

【0011】

本発明では、前記カウンタのカウント値をクリアする際、第1のインダクタのゼロ電流が検出されるタイミングが、周期下限値を下回る場合、当該周期下限値まで待機してから前記カウンタ値をクリアする。これにより、基準となる第1のP F C信号の周期下限値が保証される。そのため、P F C回路による力率改善をより向上させることができる。

20

【発明の効果】

【0012】

本発明によれば、P F C回路による力率改善をより向上させるP F C制御パルス信号を生成することができる。

【図面の簡単な説明】

【0013】

【図1】本実施の形態に係るP W M信号生成ユニットが適用されるプロセッサシステムM C Uの概略図である。

30

【図2A】L E Dを駆動する電源回路の回路図である。

【図2B】L E Dを駆動する電源回路の回路図である。

【図3A】D C / D Cユニットの他の構成例を示す回路図である。

【図3B】D C / D Cユニットの他の構成例を示す回路図である。

【図4】P F Cユニットの他の構成例を示す回路図である。

【図5A】L E Dを駆動する電源回路の他の構成例を示す回路図である。

【図5B】L E Dを駆動する電源回路の他の構成例を示す回路図である。

【図6】実施の形態1に係るP F C信号生成ユニットP S Gのブロック図である。

【図7】P F C制御パルス信号p f c 1の生成方法を説明するためのタイミングチャートである。

40

【図8】カウンタクリア制御回路202の具体的な回路構成の一例を示す回路図である。

【図9】カウンタクリア制御回路202の動作を説明するためのタイミングチャートである。

【図10】P F C制御パルス信号p f c 2の生成方法を説明するためのタイミングチャートである。

【図11】出力タイミング補正回路113の処理フローを示すフローチャートである。

【図12】P F C制御パルス信号p f c 2の生成方法を説明するためのタイミングチャートである。

【図13】P F C制御パルス信号p f c 2の生成方法を説明するためのタイミングチャートである。

50

【図14】PFC制御パルス信号pfc2の生成方法を説明するためのタイミングチャートである。

【発明を実施するための形態】

【0014】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。ただし、本発明が以下の実施の形態に限定される訳ではない。また、説明を明確にするため、以下の記載及び図面は、適宜、簡略化されている。

【0015】

(実施の形態1)

まず、本実施の形態に係るPFC信号生成ユニットが適用されるプロセッサシステムの概要について説明する。なお、本実施の形態に係るPFC信号生成ユニットは、以下で説明するプロセッサシステムに適用されるものではあるが、説明するプロセッサシステムは一例であり、他のプロセッサシステムに本発明を適用することも可能である。

【0016】

図1は、本実施の形態に係るPWM信号生成ユニットが適用されるプロセッサシステムMCUの概略図である。図1に示すように、このプロセッサシステムMCUは、メモリMEM、演算コアPE、クロック生成ユニットCG、PWM信号生成ユニットPWM、PFC信号生成ユニットPSG、モニタユニットMON、IOユニットIOU、周辺回路PERIを有する。

【0017】

図1には、プロセッサシステムMCUにより制御される制御対象回路PWRも示した。この制御対象回路PWRは、例えば、電源回路である。この電源回路は、PFC信号生成ユニットPSGにより生成されるPFC制御パルス信号pfcに基づき、交流電源電圧から直流電源電圧を高効率に生成する(AC/DC変換)。さらに、PWM信号生成ユニットPWMにより生成されるPWM制御パルス信号pwmに基づき、その直流電源電圧を昇圧もしくは降圧した直流電源電圧を生成し(DC/DC変換)、他の回路に供給する。

【0018】

メモリMEMは、プロセッサシステムMCUにより用いられるプログラム及びプロセッサシステムMCUを動作させるために用いられる設定値等が格納される。

演算コアPEは、メモリMEMに格納されたプログラム又は外部から読み込んだプログラムに基づくプロセッサシステムMCUに求められる具体的な処理を行う。一般的には、CPU(Central Processing Unit)である。

クロック生成ユニットCGは、プロセッサシステムMCU内の各回路ブロックで利用されるクロック信号を生成する。また、クロック生成ユニットCGで生成されたクロック信号は、外部に出力されてもよい。

なお、プロセッサシステムMCU内で利用されるクロック信号は、外部の回路から供給することも可能である。

【0019】

PWM信号生成ユニットPWMは、制御対象回路PWRをPWM制御するためのパルス信号であるPWM制御パルス信号pwmを生成する。このPWM信号生成ユニットPWMは、例えば、プロセッサシステムMCUのタイマ機能を利用することにより実現することができる。

【0020】

PFC信号生成ユニットPSGは、制御対象回路PWRをPFC制御するためのパルス信号であるPFC制御パルス信号pfcを生成する。このPFC信号生成ユニットPSGは、PWM信号生成ユニットPWMと同様に、例えば、プロセッサシステムMCUのタイマ機能を利用することにより実現することができる。

【0021】

モニタユニットMONは、PWM制御パルス信号pwmやPFC制御パルス信号pfcを生成するための制御対象回路PWRからのフィードバック信号monをモニタする。そ

10

20

30

40

50

して、モニタユニットMONは、アナログ信号であるフィードバック信号monをデジタル信号に変換し、例えば演算コアPEに伝達する。図1の例では、外部に設けられた制御対象回路PWRから出力されるフィードバック信号monをモニタし、当該フィードバック信号monに応じたデジタル値をプロセッサシステムMCUに取り込む。このモニタユニットMONは、アナログデジタル変換器（ADC：Analog to Digital Converter）、コンパレータ回路等のアナログ値をデジタル値に変換可能な回路により構成することができる。

【0022】

IOユニットIOUは、外部に設けられた回路との間で通信を行い、プロセッサシステムMCUに対する制御信号等の受信、あるいは、プロセッサシステムMCUの処理結果の送信等を行う。IOユニットIOUの具体的な例としては、SPIユニット、UARTユニット等が考えられる。なお、SPIユニットは、3線又は4線のシリアル通信であるSPI（System Packet Interface）規格の通信を行う。また、UART（Universal Asynchronous Receiver Transmitter）ユニットは、調歩同期方式によるシリアル信号をパラレル信号に変換し、また、その逆方向の変換を行う。

10

【0023】

周辺回路PERIは、上述した回路ブロック以外の回路であって、演算コアPEにより利用される回路ブロックを含む。周辺回路PERIとしては、例えば、タイマユニット、ウォッチドッグタイマユニット、DMA（Direct Memory Access）ユニット、低電圧検出ユニット、パワーオンリセット（POR）ユニット等が考えられる。

20

【0024】

なお、本発明が適用されるプロセッサシステムMCUでは、演算コアPE、メモリMEM、PWM信号生成ユニットPWM、PFC信号生成ユニットPSG、モニタユニットMON、IOユニットIOU、周辺回路PERIがバスにより相互により接続される構成となっている。また、図示してはいないが、プロセッサシステムMCUには、他の回路から電源が供給される。

【0025】

ここまでで説明したプロセッサシステムMCUは、本発明が適用されるプロセッサシステムの一例を示したものであり、例えば、メモリMEMに格納するプログラム及びデータはシステムの仕様により適宜変更可能である。また、回路ブロック間の接続は、例えば、複数のバスを介して接続される構成であっても良く、バスを介さずに演算コアPEと、他の回路ブロックと、が直接接続される構成であってもよい。

30

【0026】

プロセッサシステムMCUは、PWM制御パルス信号pwm及びPFC制御パルス信号pfcを生成し、制御対象回路PWRに与える。そして、プロセッサシステムMCUは、このPWM制御パルス信号pwm及びPFC制御パルス信号pfcのデューティやPWM制御パルス信号pwmの生成タイミング等を制御対象回路PWRからのフィードバック信号monや他の回路から入力される制御信号等により制御する。

【0027】

そこで、プロセッサシステムMCUが生成するPWM制御パルス信号pwm及びPFC制御パルス信号pfcの利用形態を明確にするために、制御対象回路PWRの一例である電源回路について説明する。以下で説明する電源回路は、負荷回路としてLED（Light Emitting Diode）を駆動するが、負荷回路は、LEDに限らず、一般的な回路であってもよい。

40

【0028】

図2A、2BにLEDを駆動する電源回路の例を示す。なお、図2A、2Bでは、電源回路にPWRの符号を付す。また、図2A、2Bで示す電源回路PWRでは、スイッチング動作を行う出力トランジスタにNMOSトランジスタを用いるが、この出力トランジスタは、PMOSトランジスタで構成することもでき、また、PNPトランジスタあるいはNPNトランジスタで構成することもできる。

50

【0029】

図2A、2Bに示す電源回路PWRは、いずれも交流電源AP、全波整流回路FWR、PFCユニット、DC/DCユニットを備えている。図2A、2Bにおいて、交流電源AP、全波整流回路FWR、及びPFCユニットは共通である。

【0030】

まず、全波整流回路FWRは、交流電源APから直流電圧V1を生成する。全波整流回路FWRは、4つのダイオードを備えたブリッジ回路である。全波整流回路FWRにおいて、交流電源APがアノードに接続された2つのダイオードのそれぞれのカソードには、全波整流回路FWRの出力に共通接続されている。一方、交流電源APがカソードに接続された2つのダイオードのそれぞれのアノードは、共通に接地されている。

10

【0031】

次に、PFCユニットについて説明する。図2AのPFCユニットは、非絶縁型昇圧コンバータである。このPFCユニットは、インダクタL1、L2、Lm1、Lm2、ダイオードD1、D2、NMOSトランジスタNM1、NM2、平滑コンデンサC1、抵抗R1、R2を備えている。PFCユニットは、インターリーブ方式のPFC回路であり、位相差がおよそ π (180°)の2つのPFC制御パルス信号pfc1、pfc2により、NMOSトランジスタNM1、NM2を相補的にスイッチング動作させる。PFCユニットは、直流電圧V1から直流電圧V2を生成する。

【0032】

インダクタL1、L2のそれぞれの一端は、全波整流回路FWRの出力に共通に接続され、電圧V1が与えられている。インダクタL1の他端には、ダイオードD1のアノードが接続されている。インダクタL2の他端には、ダイオードD2のアノードが接続されている。ダイオードD1、D2のそれぞれのカソードには、平滑コンデンサC1の一端が共通接続されている。つまり、直列接続されたインダクタL1及びダイオードD1と、直列接続されたインダクタL2及びダイオードD2とが、並列接続されている。平滑コンデンサC1の他端は、接地されている。

20

【0033】

直列接続されたインダクタL1及びダイオードD1の間のノードには、NMOSトランジスタNM1のドレインが接続されている。NMOSトランジスタNM1のソースは接地されている。そして、NMOSトランジスタNM1のゲートにはPFC制御パルス信号pfc1が入力される。NMOSトランジスタNM1は、PFC制御パルス信号pfc1の電圧レベルに応じてスイッチング動作を行う。NMOSトランジスタNM1がオンの期間にインダクタL1にエネルギーが蓄積され、NMOSトランジスタNM1がオフの期間にインダクタL1に蓄積されたエネルギーにより、ダイオードD1を介して平滑コンデンサC1が充電される。

30

【0034】

直列接続されたインダクタL2及びダイオードD2の間のノードには、NMOSトランジスタNM2のドレインが接続されている。NMOSトランジスタNM2のソースは接地されている。そして、NMOSトランジスタNM2のゲートにはPFC制御パルス信号pfc2が入力される。NMOSトランジスタNM2は、PFC制御パルス信号pfc2の電圧レベルに応じてスイッチング動作を行う。NMOSトランジスタNM2がオンの期間にインダクタL2にエネルギーが蓄積され、NMOSトランジスタNM2がオフの期間にインダクタL2に蓄積されたエネルギーにより、ダイオードD2を介して平滑コンデンサC1が充電される。平滑コンデンサC1に充電された電荷に応じた出力電圧V2が出力される。

40

【0035】

ここで、インダクタL1を流れる電流I1に応じたフィードバック信号mon1が、インダクタL1と鉄心を介して電磁結合されたモニタ用インダクタLm1により生成される。そして、このフィードバック信号mon1が、モニタユニットMONにフィードバックされる。同様に、インダクタL2を流れる電流I2に応じたフィードバック信号mon2

50

が、インダクタ L_2 と鉄心を介して電磁結合されたモニタ用インダクタ L_{m2} により生成される。そして、このフィードバック信号 m_{on2} が、モニタユニットMONにフィードバックされる。このような構成により、電流 I_1 、 I_2 のゼロ電流が検出される。

【0036】

また、平滑コンデンサ C_1 と並列して、抵抗 R_1 、 R_2 が直列接続されている。つまり、抵抗 R_1 、 R_2 の両端には、PFCユニットの出力電圧 V_2 が与えられる。そして、抵抗 R_1 と抵抗 R_2 の間のノードから、フィードバック信号 m_{on3} が出力される。フィードバック信号 m_{on3} は、出力電圧 V_2 を抵抗 R_1 、 R_2 の抵抗比に分圧したモニタ電圧である。このフィードバック信号 m_{on3} は、プロセッサシステムMCUのモニタユニットMONにフィードバックされる。これにより、PFC制御パルス信号 pfc_1 、 pfc_2 のデューティ比やパルス幅が決定される。このように、図2A、2BのPFCユニットは、定電圧制御回路である。

10

【0037】

次に、図2A、2BにおけるDC/DCユニットについて順に説明する。まず、図2AのDC/DCユニットについて説明する。図2AのDC/DCユニットは、降圧型のDC/DCコンバータである。このDC/DCユニットは、NMOSトランジスタNM3、インダクタ L_3 、ダイオード D_3 、平滑コンデンサ C_2 、抵抗 R_m を有する。

【0038】

NMOSトランジスタNM3のドレインは、PFCユニットの出力に接続され、ソースはダイオード D_3 のカソードに接続されている。また、NMOSトランジスタNM3のゲートには、PWM制御パルス信号 pwm が与えられる。そのため、NMOSトランジスタNM3はPWM制御パルス信号 pwm の電圧レベルに応じてスイッチング動作を行う。ダイオード D_3 のアノードは、接地されている。NMOSトランジスタNM3のソースとダイオード D_3 のカソードとの間のノードには、インダクタ L_3 の一端が接続されている。インダクタ L_3 の他端は、平滑コンデンサ C_2 の一端に接続される。平滑コンデンサ C_2 の他端は、接地されている。

20

【0039】

そして、平滑コンデンサ C_2 とインダクタ L_3 との間のノードから平滑コンデンサ C_2 に蓄積された電荷に応じた出力電圧 V_{out} が出力される。また、平滑コンデンサ C_2 に蓄積された電荷は、出力電流 I_{out} としてLEDに供給される。また、LEDのカソードとグラウンドとの間には、抵抗 R_m が設けられている。この抵抗 R_m には、LEDに流れる出力電流 I_{out} が流れる。つまり、抵抗 R_m の両端には、出力電流 I_{out} と抵抗 R_m の抵抗値とに応じた電圧が生じる。この電圧は、出力電流 I_{out} をモニタするためのモニタ電圧である。このモニタ電圧が、フィードバック信号 m_{on4} として、モニタユニットMONにフィードバックされる。そして、プロセッサシステムMCUのPWM信号生成ユニットは、モニタ電圧の電圧レベルが一定になるようなデューティ比、あるいは、周期を有するPWM制御パルス信号 pwm を生成する。このように、図2AのDC/DCユニットは、定電流制御回路である。

30

【0040】

次に、図2BのDC/DCユニットについて説明する。図2BのDC/DCユニットは、非絶縁型昇圧DC/DCコンバータである。このDC/DCユニットも、NMOSトランジスタNM3、インダクタ L_3 、ダイオード D_3 、平滑コンデンサ C_2 、抵抗 R_m を有する。

40

【0041】

インダクタ L_3 の一端は、PFCユニットの出力に接続され、他端はNMOSトランジスタNM3のドレインに接続されている。NMOSトランジスタNM3のソースは接地されている。また、NMOSトランジスタNM3のゲートには、PWM制御パルス信号 pwm が与えられる。そのため、NMOSトランジスタNM3はPWM制御パルス信号 pwm の電圧レベルに応じてスイッチング動作を行う。NMOSトランジスタNM3のドレインとインダクタ L_3 との間のノードには、ダイオード D_3 のアノードが接続されている。ダ

50

イオードD3のカソードは、平滑コンデンサC2の一端に接続される。平滑コンデンサC2の他端は、接地されている。

【0042】

そして、平滑コンデンサC2とダイオードD3のカソードとの間のノードから平滑コンデンサC2に蓄積された電荷に応じた出力電圧Voutが出力される。また、平滑コンデンサC2に蓄積された電荷は、出力電流IoutとしてLEDに供給される。また、LEDのカソードとグランドとの間には、抵抗Rmが設けられている。この抵抗Rmには、LEDに流れる出力電流Ioutが流れる。つまり、抵抗Rmの両端には、出力電流Ioutと抵抗Rmの抵抗値とに応じた電圧が生じる。この電圧は、出力電流Ioutをモニタするためのモニタ電圧である。このモニタ電圧が、フィードバック信号mon4として、
10 モニタユニットMONにフィードバックされる。そして、プロセッサシステムMCUのPWM信号生成ユニットは、モニタ電圧の電圧レベルが一定になるようなデューティ比、あるいは、周期を有するPWM制御パルス信号pwmを生成する。このように、図2BのDC/DCユニットも、定電流制御回路である。

【0043】

次に、図3A、3Bを参照して、DC/DCユニットの他の構成について説明する。図3AのDC/DCユニットは、図2AのDC/DCユニットと同様に、非絶縁型降圧DC/DCコンバータである。図2AのDC/DCユニットでは、フィードバック信号mon4を生成するための抵抗Rmが、LEDと直列接続されている。これに対し、図3AのDC/DCユニットでは、フィードバック信号mon4を生成するための抵抗Rm1、Rm2が、LEDと並列接続されている。
20

【0044】

従って、抵抗Rm1、Rm2の両端には、電源回路PWRの出力電圧Voutが与えられる。そして、抵抗Rm1と抵抗Rm2の間のノードから、フィードバック信号mon4が出力される。フィードバック信号mon4は、出力電圧Voutを抵抗Rm1、Rm2の抵抗比に分圧したモニタ電圧である。このフィードバック信号mon4は、プロセッサシステムMCUのモニタユニットMONにフィードバックされる。そして、プロセッサシステムMCUのPWM信号生成ユニットは、モニタ電圧の電圧レベルが一定になるようなデューティ比、あるいは、周期を有するPWM制御パルス信号pwmを生成する。このように、図3AのDC/DCユニットは、定電圧制御回路である。その他の構成は、図2A
30 のDC/DCユニットと同様であるため、説明を省略する。

【0045】

図3BのDC/DCユニットは、図2BのDC/DCユニットと同様に、非絶縁型昇圧DC/DCコンバータである。図2BのDC/DCユニットでは、フィードバック信号mon4を生成するための抵抗Rmが、LEDと直列接続されている。これに対し、図3BのDC/DCユニットでは、フィードバック信号mon4を生成するための抵抗Rm1、Rm2が、LEDと並列接続されている。

【0046】

従って、抵抗Rm1、Rm2の両端には、電源回路PWRの出力電圧Voutが与えられる。そして、抵抗Rm1と抵抗Rm2の間のノードから、フィードバック信号mon4
40 が出力される。フィードバック信号mon4は、出力電圧Voutを抵抗Rm1、Rm2の抵抗比に分圧したモニタ電圧である。このフィードバック信号mon4は、プロセッサシステムMCUのモニタユニットMONにフィードバックされる。そして、プロセッサシステムMCUのPWM信号生成ユニットは、モニタ電圧の電圧レベルが一定になるようなデューティ比、あるいは、周期を有するPWM制御パルス信号pwmを生成する。このように、図3BのDC/DCユニットは、定電圧制御回路である。その他の構成は、図2BのDC/DCユニットと同様であるため、説明を省略する。

【0047】

次に、図4を参照して、PFCユニットの他の構成について説明する。図2A、2BのPFCユニットが非絶縁型昇圧コンバータであったのに対し、図4のPFCユニットは、
50

絶縁型フライバックコンバータである点異なる。非絶縁型と絶縁型との違いはあるものの、動作原理は同様である。図4のPFCユニットは、インダクタL11、L12、L21、L22、Lm1、Lm2、ダイオードD1、D2、NMOSトランジスタNM1、NM2、平滑コンデンサC1を備えている。

【0048】

インダクタL11、L21のそれぞれの一端は、全波整流回路FWRの出力に共通に接続され、電圧V1が与えられている。インダクタL11の他端には、NMOSトランジスタNM1のドレインが接続されている。インダクタL2の他端には、NMOSトランジスタNM2のドレインが接続されている。NMOSトランジスタNM1、NM2のソースは、いずれも接地されている。そして、NMOSトランジスタNM1のゲートにはPFC制御パルス信号pfc1が入力され、NMOSトランジスタNM2のゲートにはPFC制御パルス信号pfc2が入力される。

10

【0049】

インダクタL12は、インダクタL11とコアを介して電磁結合されている。一端が接地されたインダクタL12の他端には、ダイオードD1のアノードが接続されている。インダクタL22は、インダクタL21とコアを介して電磁結合されている。一端が接地されたインダクタL22の他端には、ダイオードD2のアノードが接続されている。ダイオードD1、D2のそれぞれのカソードには、平滑コンデンサC1の一端が共通接続されている。平滑コンデンサC1の他端は、接地されている。

20

【0050】

ここで、インダクタL12を流れる電流I1に応じたフィードバック信号mon1が、インダクタL11と鉄心を介して電磁結合されたモニタ用インダクタLm1により生成される。そして、このフィードバック信号mon1が、モニタユニットMONにフィードバックされる。同様に、インダクタL2を流れる電流I2に応じたフィードバック信号mon2が、インダクタL2と鉄心を介して電磁結合されたモニタ用インダクタLm2により生成される。そして、このフィードバック信号mon2が、モニタユニットMONにフィードバックされる。このような構成により、電流I1、I2のゼロ電流が検出される。

【0051】

また、平滑コンデンサC1と並列して、抵抗R1、R2が直列接続されている。つまり、抵抗R1、R2の両端には、PFCユニットの出力電圧V2が与えられる。そして、抵抗R1と抵抗R2の間のノードから、フィードバック信号mon3が出力される。フィードバック信号mon3は、出力電圧V2を抵抗R1、R2の抵抗比に分圧したモニタ電圧である。このフィードバック信号mon3は、プロセッサシステムMCUのモニタユニットMONにフィードバックされる。これにより、PFC制御パルス信号pfc1、pfc2のデューティ比やパルス幅が決定される。このように、図4のPFCユニットは、定電圧制御回路である。

30

【0052】

次に、図5A、5Bを参照して、電源回路PWRの他の構成について説明する。図5Aの電源回路PWRでは、図2A、2Bの電源回路PWRと同様に、PFCユニットが非絶縁型昇圧コンバータである。図2A、2BのPFCユニットでは、フィードバック信号mon3を生成するための抵抗R1、R2が、平滑コンデンサC1と並列接続されている。これに対し、図5AのPFCユニットでは、フィードバック信号mon3を生成するための抵抗Rが、LEDと直列接続されている。つまり、このPFCユニットは定電流制御回路である。この場合、図5Aに示すように、DC/DCユニットを省略して、PFCユニットに直接LEDを接続することができる。従って、回路を小型化することができる。

40

【0053】

図5Bの電源回路PWRでは、図4の電源回路PWRと同様に、PFCユニットが絶縁型フライバックコンバータである。図4のPFCユニットでは、フィードバック信号mon3を生成するための抵抗R1、R2が、平滑コンデンサC1と並列接続されている。これに対し、図5BのPFCユニットでは、フィードバック信号mon3を生成するための

50

抵抗Rが、LEDと直列接続されている。つまり、このPFCユニットは定電流制御回路である。この場合、図5Bに示すように、DC/DCユニットを省略して、PFCユニットに直接LEDを接続することができる。従って、回路を小型化することができる。

【0054】

次に、図6を参照して本発明の第1の実施の形態に係るPFC信号生成ユニットPSGについて説明する。図6は、実施の形態1に係るPFC信号生成ユニットPSGのブロック図である。図6に示すように、PFC信号生成ユニットPSGは、アップカウンタ101、周期上限比較器104、周期下限比較器201、カウンタクリア制御回路202、パルス幅比較器107、ORゲート108、第1制御パルス出力回路109、カウント値キャプチャ回路110、シフト回路111、位相比較器112、出力タイミング補正回路113、ダウンカウンタ116、第2制御パルス出力回路117、割込信号出力回路118、を備えている。

10

【0055】

アップカウンタ101は、入力されるクロック信号clkをカウントアップする。アップカウンタ101は、インダクタL1を流れる電流I1のゼロ電流検出信号cd1が入力されるタイミングでカウント値をクリアし、新たに0からカウントを開始する。ゼロ電流検出信号cd1は、図1のモニタユニットMONにより生成される。

【0056】

周期上限比較器104は、デジタルコンパレータであって、詳細には一致回路である。周期上限比較器104は、アップカウンタ101のカウント値cnt1と、周期上限設定値とが一致した場合、クリア信号clrを出力する。クリア信号clrが、アップカウンタ101に入力されると、アップカウンタ101のカウント値がクリアされる。つまり、アップカウンタ101のカウント値が設定された周期上限設定値に達するまでに電流I1のゼロ電流検出信号cd1が入力されなければ、強制的にアップカウンタ101のカウント値がクリアされる。上述の通り、クリア信号clrは例外的に出力されるため、図6では点線で示されている。

20

【0057】

ここで、周期上限設定値は、PFC制御パルス信号pfc1が取り得る周期の上限値であって、演算コアPEにより設定される。詳細には後述するように、PFC制御パルス信号pfc1の周期は、原則として電流I1のゼロ電流検出信号cd1が入力される間隔であり、必ずしも一定ではない。周期上限設定値は、システム立ち上げ時やトラブルなどにより電流I1のゼロ電流検出信号cd1が入力されない場合に用いられる補助的なものである。

30

【0058】

周期下限比較器201は、デジタルコンパレータであって、詳細には一致回路である。周期下限比較器201は、アップカウンタ101のカウント値cnt1と、周期下限設定値とが一致した場合、一致信号cs2を出力する。一致信号cs2は、カウンタクリア制御回路202に入力される。

【0059】

カウンタクリア制御回路202は、周期下限比較器201が出力する一致信号cs2に基づいて、電流I1のゼロ電流検出信号cd1が入力されたタイミングを判断し、適切なタイミングでクリア信号cd1a、cd1bを出力する。具体的には、電流I1のゼロ電流検出信号cd1が周期下限設定値以下のタイミングで入力された場合、周期下限設定値まで待機して、アップカウンタ101のカウント値をクリアする。一方、電流I1のゼロ電流検出信号cd1が周期下限設定値を超えたタイミングで入力された場合、通常通り、そのタイミングにおいて、アップカウンタ101のカウント値をクリアする。カウンタクリア制御回路202の構成及び動作の詳細については、後述する。

40

【0060】

パルス幅比較器107は、デジタルコンパレータであって、詳細には一致回路である。パルス幅比較器107は、アップカウンタ101のカウント値cnt1と、PFC制御パ

50

ルス信号 $pfc1$ のパルス幅設定値とが一致した場合、リセット信号 $rst1$ を出力する。

【0061】

ここで、パルス幅設定値は、PFCユニットからフィードバックされるフィードバック信号 $mon3$ に基づいて決定されるデューティ比と、PFC制御パルス信号 $pfc1$ の周期とに基づいて演算コアPEにより演算される。ここで、周期とは、電流 $I1$ のゼロ電流検出信号 $cd1$ が発生する間隔である。パルス幅設定値は、PFC制御により随時更新される。例えばアップカウンタ101のカウント値がクリアされたタイミングで、更新される。

【0062】

ORゲート108には、カウンタクリア制御回路202から出力されたクリア信号 $cd1a$ 、 $cd1b$ と、周期上限比較器104から出力されたクリア信号 clr とが入力される。ORゲート108はセット信号 $set1$ を出力する。セット信号 $set1$ は、つまりアップカウンタ101のカウント値をクリアするためのクリア信号である。

【0063】

第1制御パルス出力回路109は、セット信号 $set1$ とリセット信号 $rst1$ とに基づいて、PFC制御パルス信号 $pfc1$ を生成し、出力する。詳細には後述する通り、PFC制御パルス信号 $pfc1$ は、セット信号 $set1$ が入力されたタイミングにおいて、インアクティブレベルからアクティブレベルへセットされる。一方、リセット信号 $rst1$ が入力されるタイミングにおいて、アクティブレベルからインアクティブレベルへリセットされる。つまり、セット信号 $set1$ が入力されたタイミングからリセット信号 $rst1$ が入力されるタイミングまでの間、PFC制御パルス信号 $pfc1$ がアクティブレベルとなる。

【0064】

例えば、図2A、2Bなどに示すように、PFC制御パルス信号 $pfc1$ がNMOSTランジスタに入力される場合、このアクティブレベルの期間、PFC制御パルス信号 $pfc1$ がH(High)になる。一方、PFC制御パルス信号 $pfc1$ がPMOSTランジスタに入力される場合(不図示)、このアクティブレベルの期間、PFC制御パルス信号 $pfc1$ がL(Low)になる。

【0065】

カウント値キャプチャ回路110は、電流 $I1$ のゼロ電流検出信号 $cd1$ が入力されたタイミングで、アップカウンタ101のカウント値 $cnt1$ を取り込む。つまり、クリアされる時点でのアップカウンタ101のカウント値 $cnt1$ つまり「前周期」の周期値 T (以下、 T は「前周期」の最大カウント値である) を取り込む。

【0066】

シフト回路111は、カウント値キャプチャ回路110が取り込んだ周期値 T を1ビットシフトさせ、目標位相差である $1/2$ 周期値 $T/2$ を生成する。

位相比較器112は、デジタルコンパレータであって、詳細には一致回路である。位相比較器112は、アップカウンタ101のカウント値 $cnt1$ と、シフト回路111が生成した $1/2$ 周期値 $T/2$ とが一致した場合、一致信号 $cs1$ を出力する。

【0067】

出力タイミング補正回路113は、セット信号 $set1$ と、位相比較器112が出力する一致信号 $cs1$ とに基づいて、電流 $I2$ のゼロ電流検出信号 $cd2$ が入力されたタイミングを判断し、適切なタイミングでセット信号 $set2$ を出力する。出力タイミング補正回路113の構成及び動作の詳細については、後述する。

【0068】

ダウンカウンタ116は、セット信号 $set2$ が入力されたタイミングにおいて、PFC制御パルス信号 $pfc2$ のパルス幅設定値からカウントダウンを開始する。ダウンカウンタ116は、クロック信号 clk に応じてカウントダウンし、カウント値が1に達した時点で停止するとともに、リセット信号 $rst2$ を出力する。なお、ここで、カウント値

10

20

30

40

50

が0でなく1に達した時点でリセット信号rst2が出力されることにより、所望のパルス幅が得られる。

【0069】

ここで、パルス幅設定値は、PFC制御パルス信号pfc1の場合と同様に、PFCユニットからフィードバックされるフィードバック信号mon3に基づいて決定されるデューティ比と、PFC制御パルス信号pfc1の周期とに基づいて演算コアPEにより演算される。つまり、PFC制御パルス信号pfc1、pfc2のパルス幅設定値は、いずれも同じ信号から生成されるため、略同程度の値となる。しかし、同一の値である必要はない。このパルス幅設定値は、PFC制御により、随時更新される。例えば、アップカウンタ101のカウンタ値がクリアされたタイミングで更新される。

10

【0070】

第2制御パルス出力回路117は、セット信号set2とリセット信号rst2とに基づいて、PFC制御パルス信号pfc2を生成し、出力する。詳細には後述する通り、PFC制御パルス信号pfc2は、セット信号set2が入力されたタイミングにおいて、インアクティブレベルからアクティブレベルへセットされる。一方、リセット信号rst2が入力されるタイミングにおいて、アクティブレベルからインアクティブレベルへリセットされる。つまり、セット信号set2が入力されたタイミングからリセット信号rst2が入力されるタイミングまでの間、PFC制御パルス信号pfc2がアクティブレベルとなる。

【0071】

20

割込信号出力回路118は、アップカウンタ101のカウンタ値cnt1がクリアされる毎に割込信号intを生成し、出力する。例えば、演算コアPEは、この割込信号intを受信する毎に、PFC制御パルス信号pfc1、pfc2のパルス幅設定値を更新する。

【0072】

次に、図7を参照して、PFC制御パルス信号pfc1の生成方法について説明する。図7は、PFC制御パルス信号pfc1の生成方法を説明するためのタイミングチャートである。図7の上から順に、セット信号set1、リセット信号rst1、アップカウンタ101のカウンタ値cnt1、PFC制御パルス信号pfc1が示されている。

【0073】

30

上述の通り、セット信号set1は、原則として電流I1のゼロ電流検出信号cd1である。つまり、図7に示すように、電流I1のゼロ電流検出信号cd1が発生するタイミングにおいて、アップカウンタ101のカウンタ値cnt1がクリアされるとともに、PFC制御パルス信号pfc1がインアクティブレベルからアクティブレベルへ切り換わる。

【0074】

図7に示すように、16ビットのアップカウンタ101の場合、0000HからFFFFHまでカウンタ可能である。従って、PFC制御パルス信号pfc1のパルス幅設定値及び周期上限設定値は、0000HからFFFFHまでの間の値となる。当然のことながら、パルス幅設定値 $\leq$ 周期上限設定値+1の関係にある。上述の通り、アップカウンタ101のカウンタ値cnt1と、パルス幅設定値とが一致した場合、パルス幅比較器107からリセット信号rst1が出力される。このタイミングにおいて、PFC制御パルス信号pfc1がアクティブレベルからインアクティブレベルへ切り換わる。従って、図7に示すようなPFC制御パルス信号pfc1が生成される。

40

【0075】

次に、図8を参照して、カウンタクリア制御回路202の具体的な回路構成について説明する。以下に示す回路構成はあくまでも一例である。図8は、カウンタクリア制御回路202の具体的な回路構成の一例を示す回路図である。図8に示すように、カウンタクリア制御回路202は、保持回路HC11、HC12、ANDゲートA11～A13、DフリップフロップDF11、を備えている。ここで、各保持回路HC11、HC12は、D

50

フリップフロップから構成されている。前段のSRはDフリップフロップのデータ入力に対するセット入力及びリセット入力を示している。各Dフリップフロップのクロック入力にはクロック信号clkが入力される。

【0076】

保持回路HC11のセット入力Sには、周期下限比較器201が出力する一致信号cs2が入力され、リセット入力Rには、セット信号set1が入力される。保持回路HC11の出力信号は、周期下限設定値を超えた期間を示す期間信号hs11である。この期間信号hs11の反転信号がANDゲートA11の一方の入力に入力される。ANDゲートA11の他方の入力には、電流I1のゼロ電流検出信号cd1が入力される。

【0077】

ANDゲートA11の出力信号は、周期下限設定値以下において電流I1のゼロ電流検出信号cd1が入力された場合、発生する検出信号s1である。この検出信号s1は、保持回路HC12のセット入力Sに入力される。保持回路HC12のリセット入力Rには、一致信号cs2が入力される。保持回路HC12の出力信号は、電流I1のゼロ電流検出信号cd1が入力された場合、周期下限設定値まで保持するための保持信号hs12である。この保持信号hs12はANDゲートA12の一方の入力に入力される。ANDゲートA12の他方の入力には、一致信号cs2が入力される。ANDゲートA12の出力信号は、セット信号set1の1つを構成するクリア信号cd1bである。

【0078】

また、保持回路HC11から出力された期間信号hs11がANDゲートA13の一方の入力に入力される。ANDゲートA13の他方の入力には、電流I1のゼロ電流検出信号cd1が入力される。ANDゲートA13の出力信号は、セット信号set1の1つを構成するクリア信号cd1aである。

【0079】

DフリップフロップDF11は、検出信号s1が発生した場合、これを取り込み、エラーフラグef2を出力する。

【0080】

次に、図9のタイミングチャートを用いて、図8に示したカウンタクリア制御回路202の動作を説明する。図9は、カウンタクリア制御回路202の動作を説明するためのタイミングチャートである。図9の上から順に、電流I1のゼロ電流検出信号cd1、一致信号cs2、期間信号hs11、セット信号set1、アップカウンタ101のカウント値cnt1、一致信号cs2、検出信号s1、保持信号hs12、クリア信号cd1a、クリア信号cd1b、セット信号set1、PFC制御パルス信号pfc1、エラーフラグef2が示されている。

【0081】

図9の第1及び第3周期では、周期下限設定値を超えてから電流I1のゼロ電流検出信号cd1が入力されている。そのため、通常通り、そのタイミングにおいて、クリア信号cd1aが出力される。

【0082】

これに対し、図9の第2周期では、周期下限設定値以下において電流I1のゼロ電流検出信号cd1が入力されている。そのため、周期下限設定値を超えた期間を示す期間信号hs11がLのまま、電流I1のゼロ電流検出信号cd1が入力される。そのタイミングにおいて、検出信号s1が発生し、保持信号hs12がLからHとなり保持される。そして、周期下限設定値の経過を示す一致信号cs2が入力されたタイミングにおいて、保持信号hs12がHからLとなり、クリア信号cd1bが出力される。このように、周期下限設定値を設定し、PFC制御パルス信号pfc1の周期下限を保証することにより、PFC回路による力率改善をより向上させるPFC制御パルス信号を生成することができる。

【0083】

次に、図10を参照して、PFC制御パルス信号pfc2の生成方法について説明する

。図10は、PFC制御パルス信号 $pfc2$ の生成方法を説明するためのタイミングチャートである。図10の上から順に、セット信号 $set1$ 、セット信号 $set2$ 、アップカウンタ101のカウンタ値 $cnt1$ 、カウンタ値キャプチャ回路110が取得する周期値 T 、シフト回路111が出力する $1/2$ 周期値 $T/2$ 、PFC制御パルス信号 $pfc2$ のパルス幅設定値、ダウンカウンタ116のカウンタ値 $cnt2$ 、リセット信号 $rst2$ 、PFC制御パルス信号 $pfc1$ 、PFC制御パルス信号 $pfc2$ が示されている。なお、以下では、PFC制御パルス信号 $pfc1$ の生成方法については、説明を省略する。

【0084】

図10では、いずれの周期においても、セット信号 $set2$ （電流 $I2$ のゼロ電流検出信号 $cd2$ ）が、セット信号 $set1$ （電流 $I1$ のゼロ電流検出信号 $cd1$ ）の発生タイミングから $1/2$ 周期値 $T/2$ ずれたタイミングで発生している。これは、理想状態を示している。図10に示すように、16ビットのアップカウンタ101の場合、0000HからFFFFHまでカウンタ可能である。従って、PFC制御パルス信号 $pfc1$ のパルス幅設定値及び周期上限設定値は、0000HからFFFFHまでの間の値となる。当然のことながら、パルス幅設定値 $\leq$ 周期上限設定値 + 1 の関係にある。

【0085】

図10を用いて、時系列に説明する。最上段に示すように、時刻 $t1$ において、電流 $I1$ のゼロ電流検出信号 $cd1$ すなわちセット信号 $set1$ が発生する。これにより、アップカウンタ101のカウンタ値 $cnt1$ はクリアされる。その際、カウンタ値キャプチャ回路110は、クリアされる時点でのアップカウンタ101のカウンタ値 $cnt1 = a$ を、前周期の周期値 T として取得する。すなわち、周期値 $T = a$ となる。そして、シフト回路111はこの値を1ビットシフトさせる。つまり、取得した周期値 $T = a$ を $1/2$ 倍し、位相差 π に相当する $1/2$ 周期値 $T/2 = a/2$ を得る。

【0086】

次に、時刻 $t1$ から $1/2$ 周期値 $T/2 = a/2$ 経過した時刻 $t2$ において、電流 $I2$ のゼロ電流検出信号 $cd2$ が発生する。上述の通り、これは理想状態である。この場合、電流 $I2$ のゼロ電流検出信号 $cd2$ と同時にセット信号 $set2$ が発生する。そのため、このタイミングにおいて、PFC制御パルス信号 $pfc2$ がインアクティブレベルからアクティブレベルへ切り換わる。同時に、ダウンカウンタ116が、PFC制御パルス信号 $pfc2$ のパルス幅設定値 $= d$ からカウンタダウンを開始する。

【0087】

次に、ダウンカウンタ116のカウンタ値 $cnt2 = 1$ （0001H）となる時刻 $t3$ において、リセット信号 $rst2$ が発生する。これにより、PFC制御パルス信号 $pfc2$ がアクティブレベルからインアクティブレベルへ切り換わる。

【0088】

次に、時刻 $t4$ において、再度電流 $I1$ のゼロ電流検出信号 $cd1$ すなわちセット信号 $set1$ が発生する。これにより、アップカウンタ101のカウンタ値 $cnt1$ はクリアされる。これにより、時刻 $t1$ から始まった周期は終了する。このように、隣接する電流 $I1$ のゼロ電流検出信号 $cd1$ の間隔が、周期となる。この周期値は b である。

【0089】

時刻 $t1$ と同様に、時刻 $t4$ では、カウンタ値キャプチャ回路110は、クリアされる時点でのアップカウンタ101のカウンタ値 $cnt1 = b$ を、前周期の周期値 T として取得する。すなわち、周期値 $T = b$ となる。そして、シフト回路はこの値を1ビットシフトさせる。つまり、取得した周期値 $T = b$ を $1/2$ 倍し、位相差 π に相当する $1/2$ 周期値 $T/2 = b/2$ を得る。

【0090】

次に、時刻 $t4$ から $1/2$ 周期値 $T/2 = b/2$ 経過した時刻 $t5$ において、電流 $I2$ のゼロ電流検出信号 $cd2$ が発生する。上述の通り、これは理想状態である。この場合、電流 $I2$ のゼロ電流検出信号 $cd2$ と同時にセット信号 $set2$ が発生する。そのため、このタイミングにおいて、PFC制御パルス信号 $pfc2$ がインアクティブレベルからア

10

20

30

40

50

クティブレベルへ切り換わる。同時に、ダウンカウンタ116が、PFC制御パルス信号pfc2のパルス幅設定値=dからカウントダウンを開始する。

【0091】

次に、ダウンカウンタ116のカウント値cnt2=1(0001H)となる時刻t6において、リセット信号rst2が発生する。これにより、PFC制御パルス信号pfc2がアクティブレベルからインアクティブレベルへ切り換わる。

【0092】

次に、時刻t7において、再度電流I1のゼロ電流検出信号cd1すなわちセット信号set1が発生する。これにより、アップカウンタ101のカウント値cnt1はクリアされる。これにより、時刻t4から始まった周期は終了する。この周期値はcである。以上

10

【0093】

図10を用いて理想状態について説明した。しかしながら、電流I2のゼロ電流検出信号cd2は、必ずしも電流I1のゼロ電流検出信号cd1の発生タイミングから1/2周期値T/2ずれたタイミングで発生するとは限らない。そこで、電流I2のゼロ電流検出による高効率化と、PFC制御パルス信号pfc1、pfc2の位相差を π とすることによる高効率化とをバランスさせるため、本実施の形態に係るPFC信号生成ユニットPSGでは、出力タイミング補正回路113が設けられている。この出力タイミング補正回路113は、電流I1のゼロ電流検出信号cd1の発生タイミングに対する電流I2のゼロ電流検出信号cd2の発生タイミングに応じて、セット信号set2の出力タイミングを補正する。セット信号set2の出力により、PFC制御パルス信号pfc2がインアクティブレベルからアクティブレベルへ切り換わる。

20

【0094】

ここで、図11を用いて、出力タイミング補正回路113の具体的な処理フローについて説明する。図11は、出力タイミング補正回路113の処理フローを示すフローチャートである。

まず、出力タイミング補正回路113は、各周期において、スタートから1/2周期値T/2(Tは前周期の周期値)の時間が経過するまでに、電流I2のゼロ電流検出信号cd2が発生したか否かを判定する(ステップST1)。スタートから1/2周期値T/2までの間に、電流I2のゼロ電流検出信号cd2が発生した場合(ステップST1YES)、出力タイミング補正回路113は、1/2周期値T/2まで待機して、セット信号set2を出力する(ステップST2)。ここで、目標位相差としては、T/2が最も好ましいのはいうまでもないが、3/8T~5/8Tであればよい。7/16T~9/16Tであれば、効率向上の観点から更に好ましい。

30

【0095】

次に、スタートから1/2周期値T/2の時間が経過するまでの間に、電流I2のゼロ電流検出信号cd2が発生しない場合(ステップST1NO)、1/2周期値T/2から所定の許容期間内に電流I2のゼロ電流検出信号cd2が発生したか否かを判定する(ステップST3)。許容期間内に、電流I2のゼロ電流検出信号cd2が発生した場合(ステップST3YES)、出力タイミング補正回路113は、電流I2のゼロ電流検出信号cd2が発生したそのタイミングにおいて、セット信号set2を出力する(ステップST4)。これにより、PFC制御パルス信号pfc2がインアクティブレベルからアクティブレベルへ切り換わる。許容期間の幅は、T/64~T/8であることが好ましい。許容期間の幅がT/64未満であると、エラー発生の頻度が多くなり、システム動作上好ましくない。一方、許容期間の幅がT/8を超えると、PFC回路における力率改善に寄与しなくなる。

40

【0096】

次に、許容期間内にも、電流I2のゼロ電流検出信号cd2が発生しない場合(ステップST3NO)、出力タイミング補正回路113は、エラーが発生したと判定する(ステップST5)。そして、出力タイミング補正回路113は、当該周期ではセット信号se

50

t 2 を出力せず、次周期のスタートから $1/2$ 周期値 $T/2$ の時間が経過するタイミングにおいて強制的にセット信号 $set\ 2$ を出力する（ステップ S T 6）。以上のような処理を周期毎に繰り返し実行される。

【0097】

次に、図 1 2 ～ 1 4 のタイミングチャートを用いて、図 1 1 に示した各処理を説明する。図 1 2 ～ 1 4 は、図 1 0 と同様に、P F C 制御パルス信号 $pfc\ 2$ の生成方法を説明するためのタイミングチャートである。図 1 2 ～ 1 4 では、いずれも図の上から順に、セット信号 $set\ 1$ 、電流 $I\ 2$ のゼロ電流検出信号 $cd\ 2$ 、セット信号 $set\ 2$ 、アップカウンタ 1 0 1 のカウント値 $cnt\ 1$ 、ダウンカウンタ 1 1 6 のカウント値 $cnt\ 2$ 、リセット信号 $rst\ 2$ 、P F C 制御パルス信号 $pfc\ 1$ 、P F C 制御パルス信号 $pfc\ 2$ が示されている。また、図 1 4 では、最下段にエラーフラグ $ef\ 1$ が、併せて示されている。

10

【0098】

まず、図 1 2 について説明する。時刻 $t\ 1$ からスタートする最初の周期は、理想状態である。その一方、それ以降の 2 つの周期では、スタートから $1/2$ 周期値 $T/2$ までの間に、電流 $I\ 2$ のゼロ電流検出信号 $cd\ 2$ が発生している。

【0099】

図 1 2 を用いて、時系列に説明する。時刻 $t\ 1 \sim t\ 4$ までは図 1 0 と同じ理想状態であるから説明を省略する。まず、時刻 $t\ 4$ において、2 回目の電流 $I\ 1$ のゼロ電流検出信号 $cd\ 1$ すなわちセット信号 $set\ 1$ が発生すると、アップカウンタ 1 0 1 のカウント値 $cnt\ 1$ はクリアされる。ここで、時刻 $t\ 4$ からスタートする周期では、前周期の周期値 $T = b$ となる。

20

【0100】

次に、時刻 $t\ 4$ から $1/2$ 周期値 $T/2 = b/2$ 経過した時刻 $t\ 5$ までの間に、電流 $I\ 2$ のゼロ電流検出信号 $cd\ 2$ が発生している。この場合、上述の通り、出力タイミング補正回路 1 1 3 は、ゼロ電流検出信号 $cd\ 2$ の発生タイミングではセット信号 $set\ 2$ を出力せずに、時刻 $t\ 5$ まで待機してからセット信号 $set\ 2$ を出力する。このタイミングにおいて、P F C 制御パルス信号 $pfc\ 2$ がインアクティブレベルからアクティブレベルへ切り換わる。同時に、ダウンカウンタ 1 1 6 が、P F C 制御パルス信号 $pfc\ 2$ のパルス幅設定値からカウントダウンを開始する。

【0101】

30

次に、ダウンカウンタ 1 1 6 のカウント値 $cnt\ 2 = 1$ (0001H) となる時刻 $t\ 6$ において、リセット信号 $rst\ 2$ が発生する。これにより、P F C 制御パルス信号 $pfc\ 2$ がアクティブレベルからインアクティブレベルへ切り換わる。

【0102】

次に、時刻 $t\ 7$ において、再度電流 $I\ 1$ のゼロ電流検出信号 $cd\ 1$ すなわちセット信号 $set\ 1$ が発生する。これにより、アップカウンタ 1 0 1 のカウント値 $cnt\ 1$ はクリアされる。これにより、時刻 $t\ 4$ から始まった周期は終了する。ここで、時刻 $t\ 7$ からスタートする周期では、前周期の周期値 $T = c$ となる。

【0103】

時刻 $t\ 7$ からスタートする周期においても、時刻 $t\ 7$ から $1/2$ 周期値 $T/2 = c/2$ 経過した時刻 $t\ 8$ までの間に、電流 $I\ 2$ のゼロ電流検出信号 $cd\ 2$ が発生している。そのため、上記と同様に、出力タイミング補正回路 1 1 3 は、ゼロ電流検出信号 $cd\ 2$ の発生タイミングではセット信号 $set\ 2$ を出力せずに、時刻 $t\ 8$ まで待機してからセット信号 $set\ 2$ を出力する。

40

【0104】

次に、図 1 3 について説明する。時刻 $t\ 1$ からスタートする最初の周期は、理想状態である。その一方、それ以降の 2 つの周期では、 $1/2$ 周期値 $T/2$ からの許容期間 TR の間に、電流 $I\ 2$ のゼロ電流検出信号 $cd\ 2$ が発生している。

【0105】

図 1 3 を用いて、時系列に説明する。時刻 $t\ 1 \sim t\ 4$ までは図 1 0 と同じ理想状態であ

50

るから説明を省略する。まず、時刻 t_4 において、2 回目の電流 I_1 のゼロ電流検出信号 $cd1$ すなわちセット信号 $set1$ が発生すると、アップカウンタ 101 のカウント値 $cnt1$ はクリアされる。ここで、時刻 t_4 からスタートする周期では、前周期の周期値 $T = b$ となる。

【0106】

次に、 $1/2$ 周期値 $T/2 = b/2$ からの許容期間 TR 内の時刻 t_5 において、電流 I_2 のゼロ電流検出信号 $cd2$ が発生している。この場合、上述の通り、出力タイミング補正回路 113 は、ゼロ電流検出信号 $cd2$ の発生タイミングである時刻 t_5 において、セット信号 $set2$ を出力する。このタイミングにおいて、PFC 制御パルス信号 $pf c 2$ がインアクティブレベルからアクティブレベルへ切り換わる。同時に、ダウンカウンタ 116 が、PFC 制御パルス信号 $pf c 2$ のパルス幅設定値からカウントダウンを開始する。

10

【0107】

次に、ダウンカウンタ 116 のカウント値 $cnt2 = 1$ ($0001H$) となる時刻 t_6 において、リセット信号 $rst2$ が発生する。これにより、PFC 制御パルス信号 $pf c 2$ がアクティブレベルからインアクティブレベルへ切り換わる。

【0108】

次に、時刻 t_7 において、再度電流 I_1 のゼロ電流検出信号 $cd1$ すなわちセット信号 $set1$ が発生する。これにより、アップカウンタ 101 のカウント値 $cnt1$ はクリアされる。これにより、時刻 t_4 から始まった周期は終了する。ここで、時刻 t_7 からスタートする周期では、前周期の周期値 $T = c$ となる。

20

【0109】

時刻 t_7 からスタートする周期においても、 $1/2$ 周期値 $T/2 = c/2$ からの許容期間 TR 内の時刻 t_8 において、電流 I_2 のゼロ電流検出信号 $cd2$ が発生している。そのため、上記と同様に、出力タイミング補正回路 113 は、ゼロ電流検出信号 $cd2$ の発生タイミングである時刻 t_8 において、セット信号 $set2$ を出力する。

【0110】

次に、図 14 について説明する。時刻 t_1 からスタートする最初の周期は、理想状態である。その一方、次周期では、時間 $T/2$ からの許容期間 TR を超えてから、電流 I_2 のゼロ電流検出信号 $cd2$ が発生している。

30

【0111】

図 14 を用いて、時系列に説明する。時刻 $t_1 \sim t_4$ までは図 10 と同じ理想状態であるから説明を省略する。まず、時刻 t_4 において、2 回目の電流 I_1 のゼロ電流検出信号 $cd1$ すなわちセット信号 $set1$ が発生すると、アップカウンタ 101 のカウント値 $cnt1$ はクリアされる。ここで、時刻 t_4 からスタートする周期では、前周期の周期値 $T = b$ となる。

【0112】

ここで、電流 I_2 のゼロ電流検出信号 $cd2$ が、 $1/2$ 周期値 $T/2 = b/2$ からの許容期間 TR を超えてから発生している。この場合、上述の通り、出力タイミング補正回路 113 は、当該周期ではセット信号 $set2$ を出力せず、次周期のスタートからの $1/2$ 周期値 $T/2$ において強制的にセット信号 $set2$ を出力することになる。また、許容期間 TR を超えたタイミングにおいて、エラーフラグ $ef1$ が L から H に切り換わる。

40

【0113】

次に、時刻 t_5 において、再度電流 I_1 のゼロ電流検出信号 $cd1$ すなわちセット信号 $set1$ が発生する。これにより、アップカウンタ 101 のカウント値 $cnt1$ はクリアされる。これにより、時刻 t_4 から始まった周期は終了する。ここで、時刻 t_5 からスタートする周期では、前周期の周期値 $T = c$ となる。そして、上述の通り、時刻 t_5 からスタートする周期の $1/2$ 周期値 $T/2 = c/2$ (時刻 t_6) において、出力タイミング補正回路 113 が、強制的にセット信号 $set2$ を出力する。

【0114】

50

本実施の形態に係る P F C 信号生成ユニット P S G は、周期下限設定値を設定し、P F C 制御パルス信号 p f c 1 の周期下限を保証することにより、P F C 回路による力率改善をより向上させる P F C 制御パルス信号を生成することができる。また、出力タイミング補正回路 1 1 3 は、P F C 制御パルス信号 p f c 1 をアクティブレベルへセットするセット信号 s e t 1 と、位相比較器 1 1 2 が出力する一致信号 c s 1 とに基づいて、電流 I 2 のゼロ電流検出信号 c d 2 が入力されたタイミングを判断し、適切なタイミングで P F C 制御パルス信号 p f c 2 をアクティブレベルへセットするセット信号 s e t 2 を出力する。これにより、電流 I 2 のゼロ電流検出による高効率化と、P F C 制御パルス信号 p f c 1、p f c 2 の位相差を π に近づけることによる高効率化とをバランスさせることができ、P F C 回路による力率改善をより向上させることができる。

10

【0115】

以上、実施の形態を参照して本願発明を説明したが、本願発明は上記によって限定されるものではない。本願発明の構成や詳細には、発明のスコップ内で当業者が理解し得る様々な変更をすることができる。

【0116】

この出願は、2011年4月26日に提出された日本出願特願2011-098790を基礎とする優先権を主張し、その開示の全てをここに取り込む。

【符号の説明】

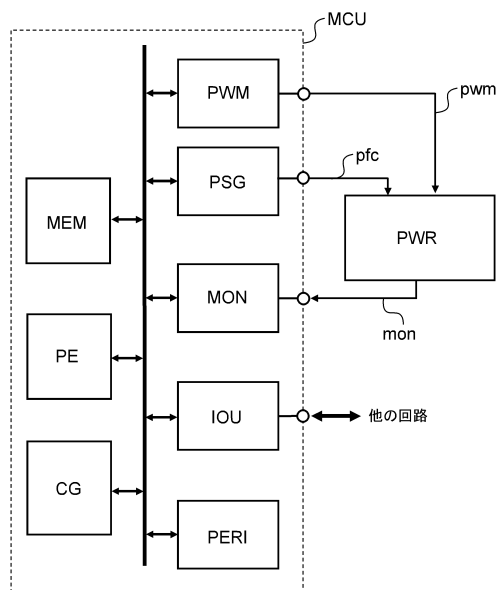
【0117】

101	アップカウンタ	20
104	周期上限比較器	
107	パルス幅比較器	
108	ORゲート	
109	第1制御パルス出力回路	
110	カウント値キャプチャ回路	
111	シフト回路	
112	位相比較器	
113	出力タイミング補正回路	
116	ダウンカウンタ	
117	第2制御パルス出力回路	30
118	割込信号出力回路	
201	周期下限比較器	
202	カウンタクリア制御回路	
A11-A13	ANDゲート	
AP	交流電源	
C1、C2	平滑コンデンサ	
cd1、cd2	ゼロ電流検出信号	
clr、cd1a、cd1b	クリア信号	
CG	クロック生成ユニット	
clk	クロック信号	40
cnt1、cnt2	カウント値	
cs1、cs2	一致信号	
D1-D3	ダイオード	
DF11	Dフリップフロップ	
ef1、ef2	エラーフラグ	
FWR	全波整流回路	
HC11、HC12	保持回路	
hs11	期間信号	
hs12	保持信号	
int	割込信号	50

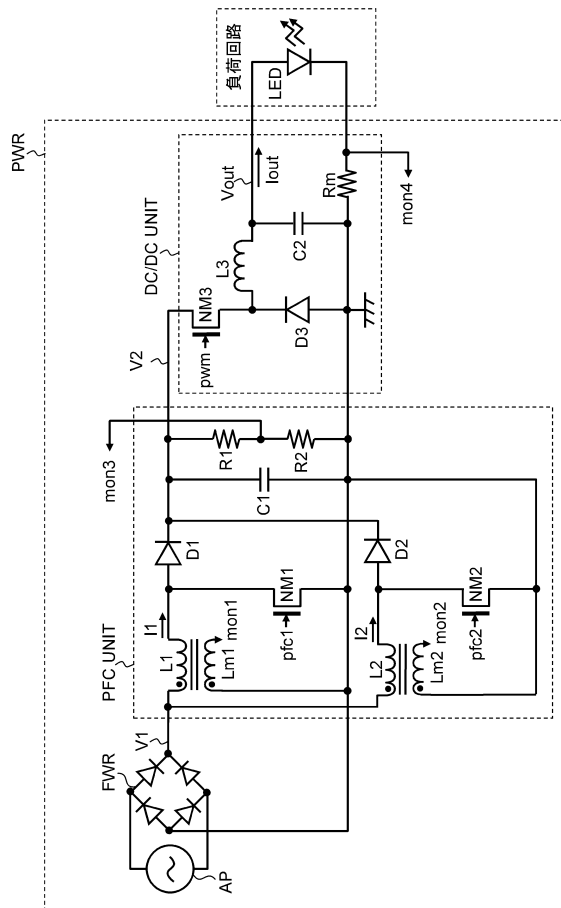
IOU ユニット
 L1、L11、L12、L2、L21、L22、L3 インダクタ
 LED LED
 Lm1、Lm2 モニタ用インダクタ
 MCU プロセッサシステム
 MEM メモリ
 MON モニタユニット
 mon、mon1－mon4 フィードバック信号
 NM1－NM3 NMOSトランジスタ
 O1、O2 ORゲート
 PE 演算コア
 PERI 周辺回路
 pfc、pfc1、pfc2 PFC制御パルス信号
 PSG PFC信号生成ユニット
 PWM PWM信号生成ユニット
 pwm PWM制御パルス信号
 PWR 電源回路（制御対象回路）
 R、R1、R2、Rm、Rm1、Rm2 抵抗

10

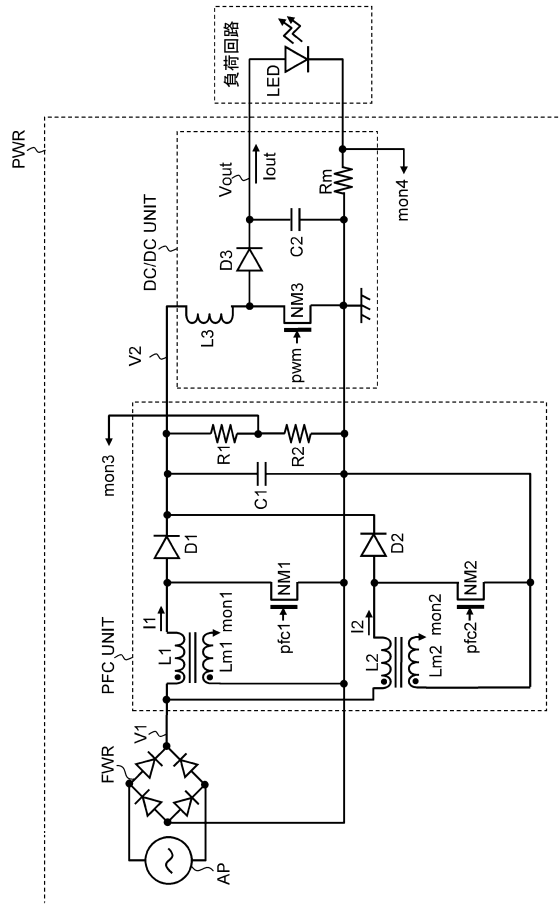
【図1】



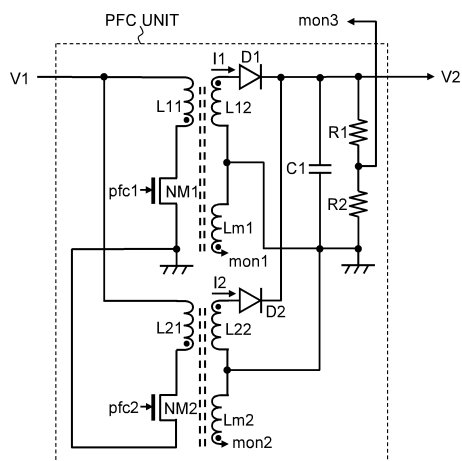
【図2A】



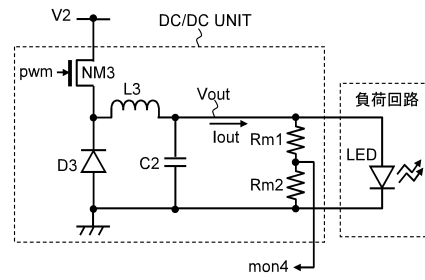
【図 2 B】



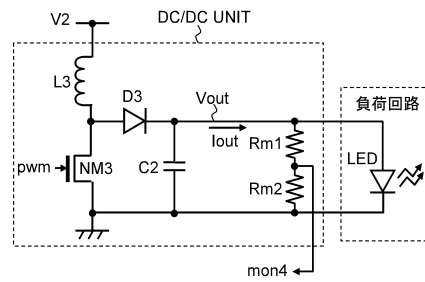
【図 4】



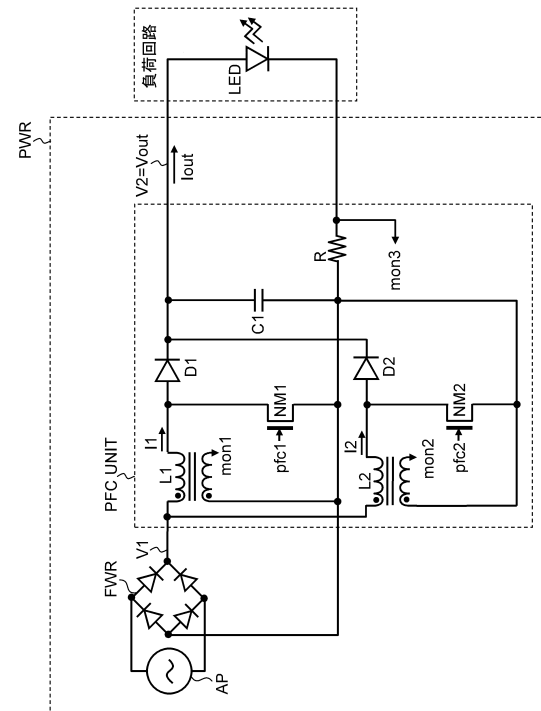
【図 3 A】



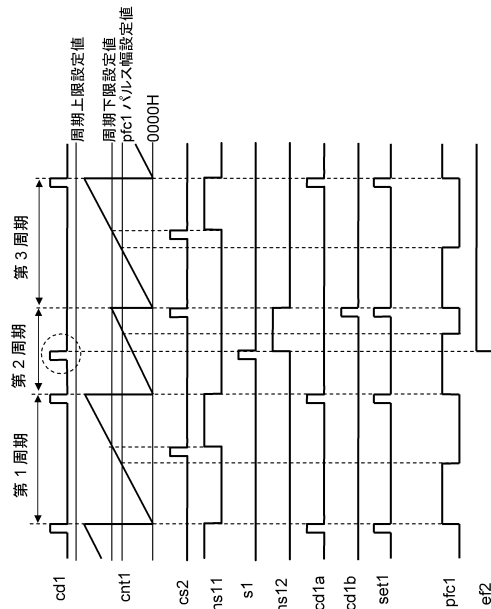
【図 3 B】



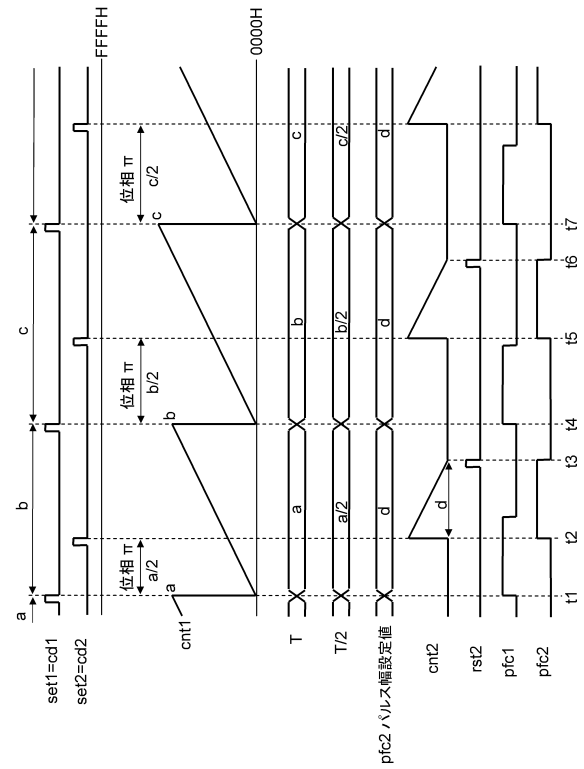
【図 5 A】



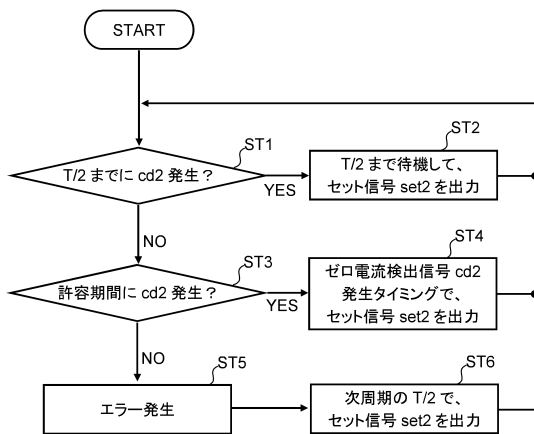
【図 9】



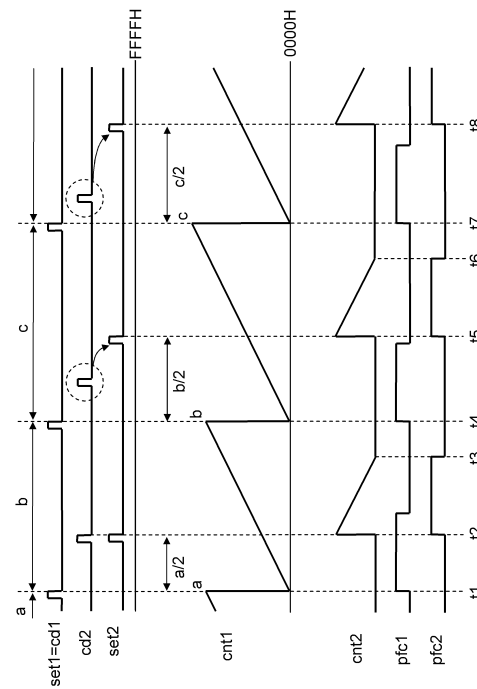
【図 10】



【図 11】



【図 12】



フロントページの続き

- (56)参考文献 特開2007-195282 (JP, A)
特開2010-119285 (JP, A)
特開2010-233439 (JP, A)
特開2010-200437 (JP, A)
特開2010-104218 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H02M 7/12
H02M 3/155